

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-206050
(P2004-206050A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO9G 3/36	GO9G 3/36	2H092
GO2F 1/133	GO2F 1/133 550	2H093
GO2F 1/1368	GO2F 1/1368	5C006
GO9G 3/20	GO9G 3/20 611D	5C080
	GO9G 3/20 612U	
審査請求 未請求 請求項の数 3 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2003-139120 (P2003-139120)	(71) 出願人	000004329
(22) 出願日	平成15年5月16日 (2003.5.16)		日本ビクター株式会社
(31) 優先権主張番号	特願2002-313668 (P2002-313668)		神奈川県横浜市神奈川区守屋町3丁目12番地
(32) 優先日	平成14年10月29日 (2002.10.29)	(74) 代理人	100089956
(33) 優先権主張国	日本国 (JP)		弁理士 永井 利和
		(72) 発明者	内山 裕治
			神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
		Fターム(参考)	2H092 GA59 JA23 JB69 NA01 PA06 2H093 NA16 NA43 NA53 NA64 NC09 NC13 NC24 NC33 NC35 NC62 ND15 ND49
		最終頁に続く	

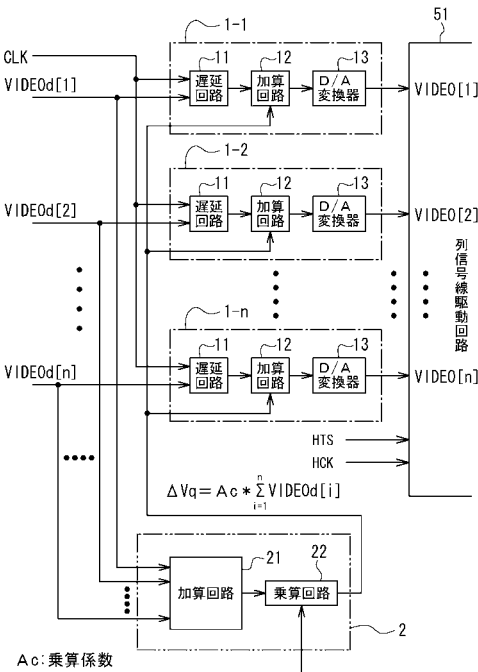
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 多相化画像信号を用いる液晶表示装置において、表示画素の補助容量を通じた画像信号のクロストークによる表示品質の低下を防止する。

【解決手段】 列信号線駆動回路51に対する多相化画像信号の各入力回路に、デジタル画像データVIDEOd[i] : (i = 1 ~ n) を処理する遅延回路11と加算回路12とD/A変換器13とからなる各単相処理部1-iを設ける。また、画像データVIDEOd[i] を全て加算する加算回路21とその加算結果に一定係数Acを乗算する乗算回路22とからなる補償データ作成部2を設け、その乗算結果を各単相処理部1-iの加算回路12で画像データVIDEOd[i] に加算する。係数Acは乗算回路22の乗算結果を補助容量の基板側端子の電圧変動分に対応させる値に設定され、組単位で書き込まれる画像信号に応じたクロストーク分を補償する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

スイッチングトランジスタと補助容量と画素電極を含み、前記補助容量の一方の端子を前記スイッチングトランジスタの出力端子と前記画素電極に接続し、他方の端子を基板側に構成した構造からなる多数の表示画素をマトリクス状に配置させた第 1 基板と、前記第 1 基板に対向して配置せしめられた透明基板であって、前記第 1 基板における表示画素の配置領域と対応する領域に共通電極を設けた第 2 基板と、前記第 1 基板と前記第 2 基板の間に封止・保持された液晶部材と、列方向に整列した各表示画素のスイッチングトランジスタの入力端子に接続した各列信号線を n 本 (n は 2 以上の自然数) を一組として組分けし、 n 相に多相化された入力画像信号を各組の列信号線に並列にサンプリング出力する動作を前記組単位で順次実行する列信号線駆動回路と、行方向に整列した各表示画素のスイッチングトランジスタのオン/オフ制御端子に接続した各行信号線に対して行選択信号を順次出力し、表示画素のスイッチングトランジスタを行単位でオン/オフさせる行走査線駆動回路とを備え、前記第 1 基板における各補助容量の基板側の端子と前記第 2 基板の共通電極にそれぞれ所定電圧を印加した状態で、前記列信号線駆動回路と前記行走査線駆動回路が同期して動作することにより画像表示を行う液晶表示装置において、
 n 相に多相化された前記画像信号の同一時点における各信号を加算する第 1 加算回路と、前記第 1 加算回路が求めた加算結果に対して一定の係数値を乗算する第 1 乗算回路と、前記列信号線駆動回路に対する n 相分の画像信号の各入力回路中にそれぞれ独立に設けられ、前記第 1 乗算回路の乗算結果と前記第 1 加算回路が加算処理を実行した時点の画像信号とを加算して前記列信号線駆動回路へ出力する第 2 加算回路とを備え、前記第 1 乗算回路における乗算係数値を、前記列信号線駆動回路によって n 相分の画像信号が組単位で前記補助容量に蓄積される際に、前記補助容量の基板側の端子に生じる電圧変動分を補償する値として設定したことを特徴とする液晶表示装置。

【請求項 2】

スイッチングトランジスタと補助容量と画素電極を含み、前記補助容量の一方の端子を前記スイッチングトランジスタの出力端子と前記画素電極に接続し、他方の端子を基板側に構成した構造からなる多数の表示画素をマトリクス状に配置させた第 1 基板と、前記第 1 基板に対向して配置せしめられた透明基板であって、前記第 1 基板における表示画素の配置領域と対応する領域に共通電極を設けた第 2 基板と、前記第 1 基板と前記第 2 基板の間に封止・保持された液晶部材と、列方向に整列した各表示画素のスイッチングトランジスタの入力端子に接続した各列信号線を n 本 (n は 2 以上の自然数) を一組として組分けし、 n 相に多相化された入力画像信号を各組の列信号線に並列にサンプリング出力する動作を前記組単位で順次実行する列信号線駆動回路と、行方向に整列した各表示画素のスイッチングトランジスタのオン/オフ制御端子に接続した各行信号線に対して行選択信号を順次出力し、表示画素のスイッチングトランジスタを行単位でオン/オフさせる行走査線駆動回路とを備え、前記第 1 基板における各補助容量の基板側の端子と前記第 2 基板の共通電極にそれぞれ所定電圧を印加した状態で、前記列信号線駆動回路と前記行走査線駆動回路が同期して動作することにより画像表示を行う液晶表示装置において、
 n 相に多相化された前記画像信号の同一時点における各信号を加算する第 1 加算回路と、前記列信号線駆動回路に対する n 相分の画像信号の各入力回路に対応する回路としてそれぞれ独立に設けられ、前記第 1 加算回路が求めた加算結果に対して前記各入力回路毎に個別に設定された係数値を乗算する第 2 乗算回路と、前記列信号線駆動回路に対する n 相分の画像信号の各入力回路中にそれぞれ独立に設けられ、前記第 2 乗算回路の乗算結果と前記第 1 加算回路が加算処理を実行した時点の画像信号とを加算して前記列信号線駆動回路へ出力する第 3 加算回路とを備え、前記各第 2 乗算回路の乗算係数値を、前記列信号線駆動回路によって n 相分の画像信号が組単位で前記補助容量に蓄積される際に、前記第 2 乗算回路に対応する前記入力回路と接続された列方向の各表示画素における前記各補助容量の基板側の端子に生じる電圧変動分を補償する値として設定したことを特徴とする液晶表示装置。

【請求項 3】

スイッチングトランジスタと補助容量と画素電極を含み、前記補助容量の一方の端子を前記スイッチングトランジスタの出力端子と前記画素電極に接続し、他方の端子を基板側に構成した構造からなる多数の表示画素をマトリクス状に配置させた第 1 基板と、前記第 1 基板に対向して配置せしめられた透明基板であって、前記第 1 基板における表示画素の配置領域と対応する領域に共通電極を設けた第 2 基板と、前記第 1 基板と前記第 2 基板の間に封止・保持された液晶部材と、列方向に整列した各表示画素のスイッチングトランジスタの入力端子に接続した各列信号線を n 本 (n は 2 以上の自然数) を一組として組分けし、 n 相に多相化された入力画像信号を各組の列信号線に並列にサンプリング出力する動作を前記組単位で順次実行する列信号線駆動回路と、行方向に整列した各表示画素のスイッチングトランジスタのオン/オフ制御端子に接続した各行信号線に対して行選択信号を順次出力し、表示画素のスイッチングトランジスタを行単位でオン/オフさせる行走査線駆動回路とを備え、前記第 1 基板における各補助容量の基板側の端子と前記第 2 基板の共通電極にそれぞれ所定電圧を印加した状態で、前記列信号線駆動回路と前記行走査線駆動回路が同期して動作することにより画像表示を行う液晶表示装置において、
 n 相に多相化された前記画像信号の同一時点における各信号を加算する第 1 加算回路と、前記第 1 加算回路が求めた加算結果に対して一定の係数値を乗算する第 1 乗算回路と、前記第 1 基板における各補助容量の基板側の端子に電圧を印加させるための基板側回路とその本来の所定電圧を出力する外部の電圧供給回路との間に設けられ、前記電圧供給回路の出力電圧に対して前記第 1 乗算回路の乗算結果を加算して前記基板側回路へ出力する第 4 加算回路とを備え、
前記第 1 乗算回路における乗算係数値を、前記列信号線駆動回路によって n 相分の画像信号が組単位で前記補助容量に蓄積される際に、前記補助容量の基板側の端子に生じる電圧変動分を補償する値として設定したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に多相化された画像信号によって表示が行われる投射型ディスプレイやビューファインダ、ヘッドマウントディスプレイ等に適用され、組単位で表示画素に書き込まれる画像信号のクロストークを抑制して高画質な画像を表示させるための改善に関する。

【0002】

【従来の技術】

アクティブマトリックス型の液晶表示装置においては、基板上に表示画素がマトリクス状に形成されており、各表示画素はスイッチング用電界効果型トランジスタ(以下、単に「トランジスタ」という)と信号電圧保持用のコンデンサ(以下、「補助容量」という)と画素電極と共通電極と液晶部材で構成されているが、従来から、トランジスタの応答特性や補助容量の周波数特性が十分でないような場合の解決策として、例えば、下記の特許文献 1 ~ 4 等で開示されているように、画像信号を n 相 (n は 2 以上の自然数) の多相信号に変換して入力することが行われている。

即ち、元の画像信号を多相化することによりその占有周波数帯域を $1/n$ に低下せしめ、 n 本の入力信号線を通じて液晶表示装置に供給することにより前記の問題点を解決させている。

【0003】

先ず、液晶表示装置は図 5 に示すような回路構成からなり、マトリクス状に配設された多数の表示画素 PX と、それらの表示画素 PX を駆動するための列信号線駆動回路 51 及び行信号線駆動回路 52 を備えており、行信号線駆動回路 52 が各行信号線 $G1 \dots Gj$ を通じて各行の表示画素 PX のトランジスタを ON/OFF 制御し、列信号線駆動回路 51 が各信号線 $D(1)1 \dots D(X)n$ を通じて各列の表示画素 PX の補助容量に画像信号を書き込むようになっている。

具体的には、単結晶シリコン基板の上に複数の列信号線 $D(1)1 \dots D(X)n$ と複数の行信号線 $G1 \dots Gj$ が相互に直交した態様でそれぞれ平行に形成されていると共に、各信号線 $D(1)1 \dots D(X)n$ と $G1 \dots Gj$ の交差部分にそれぞれ1個ずつ表示画素 PX が配置・形成されており、列信号線 $D(1)1 \dots D(X)n$ の合計本数を i 本とすれば、表示画素数が $(i \times j)$ 個の表示パネルを構成していることになる。

尚、図5では、多相化画像信号に基づく画像表示動作手順を説明するために、列信号線 $D(1)1 \dots D(X)n$ を $D(K)1 \sim D(K)n$ [但し、 $K = 1 \sim X$] として X 組に分けて表現してある。

【0004】

次に、各表示画素 PX は、前記のようにトランジスタ61と補助容量62と画素電極63と共通電極64と液晶部材65とで構成されている。 10

即ち、列信号線 $D(1)1$ と行信号線 $G1$ の交差部分の表示画素 $PX(1, 1)$ について説明すると、トランジスタ61のドレインには列信号線 $D(1)1$ が、制御端子であるゲートには行走査線 $G1$ が、ソースには補助容量62と画素電極63がそれぞれ接続されていると共に、画素電極63と共通電極64の間に液晶部材65が保持された構成になっている。

また、全ての表示画素 PX の共通電極64にはCOM信号が印加され、補助容量62の一方の端子にはCC信号が印加されるようになっている。

【0005】

そして、各表示画素 PX の断面構造は図9に示され、基板71面に形成されたトランジスタ61のソースに対して画素電極63が接続されており、その接続部分から側方へ導体部72が連続的に形成され、基板71と導体部72の間に誘電体層73を形成することによって補助容量62を構成している。 20

従って、前記の導体層72が補助容量62の一方の端子に相当し、基板71が他方の端子に相当するが、以降、後者の端子を「基板側端子71a」として説明する。

また、画素電極63の上側には透明基板74が液晶部材65を介して対向配置せしめられており、透明基板74には透明な導体膜である共通電極64が形成されている。

尚、75は絶縁層であり、76, 77はそれぞれ画素電極63側と透明基板74側に皮膜された液晶配向膜である。

従って、液晶表示装置では透明基板74側の共通電極64に対してCOM信号を印加し、補助容量62の基板側端子71aに対してCC信号を印加することになるが、基板側端子71aは基板71自体か又は基板71に形成した導体層によって構成されるため、CC信号も基板71又は前記導体層を通じて共通に印加されることになる。 30

【0006】

次に、列信号線駆動回路51は、図示していないシフトレジスタやサンプリングスイッチで構成されており、外部回路から入力される水平スタート信号HST及び水平クロック信号HCKに基づいて、転送されてくる多相化画像信号： $VIDEO(K)[i]$ [$i = 1 \sim n$] を所定のタイミングで順次サンプリングして列信号線 $D(1)1 \sim D(1)n$, $D(2)1 \sim D(2)n$, ..., $D(X)1 \sim D(X)n$ へ順次出力する。

即ち、列信号線駆動回路51は n 個の入力端子から同時に多相化画像信号を取り込み、一定のタイミングで各組の列信号線 $D(K)1 \sim D(K)n$: [$K = 1 \sim X$] へ順次出力させる。 40

【0007】

具体的には、1水平走査期間を H とすると、多相化画像信号を H/X の期間毎にサンプリングし、最初の H/X の期間における n 個のサンプリング信号は列信号線 $D(1)1 \sim D(1)n$ へ並列出力し、次の H/X の期間における n 個のサンプリング信号は列信号線 $D(2)1 \sim D(2)n$ へ並列出力し、以降、同様にして1水平走査期間の最後の H/X の期間における n 個のサンプリング出力信号は列信号線 $D(X)1 \sim D(X)n$ へ並列出力することになる。

【0008】

一方、行走査線駆動回路 5 2 は、図示しないシフトレジスタとセレクタを含む回路として構成されており、外部から入力される垂直スタート信号 VST 、垂直クロック信号 VCK に基づいて、1 フレーム分の走査期間内に走査信号（選択信号）を行走査線 $G_1 \dots G_j$ へ順次供給する動作を各フレーム単位で繰り返す。

そして、その走査信号が行走査線 G_1 に供給された時は、その走査信号が第 1 行目の（ $K \times n$ ）個の表示画素 PX に係る各トランジスタ 6 1 のゲートに印加されて、それらのトランジスタ 6 1 をオン状態（選択状態）とし、各トランジスタ 6 1 のドレイン・ソース間を導通させる。

【0009】

それにより、列信号線駆動回路 5 1 でサンプリングされた画像信号は各組の列信号線 $D(1)_1 \sim D(1)_n, D(2)_1 \sim D(2)_n, \dots, D(X)_1 \sim D(X)_n$ へ順次同時に並列出力され、それぞれの組に係る列信号線 $D(1)_1 \sim D(1)_n, D(2)_1 \sim D(2)_n, \dots, D(X)_1 \sim D(X)_n$ が接続されている各トランジスタ 6 1 のドレイン・ソース間を通じて各補助容量 6 2 に同時に蓄積される。

そして、行走査線駆動回路 5 2 は、列信号線駆動回路 5 1 における各水平走査期間 H 毎に走査信号を行信号線の G_1 から G_j まで順次出力し、その走査信号を出力した行信号線に対応する各表示画素 PX の補助容量 6 2 に対して列信号線 $D(1)_1 \sim D(1)_n, D(2)_1 \sim D(2)_n, \dots, D(X)_1 \sim D(X)_n$ に出力されている画像信号を蓄積させてゆくことになる。

その結果、第 1 行目（1）から最終行（ j ）までの全ての表示画素 PX の補助容量 6 2 に 1 フレーム分の画像信号が蓄積され、各表示画素 PX では補助容量 6 2 に蓄積された画像信号に対応する電圧が画素電極 6 3 へ供給される。

【0010】

一方、図 5 において、 COM 信号は図 9 に示した透明基板 7 4 側の共通電極 6 4 から印加されるが、画像信号の極性と同極性の電圧とされ、一般的な液晶表示装置では COM 信号の電圧が液晶部材 6 5 の閾値電圧に設定されている。

そして、液晶部材 6 5 を交流駆動させるために画像信号はフレーム毎又はフィールド毎に反転せしめられ、その信号電圧レベル（信号分電圧）と前記の COM 信号の電圧との差を実効電圧として液晶部材 6 5 に光変調動作を生じさせる。

また、 CC 信号は補助容量 6 2 に蓄積された画像信号の電圧を調整するものであり、液晶の適正な光変調動作を確保させるための電圧を各表示画素 PX の基板側端子 7 1 a に対して共通に印加されている。

【0011】

次に、以上に説明した液晶表示装置の概略動作を、図 6 及び図 7 のタイミングチャートに基づいて更に具体的に説明する。

ここに、図 6 は主に行信号線駆動回路 5 2 の動作タイミングを、図 7 は主に列信号線駆動回路 5 1 の動作タイミングを示している。

【0012】

図 6 において、(a) は列信号線駆動回路 5 1 に入力される多相化画像信号の入力波形を示し、その画像信号はフレーム期間 A では非反転信号となり、フレーム期間 B では反転信号になっている。

行走査線駆動回路 5 2 には、(b) と (c) に示す VST 、 VCK の各信号が供給される。

そして、行走査線駆動回路 5 2 が内蔵するシフトレジスタは、入力された VST を VCK の立ち上がりエッジで 1 段分シフトし、これを走査信号として出力する j 段のシフトレジスタであり、行走査線駆動回路 5 2 の各シフト段から内蔵のセレクタにより行信号線 $G_1, G_2, \dots, G_j$ に対して (d) に示す走査信号を出力させるが、そのセレクタはシフトレジスタの出力を期間 A では行信号線 $G_1, G_2, \dots, G_j$ へ出力し、期間 B では出力しないようになっている。

従って、期間 A では、走査信号が行走査線 $G_1, G_2, \dots, G_j$ へ順次出力されて各行の

トランジスタ 6 1 がオン状態となり、期間 B では各行のトランジスタ 6 1 はオフ状態となる。

また、図 6 の (e) と (f) に示す COM 信号と CC 信号は、それぞれ前記の所定電位の信号で共通電極 6 4 と各補助容量 6 2 の基板側端子 7 1 a に印加されている。

【 0 0 1 3 】

一方、列信号線駆動回路 5 1 の動作タイミング (図 7) についてみると、列信号線駆動回路 5 1 に対しては、(a) に模式的に示す多相化された画像信号と、(c) の H S T と、(d) の H C K が入力されている。

ここで、H S T と H C K は列信号線駆動回路 5 1 が内蔵するシフトレジスタの動作を制御する信号である。

列信号線駆動回路 5 1 では、(b) に示す行信号線駆動回路 5 2 の V S T と同期した H S T に基づいて、(e) の多相化画像信号が H C K に同期して列信号線 D (1) 1 ~ D (1) n , D (2) 1 ~ D (2) n , ... , D (X) 1 ~ D (X) n に出力される。

尚、図 7 の (e) , (f) は図 6 に示した前記の COM 信号 (e) と CC 信号 (f) である。

【 0 0 1 4 】

従って、図 5 に示した液晶表示装置では、列信号線駆動回路 5 1 と行信号線駆動回路 5 2 が相互に同期をとりながら多相化画像信号を組単位で各表示画素 P X に書き込む動作を繰り返し、フレーム期間 A において画像信号を各表示画素 P X の補助容量 6 2 に蓄積させ、フレーム期間 B において各表示画素 P X に対応する領域の液晶部材 6 5 に光変調動作を生

【 0 0 1 5 】

ところで、前記の液晶表示装置においては、上記のように CC 信号を印加する基板側端子 7 1 a が基板 7 1 自体又は基板に構成した導体層になっており、CC 信号は全ての表示画素 P X の補助容量 6 2 に対して共通に印加されている。

そして、そのような CC 信号の共通印加方式は、前記のように画像信号を多相化して入力させる液晶表示装置に限らず、画像信号をシリアルに転送する従来の一般的な液晶表示装置においても同様であるが、いずれにしても、各表示画素 P X の補助容量 6 2 に対する CC 信号の共通印加回路を介して各補助容量 6 2 に蓄積された画像信号のクロストークが発生し、その結果として画像の表示品質が低下するという問題がある。

即ち、画像信号が行単位又は前記の組単位で補助容量 6 2 に書き込まれてゆく際に前記の共通印加回路を介して電荷の移動が生じ、それによって補助容量 6 2 と画素電極 6 3 の電圧が変動することにより表示画像の乱れが発生する。

特に、前記の液晶表示装置では多相化画像信号が組単位で補助容量 6 2 に同時に書き込まれてゆき、また前記の電圧変動量が比較的大きくなるために画像の表示品質に与える影響が大きくなる。

【 0 0 1 6 】

その問題点に対して、本願発明者は、前記の液晶表示装置が画像信号を多相化していることに着目し、図 8 に示すように、各組 (K = 1 ~ X) の n 本の列信号線 D (K) 1 ~ D (K) n : [K = 1 ~ X] の内で、各組の同じ順番の列信号線に接続された表示画素 P X の補助容量 6 2 における基板側端子 (CC 信号を印加する端子) が、外部から導かれた n 本の CC 信号線 CC 1 ~ CC n の内で同じ順番の信号線にのみ共通接続された回路構成を提案した (特願 2 0 0 2 - 1 9 9 3 5 5 号) 。

この提案に係る液晶表示装置によれば、各組単位で垂直方向に整列した表示画素 P X 群毎に独立した CC 信号線 CC 1 ~ CC n から CC 信号を印加しており、少なくとも水平方向に隣接した表示画素 P X 間でのクロストークを防止でき、画像の表示品質を向上させることが可能になる。

【 0 0 1 7 】

【 特許文献 1 】

特開平 1 1 - 0 0 7 2 7 0 号公報

10

20

30

40

50

【特許文献 2】

特開平 11 - 133932 号公報

【特許文献 3】

特開平 11 - 133933 号公報

【特許文献 4】

特開平 11 - 202841 号公報

【0018】

【発明が解決しようとする課題】

しかしながら、前記の提案（特願 2002 - 199355 号）の液晶表示装置によると、表示画素 PX の補助容量 62 を介したクロストークは抑制できるが、図 8 に示すように、基板上に n 本の CC 信号線 $CC1 \sim CCn$ を別途形成すると共に、各組（ $K = 1 \sim X$ ）の同じ順番の列信号線に接続された表示画素 PX に係る補助容量 62 の基板側端子 71a に対して各 CC 信号線 $CC1 \sim CCn$ を接続する回路も形成しなければならない。

具体的には、同一の列信号線に接続された表示画素 PX の補助容量 62 の基板側端子 71a は共通の導体層として形成することができるが、各 CC 信号線 $CC1 \sim CCn$ と共にそれら信号線 $CC1 \sim CCn$ と前記の導体層に対する接続回路を基板上に形成しなければならない、それらを構成するための信号線数は非常に多くなる。

従って、画像信号のクロストークの問題点を解消する点では有効であるが、 CC 信号の印加回路の配線領域を確保するために液晶表示装置の基板が大きくなり、半導体プロセスの複雑化によって歩留まりの低下と製造コストの増大を招くという問題がある。

【0019】

一方、図 5 に示した回路構成では、画像信号のクロストークに係る問題はあるが、画面を構成する全ての表示画素 PX に対して基板 71 自体を全面的に基板側端子 71a として共通に CC 信号を印加させることができるため、基板上の回路構成は簡素になる。

【0020】

そこで、本発明は、多相化画像信号によって画像表示を行う液晶表示装置において、 CC 信号の印加回路を図 5 に示した一般的な構成としながら、各表示画素 PX の画像信号のクロストークを抑制できる方式を提供することを目的として創作された。

【0021】

【課題を解決するための手段】

先ず、本発明が適用される液晶表示装置は、スイッチングトランジスタと補助容量と画素電極を含み、前記補助容量の一方の端子を前記スイッチングトランジスタの出力端子と前記画素電極に接続し、他方の端子を基板側に構成した構造からなる多数の表示画素をマトリクス状に配置させた第 1 基板と、前記第 1 基板に対向して配置せしめられた透明基板であって、前記第 1 基板における表示画素の配置領域と対応する領域に共通電極を設けた第 2 基板と、前記第 1 基板と前記第 2 基板の間に封止・保持された液晶部材と、列方向に整列した各表示画素のスイッチングトランジスタの入力端子に接続した各列信号線を n 本（ n は 2 以上の自然数）を一組として組分けし、 n 相に多相化された入力画像信号を各組の列信号線に並列にサンプリング出力する動作を前記組単位で順次実行する列信号線駆動回路と、行方向に整列した各表示画素のスイッチングトランジスタのオン/オフ制御端子に接続した各行信号線に対して行選択信号を順次出力し、表示画素のスイッチングトランジスタを行単位でオン/オフさせる行走査線駆動回路とを備え、前記第 1 基板における各補助容量の基板側の端子と前記第 2 基板の共通電極にそれぞれ所定電圧を印加した状態で、前記列信号線駆動回路と前記行走査線駆動回路が同期して動作することにより画像表示を行うものである。

即ち、従来技術において説明した多相化画像信号を扱う液晶表示装置であり、図 5 の回路構成のように第 1 基板における各補助容量の基板側端子に対して共通に所定電圧を印加する方式の液晶表示装置を前提とする。

【0022】

そして、第 1 の発明は、前記液晶表示装置において、 n 相に多相化された前記画像信号の

同一時点における各信号を加算する第1加算回路と、前記第1加算回路が求めた加算結果に対して一定の係数値を乗算する第1乗算回路と、前記列信号線駆動回路に対する n 相分の画像信号の各入力回路中にそれぞれ独立に設けられ、前記第1乗算回路の乗算結果と前記第1加算回路が加算処理を実行した時点の画像信号とを加算して前記列信号線駆動回路へ出力する第2加算回路とを備え、前記第1乗算回路における乗算係数値を、前記列信号線駆動回路によって n 相分の画像信号が組単位で前記補助容量に蓄積される際に、前記補助容量の基板側の端子に生じる電圧変動分を補償する値として設定したことを特徴とする液晶表示装置に係る。

【0023】

この発明では、第1加算回路で多相化された n 相分の画像信号を同一時点で加算した結果に対して第1乗算回路で一定の係数値を乗算し、その乗算結果を第2加算回路で各相の画像信号に加算している。

ここで、第1加算回路の加算結果は、列信号線駆動回路が画像信号を組単位で並列にサンプリング出力して表示画素の補助容量に蓄積させる際に各補助容量の基板側の端子に発生する電圧変動分にほぼ比例した値を示す。

従って、第1乗算回路によってその電圧変動分を補償する値として設定された係数値を前記の加算結果に乗算し、その乗算結果を各相の画像信号の各入力回路に設けた第2加算回路で各画像信号に加算しておけば、各表示画素の補助容量に対して前記の電圧変動分を補償した画像信号が書き込まれることになり、各補助容量の基板側の端子を通じた各画像信号のクロストークによる表示画像の乱れを防止できる。

また、この発明の各回路は多相化画像信号の入力経路に挿入すればよく、必ずしも基板上に構成する必要はなく、仮に基板上に構成するとしても、各表示画素の形成領域とは別の領域に形成できるため、半導体プロセスが複雑化することはない。

【0024】

第2の発明は、前記の前提とされる液晶表示装置において、 n 相に多相化された前記画像信号の同一時点における各信号を加算する第1加算回路と、前記列信号線駆動回路に対する n 相分の画像信号の各入力回路に対応する回路としてそれぞれ独立に設けられ、前記第1加算回路が求めた加算結果に対して前記各入力回路毎に個別に設定された係数値を乗算する第2乗算回路と、前記列信号線駆動回路に対する n 相分の画像信号の各入力回路中にそれぞれ独立に設けられ、前記第2乗算回路の乗算結果と前記第1加算回路が加算処理を実行した時点の画像信号とを加算して前記列信号線駆動回路へ出力する第3加算回路とを備え、前記各第2乗算回路の乗算係数値を、前記列信号線駆動回路によって n 相分の画像信号が組単位で前記補助容量に蓄積される際に、前記第2乗算回路に対応する前記入力回路と接続された列方向の各表示画素における前記各補助容量の基板側の端子に生じる電圧変動分を補償する値として設定したことを特徴とする液晶表示装置に係る。

【0025】

前記の第1の発明では、第1加算回路による多相化された信号の加算結果に対して第1乗算回路が一定の係数値を乗算し、その乗算結果を第2加算回路によって一律に n 相分の各画像信号に対して加算するようになっている。

しかし、半導体プロセスで製造される第1基板の各表示画素に係る補助容量の基板側の端子に接続される回路(図5におけるCC信号の印加回路)は、行方向に関して一様に形成されるとは限らず、例えば、偶数番目の列と奇数番目の列とで回路パターンが異なる場合がある。

そのような場合には、行方向に整列した各表示画素について、各補助容量の基板側の端子に生じる電圧変動分が異なり、行方向に係る各画像信号間のクロストークによって表示画像の乱れが生じることになる。

この第2の発明によれば、第2乗算回路を n 相分の画像信号の各入力回路に対応させた回路として独立に設けておき、各第2乗算回路によって第1加算回路が求めた加算結果に対して個別の乗算係数値を乗算し、その乗算結果を各入力回路中にそれぞれ独立に設けた第3加算回路によって各相の画像信号に加算するようになっている。

従って、各第 2 乗算回路の乗算係数値を個別に調整することにより、前記のように偶数番目の列と奇数番目の列とで回路パターンが異なることによって生じる各画像信号間のクロストークをきめ細かに防止でき、より高品質な画像が得られる。

【 0 0 2 6 】

第 3 の発明は、前記の前提とされる液晶表示装置において、 n 相に多相化された前記画像信号の同一時点における各信号を加算する第 1 加算回路と、前記第 1 加算回路が求めた加算結果に対して一定の係数値を乗算する第 1 乗算回路と、前記第 1 基板における各補助容量の基板側の端子に電圧を印加させるための基板側回路とその本来の所定電圧を出力する外部の電圧供給回路との間に設けられ、前記電圧供給回路の出力電圧に対して前記第 1 乗算回路の乗算結果を加算して前記基板側回路へ出力する第 4 加算回路とを備え、前記第 1 乗算回路における乗算係数値を、前記列信号線駆動回路によって n 相分の画像信号が組単位で前記補助容量に蓄積される際に、前記補助容量の基板側の端子に生じる電圧変動分を補償する値として設定したことを特徴とする液晶表示装置に係る。

【 0 0 2 7 】

この発明は、第 1 及び第 2 の発明が多相化された各画像信号の入力回路側で各補助容量の基板側の端子に生じる電圧変動分を補償しているのに対して、前記の基板側の端子に共通に所定電圧を印加する回路側で補償を実行するものである。この発明における第 1 加算回路と第 1 乗算回路が担う機能は第 1 の発明の場合と同様であるが、その乗算結果は、第 1 基板における各補助容量の基板側の端子に電圧を印加させるための基板側回路とその本来の電圧を出力する外部の電圧供給回路との間に設けられた第 4 加算回路に出力され、第 4 加算回路が前記電圧供給回路の出力電圧に対して前記乗算結果を加算して前記の基板側回路に出力している。

従って、前記の電圧変動分は基板側回路側で補償されることになり、第 1 及び第 2 の発明と同様に、各補助容量の基板側の端子を通じた各画像信号のクロストークによる表示画像の乱れを防止できる。

また、各回路を必ずしも基板上に構成する必要がなく、仮に基板上に構成する場合にも半導体プロセスが複雑化しないことも、第 1 及び第 2 の発明と同様である。

【 0 0 2 8 】

【 発明の実施の形態 】

以下、本発明の液晶表示装置の実施形態を図 1 から図 4 を用いて詳細に説明する。

[実施形態 1]

この実施形態における液晶表示装置の基本回路部分は図 5 に示したものと同様であり、その回路構成と多相化画像信号による画像表示動作については従来技術の欄で説明したとおりであるため、ここではそれらの説明を省略する。

また、この実施形態では、各表示画素 P_X に係る補助容量 6 2 の基板側端子 7 1 a が図 9 に示したように基板 7 1 自体で構成されており、 CC 信号は基板 7 1 を通じて表示画素 P_X に対して共通に印加されているものとする。

【 0 0 2 9 】

この実施形態の特徴は、列信号線駆動回路 5 1 に対する多相化画像信号の入力回路に図 1 に示すような信号処理回路が適用されている点にある。

その信号処理回路は、 n 相に多相化された各デジタル画像データ $VIDE Od[i]$ に対応する各信号線に設けられた各単相処理部 1 - i と、 n 相の全ての画像データ $VIDE Od[i]$ を用いて補償データを作成する補償データ作成部 2 とからなり、各単相処理部 1 - i は遅延回路 1 1 と加算回路 1 2 と D/A 変換器 1 3 の直列回路として構成されており、また補償データ作成部 2 は加算回路 2 1 と乗算回路 2 2 の直列回路として構成されている。

但し、「 i 」は n 相に多相化された各回路に対応付けたインデックス番号 ($1 \sim n$) であり、以下、この実施形態及び下記の実施形態 2, 3 においても同様とする。

そして、補償データ作成部 2 では、加算回路 2 1 が n 相分の各画像データ $VIDE Od[i]$ を全て加算し、乗算回路 2 2 がその加算データ： Vq に対して一定の係数 Ac を乗算

して各単相処理部 1 - i 側の加算回路 1 2 へ出力するようになっている。

【0030】

各単相処理部 1 - i 側においては、CLK に同期した遅延回路 1 1 で画像データ VIDEO_d[i] の転送を受けて一定時間後に加算回路 1 2 へ出力させるが、これは補償データ作成部 2 の加算・乗算動作に僅かに時間を要するため、補償データ作成部 2 から乗算結果が出力されるタイミングと画像データ VIDEO_d[i] が各単相処理部 1 - i 側の加算回路 1 2 へ入力されるタイミングとの同期をとるためである。

従って、各単相処理部 1 - i の加算回路 1 2 で画像データ VIDEO_d[i] に加算される補償データ作成部 2 の乗算結果は、同一時点で得られている画像データ VIDEO_d[i] に基づいて作成されたものであり、それが各単相処理部 1 - i 側の加算回路 1 2 で各画像データ VIDEO_d[i] に加算されることになる。

【0031】

ところで、補償データ作成部 2 における乗算回路 2 2 の乗算係数 A_c は、次に説明する定数として設定される。

今、n 相分の各画像データ VIDEO_d[i] が D/A 変換器 1 3 のみを介してアナログ画像信号 VIDEO_o[i] として列信号線駆動回路 5 1 に入力される場合を想定すると、上記のように図 5 の液晶表示装置ではそれらの画像信号 VIDEO_o[i] を列信号線 D(K)[i] を介して組単位で各表示画素 P_X の補助容量 6 2 に書き込む。

【0032】

その場合、各補助容量 6 2 の基板側端子 7 1 a に相当する基板 7 1 には所定電圧の CC 信号が印加されているが、各補助容量 6 2 に蓄積された電荷は僅かであるが基板 7 1 側を介して他の組の各表示画素 P_X 側へ流れ、それによって画像信号 VIDEO_o[i] が書き込まれた各表示画素 P_X の基板側端子 7 1 a の電圧が変動し、結果的に画素電極 6 3 の電圧が変動するために適正な画素表示が得られていないことになる。

即ち、組単位で画像信号 VIDEO_o[i] のクロストークが発生して画像の表示品質が損なわれることになる。

【0033】

一方、図 2 に示すように、前記のクロストーク量に対応する画素電極 6 3 の電圧変動量 V_q は、同時に書き込まれる画像信号 VIDEO_d[i] の加算値にほぼ比例した傾向を示す。

そこで、この実施形態では、前記の乗算係数 A_c を画像信号 VIDEO_d[i] の加算値に対する基板側端子 7 1 a の電圧変動量の増加率（比例定数）として設定しておき、それを画像信号 VIDEO_d[i] の加算値に乗算することにより基板側端子 7 1 a の電圧変動量 V_q を得るようにしている。

【0034】

従って、上記のように、補償データ作成部 2 で得られた電圧変動量 V_q を各単相処理部 1 - i の加算回路 1 2 で各画像データ VIDEO_d[i] に加算し、それを D/A 変換器 1 3 でアナログ信号に変換すると、予め前記の電圧変動量 V_q を補償した画像信号 VIDEO_o[i] が得られる。

そして、その n 相の画像信号 VIDEO_o[i] が D/A 変換器 1 3 から列信号線駆動回路 5 1 へ出力されるため、図 5 の液晶表示装置においては、組単位でクロストーク量を相殺した画像信号 VIDEO_o[i] による表示が可能になる。

また、この実施形態では、一般的な液晶表示装置と同様に、基板 7 1 自体が全ての表示画素 P_X の補助容量 6 2 に対する共通の基板側端子 7 1 a となっており、基板 7 1 に対して CC 信号を印加しておくだけで足りるため、図 8 に示した液晶表示装置のように基板上に複雑な CC 信号の印加用回路を形成する必要がない。

【0035】

尚、前記の乗算係数 A_c はデジタル信号として乗算回路 2 2 へ入力されるが、出力電圧を可変設定できる定電圧回路（図示せず）から得られる電圧を A/D 変換器（図示せず）でデジタル信号に変換して入力させればよい。

10

20

30

40

50

乗算係数 A_c の値は、予め各種の画像データ $V I D E O d [i]$ を用いて電圧変動分を実験的に求めておき、定電圧回路側で出力電圧を調整することにより得られる。

【 0 0 3 6 】

[実施形態 2]

先ず、この実施形態における液晶表示装置の基本回路部分も、実施形態 1 の場合と同様に、図 5 に示した構成とする。

また、各表示画素 P_X に係る補助容量 6 2 の基板側端子 7 1 a が図 9 に示したように基板 7 1 自体で構成されているものとする。

この実施形態の特徴は、列信号線駆動回路 5 1 に対する多相化画像信号の入力回路に図 3 に示すような信号処理回路が適用されている点にある。

10

【 0 0 3 7 】

この実施形態の特徴は、列信号線駆動回路 5 1 に対する多相化画像信号の入力回路に図 3 に示すような信号処理回路が適用されている点にある。

そして、図 3 と図 1 とを比較すれば明らかなように、この実施形態の信号処理回路と実施形態 1 の信号処理回路との相違は次のような点にある。

先ず、実施形態 1 では補償データ作成部 2 を加算回路 2 1 と乗算回路 2 2 とで構成しているが、この実施形態では、乗算回路 1 4 が各単相処理部 1 a - i に対してそれぞれ独立に組み込まれており、実施形態 1 の補償データ作成部 2 に相当するものが加算回路 2 1 と各単相処理部 1 a - i の各乗算回路 1 4 とで構成してある。

また、各単相処理部 1 a - i の加算回路 1 2 a は、乗算回路 1 4 の乗算結果をその各単相処理部 1 a - i に入力される画像信号 $V I D E O d [i]$ に加算するようになっている。

20

【 0 0 3 8 】

そして、この実施形態では、各単相処理部 1 a - i の乗算回路 1 4 に対してそれぞれ個別の乗算係数 $A_c [i]$ が設定されている。

即ち、各乗算係数 $A_c [i]$ は、列信号線駆動回路 5 1 によって n 相分の画像信号 $V I D E O [i]$ が組単位で各表示画素 P_X の補助容量 6 2 に書き込まれる際に、単相処理部 1 a - i に対応した表示画素 P_X の基板側端子 7 1 a に生じる個別の電圧変動量の増加率（比例定数）として設定されている。

【 0 0 3 9 】

この実施形態では、前記の図 3 に示した構成に基づいて、加算回路 2 1 が n 相分の各画像データ $V I D E O d [i]$ を全て加算し、その加算データ： $V a l$ に対して単相処理部 1 a - i の乗算回路 1 4 が乗算係数 $A_c [i]$ を乗算して補償データ： $\Delta V q [i] = A_c [i] * V a l$ を作成し、加算回路 1 2 a がその補償データ： $\Delta V q [i]$ を画像信号 $V I D E O d [i]$ に加算する。

30

その場合、実施形態 1 では補償データ作成部 2 で作成した補償データ $\Delta V q$ を一律に各画像データ $V I D E O d [i]$ に加算していたが、この実施形態では、各乗算係数 $A_c [i]$ を個別に調整設定できるため、各画像信号 $V I D E O d [i]$ が書き込まれる表示画素 P_X の特性に対応させた補償データ： $\Delta V q [i]$ を各画像データ $V I D E O d [i]$ に加算できることになる。

【 0 0 4 0 】

40

従って、半導体プロセスで製造される各表示画素 P_X における補助容量 6 2 の基板側端子 7 1 a へ接続される回路（図 5 における $C C$ 信号の印加回路）が偶数番目の列と奇数番目の列とで回路パターンを異ならしめてあり、それらの列毎に前記の基板側端子 7 1 a に生じる電圧変動分が異なるような場合には、各電圧変動分に対応させて乗算係数 $A_c [i]$ を個別に調整することにより、行方向に隣接している表示画素 P_X の画像信号間で生じるクロストークを防止できる。

また、 n 相分の画像信号 $V I D E O [i]$ が組単位で各表示画素 P_X の補助容量 6 2 に書き込まれる際に、組同士の境界部分で前記の電圧変動が大きくなることも想定されるが、この実施形態の装置によれば、そのような現象にも対応することが可能である。

【 0 0 4 1 】

50

〔実施形態 3〕

この実施形態は、前記の各実施形態がクロストークによる画素電極 63 の電圧変動量 V_q を予め画像信号 $V_{IDEO}[i]$ の入力側で補償しているのに対して、基板側端子 71a 側で補償するものである。

そして、この実施形態においても、前記の各実施形態と同様に、液晶表示装置の基本回路部分は図 5 に示した構成になっており、その基本回路部分についての説明は省略する。

また、各表示画素 P_X に係る補助容量 62 の基板側端子 71a が基板 71 自体で構成されている点も前記の各実施形態の場合と同様である。

【0042】

この実施形態の特徴は、列信号線駆動回路 51 に対する多相化画像信号の入力回路と CC 10 信号の印加回路に図 4 に示すような信号処理回路が適用されている点にある。

その信号処理回路は、多相化されたデジタル画像データ $V_{IDEOd}[i]$ に対応する各信号線に設けられた各単相処理部 3-i と、各画像データ $V_{IDEOd}[i]$ を用いて補償データを作成する補償データ作成部 4 とからなり、各単相処理部 3-i は遅延回路 31 と D/A 変換器 32 の直列回路として構成されており、また補償データ作成部 4 は加算回路 41 と乗算回路 42 と加算回路 43 と D/A 変換器 44 の直列回路として構成されている。

【0043】

そして、各単相処理部 3-i では、転送されてくる各画像データ $V_{IDEOd}[i]$ をクロック信号 CLK に同期した遅延回路 31 で遅延させ、 D/A 変換器 32 でアナログ信号 20 へ変換して列信号線駆動回路 51 へ出力させる。

一方、補償データ作成部 4 では、加算回路 41 が n 相分の各画像データ $V_{IDEOd}[i]$ を全て加算し、乗算回路 42 がその加算データに対して一定の係数 A_c を乗算し、更に、加算回路 43 によって乗算回路 42 が求めた前記の乗算値 V_q に対して本来の CC 信号を与えるデジタル信号 CCd を加算し、その加算データを D/A 変換器 44 でアナログ信号 CCq に変換する。

また、その変換後のアナログ信号 CCq は、図 5 の液晶表示装置における基板 71 に印加され、各表示画素 P_X に係る補助容量 62 の基板側端子 71a に対する共通の電圧とされる。

【0044】

ここで、乗算回路 42 の乗算係数 A_c は実施形態 1 で説明した値に相当する。

即ち、加算回路 41 による n 相分の各画像データ $V_{IDEOd}[i]$ を全て加算した結果にその係数 A_c を乗算した値が、図 5 の液晶表示装置において画像信号 $V_{IDEO}[i]$ が組単位で各表示画素 P_X の補助容量 62 に書き込まれた際の基板側端子 71a の電圧変動分 V_q に相当するように設定されている。

【0045】

また、各単相処理部 3-i に遅延回路 31 が設けられているのは、補償データ作成部 4 で前記の演算処理に時間を要するためであり、 D/A 変換器 32 でアナログ信号へ変換した画像信号 $V_{IDEO}[i]$ が列信号線駆動回路 51 によって各表示画素 P_X の補助容量 62 に書き込まれるタイミングと、補償データ作成部 4 が同一時点の画像信号 V_{IDEOd} 40 $[i]$ に基づいて作成した前記のアナログ信号 CCq が出力するタイミングとが同期するようになっている。

【0046】

従って、この実施形態によれば、組単位で画像信号 $V_{IDEO}[i]$ が各表示画素 P_X の補助容量 62 に書き込まれる際に、各表示画素 P_X に係る補助容量 62 の基板側端子 71a の電圧が本来の CC 信号に前記の電圧変動分 V_q を加算した電圧（アナログ信号 CCq の電圧）に設定されており、画像信号のクロストークによる電圧変動分を補償した画像表示を実行できる。

即ち、実施形態 1 の場合と同様に、図 5 の液晶表示装置において、組単位でクロストーク量を相殺した画像信号 $V_{IDEO}[i]$ による表示が可能になる。

また、基板 7 1 上に複雑な C C 信号の印加用回路を形成する必要がないことも実施形態 1 の場合と同様である。

【 0 0 4 7 】

更に、乗算回路 4 2 へ入力される乗算係数 A c のデジタル信号が出力電圧を可変設定できる定電圧回路と A / D 変換器で構成できることも実施形態 1 の場合と同様であり、また本来の C C 信号を与えるデジタル信号 C C d もそれと同様の回路構成で実現できることは当然である。

【 0 0 4 8 】

以上の各実施形態では、多相化されたデジタル画像データ V I D E O d [i] に対する信号処理回路について説明したが、本発明はアナログ画像信号に対する信号処理回路として構成することも可能である。 10

その場合には、D / A 変換器 1 3 , 3 2 , 4 4 は不要であり、他の回路を同様の機能を備えたアナログ回路に置き換えて構成すればよい。

【 0 0 4 9 】

【 発明の効果 】

本発明の液晶表示装置は、以上の構成を有していることにより、次のような効果を奏する。

請求項 1 の発明は、多相化された画像信号によって表示を行う液晶表示装置において、組単位で表示画素に書き込まれる画像信号が補助容量の基板側端子を通じてクロストークする不具合を、多相化画像信号の列信号線駆動回路に対する入力経路にクロストークによる 20 電圧変動分を補償する信号処理回路を設けることにより解消し、高い画像品質を実現する。

また、同様の目的で創作された従来技術の特願 2 0 0 2 - 1 9 9 3 5 5 号のように、補助容量の基板側端子に対する所定電圧を印加する回路を基板上に複雑な構成で形成する必要がなく、前記の所定電圧を基板自体又は基板に形成した導体層を共通の印加回路にできるため、液晶表示装置を製造するための半導体プロセスが簡素化できる。

請求項 2 の発明は、請求項 1 の発明が多相化画像信号に対する組単位での補償を行っているのに対して、画素単位での画像信号に対する補償を可能にし、よりきめ細かな調整によって更に高品質な画像表示を実現する。

請求項 3 の発明は、各表示画素における補助容量の基板側端子に所定電圧を印加する信号 30 経路に画像信号のクロストークによる電圧変動分を補償する信号処理回路を設けたことにより、請求項 1 の発明と同様の効果を実現する。

【 図面の簡単な説明 】

【 図 1 】 本発明の液晶表示装置の実施形態 1 に係る信号処理回路の回路図である。

【 図 2 】 乗算回路の乗算係数の概念を説明するためのグラフである。

【 図 3 】 実施形態 2 に係る信号処理回路の回路図である。

【 図 4 】 実施形態 3 に係る信号処理回路の回路図である。

【 図 5 】 多相化画像信号により画像表示を行う従来の液晶表示装置の回路図である。

【 図 6 】 主に行信号線駆動回路の動作タイミングを示すタイミングチャートである。

【 図 7 】 主に列信号線駆動回路の動作タイミングを示すタイミングチャートである。 40

【 図 8 】 画像信号のクロストークを抑制することを目的とした従来技術に係る液晶表示装置（特願 2 0 0 2 - 1 9 9 3 5 5 号）の回路図である。

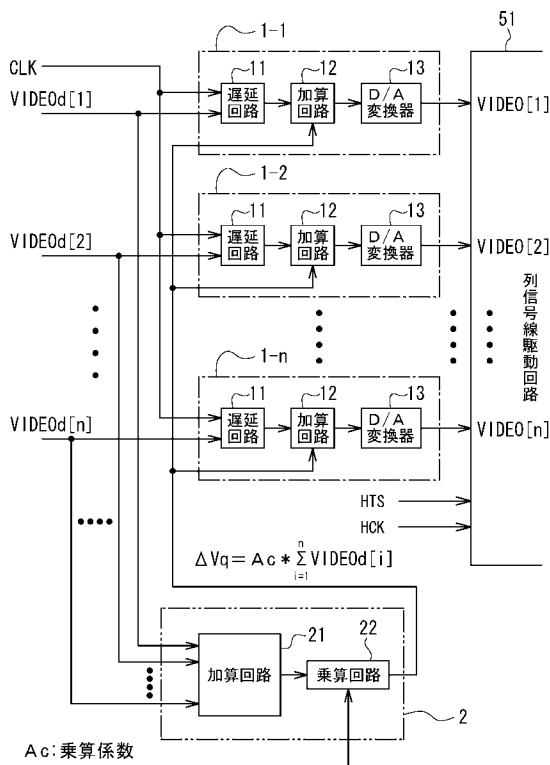
【 図 9 】 表示画素の断面構造図である。

【 符号の説明 】

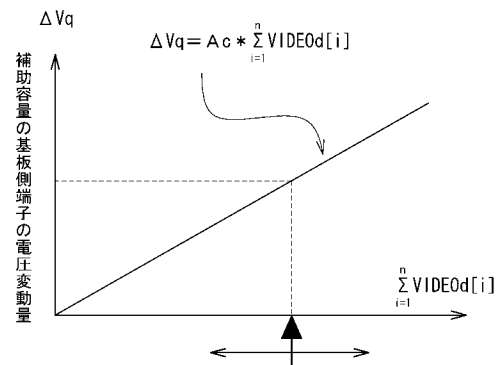
1 - i , 1 a - i , 3 - i : (但し、 i = 1 ~ n) ... 単相処理部、 2 , 4 ... 補償データ作成部、 1 1 , 3 1 ... 遅延回路、 1 2 , 1 2 a , 4 1 , 4 3 ... 加算回路、 1 3 , 3 2 , 4 4 ... D / A 変換器、 2 1 ... 加算回路、 1 4 , 2 2 , 4 2 ... 乗算回路、 5 1 ... 列信号線駆動回路、 5 2 ... 行信号線駆動回路、 6 1 ... トランジスタ（スイッチング用電界効果型トランジスタ）、 6 2 ... 補助容量（信号電圧保持用のコンデンサ）、 6 3 ... 画素電極、 6 4 ... 共通電極、 6 5 ... 液晶部材、 7 1 ... 基板、 7 1 a ... 補助容量の基板側端子、 7 2 ... 導体部、 7 50

3 ... 誘電体層、74 ... 透明基板、75 ... 絶縁層、76, 77 ... 液晶配向膜、 A_c ... 乗算係数、 CC ... CC 信号、 CCd ... 本来の CC 信号を与えるデジタル信号、 CCq ... 補償した後のアナログ CC 信号、 CLK ... クロック信号、 COM ... COM 信号、 $D(K)1 \sim D(K)n$: (但し、 $K = 1 \sim X$) ... 列信号線、 $G1 \sim Gj$... 行信号線、 HCK ... 水平クロック信号、 HST ... 水平スタート信号、 $VIDEO[i]$: (但し、 $i = 1 \sim n$) ... 多相化されたアナログ画像信号、 $VIDEOd[i]$: (但し、 $i = 1 \sim n$) ... 多相化されたデジタル画像データ、 $VIDEO(K)[i]$: (但し、 $i = 1 \sim n$) ... 多相化された画像信号の組、 VCK ... 垂直クロック信号、 VST ... 垂直スタート信号、 ΔVq ... 電圧変動量。

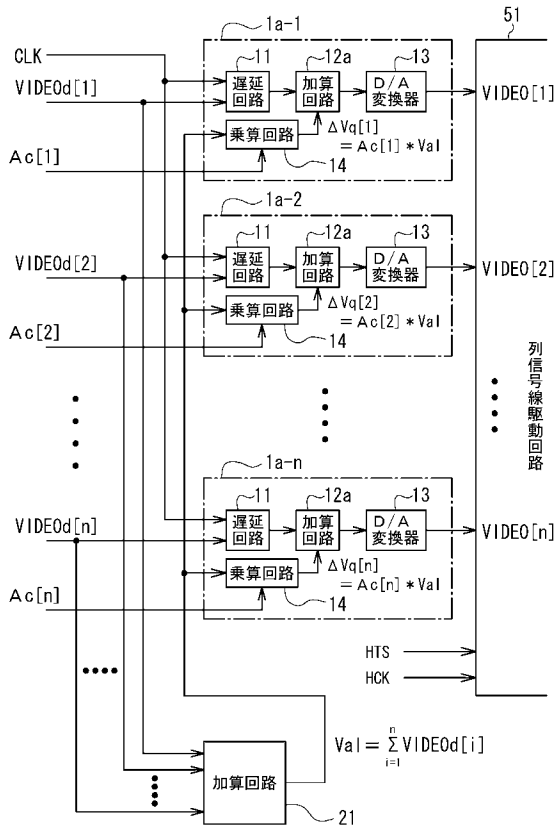
【図1】



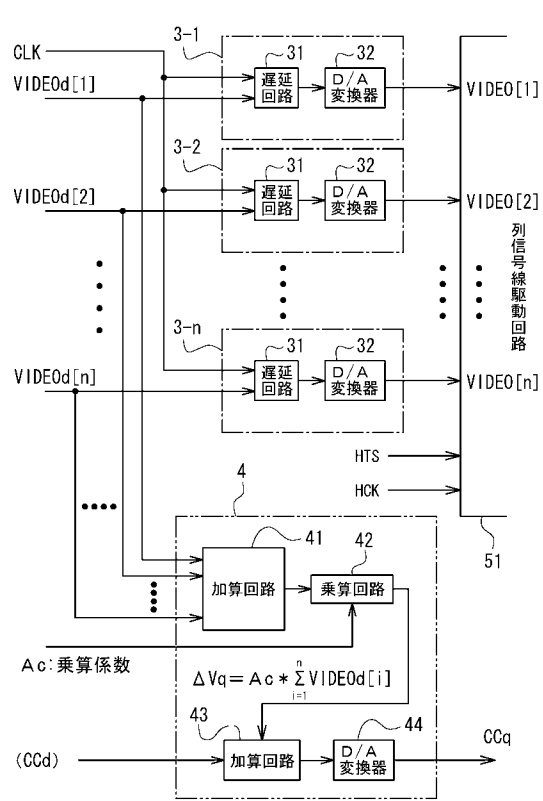
【図2】



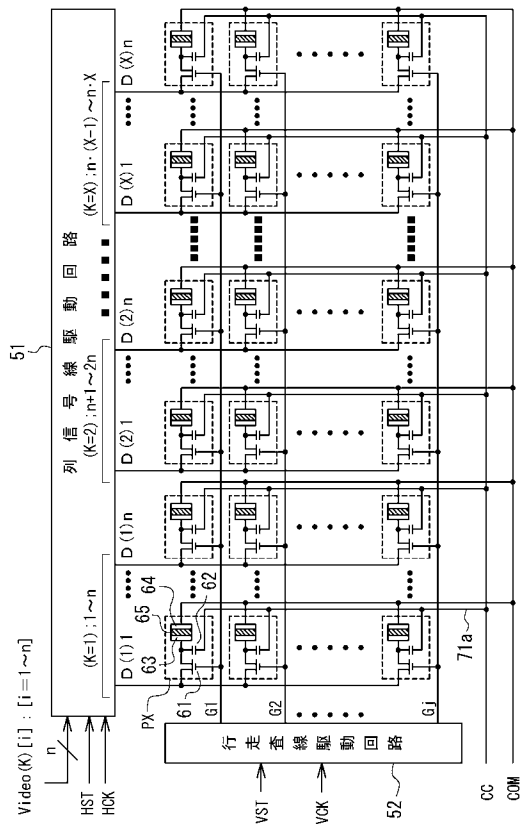
【図 3】



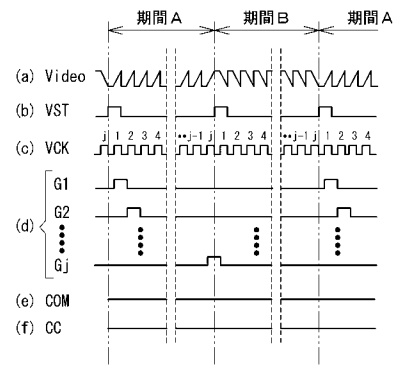
【図 4】



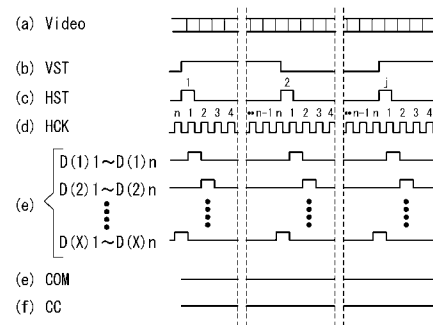
【図 5】



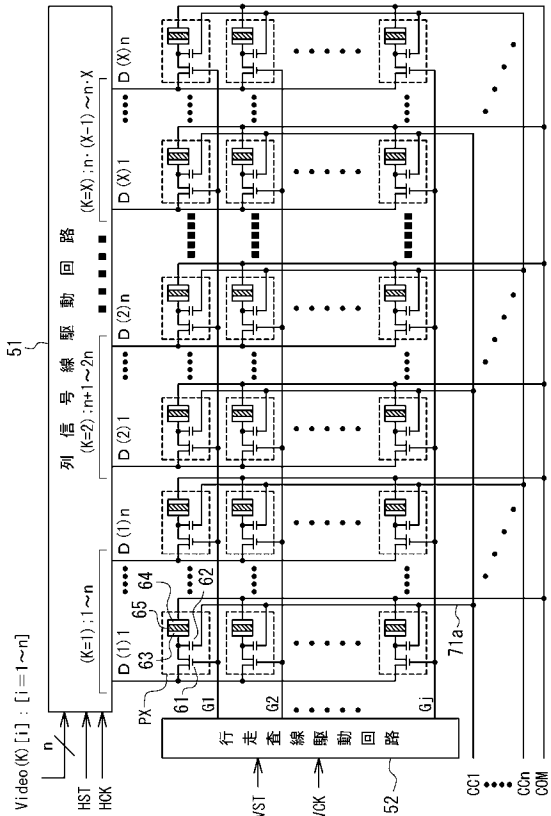
【図 6】



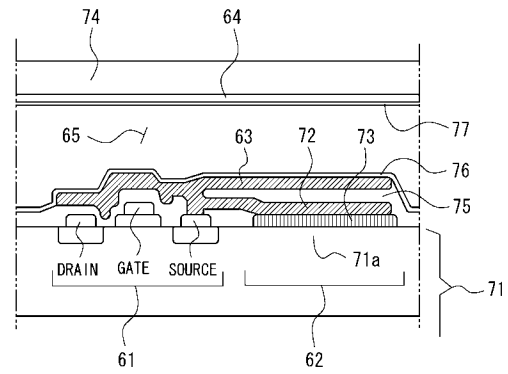
【図 7】



【図 8】



【図 9】



フロントページの続き(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 3 X
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 C

F ターム(参考)	5C006	AC21	AC25	AF43	AF45	AF46	AF82	BB16	BC03	BC06	BC12
		BC16	BC23	BF07	BF11	BF28	FA25	FA41			
	5C080	AA10	BB05	DD10	DD22	EE29	FF07	FF11	GG09	JJ02	JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004206050A	公开(公告)日	2004-07-22
申请号	JP2003139120	申请日	2003-05-16
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	内山裕治		
发明人	内山 裕治		
IPC分类号	G02F1/1368 G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.611.D G09G3/20.612.U G09G3/20.623.L G09G3/20.623.X G09G3/20.624.B G09G3/20.624.C		
F-TERM分类号	2H092/GA59 2H092/JA23 2H092/JB69 2H092/NA01 2H092/PA06 2H093/NA16 2H093/NA43 2H093/NA53 2H093/NA64 2H093/NC09 2H093/NC13 2H093/NC24 2H093/NC33 2H093/NC35 2H093/NC62 2H093/ND15 2H093/ND49 5C006/AC21 5C006/AC25 5C006/AF43 5C006/AF45 5C006/AF46 5C006/AF82 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BC23 5C006/BF07 5C006/BF11 5C006/BF28 5C006/FA25 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD10 5C080/DD22 5C080/EE29 5C080/FF07 5C080/FF11 5C080/GG09 5C080/JJ02 5C080/JJ04 2H193/ZA03 2H193/ZD23		
代理人(译)	永井 利和		
优先权	2002313668 2002-10-29 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止由于使用多相图像信号的液晶显示装置中的显示像素的辅助电容引起的图像信号的串扰，导致显示质量下降。 解决方案：用于处理数字图像数据VIDEOd [i]：(i = 1至n)的延迟电路11，加法器电路12和D / A转换器13的每个单相处理单元1-i。此外，提供补偿数据创建单元2，该补偿数据创建单元2包括用于将所有图像数据VIDEOd [i]相加的相加电路21和用于将相加结果与恒定系数Ac相乘的相乘电路22，并且相乘结果由每个单相处理单元1获得。-通过i的加法电路12将其添加到图像数据VIDEOd [i]。系数Ac被设置为使得乘法电路22的乘法结果与辅助电容的基板侧端子的电压波动量相对应的值，并且根据以组为单位写入的图像信号来补偿串扰量。 [选型图]图1

