

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-38041

(P2004-38041A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int.Cl.⁷

G02F 1/1343

G02F 1/1368

F I

G02F 1/1343

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 16 O L (全 20 頁)

(21) 出願番号 特願2002-197848 (P2002-197848)

(22) 出願日 平成14年7月5日(2002.7.5)

(71) 出願人 599142729

奇美電子股▲ふん▼有限公司

台湾台南県台南科学工業園区新市郷奇業路
1号

(74) 代理人 100089118

弁理士 酒井 宏明

(72) 発明者 古立 学

神奈川県大和市下鶴間1623番地14
インターナショナル ディスプレイ テク
ノロジー株式会社内

(72) 発明者 矢田 電也

神奈川県大和市下鶴間1623番地14
インターナショナル ディスプレイ テク
ノロジー株式会社内

最終頁に続く

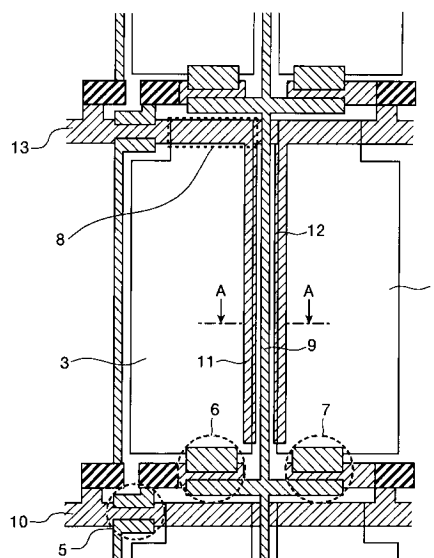
(54) 【発明の名称】 画像表示素子及び画像表示装置

(57) 【要約】

【課題】多重化画素構造を有する液晶表示装置において、縞模様の発生等を抑制し、高品位な画像表示が可能な液晶表示装置を実現する。

【解決手段】走査線13と走査線10との間に画素電極3及び画素電極4が信号線9を挟んで隣接した状態で配設されている。画素電極3は、第1の薄膜トランジスタ6のソース/ドレイン電極と接続し、第1の薄膜トランジスタ6のゲート電極は第2の薄膜トランジスタ5のソース/ドレイン電極と接続する。画素電極4は、第3の薄膜トランジスタ7のソース/ドレイン電極と接続している。また、画素電極3、4と走査線13とは一部層方向に重なり合う領域を有し、例えば画素電極3と走査線13とが重なり合う領域は蓄積容量8を形成する。また、画素電極3及び信号線9双方の近傍領域には静電遮蔽層11が配設され、画素電極4及び信号線9双方の近傍領域には静電遮蔽層12が配設されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

表示信号を供給する複数の信号線と、
走査信号を供給する複数の走査線と、
同一の信号線から表示信号を供給される第 1 の画素電極及び第 2 の画素電極と、
前記第 1 の画素電極に隣接する信号線が前記第 1 の画素電極に対して及ぼす電界を遮蔽する第 1 の静電遮蔽手段と、
前記第 2 の画素電極に隣接する信号線が前記第 2 の画素電極に対して及ぼす電界を遮蔽する第 2 の静電遮蔽手段と、
を備えたことを特徴とする画像表示素子。

10

【請求項 2】

前記同一の信号線と前記第 1 の画素電極との間に配設され、前記表示信号の供給を制御するゲート電極を備えた第 1 のスイッチング素子と、
前記第 1 のスイッチング素子の前記ゲート電極と所定の走査線との間に配設される第 2 のスイッチング素子と、
前記同一の信号線に接続され、前記第 2 の画素電極への前記表示信号の供給を制御する第 3 のスイッチング素子と、
をさらに備えることを特徴とする請求項 1 に記載の画像表示素子。

【請求項 3】

前記第 1 の静電遮蔽手段は、前記信号線の近傍であって、前記第 1 の画素電極よりも下層に配設される第 1 の導電層によって形成され、
前記第 2 の静電遮蔽手段は、前記信号線の近傍であって、前記第 2 の画素電極よりも下層に配設される第 2 の導電層によって形成されることを特徴とする請求項 1 または 2 に記載の画像表示素子。

20

【請求項 4】

前記第 1 の静電遮蔽手段と前記第 1 の画素電極は層方向に一部重なり合う領域を有し、
前記第 2 の静電遮蔽手段と前記第 2 の画素電極は層方向に一部重なり合う領域を有することを特徴とする請求項 1 ~ 3 のいずれか一つに記載の画像表示素子。

【請求項 5】

前記第 1 の静電遮蔽手段が配設された領域と対向する前記第 1 の画素電極の周縁部下層であって、層方向に前記第 1 の画素電極と一部重なり合う領域に配設され、前記第 1 の静電遮蔽手段と接続された第 1 の容量線と、
前記第 2 の静電遮蔽手段が配設された領域と対向する前記第 2 の画素電極の周縁部下層であって、層方向に前記第 2 の画素電極と一部重なり合う領域に配設され、前記第 2 の静電遮蔽手段と接続された第 2 の容量線と、
をさらに備えたことを特徴とする請求項 4 に記載の画像表示素子。

30

【請求項 6】

前記第 1 の静電遮蔽手段および前記第 2 の静電遮蔽手段は、互いが電氣的に接続されていることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の画像表示素子。

【請求項 7】

前記第 1 の静電遮蔽手段および前記第 2 の静電遮蔽手段は、所定の電位を有する配線構造に電氣的に接続されていることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の画像表示素子。

40

【請求項 8】

前記第 1 の静電遮蔽手段および前記第 2 の静電遮蔽手段は、所定の走査線に接続されていることを特徴とする請求項 1 ~ 7 のいずれか一つに記載の画像表示素子。

【請求項 9】

前記第 1 の静電遮蔽手段及び前記第 2 の静電遮蔽手段は、所定電位を有する電位供給線に接続されていることを特徴とする請求項 1 ~ 7 に記載の画像表示素子。

【請求項 10】

50

前記所定電位は、画素電極の電位変動範囲内に維持されることを特徴とする請求項 9 に記載の画像表示素子。

【請求項 11】

前記所定電位は、画素電極が配設される基板と所定距離離隔して対向配置された対向基板上に配設された共通電極の電位変動範囲内に維持されることを特徴とする請求項 9 に記載の画像表示素子。

【請求項 12】

画素を $M \times N$ (M 、 N は任意の自然数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、

表示信号を供給する信号線駆動回路と、

10

走査信号を供給する走査線駆動回路と、

前記信号線駆動回路から延びた複数の信号線と、

前記走査線駆動回路から延びた複数の走査線と、

同一の信号線から表示信号を供給される第 1 の画素電極及び第 2 の画素電極と、

前記第 1 の画素電極に隣接する信号線が前記第 1 の画素電極に対して及ぼす電界を遮蔽する第 1 の静電遮蔽手段と、

前記第 2 の画素電極に隣接する信号線が前記第 2 の画素電極に対して及ぼす電界を遮蔽する第 2 の静電遮蔽手段と、

を備えたことを特徴とする画像表示装置。

【請求項 13】

20

前記同一の信号線と前記第 1 の画素電極との間に配設され、前記表示信号の供給を制御するゲート電極を備えた第 1 のスイッチング素子と、

前記第 1 のスイッチング素子の前記ゲート電極と所定の走査線との間に配設される第 2 のスイッチング素子と、

前記同一の信号線に接続され、前記第 2 の画素電極への前記表示信号の供給を制御する第 3 のスイッチング素子と、

をさらに備えることを特徴とする請求項 12 に記載の画像表示装置。

【請求項 14】

前記第 1 の静電遮蔽手段および前記第 2 の静電遮蔽手段は、所定の走査線に接続されていることを特徴とする請求項 12 または 13 に記載の画像表示装置。

30

【請求項 15】

前記第 1 の静電遮蔽手段及び前記第 2 の静電遮蔽手段は、所定電位を有する電位供給線に接続されていることを特徴とする請求項 12 または 13 に記載の画像表示装置。

【請求項 16】

前記所定電位は、画素電極の電位変動範囲内に維持されることを特徴とする請求項 15 に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多重化画素構造を備えた画像表示素子及び画像表示装置に関し、特に、縦方向の縞模様等の画像表示特性の劣化を抑制する画像表示素子及び画像表示装置に関する。

40

【0002】

【従来の技術】

CRT ディスプレイにおいて進歩の遅かったディスプレイの高解像度化は、液晶をはじめとする新たな技術の導入と共に飛躍的な進歩を遂げようとしている。すなわち、液晶表示装置は微細加工を施すことにより CRT ディスプレイに比べて高精細化が比較的容易である。

【0003】

液晶表示装置として、スイッチング素子としての TFT (Thin Film Transistor: 薄膜トランジスタ) を用いたアクティブマトリックス方式の液晶表示装置

50

が知られている。このアクティブマトリックス方式の液晶表示装置は、走査線と信号線とをマトリックス状に配設し、その交点に薄膜トランジスタが配設されたTFTアレイ基板と、その基板と所定の間隔を隔てて配置される対向基板との間に液晶材料を封入し、この液晶材料に与える電圧を薄膜トランジスタによって制御して、液晶の電気光学的効果を利用して表示を可能としている。薄膜トランジスタのオン・オフは、走査線と信号線とによって与えられる電位によって制御され、かかる走査線および信号線は、それぞれ駆動回路に接続されている。

【0004】

液晶表示装置の近年の高精細化の傾向に鑑みて、画素の増大に伴って信号線及び走査線の本数が増大し、駆動ICの数も増大する傾向がある。かかる傾向は製造コストの上昇と共に歩留まりの悪化を招くため、複数の画素電極群に対して1本の信号線によって時分割で電位を与えることで信号線の本数及び信号線に接続する駆動ICの数を低減する構造（以下において、「多重化画素構造」と称する）が提案されている。

10

【0005】

図14は、かかる多重化画素構造を有する液晶表示装置を構成するTFTアレイ基板の構造の一例について示す等価回路図である。図14に示すように、例えば画素電極A1は、第1の薄膜トランジスタM1及び第2の薄膜トランジスタM2を介して走査線G_{n+1}及び走査線G_{n+2}に接続され、信号線D_mから表示信号を供給される。また、画素電極B1は、第3の薄膜トランジスタM3を介して走査線G_{n+1}に接続され、同じく信号線D_mから表示信号を供給される。他の画素電極も同様の回路構造と接続されることで、例えば同一の信号線D_mから順次画素電極A1、B1、C1、D1と表示信号が供給され、画像を表示する。かかる構造を採用することで、図14でも示すように信号線の本数を低減し、ひいては信号線に接続する駆動ICの数を低減することで、製造コストの低減および製造歩留まりの向上を実現することが可能となる。

20

【0006】

なお、図14に示す配線構造以外でも、特開平6-148680号公報、特開平11-2837号公報、特開平5-265045号公報、特開平5-188395号公報、特開平5-303114号公報等において多重化画素構造を用いた液晶表示装置について開示がなされている。

【0007】

【発明が解決しようとする課題】

しかしながら、本願発明者等の研究により、従来の多重化画素構造を用いた液晶表示装置は、単一の信号線によって単一の画素電極群に対して電位を供給する液晶表示装置と比較して画面品位が劣ることが判明した。

30

【0008】

具体的には、本願発明者等は、信号線が延伸する方向を縦方向とした場合に、縦方向の縞模様が横方向に一定の周期で表示される問題を知るに至った。かかる画面品位上の問題は、複雑な画像を表示する場合には比較的目立たないが、例えば、画面の広い領域に同一中間色の中間調を表示する場合には顕著に観察されることとなる。

【0009】

カラー画像表示を行う液晶表示装置では、R（赤）、G（緑）、B（青）をそれぞれ表示する画素電極（以下、かかる3個の画素電極及びこれらに付随するスイッチング素子をまとめて「画素」と称する）を一単位として画像を表示する。そして、画素を構成する個々の画素電極に対して所定の電位を供給することによって所定の色表示がなされている。かかる画素が複数配置された状態において、例えば同一色を表示するよう信号線及び走査線から所定の信号が供給されているにもかかわらず、完全に同一の色の表示が行われないことによって縦方向の縞模様が発生している。すなわち、画素電極に着目すると横方向に配列された6個の画素電極を一周期として横方向に縞模様が連続することとなる。

40

【0010】

かかる問題は多重化画素構造以外の配線構造を有する液晶表示装置では観察されないこと

50

と、多重化画素構造を有する液晶表示装置が本願出願時以前では実用化されていなかったことに起因して一般に知られていなかった。しかし、多重化画素構造を有する液晶表示装置を実現化するためにはかかる縞模様の発生を防止することは避けられない重要な問題である。

【 0 0 1 1 】

本発明は、上記従来技術の欠点に鑑みてなされたものであって、多重化画素構造を有する駆動方式を採用した画像表示素子及び画像表示装置において、縞模様の発生を抑制し、高品位の画像を出力できる画像表示素子及び画像表示装置を実現することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

上記目的を達成するため、本発明の画像表示素子は、表示信号を供給する複数の信号線と、走査信号を供給する複数の走査線と、同一の信号線から表示信号を供給される第1の画素電極および第2の画素電極と、前記第1の画素電極に隣接する信号線が前記第1の画素電極に対して及ぼす電界を遮蔽する第1の静電遮蔽手段と、前記第2の画素電極に隣接する信号線が前記第2の画素電極に対して及ぼす電界を遮蔽する第2の静電遮蔽手段とを備えたことを特徴とする。

【 0 0 1 3 】

この発明によれば、第1及び第2の静電遮蔽手段を設けることとしたため、画素電極に近接する信号線の電位変動が画素電極に対して影響を及ぼすことを抑制もしくは防止することができ、信号線ごとに電位変動がことなる場合であっても、縞模様等の画面品位の劣化を抑制し、高品位の画像表示を行うことができる。

【 0 0 1 4 】

また、本発明の画像表示素子は、上記の発明において、前記同一の信号線と前記第1の画素電極との間に配設され、前記表示信号の供給を制御するゲート電極を備えた第1のスイッチング素子と、前記第1のスイッチング素子の前記ゲート電極と所定の走査線との間に配設される第2のスイッチング素子と、前記同一の信号線に接続され、前記第2の画素電極への前記表示信号の供給を制御する第3のスイッチング素子とをさらに備えることを特徴とする。

【 0 0 1 5 】

また、本発明の画像表示素子は、上記の発明において、前記第1の静電遮蔽手段は、前記信号線の近傍であって、前記第1の画素電極よりも下層に配設される第1の導電層によって形成され、前記第2の静電遮蔽手段は、前記信号線の近傍であって、前記第2の画素電極よりも下層に配設される第2の導電層によって形成されることを特徴とする。

【 0 0 1 6 】

また、本発明の画像表示素子は、上記の発明において、前記第1の静電遮蔽手段と前記第1の画素電極は層方向に一部重なり合う領域を有し、前記第2の静電遮蔽手段と前記第2の画素電極は層方向に一部重なり合う領域を有することを特徴とする。

【 0 0 1 7 】

また、本発明の画像表示素子は、上記の発明において、前記第1の静電遮蔽手段が配設された領域と対向する前記第1の画素電極の周縁部下層であって、層方向に前記第1の画素電極と一部重なり合う領域に配設され、前記第1の静電遮蔽手段と接続された第1の容量線と、前記第2の静電遮蔽手段が配設された領域と対向する前記第2の画素電極の周縁部下層であって、層方向に前記第2の画素電極と一部重なり合う領域に配設され、前記第2の静電遮蔽手段と接続された第2の容量線とをさらに備えたことを特徴とする。

【 0 0 1 8 】

また、本発明の画像表示素子は、上記の発明において、前記第1の静電遮蔽手段および前記第2の静電遮蔽手段は、互いが電氣的に接続されていることを特徴とする。

【 0 0 1 9 】

この発明によれば、第1の静電遮蔽手段と第2の静電遮蔽手段とが等しい電位を有することとなるため、かかる第1の静電遮蔽手段が第1の画素電極に及ぼす影響と、第2の静電

10

20

30

40

50

遮蔽手段が第2の画素電極に及ぼす影響とが等しいものとなり、画面品位の劣化を抑制することができる。

【0020】

また、本発明の画像表示素子は、上記の発明において、前記第1の静電遮蔽手段および前記第2の静電遮蔽手段は、所定の電位を有する配線構造に電氣的に接続されていることを特徴とする。

【0021】

また、本発明の画像表示素子は、上記の発明において、前記第1の静電遮蔽手段および前記第2の静電遮蔽手段は、所定の走査線に接続されていることを特徴とする。

【0022】

また、本発明の画像表示素子は、上記の発明において、前記第1の静電遮蔽手段及び前記第2の静電遮蔽手段は、所定電位を有する電位供給線に接続されていることを特徴とする。

10

【0023】

また、本発明の画像表示素子は、上記の発明において、前記電位は、画素電極の電位変動範囲内に維持されることを特徴とする。

【0024】

この発明によれば、静電遮蔽手段の電位を画素電極とほぼ同等の値とすることで、静電遮蔽手段と画素電極との間の電位差に起因した画像品位の劣化を防止することができる。

【0025】

また、本発明の画像表示素子は、上記の発明において、前記電位は、画素電極が配設される基板と所定距離離隔して対向配置された対向基板上に配設された共通電極の電位変動範囲内に維持されることを特徴とする。

20

【0026】

また、本発明の画像表示装置は、画素を $M \times N$ (M 、 N は任意の自然数)のマトリックス状に配列して画像表示部を形成した画像表示装置であって、表示信号を供給する信号線駆動回路と、走査信号を供給する走査線駆動回路と、前記信号線駆動回路から延びた複数の信号線と、前記走査線駆動回路から延びた複数の走査線と、同一の信号線から表示信号を供給される第1の画素電極及び第2の画素電極と、前記第1の画素電極に隣接する信号線が前記第1の画素電極に対して及ぼす電界を遮蔽する第1の静電遮蔽手段と、前記第2の画素電極に隣接する信号線が前記第2の画素電極に対して及ぼす電界を遮蔽する第2の静電遮蔽手段と、を備えたことを特徴とする。

30

【0027】

また、本発明の画像表示装置は、上記の発明において、前記同一の信号線と前記第1の画素電極との間に配設され、前記表示信号の供給を制御するゲート電極を備えた第1のスイッチング素子と、前記第1のスイッチング素子の前記ゲート電極と所定の走査線との間に配設される第2のスイッチング素子と、前記同一の信号線に接続され、前記第2の画素電極への前記表示信号の供給を制御する第3のスイッチング素子と、をさらに備えることを特徴とする。

【0028】

また、本発明の画像表示装置は、上記の発明において、前記第1の静電遮蔽手段および前記第2の静電遮蔽手段は、所定の走査線に接続されていることを特徴とする。

40

【0029】

また、本発明の画像表示装置は、上記の発明において、前記第1の静電遮蔽手段及び前記第2の静電遮蔽手段は、所定電位を有する電位供給線に接続されていることを特徴とする。

【0030】

また、本発明の画像表示装置は、上記の発明において、前記第1の静電遮蔽手段及び前記第2の静電遮蔽手段は、所定電位を有する電位供給線に接続されていることを特徴とする。

50

【 0 0 3 1 】

また、本発明の画像表示装置は、上記の発明において、前記電位は、画素電極の電位変動範囲内に維持されることを特徴とする。

【 0 0 3 2 】

【発明の実施の形態】

以下、図面を参照して本発明にかかる画像表示装置について、液晶表示装置を例に説明する。図面の記載において、同一または類似部分には同一あるいは類似の符号、名称を付している。なお、図面は模式的なものであり、現実のものとは異なることに留意が必要である。また、図面の相互間においても、互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

10

【 0 0 3 3 】

(実施の形態 1)

まず、実施の形態 1 にかかる液晶表示装置について説明する。本実施の形態 1 にかかる液晶表示装置は、画素電極と、画素電極に隣接する信号線との間に生じる電界を遮蔽する金属層を備えた TFT アレイ基板を有する構造からなる。なお、液晶表示装置としては、TFT アレイ基板に対向して配置される対向基板、バックライトユニット等他の要素を備える必要があるが、これらは本発明における特徴部分ではないことからその説明を省略する。また、本発明は以下図面等で示す構造のみならず、広く多重化画素構造を用いた画像表示装置に適用可能であることは言うまでもない。また、以下で説明する薄膜トランジスタは 3 端子を備えたスイッチング素子であり、液晶表示装置に用いる場合には信号線に接続する側をソース電極、画素電極に接続する側をドレイン電極と称するのが一般的であるが、逆に称する場合もあり、一義的に定まってははいない。そこで、以下の記載においては薄膜トランジスタを構成する 3 端子のうち、ゲート電極を除いた 2 端子について共にソース / ドレイン電極と称する。

20

【 0 0 3 4 】

図 1 は、TFT アレイ基板の構造を示す平面図である。図 1 に示すように、TFT アレイ基板は、信号線 1 を介して表示領域 S 内に配置される画素電極に表示信号を供給、つまり電圧を印加するための信号線駆動回路 SD と、走査線 2 を介して薄膜トランジスタのオン・オフを制御する操作信号を供給する走査線駆動回路 GD とを備えている。表示領域 S 内には画素が $M \times N$ (M 、 N は任意の正の整数) の数だけマトリックス状に配列してある。

30

【 0 0 3 5 】

図 2 は、TFT アレイ基板上の表示領域 S 内における画素電極及び画素電極と接続する回路素子の実際の配置の態様について示す平面図である。図 2 に示すように、走査線 13 と走査線 10 との間に画素電極 3 及び画素電極 4 が信号線 9 を挟んで隣接した状態で配設されている。

【 0 0 3 6 】

また、画素電極 3 は、第 1 の薄膜トランジスタ 6 のソース / ドレイン電極と接続され、第 1 の薄膜トランジスタ 6 のゲート電極は第 2 の薄膜トランジスタ 5 のソース / ドレイン電極と接続している。さらに、画素電極 4 は、第 3 の薄膜トランジスタ 7 のソース / ドレイン電極と接続している。また、画素電極 3、4 と走査線 13 とは一部層方向に重なり合う領域を有し、例えば画素電極 3 と走査線 13 とが重なり合う領域は蓄積容量 8 を形成する。なお、画素電極 3、4 及び周囲に配設された薄膜トランジスタ、信号線、走査線相互間の電氣的接続については、図 4 の等価回路の説明において詳説するため、ここでは省略する。

40

【 0 0 3 7 】

さらに、画素電極 3 及び信号線 9 双方の近傍領域には静電遮蔽層 11 が配設され、画素電極 4 及び信号線 9 双方の近傍領域には静電遮蔽層 12 が配設されている。かかる静電遮蔽層 11、12 はそれぞれ走査線 13 に接続された構造を有し、信号線 9 から生じる電界が画素電極 3、4 に及ぼす影響を防止もしくは抑制するためのものであるが、これについては後に詳説する。

50

【 0 0 3 8 】

図 3 は、図 2 の A - A 線の断面図である。図 3 に示すように、本実施の形態 1 にかかる液晶表示装置は、画素電極 3、4 が T F T アレイ基板表面上に配設され、画素電極 3 及び画素電極 4 の間であって、層方向に関して下方に信号線 9 が配設されている。さらに、画素電極 3 と信号線 9 との間であって、層方向に関して下方に静電遮蔽層 1 1 が配設されている。静電遮蔽層 1 1 は、層方向に関して画素電極 3 と一部重なり合う領域を有するように配設され、静電遮蔽層 1 2 は、層方向に関して画素電極 4 と一部重なり合う領域を有するように配設される。

【 0 0 3 9 】

静電遮蔽層 1 1、1 2 が配置される位置は、図 2 及び図 3 で示すものに限定されず、画素電極 3、4 に対して信号線 9 から生じる電界の影響を遮蔽する機能を有するのであれば他の位置でも良い。なお、図 3 に示す静電遮蔽層 1 1、1 2 は、T F T アレイ基板を製造するにあたって走査線及び薄膜トランジスタと同一工程において形成可能であるため、静電遮蔽層 1 1、1 2 を配設するにあたって製造工程が複雑化することはない。

【 0 0 4 0 】

図 4 は、図 1 における表示領域 S 内の配線構造の等価回路について示す図である。図 4 に示すように、表示領域 S 内の配線構造は、複数の走査線及び信号線がマトリックス状に配置され、走査線 G_n (n は正の整数) と走査線 G_{n+1} に挟まれた領域上に、信号線 D_{3m+1} (m は 0 以上の整数) を挟んで画素電極 r_{11} 及び画素電極 g_{11} が隣接して配置されている。同様に、信号線 D_{3m+2} を挟んで画素電極 b_{11} 及び画素電極 r_{12} が隣接して配置され、信号線 D_{3m+3} 、信号線 D_{3m+4} を挟んでそれぞれ画素電極 g_{12} 、 b_{12} 及び画素電極 r_{13} 、 g_{13} が配置されている。また、画素電極 r_{11} 、 g_{11} の後段には走査線 G_{n+1} と走査線 G_{n+2} との間にそれぞれ画素電極 r_{21} 、 g_{21} が配置され、同様に順次画素電極 b_{21} 、 r_{22} 、 g_{22} 、 b_{22} 等が配置されている。

【 0 0 4 1 】

また、各画素電極はそれぞれ所定の回路素子を介して信号線及び走査線に接続している。画素電極 r_{11} を例に説明すると、画素電極 r_{11} は第 1 の薄膜トランジスタ M_1 の一方のソース/ドレイン電極と接続され、薄膜トランジスタ M_1 の他方のソース/ドレイン電極は信号線 D_{3m+1} と接続され、ゲート電極は第 2 のトランジスタ M_2 の一方のソース/ドレイン電極と接続している。また、第 2 の薄膜トランジスタ M_2 の他方のソース/ドレイン電極は走査線 G_{n+2} と接続し、ゲート電極は、走査線 G_{n+1} と接続している。さらに、画素電極 r_{11} は、蓄積容量 C_s を介して走査線 G_n と接続している。

【 0 0 4 2 】

画素電極 g_{11} は、第 3 の薄膜トランジスタ M_3 の一方のソース/ドレイン電極と接続している。第 3 の薄膜トランジスタ M_3 の他方のソース/ドレイン電極は、信号線 D_{3m+1} と接続し、ゲート電極は走査線 G_{n+1} と接続している。また、画素電極 g_{11} は蓄積容量 C_s を介して走査線 G_n と接続されている。

【 0 0 4 3 】

他の電極も、走査線 G_n と走査線 G_{n+1} との間に配設された画素電極については、信号線 $D_{3m+2} \sim D_{3m+4}$ の左側にそれぞれ配設される画素電極 b_{11} 、 g_{12} 、 r_{13} は周囲の走査線及び信号線に対して画素電極 r_{11} と等価の配線構造を有する。また、信号線 $D_{3m+2} \sim D_{3m+4}$ の右側にそれぞれ配設された画素電極 r_{12} 、 b_{12} 、 g_{13} は周囲の走査線及び信号線に対して画素電極 g_{11} と等価の配線構造を有する。

【 0 0 4 4 】

また、信号線 $D_{3m+1} \sim D_{3m+4}$ の右側に配設された画素電極 g_{21} 、 r_{22} 、 b_{22} 、 g_{23} は、画素電極 r_{11} と同様に、それぞれの画素電極に対応して配設された第 1 の薄膜トランジスタ及び第 2 の薄膜トランジスタを介してそれぞれ所定の信号線及び走査線に接続される。また、それぞれ信号線 $D_{3m+1} \sim D_{3m+4}$ の左側に配設された画素電極 r_{21} 、 b_{21} 、 g_{22} 、 r_{23} は画素電極 g_{11} と同様にそれぞれの画素電極に対応して配設された第 3 の薄膜トランジスタを介してそれぞれ所定の信号線及び走査線に接

10

20

30

40

50

続される。以下、図 4 に示すように各画素電極は周囲の走査線及び信号線に対して配線されている。

【 0 0 4 5 】

次に、静電遮蔽層 1 1、1 2 の作用を説明する。以下においては、まず多重化画素構造を用いた液晶表示装置において画素電極に電位を供給する基本的なメカニズムについて説明する。そして、同一中間色の中間調表示の表示を例として各信号線における電位変動について説明した上で、静電遮蔽層 1 1、1 2 が果たす機能についての説明を行う。

【 0 0 4 6 】

まず、画素電極に電位を供給するメカニズムについて説明する。図 5 は、各信号線及び走査線から供給される電位の変化を示すタイミングチャートである。なお、以下の説明では各画素電極に電位が供給されるメカニズムの理解を目的とするため、図 5 に示すタイミングチャートにおいては階調の変化について特に示していない。また、以下の説明では、理解を容易にするため信号線 D_{3m+1} に接続する画素電極についてのみ説明を行うが、他の信号線 $D_{3m+2} \sim D_{3m+4}$ と接続する画素電極及び図 4 において図示省略した画素電極についても基本的な動作は同様に行われることはもちろんである。

【 0 0 4 7 】

図 5 に示す $D_{3m+1}(1)$ 及び $D_{3m+1}(2)$ は、信号線 D_{3m+1} により供給されるデータ信号の電位もしくは極性が変化するタイミングを示している。また、図 5 において、走査線 $G_n \sim G_{n+3}$ 線図は、走査線 G_n の選択、非選択を示している。具体的には、この線図が立ち上がっている部分は当該走査線が選択されていて、そうでない部分は当該走査線が非選択の状態を示している。

【 0 0 4 8 】

走査線 G_{n+1} と走査線 G_{n+2} の両方が選択されてから走査線 G_{n+2} が非選択電位になるまでの期間 t_1 には、第 1 の薄膜トランジスタ $M_1 \sim$ 第 3 の薄膜トランジスタ M_3 がオンされる。この期間 t_1 において、信号線 D_{3m+1} から画素電極 r_{11} に与えるべき電位 V_{1a} が供給される。これにより画素電極 r_{11} の電位が決定される。

【 0 0 4 9 】

そして、走査線 G_{n+2} が非選択電位になった後に、信号線 D_{3m+1} から供給される電位が V_{1b} に変化し、かかる電位が画素電極 g_{11} に与えられることで画素電極 g_{11} の電位が決定される。図 5 に示すように、走査線 G_{n+2} が非選択電位になった後の期間 t_2 において、走査線 G_{n+1} を選択電位に維持することで、薄膜トランジスタ M_1 がオフされ、かつ薄膜トランジスタ M_3 がオンされた状態となる。そのため、画素電極 r_{11} に対する電位の供給は停止する一方、画素電極 g_{11} に対しては引き続き信号線 D_{3m+1} から電位が供給され、画素電極 g_{11} の電位が決定される。

【 0 0 5 0 】

そして、走査線 G_{n+1} が非選択電位になった後の期間 t_3 に、信号線 D_{3m+1} から供給される電位が V_{1c} に変化し、走査線 G_{n+2} が再び選択電位になると共に、走査線 G_{n+3} が選択電位になる。これにより、画素電極 r_{21} 、画素電極 g_{21} に対して信号線 D_{3m+1} から電位 V_{1c} が供給され、画素電極 g_{21} の電位が決定される。以下、順次選択電位となる走査線の切り替え及びこれに対応して信号線 D_{3m+1} の電位を切り替えることによって、信号線 D_{3m+1} を挟んで隣接する画素電極 r_{21} 以下の電位が決定されていく。以上説明したように、所定の信号線及び走査線によって適切な電位を供給することで、信号線 D_{3m+1} に接続する各画素電極は、画素電極 r_{11} 、 g_{11} 、 g_{21} 、 r_{21} の順に所定の電位が供給されることとなる。このことは、他の信号線に接続する画素電極についても同様であって、信号線 D_{3m+2} に接続する画素電極については、画素電極 b_{11} 、 r_{12} 、 r_{22} 、 b_{21} の順に電位が供給される。また、信号線 D_{3m+3} に接続する画素電極は、画素電極 g_{12} 、 b_{12} 、 b_{22} 、 g_{22} の順で、信号線 D_{3m+4} に接続する画素電極は、画素電極 r_{13} 、 g_{13} 、 g_{23} 、 r_{23} の順に電位を供給される。

【 0 0 5 1 】

10

20

30

40

50

次に、表示領域 S で同一中間色の中間調を表示した場合の各信号線における電位変動について説明する。本実施の形態 1 にかかる液晶表示装置のように、多重化画素構造を有する場合には各画素において同一中間色の中間調を表示する場合であっても供給する電位のタイミングチャートは信号線ごとに異なる。以下においては表示領域 S 全体に渡って中間調の黄色を表示する場合を例として、信号線ごとにタイミングチャートが異なる形状となることを説明する。

【0052】

各画素に中間調の黄色を表示するためには、画素を構成する要素のうち、R 及び G を中間階調で表示し、B を非表示状態にする必要がある。そのため、例えばノーマリーホワイトモードの場合、各画素を構成する画素電極に対して、B を非表示のために画素電極 $b_{11} \sim b_{22}$ に対して透過率が 0 となる定格電位を供給し、R、G を中間階調で表示するために画素電極 $r_{11} \sim r_{23}$ および画素電極 $g_{11} \sim g_{23}$ に対して、例えば、定格電位の半分程度の電位を供給する必要がある。

10

【0053】

図 6 は、表示領域全体で中間調の黄色を表示する際における信号線 $D_{3m+1} \sim D_{3m+4}$ の電位変動を示すタイミングチャートである。画素電極 r_{11} 、 r_{21} 及び画素電極 g_{11} 、 g_{21} に電位を供給する信号線 D_{3m+1} は、画素電極が切り替わる際に電位の絶対値を変化させる必要がないため、極性の変化を除いて一様なタイミングチャートとなる。一方で、信号線 D_{3m+2} は、画素電極 b_{11} 、 b_{21} に対しては定格電位を供給し、画素電極 r_{12} 、 r_{22} に対して定格電位の半分の電位を供給する必要がある。そのため、信号線 D_{3m+2} は、電位を供給する対象が画素電極 b_{11} から画素電極 r_{12} へ、画素電極 r_{22} から画素電極 b_{21} へと切り替わるたびに供給する電位を変化させる必要があり、極性の変化も含めると、図 6 で示すように信号線 D_{3m+1} とは異なるタイミングチャートとなる。

20

【0054】

さらに、信号線 D_{3m+3} のタイミングチャートも信号線 D_{3m+1} と異なる波形となる。具体的には、信号線 D_{3m+3} は、画素電極 g_{12} 、 g_{22} 及び画素電極 b_{12} 、 b_{22} に対して電位を供給する必要がある。画素電極 g_{12} 、 g_{22} に対しては定格電位の半分の電位を供給し、画素電極 b_{12} 、 b_{22} に対しては定格電位を供給する。このため、電位を供給する対象が画素電極 g_{12} から画素電極 b_{12} へ、画素電極 b_{22} から画素電極 g_{22} へと切り替わるたびに供給電位を変化させる必要があり、極性の変化も含めると、図 6 に示すタイミングチャートとなる。なお、信号線 D_{3m+4} は、画素電極 $r_{13} \sim r_{23}$ 及び画素電極 $g_{13} \sim g_{23}$ に対して定格電位の半分の電位を供給する。そのため、信号線 D_{3m+1} と同様に極性の変化を除くと一様なタイミングチャートとなる。以上のように、信号線から供給される電位に着目すると、表示領域 S 全体で同一色を表示するにも関わらず、信号線 D_{3m+1} のタイミングチャートと信号線 D_{3m+2} 、 D_{3m+3} のタイミングチャートとは異なるものとなる。一方、図 4 に示すように、信号線 D_{3m+1} と信号線 D_{3m+4} は接続した画素電極に供給する電位は一定となるため、これらのタイミングチャートは、極性は逆となるが、同等のものとなる。すなわち、信号線によって供給される電位のタイミングチャートは、3 本の信号線を 1 周期として変化することが分かる。

30

40

【0055】

図 2 及び図 3 に示す実際の配線構造からも明らかなように、開口率を高める観点から画素電極と信号線とはきわめて近接して配設されている。そのため、仮に画素電極と信号線との間に誘電体のみが存在する場合、画素電極の電位が信号線の電位変動の影響を受けることとなる。例えば、画素電極 r_{11} と画素電極 r_{12} とでは、それぞれ接続する信号線 D_{3m+1} と信号線 D_{3m+2} のタイミングチャートが異なることにより、信号線から受ける影響が異なる。そのため、画素電極 r_{11} と画素電極 r_{12} とは、本来同一階調の電位を供給されているにもかかわらず実効的な電位が微妙に異なることとなり、同様の理由から画素電極 g_{11} と画素電極 g_{12} の実効的な電位も微妙に異なる。従って、それぞれの

50

画素電極が属する画素から表示される色も微妙な相違が生ずることとなる。一方、信号線 $D3m+1$ と信号線 $D3m+4$ の電位のタイミングチャートは同様のものとなるため、画素電極 $r11$ と画素電極 $r13$ 、画素電極 $g11$ と画素電極 $g13$ 等とはそれぞれ信号線から同等の影響を受け、それぞれの画素電極が属する画素から表示される色は同様なものとなる。従って、信号線の電位変動の影響が避けられない場合には、画素単位で考えると2個の画素で1周期、画素電極単位で考えると6個の画素電極で1周期の縞模様が生じることとなる。本願発明者等は、従来の液晶表示装置で実際に観察される縞模様の周期と、上記した画素電極の周期とが一致することを見出し、上記した原因によって縞模様が発生することを確認している。

【0056】

10

このため、本実施の形態1にかかる液晶表示装置では、静電遮蔽層11、12を設けることで画素電極に対する信号線の影響を排除し、縞模様の発生を抑制している。画素電極に対する信号線の電位変動の影響によって縞模様が発生するのであるから、縞模様の発生を抑えるためには信号線と画素電極との間の電気的な相関関係を解消する必要があるためである。かかる理由に基づき、本実施の形態1では、画素電極から生じる電界を遮蔽する静電遮蔽層を画素電極の近傍に設けている。

【0057】

以下、図7を用いて静電遮蔽層11、12の機能について説明する。図7にも示すように、本実施の形態1にかかる液晶表示装置では、画素電極3、4の下層であって、層方向に一部領域が重なり合うように静電遮蔽層11、12が配設されており、図2に示すように静電遮蔽層11、12は走査線13に接続された構造を有する。

20

【0058】

静電遮蔽層11、12が配設されることで、図7の破線に示すような電界は遮断され、画素電極3、4に到達することを防ぐことができる。このため、従来の液晶表示装置と比較して、画素電極3、4における信号線9から生じる電界の影響を低減することが可能となる。また、静電遮蔽層11、12は走査線13に接続して配設されるために所定の電位を有し、かつ信号線9よりも画素電極3、4に対して近接して配設される。そのため、画素電極3、4が配設された領域において静電遮蔽層11、12から生じる電界が信号線9から生じる電界よりも相対的に大きくなる。このため、信号線9を静電遮蔽層によって画素電極3、4から空間的に完全に隔離しなくとも画素電極3、4に対する信号線9の影響を排除することが可能となる。

30

【0059】

また、本実施の形態1において、表示領域S内に配設される各画素電極近傍にそれぞれ配設された静電遮蔽層は所定の走査線に接続する構造を有する。各走査線は薄膜トランジスタのオン・オフの制御等を行う以外の期間ではほぼ一定の電位を維持するため、各画素電極近傍に配設された静電遮蔽層はほぼ等しい電位となり、各画素電極に与える影響もほぼ一定となる。このため、各画素によって表示される色についても差異が生じることはなく、縞模様の発生を抑制し、高品位の画像を表示することが可能となる。本願発明者等は実際に図1～図4に示す構造のTFTアレイ基板を用いた液晶表示装置を作製し、縞模様の発生の有無について精査したが、従来観察されたような縞模様を発見することはできず、実用上問題とならないレベルの画面品位を得ている。

40

【0060】

また、本実施の形態1にかかる液晶表示装置において、静電遮蔽層11、12は、走査線13や、第1の薄膜トランジスタ6のゲート電極と同一工程において形成される。このため、新たに静電遮蔽層11、12を設けることによる製造工程数の増加を避けることが可能であり、製造コストの上昇を避けることができる。従って、本実施の形態1にかかる液晶表示装置は、製造コストの上昇を避けつつ画像品位の劣化を抑制することができるという利点も有する。

【0061】

(変形例1)

50

次に、実施の形態 1 にかかる液晶表示装置の変形例 1 について説明する。図 8 は、変形例 1 にかかる液晶表示装置の T F T アレイ基板上の実際の配線構造を示す平面図である。変形例 1 にかかる液晶表示装置は、実施の形態 1 にかかる液晶表示装置と同様に静電遮蔽層 1 1、1 2 を配設する他、画素電極 3、4 の端部下層であって、静電遮蔽層 1 1、1 2 と対向する領域に配設され、走査線 1 3 と接続した容量線 1 5、1 4 を備えた構造を有する。図 9 (a) は、図 8 の B - B 線断面図であり、図 9 (b) は、図 8 の C - C 線断面図である。図 9 (a) に示すように、容量線 1 4 は画素電極 3 の端部下層に配設され、層方向から見て一部領域が画素電極 3 と重なり合う構造を有する。また、図 9 (b) に示すように、容量線 1 5 も画素電極 4 の端部下層に配設され、一部領域が画素電極 4 と重なり合う。

10

【 0 0 6 2 】

既に説明したように、静電遮蔽層 1 1、1 2 と画素電極 3、4 とはそれぞれ層方向に一部領域が重なり合うよう配設され、かつ静電遮蔽層 1 1、1 2 は走査線 1 3 と接続した構造を有する。そのため、図 2 に示す蓄積容量 8 と同様に、静電遮蔽層 1 1 と画素電極 3 の間及び静電遮蔽層 1 2 と画素電極 4 との間には蓄積容量が新たに形成される。

【 0 0 6 3 】

静電遮蔽層 1 1、1 2、画素電極 3、4 等の配線構造は、ガラス等の透明基板上に所定の金属層等の成膜及びマスクパターンによるエッチングを繰り返すことで形成される。ここで、マスクパターンの位置あわせに誤差が生じた場合、例えば、静電遮蔽層 1 1、1 2 と重なりあう領域の面積が画素電極 3 と画素電極 4 とで異なり、新たに形成される蓄積容量も異なることとなる。新たに形成される蓄積容量が画素電極 3 と画素電極 4 とで異なる場合には、蓄積容量が画素電極 3、4 に与える影響も相違することとなるため、信号線 9 の電位変動による影響を排除したにもかかわらず画面品位が劣化することとなる。

20

【 0 0 6 4 】

このため、変形例 1 にかかる液晶表示装置では、静電遮蔽層 1 1、1 2 に対応して走査線 1 3 を介してそれぞれ接続された容量線 1 4、1 5 を新たに設けている。このため、マスクパターンの位置あわせに誤差が生じた場合でも、蓄積容量をほぼ一定に保つことが可能である。具体的な態様について図 1 0 (a)、(b) に模式図を示す。図 1 0 (a) は、設計通り正確にマスクパターンの位置あわせが行われた場合の構造を示し、図 1 0 (b) は、静電遮蔽層 1 1、1 2 及び容量線 1 4、1 5 が相対的に右方向にずれて形成された状態を示す。図 1 0 (b) において、例えば画素電極 3 に着目すると、画素電極 3 と静電遮蔽層 1 1 とが重なり合う領域は図 1 0 (a) に比べて面積が小さくなる。しかし、画素電極 3 と容量線 1 4 とが重なり合う領域は図 1 0 (a) に比べて面積が大きくなり、静電遮蔽層 1 1 が重ね合わされる領域の面積の減少分を補償していることが分かる。従って、マスクパターンの位置あわせに多少の誤差が生じた場合でも、画素電極 3 において、静電遮蔽層 1 1 及び容量線 1 4 と重なり合う領域の面積はほぼ一定に保持され、蓄積容量の値もほぼ一定に保持されることが示される。このことは、画素電極 4 に関しても同様であって、画素電極 4 と静電遮蔽層 1 2 及び容量線 1 4 とが重なり合う領域の面積はほぼ一定に保持される。

30

【 0 0 6 5 】

(変形例 2)

次に、実施の形態 1 にかかる液晶表示装置の変形例 2 について説明する。実施の形態 1 にかかる液晶表示装置では、画素電極 3、4 に対応してそれぞれ静電遮蔽層 1 1、1 2 を設ける構造としたが、本変形例 2 では、信号線 9 の周囲に一体的に静電遮蔽層を形成する構造としている。

40

【 0 0 6 6 】

図 1 1 は、変形例 2 における T F T アレイ基板の信号線 9 近辺の断面構造を示す図である。図 1 1 に示すように、信号線 9 の周囲を覆うように静電遮蔽領域 1 6 が配設され、信号線 9 から生じる電界を完全に遮蔽している。このため、画素電極 3、4 は信号線 9 の電位変動による影響を完全に排除することができ、画面表示の際に縞模様が発生することを防

50

止することができる。

【 0 0 6 7 】

なお、かかる構造を採用して画面品位の劣化を抑制しても良いが、既に説明したように実施の形態 1 にかかる静電遮蔽層 1 1、1 2 によっても実際には縞模様を観察不能な程度に抑制することが可能であり、実施の形態 1 にかかる液晶表示装置の構造を否定するものではないことはもちろんである。

【 0 0 6 8 】

(実施の形態 2)

次に、実施の形態 2 にかかる液晶表示装置について説明する。図 1 2 は、実施の形態 2 にかかる液晶表示装置を構成する T F T アレイ基板の構造の一部を示す平面図である。なお、図 1 2 において図 2 と同等の要素に対しては共通の符号を付しており、以下で特に言及しない限り実施の形態 1 と同様の構造及び機能を有するものとする。また、以下の説明において、実施の形態 2 にかかる液晶表示装置を構成する T F T アレイ基板全体の配線構造は、図 1 及び図 4 に示す構造と同様のものとする。ただし、実施の形態 1 と同様に、本発明の適用対象が図 1 及び図 4 に示す構造を備えた液晶表示装置に限定されるものではない。

10

【 0 0 6 9 】

図 1 2 に示すように、本実施の形態 2 にかかる液晶表示装置は、静電遮蔽層 2 1、2 2 が走査線 1 3 と接続せず、別途設けた電位供給線 2 3 と接続する構造を有する。従って、静電遮蔽層 2 1、2 2 は電位供給線 2 3 によって供給される電位を有する。

20

【 0 0 7 0 】

本実施の形態 2 にかかる液晶表示装置は、実施の形態 1 にかかる液晶表示装置と同様に静電遮蔽層 2 1、2 2 を設けることによって、画像表示の際に縦方向の縞模様が表示されることによる画面品位の劣化を抑制することができる以外に、以下の利点を有する。図 1 2 から明らかなように、静電遮蔽層 2 1、2 2 はそれぞれ画素電極 3、4 の端部近傍に配設されているため、静電遮蔽層 2 1 と画素電極 3 の間及び静電遮蔽層 2 2 と画素電極 4 との間には蓄積容量が発生する。そのため、画素電極 3、4 は信号線 9 からの影響を受けない代わりに静電遮蔽層 2 1、2 2 の影響を受けることとなる。ここで、静電遮蔽層 2 1、2 2 の電位が画素電極 3、4 の変動範囲と大幅に異なる場合には、画素電極 3、4 の端部近傍における静電遮蔽層 2 1、2 2 による影響が無視できず、残像等が生じることで画面の品位が劣化することとなる。

30

【 0 0 7 1 】

本実施の形態 2 にかかる液晶表示装置は、静電遮蔽層 2 1、2 2 を電位供給線 2 3 に接続し、電位供給線 2 3 の電位を調整することにより、静電遮蔽層 2 1、2 2 の電位を画素電極 3、4 の電位の中心値とほぼ同等の値としている。具体的には、本実施の形態 2 にかかる液晶表示装置では、静電遮蔽層 2 1、2 2 の電位を画素電極 3、4 の電位の変動範囲以内に抑制することで画素電極 3、4 の電位に与える影響を排除することとしている。この他にも、例えば、T F T アレイ基板に対して所定距離離隔して対向配置された対向基板表面上に配設される共通電極の電位とほぼ等しい値としても良いし、これら以外の値にすることも可能である。以上説明したように、静電遮蔽層 2 1、2 2 を電位供給線 2 3 に接続することによって、静電遮蔽層 2 1、2 2 が画素電極に与える影響を抑制することが可能となる。

40

【 0 0 7 2 】

(変形例)

次に、実施の形態 2 にかかる液晶表示装置の変形例について説明する。図 1 3 は、変形例にかかる液晶表示装置を構成する T F T アレイ基板の構造の一部を示す。本変形例は、実施の形態 1 にかかる変形例 1 と同様に、画素電極 3、4 において、静電遮蔽層 2 1、2 2 が配設される領域と対向する端部領域に容量線 2 4、2 5 を配設した構造を有する。ここで、容量線 2 4、2 5 は電位供給線 2 3 と接続されており、電位供給線 2 3 を介して静電遮蔽層 2 1、2 2 と接続されている。かかる構造を有するため、実施の形態 1 における変

50

形例 1 と同様に、製造時におけるマスクパターンの位置あわせに誤差が生じた場合であっても画素電極ごとに蓄積容量の値が変化することはなく、表示される画面品位の劣化が生じることを防ぐことが可能である。

【0073】

以上、実施の形態 1 及び実施の形態 2 によって本発明を説明したが、本発明はこれら実施の形態及びその変形例に限定されるのではなく、当業者であれば上記実施の形態に基づいて様々な実施例、変形例に想到することが可能である。例えば、TFT アレイ基板上に配設された画素電極及び薄膜トランジスタ等の配線構造について、本発明の適用対象は、図 4 等で示すもののみならず、広く多重化画素構造を備えた画像表示装置一般に適用することが可能である。このため、例えば特開平 5 - 265045 号公報、特開平 11 - 2837 号公報、特開平 5 - 303114 号公報、特開平 5 - 188395 号公報及び特願 2000 - 373599 等に記載された多重化画素構造の液晶表示装置等に対して静電遮蔽層を設けることで、高品位の画像を出力する液晶表示装置等を実現することが可能である。例えば、特願 2000 - 373599 には画素電極に対して第 1 の薄膜トランジスタと第 2 の薄膜トランジスタとが互いのソース/ドレイン電極を介して接続し、かかる第 1 及び第 2 の薄膜トランジスタのゲート電極がそれぞれ所定の走査線に接続した構造の画像表示装置が記載されている。かかる構造の場合でも、これまでに説明した静電遮蔽層を配設することによって縞模様の発生を抑制することができる。

10

【0074】

また、静電遮蔽層の形状、配設する位置については、信号線から生じる電界が画素電極の電位に影響を与えることを防止できるのであれば、図 3、図 11 等に示すものに限定されない。形状及び配設する位置については他の特性に与える影響及び製造コスト等を考慮して当業者が自由に設計することが可能である。例えば、図 3 において、静電遮蔽層 11 と静電遮蔽層 12 を一体化した構造としても良く、かかる構造と図 11 に記載した静電遮蔽領域 16 とを組み合わせる信号線 9 の周囲を全面的に覆う構造としても良い。

20

【0075】

さらに、本願発明は、信号線が電位を供給する画素電極がかかる信号線を挟んで隣接する構造のみに適用されるのではなく、電位を供給する信号線と画素電極が離隔して配設された構造についても適用可能である。このような場合であっても、画素電極と、隣接する信号線との間に静電遮蔽層を配設することで信号線の電位変動の影響から画素電極を守ることができ、高品位の画像を表示することができる。さらに、同一の信号線から電位を供給する画素電極群が 2 つの場合のみならず、複数の場合であっても信号線ごとに本発明を適用することが可能である。

30

【0076】

【発明の効果】

以上説明したように、本発明によれば、第 1 及び第 2 の静電遮蔽手段を設けることとしたため、画素電極に近接する信号線の電位変動が画素電極に対して影響を及ぼすことを抑制もしくは防止することができ、信号線ごとに電位変動がことなる場合であっても、縞模様等の画面品位の劣化を抑制し、高品位の画像表示を行うことができるという効果を奏する。

40

【0077】

また、本発明によれば、第 1 の静電遮蔽手段と第 2 の静電遮蔽手段とが等しい電位を有することとしたため、第 1 の静電遮蔽手段が第 1 の画素電極に及ぼす影響と、第 2 の静電遮蔽手段が第 2 の画素電極に及ぼす影響とが等しくなり、画面品位の劣化を抑制することができるという効果を奏する。

【0078】

また、本発明によれば、静電遮蔽手段の電位を画素電極の電位の中心値とほぼ同等の値とすることで、静電遮蔽手段と画素電極との間の実効的な電位差に起因した画像品位の劣化を防止することができるという効果を奏する。

【図面の簡単な説明】

50

【図 1】実施の形態 1 にかかる液晶表示装置を構成する T F T アレイ基板の構造を示す模式図である。

【図 2】T F T アレイ基板上の表示領域を形成する一部の画素電極及びかかる画素電極の周囲における実際の配線構造を示す平面図である。

【図 3】図 2 の A - A 線の断面図である。

【図 4】T F T アレイ基板上の表示領域における配線構造の等価回路を示す図である。

【図 5】実施の形態 1 にかかる液晶表示装置の基本動作を示すタイミングチャートである。

【図 6】実施の形態 1 にかかる液晶表示装置において信号線ごとに供給する電位が異なることを示すタイミングチャートである。

10

【図 7】実施の形態 1 において、静電遮蔽層の動作を説明するための模式図である。

【図 8】実施の形態 1 にかかる液晶表示装置の変形例 1 の実際の配線構造の一部を示す平面図である。

【図 9】(a) は、図 8 における B - B 線の断面図であり、(b) は、図 8 における C - C 線の断面図である。

【図 10】(a) は、変形例 1 においてマスクパターンの位置あわせが完璧に行われた状態を示し、(b) は、マスクパターンの位置あわせに誤差が生じた状態を示す模式図である。

【図 11】実施の形態 1 にかかる液晶表示装置の変形例 2 における静電遮蔽領域の構造を示す断面図である。

20

【図 12】実施の形態 2 にかかる液晶表示装置を構成する T F T アレイ基板の実際の配線構造の一部について示す平面図である。

【図 13】実施の形態 2 の変形例にかかる液晶表示装置を構成する T F T アレイ基板の実際の配線構造の一部を示す平面図である。

【図 14】従来技術にかかる多重化画素構造の液晶表示装置における T F T アレイ基板の等価回路を示す図である。

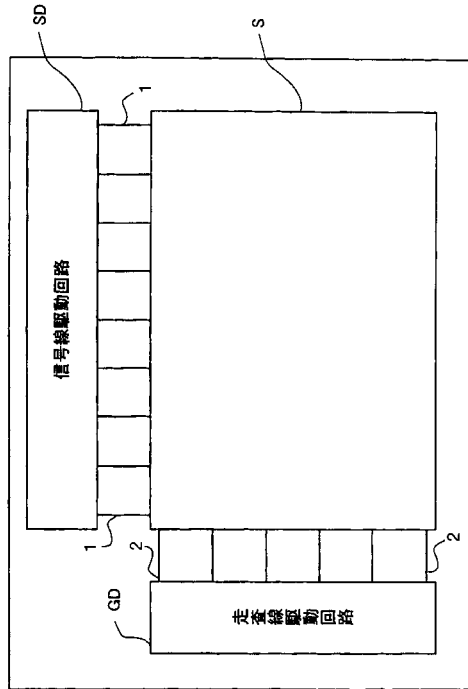
【符号の説明】

- 1 信号線
- 2 走査線
- 3、4 画素電極
- 5 ~ 7 薄膜トランジスタ
- 8 蓄積容量
- 9 信号線
- 10 走査線
- 11、12 静電遮蔽層
- 13 走査線
- 14、15 容量線
- 16 静電遮蔽領域
- 21、22 静電遮蔽層
- 23 電位供給線
- 24 容量線
- r11 ~ r23 画素電極
- b11 ~ b22 画素電極
- g11 ~ g23 画素電極
- Cs 蓄積容量
- D3m + 1 ~ D3m + 4 信号線
- GD 走査線駆動回路
- Gn 走査線
- M1 ~ M3 薄膜トランジスタ

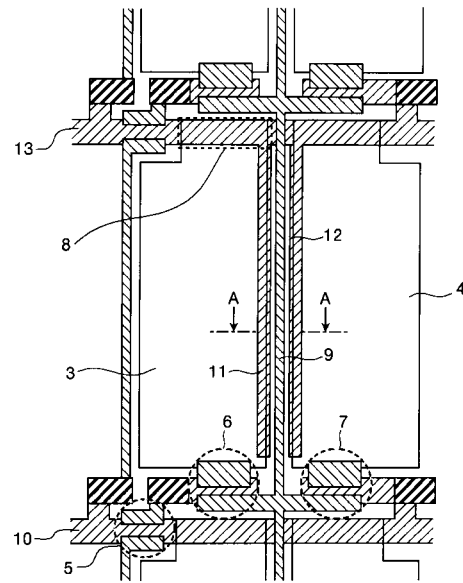
30

40

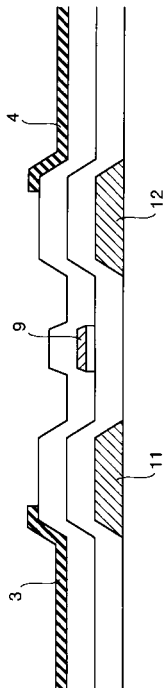
【図 1】



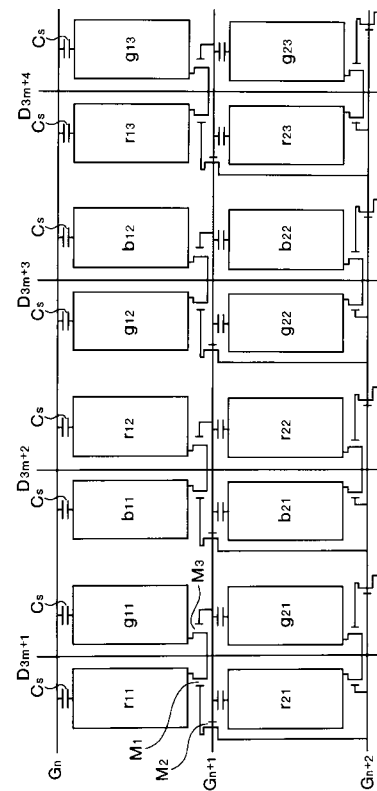
【図 2】



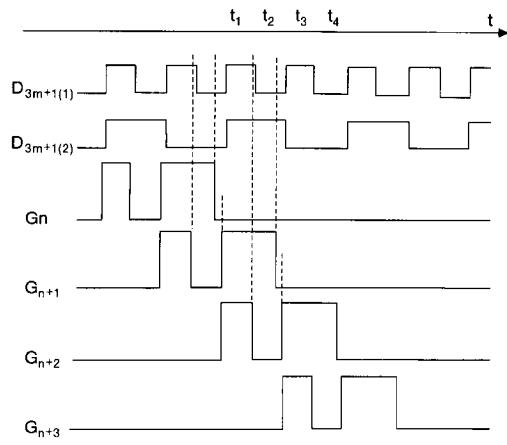
【図 3】



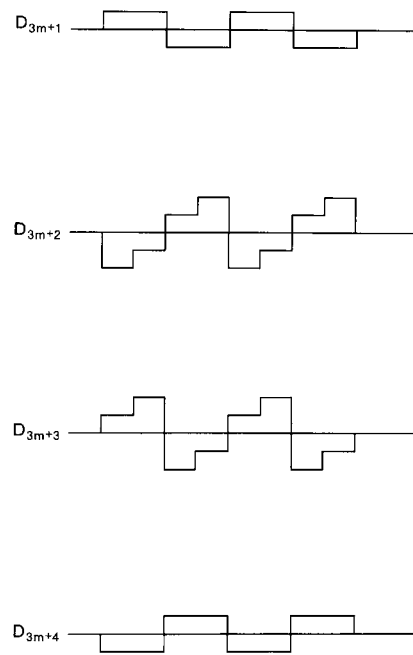
【図 4】



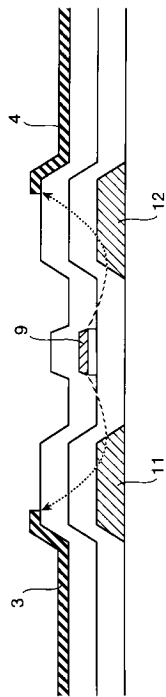
【 図 5 】



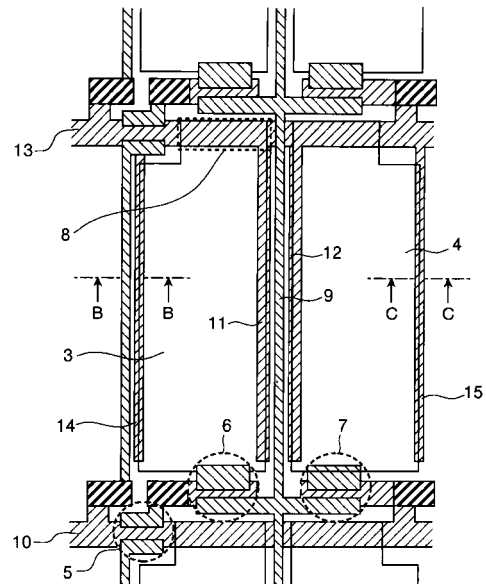
【 図 6 】



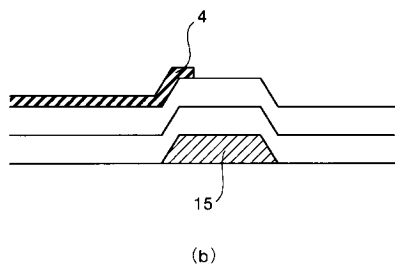
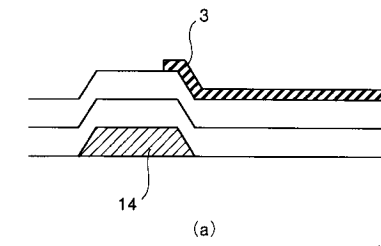
【 図 7 】



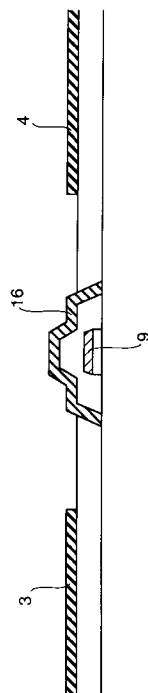
【 図 8 】



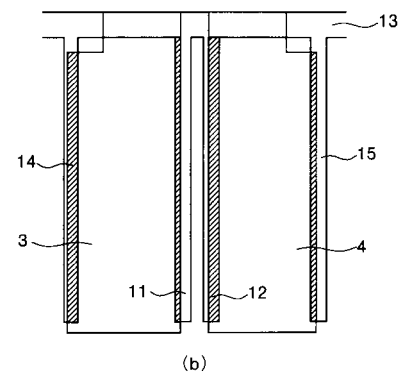
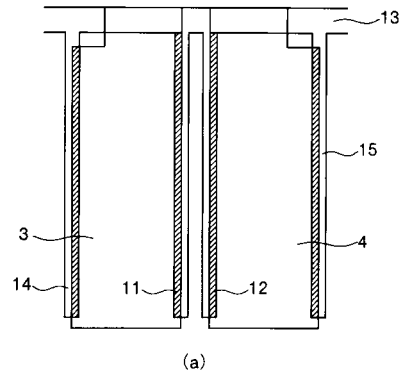
【図 9】



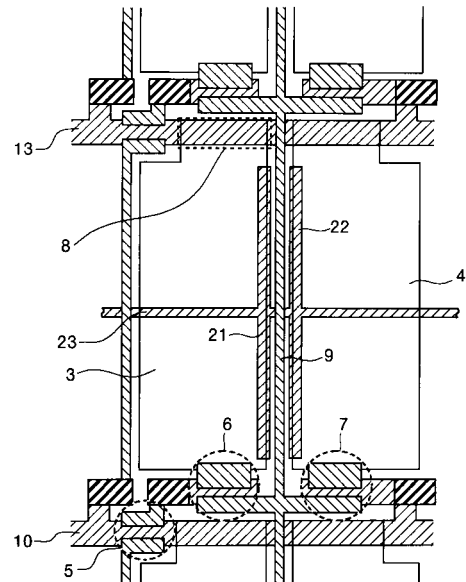
【図 11】



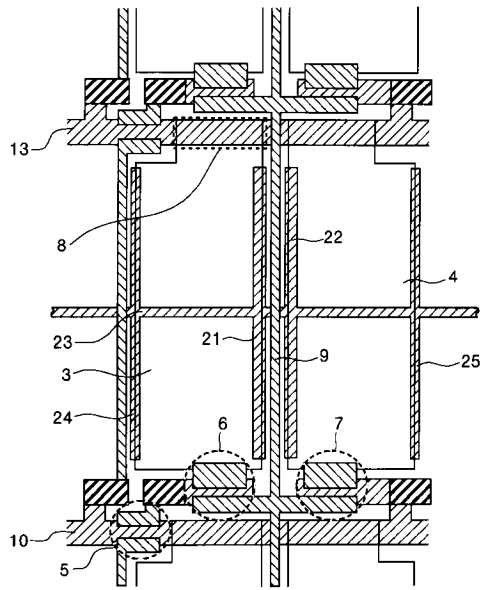
【図 10】



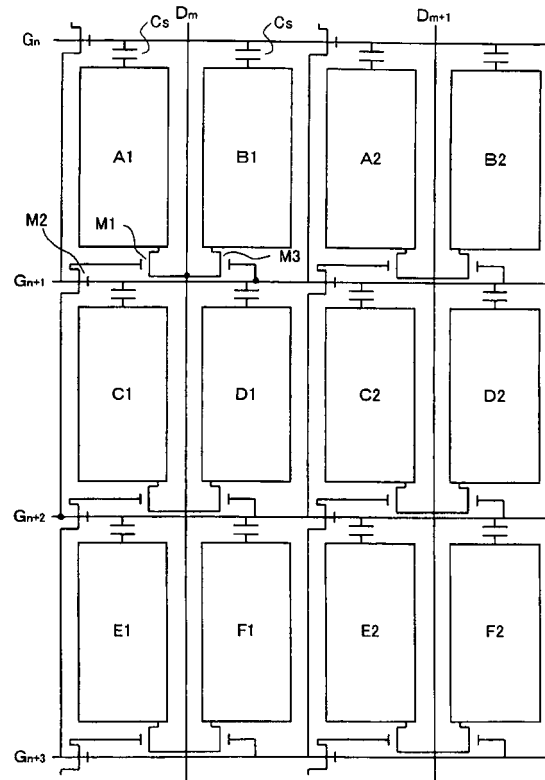
【図 12】



【図 13】



【図 14】



フロントページの続き

(72)発明者 中嶋 浩詞
神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナショナル ディスプレイ テクノロジー株式
会社内

(72)発明者 鈴木 美登利
神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナショナル ディスプレイ テクノロジー株式
会社内

F ターム(参考) 2H092 GA13 GA17 GA25 GA26 HA02 HA06 JA24 JB23 JB31 JB62
JB66 JB79

专利名称(译)	图像显示装置和图像显示装置		
公开(公告)号	JP2004038041A	公开(公告)日	2004-02-05
申请号	JP2002197848	申请日	2002-07-05
[标]申请(专利权)人(译)	群创光电股份有限公司		
申请(专利权)人(译)	奇美电子股▲ふん▼有限公司		
[标]发明人	古立学 矢田竜也 中嶋浩詞 鈴木美登利		
发明人	古立 学 矢田 竜也 中嶋 浩詞 鈴木 美登利		
IPC分类号	G02F1/1343 G02F1/1368 G09G3/36		
CPC分类号	G09G3/3659 G09G2320/0233		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA17 2H092/GA25 2H092/GA26 2H092/HA02 2H092/HA06 2H092/JA24 2H092/JB23 2H092/JB31 2H092/JB62 2H092/JB66 2H092/JB79 2H192/AA24 2H192/CB12 2H192/CC04 2H192/CC62 2H192/DA02 2H192/DA42 2H192/GA02 2H192/GA03 2H192/GD61		
代理人(译)	酒井宏明		
外部链接	Espacenet		

摘要(译)

解决的问题：实现具有多像素结构的液晶显示装置，该液晶显示装置能够抑制条纹图案等的产生，并且能够进行高质量的图像显示。像素电极3和像素电极4被布置在扫描线13和扫描线10之间，从而彼此相邻，并且信号线9介于它们之间。像素电极3连接到第一薄膜晶体管6的源极/漏极，并且第一薄膜晶体管6的栅极连接到第二薄膜晶体管5的源极/漏极。像素电极4连接到第三薄膜晶体管7的源/漏电极。另外，像素电极3和4以及扫描线13具有在层方向上部分重叠的区域，例如，像素电极3和扫描线13重叠的区域形成存储电容器8。此外，静电屏蔽层11设置在像素电极3和信号线9两者附近的区域中，并且静电屏蔽层12设置在像素电极4和信号线9两者附近的区域中。[选择图]图2

