

(19)日本国特許庁 (J P)

公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 280615

(P2003 - 280615A)

(43)公開日 平成15年10月2日(2003.10.2)

(51)Int.Cl ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
	575		5 C 0 8 0
G 0 9 G 3/20	612	G 0 9 G 3/20	F
	623		623 F

審査請求 未請求 請求項の数 9 O L (全 28数) 最終頁に続く

(21)出願番号 特願2002 - 233699(P2002 - 233699)

(22)出願日 平成14年8月9日(2002.8.9)

(31)優先権主張番号 特願2002 - 7565(P2002 - 7565)

(32)優先日 平成14年1月16日(2002.1.16)

(33)優先権主張国 日本(JP)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 小川 嘉規

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 田中 茂樹

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100065248

弁理士 野河 信太郎

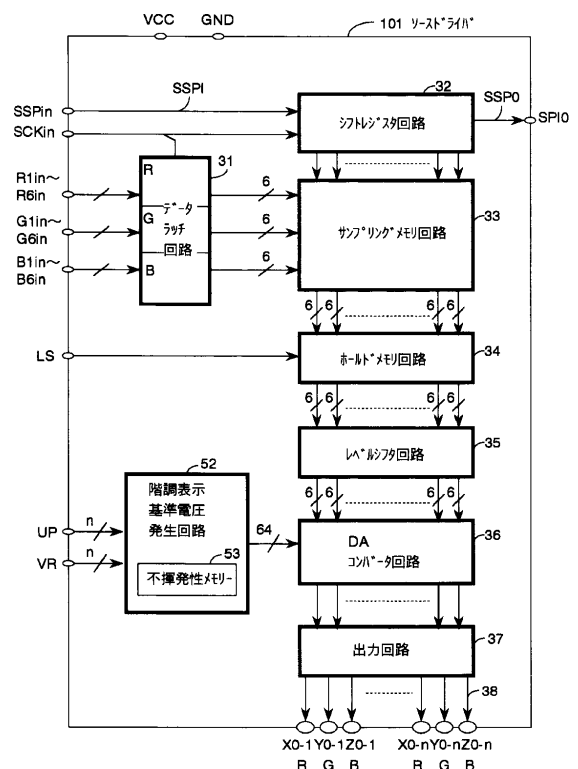
最終頁に続く

(54)【発明の名称】 階調表示基準電圧発生回路およびそれを用いた液晶表示装置

(57)【要約】

【課題】 この発明は、階調表示基準電圧発生回路に関し、補正用の調整データを不揮発性メモリに記憶させることにより、液晶表示装置の特性等に応じて、補正特性を容易に変更できるようにすることを課題とする。

【解決手段】 表示データをデジタル - アナログ変換する際に用いる階調表示用の基準電圧を生成する階調表示基準電圧発生回路において、複数レベルの基準電圧を生成する基準電圧生成部と、上記基準電圧の調整量を記憶する補正情報記憶部と、補正情報記憶部に記憶された調整量に基づいて、上記基準電圧を調整する調整部とを備えたことを特徴とする。



【特許請求の範囲】

【請求項 1】 表示データをデジタル - アナログ変換する際に用いる階調表示用の基準電圧を生成する階調表示基準電圧発生回路において、複数レベルの基準電圧を生成する基準電圧生成部と、上記基準電圧の調整量を記憶する補正情報記憶部と、補正情報記憶部に記憶された調整量に基づいて、上記基準電圧を調整する調整部とを備えたことを特徴とする階調表示基準電圧発生回路。

【請求項 2】 上記補正情報記憶部が不揮発性メモリによって構成されていることを特徴とする請求項 1 記載の階調表示基準電圧発生回路。

【請求項 3】 請求項 1 または 2 記載の階調表示基準電圧発生回路において、前記基準電圧生成部、補正情報記憶部および調整部とが、複数の色成分ごとに、独立して設けられていることを特徴とする階調表示基準電圧発生回路。

【請求項 4】 請求項 1 乃至請求項 3 のいずれか一つに記載の階調表示基準電圧発生回路を備えたことを特徴とする液晶表示装置。

【請求項 5】 表示データをデジタル - アナログ変換する際に用いる階調表示用の複数個の基準電圧を生成する基準電圧生成部と、前記基準電圧について 1 種類または複数種類の調整量を記憶する補正情報記憶部と、補正情報記憶部に記憶された調整量に基づいて前記生成された基準電圧を調整する調整部と、前記調整部の動作を制御する制御部を備え、制御部が、表示画面の 1 フレーム内における所定数の走査ラインごとに、異なる種類の調整量を前記補正情報記憶部から読み出して前記調整部に与えることを特徴とする液晶表示装置。

【請求項 6】 前記調整部は、表示画面を表示するための走査信号に同期して、与えられる調整量に基づいて基準電圧の調整を行うことを特徴とする請求項 5 記載の液晶表示装置。

【請求項 7】 前記補正情報記憶部が、書き換え可能な不揮発性メモリからなり、前記制御部が、記憶された調整量を書き換えることを特徴とする請求項 5 または 6 記載の液晶表示装置。

【請求項 8】 前記補正情報記憶部が、正極性電圧を画素に印加する場合の第 1 調整用データを記憶する第 1 記憶部と、負極性電圧を画素に印加する場合の第 2 調整用データを記憶する第 2 記憶部とからなり、前記基準電圧生成部が、正極性階調表示用の基準電圧を生成する第 1 電圧発生部と、負極性階調表示用の基準電圧を生成する第 2 電圧発生部とからなり、前記調整部が、第 1 記憶部に記憶された第 1 調整用データに基づいて第 1 電圧発生部によって生成された基準電圧を調整する第 1 調整部と、第 2 記憶部に記憶された第 2 調整用データに基づいて第 2 電圧発生部によって生成された基準電圧を調整する第 2 調整部とからなり、前記制御部から与えられる極性反転信号に基づいて、前記第 1 調整部および第 2 調整

部から出力される調整後の基準電圧のどちらか一方の基準電圧を選択する選択部をさらに備え、選択された基準電圧に基づいて走査ラインごとに階調補正をすることを特徴とする請求項 5 記載の液晶表示装置。

【請求項 9】 前記第 1 記憶部と第 2 記憶部が、1 つの書き換え可能な不揮発性メモリによって構成されていることを特徴とする請求項 8 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置等に用いられる階調表示基準電圧発生回路、及び、それを用いた液晶表示装置に関する。

【0002】

【従来の技術】階調表示基準電圧発生回路は 2 つの電圧の中間電圧を作る回路である。例えば、アクティブマトリックス方式の液晶表示装置における液晶駆動部等では、抵抗分割を用いて中間電圧が作られる。そして、抵抗分割用の抵抗には、補正と呼ばれる抵抗比を持たせており、この抵抗比の比率に応じて液晶材料の光学特性を補正し、より自然な階調表示を実現するようにしている。

【0003】以下に、上記階調表示基準電圧発生回路を備えた液晶表示装置の構成、その液晶表示装置における TFT（薄膜トランジスタ）方式の液晶パネルの構成、その液晶駆動波形、および、そのソースドライバの構成について説明する。

【0004】、図 11 に、アクティブマトリックス方式の代表例である TFT 方式の液晶表示装置のブロック構成を示す。この液晶表示装置は、液晶表示部とそれを駆動する液晶駆動回路（液晶駆動部）とに分かれる。上記液晶表示部は、TFT 方式の液晶パネル 1 を有している。そして、液晶パネル 1 内には、液晶表示素子（図示せず）と後に詳述する対向電極（共通電極）2 とが設けられている。

【0005】一方、上記液晶駆動回路には、IC（集積回路）で成るソースドライバ 3 およびゲートドライバ 4 と、コントローラ 5 と、液晶駆動電源 6 が搭載されている。ソースドライバ 3 やゲートドライバ 4 は、一般的には、配線のあるフィルム上に先の IC チップを搭載した、例えば TCP（Tape Carrier Package）を液晶パネルの ITO（Indium Tin Oxide；インジウムすず酸化膜）端子に実装し、接続したり、先の IC チップを ACF（Anisotropic Conductive Film；異方性導電膜）を介して直接、液晶パネルの ITO 端子に熱圧着して実装し、接続する方法で構成されている。そして、コントローラ 5 は、ソースドライバ 3 に表示データ D および制御信号 S1 を入力する一方、ゲートドライバ 4 には垂直同期信号 S2 を入力する。さらに、ソースドライバ 3 およびゲートドライバ 4 に水平同期信号を入

力する。

【0006】上記構成において、外部から入力された表示データは、上記コントローラ5を介してデジタル信号である表示データDとしてソースドライバ3に入力される。そうすると、ソースドライバ3は、入力された表示データDを時分割して第1ソースドライバ～第nソースドライバにラッチし、その後、コントローラ5から入力される上記水平同期信号に同期してD/A変換する。そして、時分割された表示データDをD/A変換して成る階調表示用のアナログ電圧（以下、階調表示電圧と言

う）を、ソース信号ライン（図示せず）を介して、液晶パネル1内における対応する上記液晶表示素子に出力する。

【0007】図12に、上記液晶パネル1の構成を示す。液晶パネル1には、画素電極11、画素容量12、画素電極11への電圧印加をオン・オフ制御するTF T13、ソース信号ライン14、ゲート信号ライン15、対向電極16（図11における対向電極2に相当）が設けられている。ここで、画素電極11、画素容量12およびTF T13によって1画素分の上記液晶表示素子A

が構成される。

【0008】上記ソース信号ライン14には、図11におけるソースドライバ3から、表示対象画素の明るさに応じた上記階調表示電圧が与えられる。一方、ゲート信号ライン15には、ゲートドライバ4から、列方向に並んだTF T13を順次オンするような走査信号が与えられる。そして、オン状態のTF T13を介して、当該TF T13のドレインに接続された画素電極11にソース信号ライン14の階調表示電圧が印加され、上記対向電極16との間の画素容量12に蓄積される。こうして、

液晶の光透過率が上記階調表示電圧に応じて変化されて、画素表示が行われる。

【0009】図13および図14に、液晶駆動波形の一例を示す。図13および図14において、21、25はソースドライバ3の駆動波形であり、22、26はゲートドライバ4の駆動波形である。また、23、27は対向電極16の電位であり、24、28は画素電極11の電圧波形である。ここで、液晶材料に印加される電圧は、画素電極11と対向電極16との電位差であり、図中においては斜線で示している。

【0010】例えば、図13の場合は、上記ゲートドライバ4の駆動波形22のレベルが「H」の期間だけTF T13がオンし、ソースドライバ3の駆動波形21と対向電極16の電位23との差の電圧が画素電極11に印加される。その後、ゲートドライバ4の駆動波形22のレベルは「L」となり、TF T13はオフ状態となる。その場合に、画素には画素容量12が存在するために、上述の電圧が維持される。

【0011】図14の場合も同様である。但し、図13と図14とは液晶材料に印加される電圧が異なる場合を

示しており、図13の場合は、図14の場合と比べて印加電圧が高くなっている。このように、液晶材料に印加する電圧をアナログ電圧として変化させることによって、液晶の光透過率をアナログ的に変え、多階調表示を実現するのである。尚、表示可能な階調数は、液晶材料に印加されるアナログ電圧の選択肢の数によって決定される。

【0012】図15は、図11におけるソースドライバ3を構成する第nソースドライバのブロック図の一例を示す。入力されたデジタル信号の表示データDは、R（赤）、G（緑）、B（青）の表示データ（DR、DG、DB）を有している。そして、この表示データDは、一旦入力ラッチ回路31にラッチされた後、コントローラ5からスタートパルスSPおよびクロックCKによってシフトするシフトレジスタ32の動作に合わせ、時分割によってサンプリングメモリ33に記憶される。その後、コントローラ5からの水平同期信号（図示せず）に基づいてホールドメモリ34に一括転送される。尚、Sはカスケード出力である。

【0013】階調表示基準電圧発生回路39は、外部基準電圧発生回路（図11における液晶駆動電源6に相当）から供給される電圧VRに基づいて、各レベルの基準電圧を発生する。ホールドメモリ34のデータは、レベルシフト回路35を介してD/A変換回路（デジタル・アナログ変換回路）36に送出され、階調表示基準電圧発生回路39からの各レベルの基準電圧に基づいてアナログ電圧に変換される。そして、出力回路37によって、液晶駆動電圧出力端子38から、上記階調表示電圧として、各液晶表示素子Aのソース信号ライン14に出力される。すなわち、上記基準電圧のレベル数が上記表示可能な階調数となる。

【0014】図16に、上述のような複数の基準電圧を発生して中間電圧を生成する階調表示基準電圧発生回路39の構成を示す。尚、図16における階調表示基準電圧発生回路39は、64通りの基準電圧を発生するようにしている。

【0015】この階調表示基準電圧発生回路39は、V0、V8、V16、V24、V32、V40、V48、V56およびV64で表わされる9個の中間調電圧入力端子と、補正のための抵抗比を持たせた抵抗素子R0～R7と、各抵抗素子R0～R7の両端間に直列に8個ずつ接続された合計64個の抵抗（図示せず）で構成されている。このように、補正と呼ばれる抵抗比をソースドライバ3に内蔵し、上記階調表示電圧に変換するための液晶駆動出力電圧に折れ線特性を持たせるようにしている。したがって、上記抵抗比の比率によって液晶材料の光学特性を補正することによって、液晶材料の光学特性に合わせた自然な階調表示を行うことができる。尚、従来の階調表示基準電圧発生回路39における液晶駆動出力電圧の特性例を図17に示す。

【0016】

【発明が解決しようとする課題】しかしながら、上記従来の階調表示基準電圧発生回路においては、以下のような問題がある。すなわち、最適な補正特性（図17に示す液晶駆動出力電圧の折れ線特性）は、液晶材料の種類や液晶パネルの画素数によって異なり、液晶モジュール毎に異なる。そして、ソースドライバ3に内蔵される階調表示基準電圧発生回路39の抵抗分割比は、ソースドライバ3の設計段階において決定されている。したがって、適用する液晶モジュールの液晶材料の種類や液晶

10 パネルの画素数に応じて補正特性を変更する場合には、その都度ソースドライバ3を作り換えなければならないという問題がある。

【0017】尚、上記外部基準電圧発生回路から中間調電圧入力端子V0～V64に供給される複数の中間調電圧を調整する基準電圧調整手段を設けて、この基準電圧調整手段によって各中間調電圧入力端子V0～V64に供給される中間調電圧を調整する方法も考えられる。しかしながら、上記基準電圧調整手段を設けることによって端子数が増加したり回路規模が大きくなって、製造

20 コストが増加するという問題がある。

【0018】そこで、この発明の目的は、製造コストを増加させることなく液晶材料や液晶パネルの特性に応じてユーザが任意に補正特性を変更できる階調表示基準電圧発生回路、および、それをを用いた液晶表示装置を提供することにある。

【0019】また、液晶ディスプレイ（LCD）はコンパクト性、低消費電力性等の特長によってその需要は拡大しつつあり、機能的にも大画面化、高精細化、多階調化に向け商品開発が進められている。しかしながら、LCDはCRT等に対し視野角が狭く、特に上下の視野角が狭く技術課題となっている。例えば、現在、OA用に使われているノーマリーホワイトの透過型TN（ツイストネマティック）方式のLCDは、偏光軸が直交するように配された2枚の偏光板に挟まれた液晶に印加する電圧を変えることで、液晶の配向状態を変え入射側の偏光板で直線偏光された光を楕円偏光させ、出射側の偏光軸方向の光のみ透過させることで輝度を制御している。

【0020】OA用LCDでは、薄膜トランジスタ（TFT）側のガラス基板とカラーフィルター（CF）側のガラス基板とで夫々図18（a）に示すような方向で配向膜にラビング処理を施すことで、その方向に液晶分子を配向させている。電圧を印加しないと液晶は横になった状態で捻れて配向するが、電圧を印加すると液晶は縦方向に配向してくる。液晶分子の長軸方向と短軸方向では屈折率が異なるため、液晶が寝た状態では光の伝播面で屈折率の異方性があるのに対し、立った状態では等方的になる。従って、液晶印加電圧で光の偏光の回転が異なる。この偏光の回転量は液晶分子の屈折率異方性（長軸方向の屈折率 - 短軸方向の屈折率）と液晶セルのギャ

ップの積（リターデーション）で規定される。

【0021】図18（a）の方向で各々ガラス基板をラビング処理を行い液晶分子を配向させると、図18（b）に示すように液晶分子は捻れるためにリターデーションの異方性が現れる。左右方向は比較対称な配向のために視野角も比較的広いが、上下方向は液晶分子の配向の非対称性が著しいため視野角が狭くなる。上側からみると液晶分子は横になった状態に見え、下側からみると液晶分子は立ってみえる。その結果、上視野からは黒レベル浮きが顕著となり、下視野からは階調逆転が問題となる。これは特に中間調が多用されるフルカラー品で大きな問題となる。

【0022】このように、従来技術では、LCDの広視野角化のために例えば、一画素を複数の小画素ドットであるサブピクセルに分割させ、更に分割された小画素ドット間に複数の容量を形成し、異なる電圧を印加させる構造のものが一般的に知られているが、この方法においては画素ドットを分割し、更に容量を作るために画素を複数回作成する必要があるため、液晶パネル製造工程が通常のものに比し複雑となり、結果的に歩留りの低下ひいてはコストの増大をもたらす。この発明の目的は、上記目的に加えて、製造工程を複雑化することなく電氣的に視野角の拡大を図った液晶表示装置を提供することである。

【0023】

【課題を解決するための手段】この発明は、表示データをデジタル - アナログ変換する際に用いる階調表示用の基準電圧を生成する階調表示基準電圧発生回路において、複数レベルの基準電圧を生成する基準電圧生成部と、上記基準電圧の調整量を記憶する補正情報記憶部と、補正情報記憶部に記憶された調整量に基づいて、上記基準電圧を調整する調整部とを備えたことを特徴とする階調表示基準電圧発生回路を提供するものである。この構成によれば、補正情報記憶部の記憶情報を書きかえるだけで基準電圧を変更できるので、液晶材料や液晶表示装置の特性に合わせて、ユーザが容易に基準電圧を調整することが可能となる。

【0024】また、上記補正情報記憶部は、不揮発性メモリによって構成されることが好ましい。これによれば、ユーザが調整した前回の補正状態を次の表示にそのまま適用することができる。さらに、前記した階調表示基準電圧発生回路の基準電圧生成部、補正情報記憶部および調整部とを、複数の色成分ごとに、たとえば、赤、緑、青の色ごとに独立して設けるようにしてもよい。これによれば、色ごとに独立して基準電圧を調整できるので、表示パネルの表示品位をきめ細かく制御できる。

【0025】また、この発明の階調表示基準電圧発生回路は、特性の異なる液晶表示装置に対しても、同じ構成のものを採用することができるので、液晶表示装置の部品の共通化が図れ、製造コストを下げることができる。

【0026】また、この発明は、表示データをデジタル - アナログ変換する際に用いる階調表示用の複数の基準電圧を生成する基準電圧生成部と、前記基準電圧について 1 種類または複数種類の調整量を記憶する補正情報記憶部と、補正情報記憶部に記憶された調整量に基づいて前記生成された基準電圧を調整する調整部と、前記調整部の動作を制御する制御部を備え、制御部が、表示画面の 1 フレーム内における所定数の走査ラインごとに、異なる種類の調整量を前記補正情報記憶部から読み出して前記調整部に与えることを特徴とする液晶表示装置 10 を提供するものである。また、調整部は、表示画面を表示するための走査信号に同期して、与えられる調整量に基づいて基準電圧の調整を行うようにしてもよい。これによれば、所定数の走査ラインごとに基準電圧を調整できるので、よりきめ細かく視野角を調整できる。

【0027】ここで走査ラインとは、いわゆるゲート信号ラインを意味する。また、所定数の走査ラインごととは、一走査ラインごとでもよくまた、任意の複数本の走査ラインごとでもよい。制御部は、MPU (マイクロプロセッシングユニット) のようなコントローラ LSI を用い、補正情報記憶部に記憶された調整量を書き換えるようにしてもよい。この書き換えを可能とすることにより、よりきめ細かく、視野角を広げるように調整することが可能となる。

【0028】さらに、この発明は、前記補正情報記憶部が、正極性電圧を画素に印加する場合の第 1 調整用データを記憶する第 1 記憶部と、負極性電圧を画素に印加する場合の第 2 調整用データを記憶する第 2 記憶部とからなり、前記基準電圧生成部が、正極性階調表示用の基準電圧を生成する第 1 電圧発生部と、負極性階調表示用の基準電圧を生成する第 2 電圧発生部とからなり、前記調整部が、第 1 記憶部に記憶された第 1 調整用データに基づいて第 1 電圧発生部によって生成された基準電圧を調整する第 1 調整部と、第 2 記憶部に記憶された第 2 調整用データに基づいて第 2 電圧発生部によって生成された基準電圧を調整する第 2 調整部とからなり、前記制御部から与えられる極性反転信号に基づいて、前記第 1 調整部および第 2 調整部から出力される調整後の基準電圧のどちらか一方の基準電圧を選択する選択部をさらに備え、選択された基準電圧に基づいて走査ラインごとに階調補正をすることを特徴とする液晶表示装置を提供するものである。これによれば、正極性および負極性の電圧を印加する走査ラインごとに視覚による色変化の適切な補正をすることができる。

【0029】

【発明の実施の形態】以下、図面に示す実施の形態に基づいてこの発明を詳述する。なお、これによってこの発明が限定されるものではない。

< 第 1 実施例 > 図 1 に、この発明の階調表示基準電圧発生回路を備えたソースドライバの第 1 実施例の構成プロ

ック図を示す。また、図 2 に、このソースドライバ 101 を用いた液晶表示装置の一実施例の概略構成図を示す。図 2 において、液晶表示装置は、液晶表示部 103 と、液晶駆動部 104 とから構成される。また、液晶駆動部 104 は、ソースドライバ 101、ゲートドライバ 102、コントローラ 105 などから構成される。

【0030】コントローラ 105 は、従来と同様にソースドライバ 101 に表示データと制御信号を入力し、ゲートドライバ 102 に垂直同期信号を入力すると共に、ソースドライバ 101 およびゲートドライバ 102 に水平同期信号を入力する。そして、入力された表示データは時分割して各ソースドライバに与えられ、水平同期信号に同期して D/A 変換されて、所定の階調表示電圧として液晶表示素子に出力される。

【0031】図 1 に示すように、ソースドライバ 101 は、シフトレジスタ回路 32、データラッチ回路 31、サンプリングメモリ回路 33、ホールドメモリ回路 34、レベルシフタ回路 35、DA コンバータ回路 36、及び出力回路 37、階調表示基準電圧発生回路 52 から構成されている。以下に、このソースドライバ 101 の動作を、初段の第 1 ソースドライバ S (1) を用いて説明する。

【0032】シフトレジスタ回路 32 は、スタートパルス入力信号 SSPI をシフト、すなわち転送する回路である。信号 SSPI は図示しないコントローラ 105 の端子 SSPI から出力され、ソースドライバ 101 の入力端子 SSPI_{in} に入力され、表示用データ信号 R・G・B の水平同期信号と同期がとられた信号である。このスタートパルス入力信号 SSPI は、コントローラ 105 の端子 SCK から出力され、かつソースドライバ 1 の入力端子 SCK_{in} に入力されるクロック信号 SCK によってシフトされる。このシフトレジスタ回路 32 にてシフトされたスタートパルス入力信号 SSPI は、例えば 8 個使いにおいては図 2 の 8 段目の第 8 ソースドライバ S (8) におけるソースドライバ 1 のシフトレジスタ回路 32 にまで順次転送される。

【0033】一方、コントローラ 105 の端子 R1 ~ R6・端子 G1 ~ G6・端子 B1 ~ B6 から出力されるそれぞれ 6 ビットの表示用データ信号 R・G・B は、クロック信号 / SCK (クロック信号 SCK の反転信号) の立ち上がり同期を取って、ソースドライバ 1 の入力端子 R1_{in} ~ R6_{in}・入力端子 G1_{in} ~ G6_{in}・入力端子 B1_{in} ~ B6_{in} にそれぞれシリアルに入力され、データラッチ回路 31 にて一時的にラッチされた後、サンプリングメモリ回路 33 に送られる。

【0034】サンプリングメモリ回路 33 は、上記シフトレジスタ回路 32 の各段の出力信号により、時分割で送られてくる表示用データ信号 (R・G・B 各 6 ビットの計 18 ビット) をサンプリングし、ホールドメモリ回路 34 にコントローラ 105 から出力されたラッチ信号

LS がソースドライバ 1 の端子 LS に入力されるまで、それぞれ記憶している。

【0035】そして、ホールドメモリ回路 34 では、サンプリングメモリ回路 33 より入力される表示用データ信号を、表示用データ信号 R・G・B の 1 水平期間分の表示用データ信号が入力された時点でラッチ信号 LS にてラッチし、次の 1 水平期間分の表示用データ信号がサンプリングメモリ回路 33 からホールドメモリ回路 34 に入力されるまでの間保持し、その後、レベルシフト回路 35 へ出力する。

【0036】階調表示基準電圧発生回路 52 は、後述するように赤、緑、青色用の液晶駆動電圧出力端子に対し、64 通りの基準電圧を作成し階調表示用の中間電圧を生成するものである。この回路 52 に入力される VR は、外部の液晶駆動電源から供給される電圧であり、UP は、外部の制御装置などのユーザプログラムによって与えられるデジタルデータである。

【0037】この発明の階調表示基準電圧発生回路 52 には、補正のための調整データが記憶される不揮発性メモリ 53 が備えられている。

【0038】DA コンバータ回路 36 は、ホールドメモリ回路 34 より入力され、レベルシフト回路 35 にて変換された RGB それぞれ 6 ビットの表示用データ信号（デジタル）を 64 通りの中間電圧に基づいて、アナログ信号に変換して出力回路 37 に出力する。出力回路 37 は、64 レベルのアナログ信号を増幅し、出力端子 38 の $Xo-1 \sim Xo-128 \cdot Yo-1 \sim Yo-128 \cdot Zo-1 \sim Zo-128$ から液晶パネルへ階調表示電圧として出力する。上記出力端子 $Xo-1 \sim Xo-128 \cdot Yo-1 \sim Yo-128 \cdot Zo-1 \sim Zo-128$ は、それぞれ表示用データ信号 R・G・B に対応するもので、 Xo 、 Yo 、 Zo それぞれ共に 128 個の端子からなる。また、ソースドライバ 101 の端子 VCC 及び端子 GND は、コントローラ回路の端子 VCC 及び GND と接続される電源供給用の端子であって、それぞれ電源電圧と、グランド電位が供給される。

【0039】図 3 に、この発明の階調表示基準電圧発生回路 52 の構成ブロック図を示す。本実施の形態における階調表示基準電圧発生回路 52 は、図 16 に示す従来の階調表示基準電圧発生回路 39 の場合と同様に、64 通りの基準電圧を作成し中間電圧を生成するものを示すが、これに限られるものではない。

【0040】本実施の形態における階調表示基準電圧発生回路 52 は、最下位電圧入力端子 V0 と最上位電圧入力端子 V64 との 2 本の電圧入力端子と、基準となる補正を行なうための抵抗比を有する 8 個の抵抗素子 R0 ~ R7 と、この抵抗素子 R0 ~ R7 によって得られた補正後の各基準電圧を一定の範囲で電圧を上下に微調整する補正調整回路 54 と、この補正調整回路 54 を液晶材料や液晶パネルの特性に応じて任意にプログラム

UP 等により補正特性を微調整する際に補正情報を格納するための不揮発性メモリ 53 を有している。この実施例において、抵抗素子 (R0 ~ R7) が基準電圧生成部に相当し、不揮発性メモリ 53 が補正情報記憶部に相当し、補正調整回路 54 が調整部に相当する。

【0041】さらに、最下位電圧入力端子 V0 と補正調整回路 54 の出力端子との間、各補正調整回路 54 の出力端子間、補正調整回路 54 の出力端子と最上位電圧入力端子 V64 との間に直列に 8 個ずつ接続された合計 64 個の抵抗 (図示せず) を有している。

【0042】上記構成を有するために、図 16 に示す従来の階調表示基準電圧発生回路 39 のように、9 本の中間調電圧入力端子 V0 ~ V64 を設ける必要はなく、上記中間電圧を当該階調表示基準電圧発生回路 52 内で生成し調整することができる。

【0043】図 4 は、上記補正調整回路 54 の構成を示す概略ブロック図である。補正調整回路 54 は、電圧降下を発生させるための 1 つの抵抗素子 R と、2 個の定電流源 44、45 と、バッファアンプ 46 で構成される。そして、抵抗素子 R に電流を流すことによる電圧降下を利用して、入力された電圧を一定の電圧だけ上下にシフトすることによって出力電圧を調整する。このような構成を有する補正調整回路 54 は、次のように動作する。

【0044】すなわち、上記補正調整回路 54 の入力端子 47 に、例えば基準となる電圧 V_{ref} が供給される。そして、基準電圧 V_{ref} よりも高い出力電圧あるいは低い出力電圧を得る場合には、定電流源 44、45 によって抵抗素子 R に流れる電流を変化させ、抵抗素子 R による電圧降下を利用して、入力された電圧を抵抗素子 R での電圧降下の分だけ上または下にシフトした電圧 V_{out} を出力端子 48 から出力するのである。

【0045】つまり、上記基準電圧 V_{ref} よりも高い出力電圧 V_{out} を得る場合には、

$$V_{out} = V_{ref} + i \cdot R$$

になるように、また、基準電圧 V_{ref} よりも低い出力電圧 V_{out} を得る場合には、

$$V_{out} = V_{ref} - i \cdot R$$

になるように、補正調整回路 54 によって電圧を調整するのである。

【0046】図 5 は、上記基準電圧 V_{ref} よりも高い出力電圧 V_{out} を得る場合 (図 5(a))、および、基準電圧 V_{ref} よりも低い出力電圧 V_{out} を得る場合 (図 5(b)) に、定電流源 44、45 の動作によって抵抗素子 R を流れる電流が変化した状態を示す。この場合、図 5(a) に示すように、抵抗素子 R よりも入力端子 47 側にある定電流源 44 を接地し、出力端子 48 側にある定電流源 45 を電源に接続することによって、抵抗素子 R には定電流源 45 から定電流源 44 に向う正の向きに電流 i が流れる。その結果、入力端子 47 から

基準電圧 V_{ref} が入力された場合の出力端子 48 からの出力電圧 V_{out} は、基準電圧 V_{ref} よりも抵抗素子 R での電圧降下の分だけ高い

$$V_{out} = V_{ref} + i \cdot R$$

となる。

【0047】一方、図5(b)に示すように、上記定電流源 44 を電源に接続し、定電流源 45 を接地することによって、抵抗素子 R には定電流源 44 から定電流源 45 に向う負の向きの電流 i が流れる。その結果、入力端子 47 から基準電圧 V_{ref} が入力された場合の出力端子 48 からの出力電圧 V_{out} は、基準電圧 V_{ref} よりも抵抗素子 R での電圧降下の分だけ低い

$$V_{out} = V_{ref} - i \cdot R$$

となるのである。

【0048】そして、個々の上記 補正調整回路 54 における各定電流源 44, 45 に関して、電流値を複数值に切り換え可能にし、さらに接地と電源への接続とを切り換え可能にし、上記夫々の切り換えを不揮発性メモリー 53 に記憶された調整用データに基づいて制御することによって、抵抗素子 $R_0 \sim R_7$ で得られた 補正電圧を微調整するのである。こうして微調整された各基準電圧間の電圧が、さらに上記 64 個の抵抗のうちの 8 個によって 8 等分されて、D/A 変換回路 36 に送出されるのである。

【0049】図6は、上記各定電流源 44, 45 に関する電流値の切り換えおよび接地/電源の接続切り換えを実現する 補正調整回路 54 の定電流源部の回路構成を示す。この定電流源部は、電源に接続されると共に、 n を正の整数として、 $2^{(n-1)}$ で重み付けされた電流 $2^{(n-1)}i$ を発生する 5 個の定電流源 $i, 2i, 4i, 8i, 16i$ を有する。そして、夫々の定電流源 $2^{(n-1)}i$ は、 $+2^{(n-1)}$ の制御信号によってオンするスイッチ $+2^{(n-1)}$ を介して、抵抗素子 R の一端および出力端子 48 に接続されている。さらに、 $-2^{(n-1)}$ の制御信号によってオンするスイッチ $-2^{(n-1)}$ を介して、抵抗素子 R の他端および入力端子 47 に接続されている。

【0050】同様に、接地されると共に、上記 $2^{(n-1)}$ で重み付けされた電流 $2^{(n-1)}i$ を発生する 5 個の定電流源 $i, 2i, 4i, 8i, 16i$ を有する。そして、夫々の定電流源 $2^{(n-1)}i$ は、 $+2^{(n-1)}$ の制御信号によってオンするスイッチ $+2^{(n-1)}$ を介して、抵抗素子 R の上記他端および入力端子 47 に接続されている。さらに、 $-2^{(n-1)}$ の制御信号によってオンするスイッチ $-2^{(n-1)}$ を介して、抵抗素子 R の上記一端および出力端子 48 に接続されている。

【0051】つまり、上記スイッチ $+2^{(n-1)}$ またはスイッチ $-2^{(n-1)}$ を介して入力端子 47 に接続された定電流源 $2^{(n-1)}i$ は図5における定電流源 44 として機能し、スイッチ $+2^{(n-1)}$ あるいはスイッチ $-2^{(n-1)}$ を介して出力端子 48 に接続された定電流源 $2^{(n-1)}i$ は

図5における定電流源 45 として機能するのである。そして、不揮発性メモリー 53 に記憶されている 2 の補数表現による符号付 2 進数の多ビットデジタルデータである調整用データに基づいて、各スイッチ $+2^{(n-1)}$ およびスイッチ $-2^{(n-1)}$ のオン/オフを制御することによって、定電流源 44, 45 に関する電流値の切り換えおよび電源/接地の接続切り換えを実現するのである。

【0052】こうすることによって、上記抵抗素子 R を流れる電流の値と方向とを変化させることができ、入力電圧 V_{in} に対して抵抗素子 R に流れる電圧降下の分だけ上にはまたは下に複数段にシフトした電圧 V_{out} を出力することができるのである。以下、具体例を挙げて説明する。

【0053】以下の説明は、上記調整用データが 6 ビットデータであるとして行う。このような 6 ビットで表わされる調整用データに基づく調整は、補正值に対する調整を $-32 \sim +31$ の 64 段階で行うことを可能にする。

【0054】図6において、上記定電流源 $i, 2i, 4i, 8i, 16i$ の夫々は、 $2^{(n-1)}$ で重み付けされた電流値 $i, 2i, 4i, 8i, 16i$ を発生する。また、上記各スイッチ $+2^{(n-1)}$ およびスイッチ $-2^{(n-1)}$ は、不揮発性メモリー 53 に格納された 補正情報の調整データに基づいてオンあるいはオフされる。以下、6 ビットの調整用データに基づく 補正調整回路 54 の動作を説明する。

【0055】第1の場合として、上記調整用データが「 $+1: (000001)$ 」の場合について述べる。この場合には 2 つのスイッチ $+2^0$ のみがオンし、他の総てのスイッチはオフする。この状態は、図5(a)と同じである。つまり、抵抗素子 R に流れる電流 I_{total} は定電流源 i と同じであり、電流の向きは上記正である。したがって、出力電圧 V_{out} は入力された基準電圧 V_{in} よりも抵抗素子 R での電圧降下分だけ上昇し、 $V_{out} = V_{in} + i \times R$

の出力電圧が得られる。これは、入力基準電圧 V_{in} よりも $(i \times R)$ だけ高い電圧である。

【0056】また、他の場合として、上記調整データが「 $-9: (101001)$ 」の場合について説明する。この場合には、2 つのスイッチ -2^3 および 2 つのスイッチ -2^0 の合計 4 つのスイッチがオンし、他の総てのスイッチはオフする。この状態は、図5(b)と同じである。つまり、抵抗素子 R に流れる電流 I_{total} は定電流源 i と定電流源 $8i$ との電流の和である $9i$ となり、電流の向きは上記負である。したがって、出力電圧 V_{out} は入力された基準電圧 V_{in} よりも抵抗素子 R での電圧降下分だけ下降し、 $V_{out} = V_{in} - 9i \times R$

の出力電圧が得られる。これは、入力基準電圧 V_{in} よりも $(i \times R)$ の 9 倍だけ低い電圧である。

【0057】他の調整用データの場合においても、上述の動作に準じて、夫々のスイッチ $+2^{(n-1)}$ 、 $-2^{(n-1)}$ をオンまたはオフすることによって、入力基準電圧 V_{in} を中心として、1段階当り $(i \times R)$ の電圧で $-32 \sim +31$ の範囲内で64段階に電圧調整を行うことができる。

【0058】すなわち、上記調整用データとして2の補数表現による符号付2進数の多ビットデジタルデータを用いることによって、そのビット番号 n と抵抗素子 R に流す電流値の重み(倍率) $2^{(n-1)}$ とをスイッチ $+2^{(n-1)}$ 、 $-2^{(n-1)}$ を介して対応付けることができる。したがって、不揮発性メモリー53に記憶された補正情報の調整データに応じた倍率の調整量を得ることができることになる。つまり、調整データによって上記基準値の調整量を簡単に指定することができる。

【0059】このように、上記不揮発性メモリー53に記憶された補正情報の調整データに応じてスイッチ $+2^{(n-1)}$ 、 $-2^{(n-1)}$ をオン/オフすることによって、入力電圧に対して調整用データに基づく調整を行った電圧を出力することができ、この調整を抵抗素子 $R_0 \sim R_7$ に基づく補正值に適用することによって、図7に示すように、液晶駆動出力電圧の特性を、抵抗素子 $R_0 \sim R_7$ に基づく補正值を中心として上記調整用データに基づいて上下に変更することができる。

【0060】次に、不揮発性メモリー53に記憶される情報について説明する。図8に、この発明の不揮発性メモリー53に記憶される補正用の調整データの一実施例を示す。記憶される情報は、格納アドレス、階調表示データ220、および調整データからなる。図8の格納アドレスとは、不揮発性メモリー53のアドレスであり、これは、出力データを意味する。階調表示データ220は、補正調整回路54に出力される補正後の階調表示データである。調整データは、ある階調表示データに対する設定値であり、外部の制御装置に組み込まれたユーザプログラムにより書き替えられる。

【0061】図9に階調基準電圧発生回路52の抵抗分割比の設計段階において決定された補正特性210の一実施例を示す。ここで、縦軸は、不揮発性メモリー53の格納アドレスであり、横軸は階調表示データを示している。縦軸の格納アドレスは、不揮発性メモリー53から出力される出力データに対応している。たとえば、図9のK点の補正特性210は、出力データが23H(16進数)で、階調表示データが10H(16進数)である。ここで、この出力データのレベルを23Hから25Hに補正する場合を考える。

【0062】まず、図8に示すように、たとえば補正後の出力データに対応する不揮発性メモリー53の格納アドレス25Hに、調整データとして、「+1(2進数:000001)」を予め格納しておく。同様に、6ビットのデジタル表示データのビット列のすべての組合せ

に対応するアドレス(00Hから3FH)のそれぞれに、補正したい調整データを格納する(図8参照)。

【0063】この格納処理は、ユーザが外部制御装置のユーザプログラムを動作させることにより容易に行うことができる。すなわち、ユーザ自身が簡単な操作をするだけで、補正のための調整量を容易に変更することができる。このように、補正特性をユーザが容易に変更できれば、表示状態を最適化するための評価作業を効率化することができる。

【0064】図9に、図8に示したような不揮発性メモリー53に格納された調整データに基づいて、出力データを変更した後の補正特性220を示す。この不揮発性メモリー53としては、電源を切断しても一度記憶したデータが保持されるように、フラッシュメモリー、OTP、EEPROM、FeRAM(強誘電体メモリー)を用いることができる。

【0065】<第2実施例>図10に、この発明の階調表示基準電圧発生回路を用いたソースドライバの第2実施例の構成ブロック図を示す。この実施例では、色再現性の向上を目的として、赤(R)、緑(G)、青(B)の各色ごとに、独立して補正をする回路を備えることを特徴とする。

【0066】図1の第1実施例では、唯1つの階調表示基準電圧発生回路52を設けていたが、この第2実施例では、図10に示すように、3つの階調表示基準電圧発生回路(R用52-1、G用52-2、B用52-3)を設ける。不揮発性メモリー53は、第1実施例と同様に、各階調表示基準電圧発生回路の内部にそれぞれ別個に設けてもよいが、1つの不揮発性メモリー53のみを設けて、これにR、G、Bすべての色についての調整データを格納するようにしてもよい。

【0067】また、図10に示したシフトレジスタ回路32等の他の構成要素は、図1に示した第1実施例と同様であり、ソースドライバとしての各回路の動作も同様である。ただし、色ごとに、図8に示したような調整データが不揮発性メモリー53に記憶され、3つの階調表示基準電圧発生回路(52-1、52-2、52-3)により、各色ごとに64通りの基準電圧がDAコンバータ回路36に与えられる点が異なる。これによれば、各色ごとに独立して補正をすることができるので、より適切な階調による画像表示をすることができる。

【0068】なお、不揮発性メモリー53は、前記したようにソースドライバに内蔵する場合の他、ソースドライバ外部の表示駆動部のコントローラ5等に設けてもよく、回路設計時に他の回路との配置を考慮して配置することができる。また、ソースドライバごとに不揮発性メモリーを設けた場合、液晶表示装置の画面内での特性のバラツキ(たとえば、画面の左右の階調ムラ)があっても微調整が可能であり、特に大画面の表示装置において有効である。

【0069】<第3実施例>上記実施例では、補正のための調整用データを、階調表示基準電圧発生回路52の中の不揮発性メモリ53の中に格納していたが、ここでは、階調表示基準電圧発生回路52とは異なり、ソースドライバ101内に設けられた「表示メモリ」に格納し、ゲート信号ライン15ごとに、階調表示基準電圧発生回路52の中の補正調整回路54を調整する場合について説明する。以下、ゲート信号を、走査ラインまたは行とも称する。

【0070】図19に、この発明の第3実施例の液晶表示装置1の構成ブロック図を示す。ここでは、主な構成要素および信号経路のみ図示し、電源回路、クロック信号、リセット信号、セレクト信号等の本発明に直接関係しない回路および信号は省略している。この発明の液晶表示装置1は、液晶パネル103、ソースドライバ101、ゲートドライバ102、コントローラ105とを備える。コントローラ105としては、MPU（マイクロプロセッサユニット）を用いることができる。このMPU105が、制御部に相当する。

【0071】液晶パネル103は、m本のソース電極およびn本のゲート電極に形成される水平方向m画素×垂直方向n画素のTFT（薄膜トランジスタ）方式の画素を有する液晶パネルである。なお、以下では水平方向1ラインの画素の配列を「行」と称し、垂直方向1ラインの画素の配列を「列」と称する。ここでは、 $m=1028 \times \text{RGB}$ 、 $n=900$ であり、各画素において第0階調～第63階調の64階調（6ビット）の階調表示を行なうものとする。各行には、R（赤）、G（緑）、B（青）それぞれを表示する画素が繰り返し配列されているものとする。したがって、各行にはRGBの各画素がそれぞれm/3画素含まれていることになる。

【0072】液晶パネル103には、ソースドライバ101およびゲートドライバ102が接続されており、ソースドライバ101およびゲートドライバ102はコントローラ（MPU）105に接続されている。ソースドライバ101は、主として、主要回路部120、入出力回路121、周辺回路部122、および表示メモリ110とから構成される。

【0073】表示メモリ110は、特に制限されないが、水平方向M画素×垂直方向N画素分の表示データを格納できるよう構成されている。表示メモリ110に格納される表示データは、例えば、キャラクタデータや静止画面データ等であり、表示データD1と切り替えて、もしくは重ね合わせて液晶画面に出力されるもので、1画面分でも良いし複数画面分でも良いし、あるいは、ウィンドウ表示部用でも良い。この場合、図19には図示していないが、ホールドメモリ34の前段もしくは後段に切り替えスイッチを設け、表示メモリ110からのデータとMPU105からの表示データとを切り替える。表示メモリ110には、さらに補正データも格納され

る。以後、この補正調整用データD2にのみ注目して記載する。

【0074】表示メモリ110は種類は問わないが、フラッシュメモリ、OTP、EEPROM、FeRAM等（強誘電体メモリ）の一度記憶した補正データは電源が遮断されても保持する不揮発性メモリから構成されるのが望ましい。ただし、表示データが固定データとして提供される場合、表示メモリとしてROM構造のメモリを用いてもよい。また、表示メモリ110は、ソースドライバ101の中に内蔵してもよく、また外付けとしてもよい。

【0075】ソースドライバ101の周辺回路部122は、コマンドデコーダ111、Xアドレスデコーダ（コラムデコーダ）112、およびYアドレスデコーダ（ロウデコーダ）113を含んでいる。また、ソースドライバの主要回路部120は、第1実施例の図1に示した回路ブロックにほぼ対応し、データラッチ回路31、階調表示基準電圧発生回路52（以後、基準電圧発生回路と称す）、シフトレジスタ32と、サンプリングメモリ33、ホールドメモリ34、レベルシフト回路35、D/Aコンバータ回路36、および出力回路37を含んでいる。

【0076】この主要回路部120には、MPU105を介して、液晶パネル103の画面に表示される表示データD1がシリアルに入力され、まず、データラッチ回路31で一時的にラッチされる。シフトレジスタ32の各段の出力信号に基づいて、ラッチされた表示データD1が、サンプリングメモリ回路33によってサンプリングされ、ホールドメモリ回路34の対応する段に出力される。

【0077】また、ホールドメモリ34は、液晶パネル103における各行に含まれる第1～第mの画素、つまり第1～第mのソース電極線にそれぞれ対応している。ホールドメモリ34に入力された表示データは、水平同期信号Hによりラッチがかけられ、次の水平同期信号Hが入力されるまでにホールドメモリ34から出力される表示データは固定される。ホールドメモリ34から出力される表示データは、レベルシフト回路35で次段のD/Aコンバータ回路36の信号処理レベルに合わせるための昇圧等のレベル変換が施され、D/Aコンバータ回路36に入力される。

【0078】基準電圧発生回路52には、例えば、画素に付与すべき電圧の最大電圧E1および最小電圧E2が図示しない電源回路から入力される。基準電圧発生回路52は、最大電圧E1と最小電圧E2との電位差を内部で分圧することにより、64階調表示の場合、64種類の階調表示用電圧を発生し、D/Aコンバータ回路36に対して出力する。D/Aコンバータ回路36では、レベルシフト回路35からの表示データに応じた階調表示用電圧を上記64種類の階調表示用電圧の中から画素ご

とに1つ選択し、出力回路37に対して出力する。

【0079】出力回路37は差動増幅器等からなる低インピーダンス変換部であり、出力回路37から液晶パネル103の第1～第mのソース電極それぞれに対して、D/Aコンバータ回路36で選択された階調表示用電圧が付与される。この階調表示用電圧は、水平同期信号Hの1周期、つまり1水平同期期間維持され、次の水平同期期間は新たな表示データに応じた階調表示用電圧が出力される。

【0080】一方、ゲートドライバ102は、シフトレジスタ114、レベルシフタ115、および出力回路116を含んでいる。ゲートドライバ102は、シフトレジスタ114にMPU105から水平同期信号Hおよび垂直同期信号Vが入力され、水平同期信号Hをクロックとして垂直同期信号Vをシフトレジスタ114内の各段で順次転送させる。

【0081】シフトレジスタ114の各段からの出力は、液晶パネル103における各列に含まれる第1～第nの画素、つまり第1～第nのゲート電極線にそれぞれ対応している。シフトレジスタ114の各段からの出力は、レベルシフタ115でレベル変換されることにより各画素が有するTFTのゲートを制御できる電圧まで昇圧され、出力回路116で低インピーダンス変換されて、出力回路116から液晶パネル103の第1～第nのゲート電極それぞれに対して出力される。このゲートドライバ102からの出力が走査信号となり、液晶パネル103の各画素のTFTのゲートのオン/オフを制御する。

【0082】これにより、走査信号で選択された1本のゲート電極にゲートが接続されているTFTがオンされる。そして、1水平同期期間ごとにゲート電極が順次選択されることで、オンされるTFTを有する画素が順次垂直方向に移動する。走査信号により選択されてTFTがオンされた画素では、その画素に備えられた画素容量にソース電極から階調表示用電圧が付与されることで、その電位に応じて画素容量が充電され、TFTがオフとなると画素容量にて電位が保持されることで画素における階調表示がなされる。

【0083】MPU105は、ソースドライバ101に対して、水平同期信号H、スタートパルス信号S、表示データD1および制御信号Cを与える。制御信号Cは、MPU105から、入出力回路121を介して、コマンドデコーダ111に与えられる信号であり、例えば2進nビットのようなデータから構成されるものである。コマンドデコーダ111では、この制御信号Cを解析することにより、読出しや書き込み命令がデコードされ、さらにXアドレスデコーダ112、Yアドレスデコーダ113により表示メモリ110の所望のアドレスが選択され、該アドレスのデータが読み出されたり、書換えられたりする。

【0084】入出力回路121は、MPU105とのインターフェイスおよび入出力バッファとして機能する。MPU105は制御信号Cにより、表示メモリ110に記憶された調整量に基づいて、ガンマ特性を1フレーム内の任意のラインのみ調整する調整用データD2の読み出しをすることを指示する。

【0085】以下に、この発明の第3実施例のソースドライバ101の主要回路部120の動作について説明する。まず、通常モード（全画面表示）について説明する。通常モード時には、MPU105から送られてくる表示データD1は各画素に対応する6ビットの値を有しており、データラッチ回路31にて一旦ラッチされる。一方、シフトレジスタ32は、MPU105からスタートパルス信号Sをシフト、すなわち転送する。このスタートパルス入力信号Sは、MPU105の端子から出力され、図示しないソースドライバ101のクロック信号によってシフトされる。このシフトレジスタ32にてシフトされたスタートパルス信号Sは、例えばソースドライバ101が8個縦続接続されているとすれば、8段目の第8ソースドライバのシフトレジスタ32にまで順次転送される。

【0086】シフトレジスタ32から出力回路37までの各ブロックは、液晶パネル103の第1～第mのm本のソース電極線に対応して第1～第mのm段となっている。このシフトレジスタ32の各段からの出力に同期して、データラッチ回路31にラッチされていた表示データD1が、サンプリングメモリ33の対応する段に一旦記憶されるとともに、次のホールドメモリ34の対応する段に出力される。

【0087】ホールドメモリ34は、1水平同期期間のm個の表示データD1がサンプリングメモリ33から入力されると、MPU105からの水平同期信号H（ラッチ信号ともいう。）により、サンプリングメモリ33から表示データD1を取り込み、次のレベルシフタ回路35に出力する。そして、ホールドメモリ34は、次の水平同期信号Hが入力されるまでこの表示データD1を維持する。

【0088】MPU105は、1水平同期信号毎に表示データD1をデータラッチ回路31に対して繰り返し送る。これにより、液晶パネル103に対して周期的に表示データD1に応じた電圧が書き込まれ、液晶パネル103における液晶表示が維持される。また、MPU105が、制御信号Cにより、表示メモリ110からの調整用データD2の読み出しを指示すると、調整用データ（D2）が該表示メモリ110から読み出され、基準電圧発生回路52に入力される。

【0089】基準電圧発生回路52には、制御信号Cにより表示メモリ110から読み出された調整用データ（D2）が入力され、第1実施例と同様に赤、緑、青色用の液晶駆動電圧出力端子に対し、64通りの基準電圧

を作成し階調表示用の中間電圧を生成する。

【0090】D/A変換回路36は、ホールドメモリ34より入力されかつレベルシフト回路35にて変換されたRGBそれぞれ6ビットの表示データ信号(デジタル)を、基準電圧発生回路52から与えられる64通りの中間電圧に基づいて、アナログ信号に変換して出力回路37に出力する。出力回路37は、64レベルのアナログ信号を増幅し、液晶パネル103へ階調表示電圧として出力する。

【0091】図20に、この発明の第3実施例の基準電圧発生回路52の構成ブロック図を示す。第1実施例の図3では、補正情報を格納した不揮発性メモリ53を基準電圧発生回路52に設けていたが、第3実施例では、不揮発性メモリ53の代わりに、主要回路部120の外に表示メモリ110を設ける。そしてこの表示メモリ110に記憶された調整用データD2が読み出され、基準電圧発生回路52の各補正調整回路52に与えられる。

【0092】ここで、調整用データD2は、基準電圧発生回路52内部のメモリに固定的に記憶されるのではなく、基準電圧発生回路52の外部の表示メモリ110に記憶されているので、ゲート信号ラインごとにMPU105からの制御信号Cによって書き換えることができる点が第1実施例と異なる。また、複数種類の調整用データD2を表示メモリ110に予め記憶しておき、制御信号Cにより、読み出すべき調整用データD2の種類をゲート信号ラインごとに異ならせることにより、ゲート信号ラインごとに補正の微調整をすることができる。

【0093】図20に示した基準電圧発生回路52において、2つの電圧入力端子V0、V64、8つの抵抗素子R0~R7、補正電圧を生成するガンマ補正調整回路54を有すること等の回路構成は、第1実施例の図3と同様である。また、補正調整回路54の回路構成、定電流源部の回路構成や動作については、第1実施例の図4、図5および図6と同様である。ただし、第1実施例では、不揮発性メモリ53に記憶された調整用データに基づいて、図6に示したスイッチのオン/オフ制御をしていたが、第3実施例では、表示メモリ110から与えられる調整用データ(D2)に基づいて図6に示したスイッチのオン/オフ制御をする(図21参照)。

【0094】このように、表示メモリ110に格納された調整用データ(D2)に応じて、スイッチ+ $2^{(n-1)}$ 、- $2^{(n-1)}$ をオン/オフすることによって、入力電圧に対して調整用データに基づく調整を行った電圧を出力することができる。さらに、表示メモリ110に、2種類の調整用データを記憶させておき、走査信号に同期を取り、ゲート信号ラインごとに所望の調整用データD2を出力し調整を切り替えることにより、2種類の補正の調整が可能となる。

【0095】この調整を抵抗素子R0~R7に基づく

補正值に適用することによって、図22に示すように、液晶駆動出力電圧の特性として、抵抗素子R0~R7自体に基づく補正值(ガンマ変換特性1)を中心にして、上記調整用データによって調整された上下2つのガンマ変換特性2を得ることができる。すなわち2種類のガンマ変換特性(1, 2)を得ることができる。

【0096】後述する図23に示したようなドット反転駆動方式では、1フレーム内において、所定のラインのみ異なるガンマ特性を持たせることができるので、視野角が最適視野になるよう表示特性を変えることができる。この場合の表示メモリ110の読み出しの制御は、MPU105から直接、走査信号に同期した切り替え信号を表示メモリ110に出力しても良い。あるいは、コマンドデコード24内にメモリ領域を備え、例えば、走査信号線 $n_i \sim n_i + j$ まで切り替えするように、このメモリ領域に走査信号線番号と調整データ番号(1用、2用等)を記憶しておき、MPU105からの制御信号Cをデコードし、Xアドレスデコード、Yアドレスデコードを介して表示メモリ110を制御しても良い。

【0097】また、表示メモリ110に記憶された調整用データD2は、必要に応じてプログラム等によりMPU105を介して書き換えられるようにする。書き換えができれば、利用者の見る位置や角度等に対応させた補正の調整ができ、より好ましい。

【0098】図23に、図22に示した2つのガンマ変換特性1, 2を用いて液晶駆動した場合の画素状態の説明図を示す。図23の各ます目は、1つの画素ドットを表わしており、各画素ドットの中の“+”または“-”は、印加される信号電圧の極性を示している。図23において、中央の4つの行の部分は、抵抗素子R0~R7に基づく補正值を中心としたガンマ変換特性1に対応する信号が入力される画素ドットであり、上部一行分と下部一行分とは、調整用データD2によって調整されたガンマ変換特性2に対応する信号が入力される画素ドットである。

【0099】ここでは、ゲート信号ラインと各行とが対応しており、上下2つのゲート信号ラインに対応する行のみが特性2の調整がされている。ただし、特性2の調整は、図23の2つの行に限定されるものではなく、制御信号Cの情報を換えることにより、任意の行について行うことができる。

【0100】図23は、ドット反転駆動方式の液晶表示を示しており、ある1つのフレームにおいて隣接する画素ドットの極性が互いに反転している例を示している。図24に、連続するフレーム(nフレームとn+1フレーム)における画素状態の変化を示したものを示すが、nフレームから次のn+1フレームへ変化したとき、各画素ドットの極性が反転している。以上のように、1つのフレーム内において、ゲート信号ラインすなわち行ご

とにガンマ変換特性を変えることができるので、ガンマ変換特性 1 を採用する行と、ガンマ変換特性 2 を採用する行を適切に選択すれば、広視野となるように視野角特性を調整することができる。

【0101】図 23、図 24 では、2 種類のガンマ変換特性 (1 , 2) を用いたが、3 種類以上のガンマ変換特性を用いた調整をしてもよい。ガンマ変換特性の種類を増やすことにより、よりきめ細かい視野角の調整が可能となり、また、その結果、液晶パネルの均一化が図れるので、視覚による色変化の補正が可能となる。図 2 5 に、3 種類のガンマ変換特性 (1 , 2 , 3) を用いて 補正を調整した場合の一実施例の画素状態の説明図を示す。この場合は、表示メモリ 110 に、各ガンマ変換特性 (1 , 2 , 3) に対応する 3 種類の調整用データ D2 を記憶しておく。

【0102】この 3 つのガンマ変換特性 (1 , 2 , 3) の液晶駆動出力電圧の一実施例を、図 28 に示す。各ゲート信号ラインごとに、そのゲート走査信号に同期させて、そのゲート信号ラインに対応する調整用データ D2 を表示メモリ 110 から読み出して、基準電圧発生回路 52 に与え、この調整用データ D2 に基づいてゲート信号ラインすなわち行ごとに各 補正調整回路 54 のスイッチを切り替えればよい。図 25 は、中央部の行を特性 1 による調整をし、その両側の行を特性 2 による調整をし、さらに外側の行について特性 3 による調整をしている。

【0103】どの行にどの調整量を適用するかは、図 25 に示したものに限るものではなく、利用者の見る位置や角度等によって調整量を変更すればよい。たとえば、大画面の液晶ディスプレイでは、見る人と画面の相対位置によって視野角が異なり、画面の上部領域、中央部領域および下部領域の見え方が異なる。上部領域は見にくい、中央部下部領域はそれほど見にくいはないというような場合もあり、必ずしも図 25 のような調整が適切とは言えない。

【0104】このような場合には、図 26 に示すように、上方と下方とでガンマ変換特性を異ならせた方が好ましい。図 26 は、上方と下方の行についてのガンマ変換特性を異ならせた場合の画素状態の説明図である。図 26 では、上部の行について図 28 のガンマ変換特性 2 を用い、下部の行について図 28 のガンマ変換特性 3 を用いている。ここで、ガンマ変換特性 2 , 3 は、ガンマ変換特性 1 を中心として上下にそれぞれ 2 通りの調整電圧を持っているが、どちらの電圧を用いるかは、画面を観察することによって決定することができる。

【0105】たとえば、図 26 の場合は、画像が全体的に明るい場合の一例であり、特性 2 および 3 と、図 28 の特性 1 の下側に示した電圧値を利用すればよい。図 26 に示すような行単位の画面領域ごとに 特性

を調整すれば、大画面の液晶表示装置において、より視野角が広くなるように調整することができる。

【0106】図 27 に、図 26 の画素状態に対して連続するフレームにおける画素状態の変化の説明図を示す。ここでは、n フレームの各画素ドットに対して、n + 1 フレームでは極性が反転した電圧が印加され、さらに上部と下部の行について異なるガンマ変換特性 (2 , 3) を適用している。図 27 に示すようにガンマ補正の調整をすれば、RGB の色バランスを維持し、連続して異なるガンマ特性に対応した電圧を印加すると正負の信号のアンバランスにより発生する残留 DC 電圧による液晶、配向膜の固定分極に起因する画面の焼き付きを抑えることができる。

【0107】図 29、図 30 に、5 種類のガンマ変換特性 (1 ~ 5) を用いて 補正の調整をした場合の一実施例の画素状態の説明図を示す。図 31 に、この 5 種類のガンマ変換特性に対応した液晶駆動出力電圧の特性の一実施例の説明図を示す。ここでは、中央部の行についてガンマ変換特性 1 を適用し、上部の 2 行についてガンマ変換特性 2 と 3 を、下部の 2 行についてガンマ変換特性 4 と 5 とを適用したものを示している。図 30 では、n + 1 フレームにおいて、上部の 2 行と、下部の 2 行についてのガンマ変換特性を入れかえている。

【0108】このように、ガンマ変換特性の種類を増やし、さらに、印加電圧を反転させ図 30 に示すようにガンマ変換特性を適用する行を変化させることにより、視野角をよりきめ細かく調整することができ、広視野角に調整することができる。また、図 10 のように、RGB それぞれに対応した階調表示基準電圧発生回路 52 を備え、各階調表示基準電圧発生回路 52 内の 補正調整回路 54 を表示メモリ 110 から読み出した各々の調整用データ D2 により 補正の調整を行うようにすれば、RGB を個別に調整することに加えて、さらに適切な 補正を実現できる。

【0109】<第 4 実施例> この実施例では、各画素に印加される信号電圧の極性 (正 (+) または負 (-)) ごとにガンマ補正の調整を異ならせる場合について説明する。

【0110】以下に示す第 4 実施例において、図 32 の表示メモリ 110 が第 1 記憶部に相当し、表示メモリ 137 が第 2 記憶部に相当し、セレクト回路 130 が選択部に相当する。また、図 34 の正極性階調電圧発生回路 56 が第 1 電圧発生部に、図 34 の負極性階調電圧発生回路 57 が第 2 電圧発生部に、図 35 の抵抗分割回路 52a が第 1 調整部に、図 35 の抵抗分割回路 52b が第 2 調整部にそれぞれ相当する。

【0111】図 32 に、この発明の第 4 実施例の液晶表示装置 1 の構成ブロック図を示す。図 19 に示した第 3 実施例の構成に対して、次の要素が追加されている点が

異なる。

- (a) セクタ回路130
- (b) 表示メモリ137と第2デコード部132
- (c) 信号Vcom(対向電極電圧)
- (d) 制御信号C1(MPU105から入出力回路133へ)
- (e) 参照電圧VH,VL(MPUから基準電圧発生回路52へ)
- (f) 極性反転用信号REV(MPUからセクタ回路130へ)
- (g) 調整用データD3(表示メモリ137から基準電圧発生回路52へ)

第4実施例では、第3実施例とは異なり2系統のアドレスデコード回路(第1デコード部131、第2デコード部132)を備え、2つの表示メモリ(110、137)を備える。詳細については後述する。その他の構成要素については、第3実施例と同様である。

【0112】この発明の液晶表示装置1は、液晶パネル103、ソースドライバ101、ゲートドライバ102、コントローラ105とを備える。コントローラ105としては、MPU(マイクロプロセッサユニット)を用いることができる。このMPU105が、制御部に相当する。

【0113】<液晶パネルの構成>液晶パネル103は、m本のソ - ス電極およびn本のゲート電極に形成される水平方向m画素×垂直方向n画素のTFT(薄膜トランジスタ)方式の画素を有する液晶パネルである。なお、以下では水平方向1ラインの画素の配列を「行」と称し、垂直方向1ラインの画素の配列を「列」と称する。ここでは、 $m=1028 \times \text{RGB}$ 、 $n=900$ であり、各画素において第0階調～第63階調の64階調(6ビット)の階調表示を行なうものとする。各行には、R(赤)、G(緑)、B(青)それぞれを表示する画素が繰り返し配列されているものとする。したがって、各行にはRGBの各画素がそれぞれn画素含まれていることになる。

【0114】液晶パネル103には、ソースドライバ101およびゲートドライバ102が接続されており、ソースドライバ101およびゲートドライバ102はコントローラ(MPU)105に接続されている。

<ソースドライバの構成>ソースドライバ101は、主要回路部120および周辺回路部122とからなり、周辺回路部122は、第1デコード部131、第1表示メモリ110、第2デコード部132、第2表示メモリ137とから構成される。また、第1デコード部131は、入出力回路121、コマンドデコーダ111、Xアドレスデコーダ112、Yアドレスデコーダ113とからなり、第2デコード部132は、入出力回路133、コマンドデコーダ134、Xアドレスデコーダ135、Yアドレスデコーダ136とからなる。

【0115】表示メモリ110、137は、特に制限されないが、水平方向M画素×垂直方向N画素分の表示データを格納できるよう構成されている。表示メモリ110、137には、さらにそれぞれ補正データD2、D3も格納される。以後、この補正調整用データD2、D3に注目して記載する。

【0116】表示メモリ110、137は種類は問わないが、フラッシュメモリ、OTP、EEPROM、FeRAM等(強誘電体メモリ)の一度記憶した補正データは電源が遮断されても保持する不揮発性メモリから構成されるのが望ましい。ただし、表示データが固定データとして提供される場合、表示メモリとしてROM構造のメモリを用いてもよい。表示メモリに格納される調整用データD2、D3は、必要に応じて書きかえることができる。また、表示メモリ110、137は、ソースドライバ101の中に内蔵してもよく、また外付けとしてもよい。

【0117】図32では、表示メモリ110、137としては、別々に異なるメモリとして構成したものを示しているが、図33に示すように、物理的に1つのメモリを用いて、これを領域分割して表示メモリ110および137として用いてもよい。この場合、デコード部(131、132)を1つにまとめて、制御信号CおよびC1に対して、1つの表示メモリ110から調整用データ(D2、D3)を読み出すようにすることができる。

【0118】この第4実施例のソースドライバ101の主要回路部120の構成および動作は、第3実施例とほぼ同様であるが、基準電圧発生回路52から出力される階調表示用電圧は、セクタ回路130を介してD/Aコンバータ回路36に対して出力される点異なる。また、MPU105から出力された制御信号Cは周辺回路部内の入出力回路121に与えられるが、この制御信号Cにより、表示メモリ110から調整用データD2が読み出され、調整用データD2は、基準電圧発生回路52の正極性階調電圧発生回路56の抵抗分割回路52aに入力される(図34、図35参照)。一方、MPU105から出力された制御信号C1は、入出力回路133に与えられ、この制御信号C1により表示メモリ137から調整用データD3が読み出され、調整用データD3は、基準電圧発生回路52の負極性階調電圧発生回路57の抵抗分割回路52bに入力される(図34、図35参照)。

【0119】<基準電圧発生回路の構成>図34および図35に、第4実施例の基準電圧発生回路52の内部回路構成図を示す。ここで、基準電圧発生回路52は、正極性階調電圧発生回路56と、負極性階調電圧発生回路57とから構成され、それぞれの発生回路(56、57)は、バッファアンプ(55a、55b)と、抵抗分割回路(52a、52b)とから構成される。また、最上位電圧入力端子VHと最下位電圧入力端子VLを有

し、この電圧入力端子に、それぞれMPU105からの参照電圧VH、VLが入力される。この参照電圧VH、VLは、図示しない外部の液晶駆動電源からMPU105を介して供給されるものであり、第3実施例の図20に示した電圧 V_{64} 、 V_0 に相当するものである。

【0120】正極性階調電圧発生回路56は、正極性の交流駆動に対応し、抵抗分割回路52aにより、正極性の階調表示用のアナログ電圧($+V_0 \sim +V_{63}$)を発生させる。負極性階調電圧発生回路57は、負極性の交流駆動に対応し、抵抗分割回路52bにより、負極性の階調表示用のアナログ電圧($-V_0 \sim -V_{63}$)を発生させる。

【0121】また、正極性側の抵抗分割回路52aは、基準となるガンマ補正を行うための抵抗比を有する抵抗素子RP0～RP7、ガンマ補正調整回路54およびアナログスイッチSAとから構成される。正極性側の抵抗分割回路52aにおいて、MPU105から与えられた制御信号Cにより表示メモリ110から読み出された調整用データD2に基づいて、各ガンマ補正調整回路54にて正極性の階調表示用のアナログ電圧($+V_0 \sim +V_{63}$)が調整される。

【0122】また、負極性側の抵抗分割回路52bは、同様に、抵抗素子RN0～RN7、ガンマ補正調整回路54およびアナログスイッチSBとから構成される。同様に、負極性側の抵抗分割回路52bにおいて、MPU105から与えられた制御信号C1により表示メモリ137から読み出された調整用データD3に基づいて、各ガンマ補正調整回路54にて、負極性の階調表示用のアナログ電圧($-V_0 \sim -V_{63}$)が調整される。

【0123】図35において、抵抗素子RP0～RP7のうち、RP0における一方の接続点には最上位電圧入力端子VHに接続されたバッファアンプ(ボルテージフォロア型増幅アンプ)55aの出力が接続され、抵抗RP0の他端はRP1が接続される。抵抗素子RP1～RP7のそれぞれは、複数本の抵抗素子が直列に接続されて構成されている。例えば、抵抗RP1について説明すれば、15本の抵抗素子RP1-1、RP1-2、……RP1-15が直列接続され全体として抵抗RP1が構成されている。また、他の抵抗RP2～RP7については16本の抵抗素子が直列接続されて抵抗RP2～RP7が構成されている。RP7の他端はRP6が接続され、抵抗RP7における抵抗RP6の接続点とは反対側の端子には、アナログスイッチSAを挟んで最下位電圧入力端子VLに接続されたバッファアンプ(ボルテージフォロア型増幅アンプ)55bの出力が接続されている。

【0124】抵抗素子RN0～RN7のうち、RN0における一方の接続点には最下位電圧入力端子VLに接続された増幅用アンプ55bの出力が接続され、抵抗RN0の他端はRN1が接続される。抵抗素子RN1～RN

7のそれぞれは、複数本の抵抗素子が直列に接続されて構成されている。例えば、抵抗RN1について説明すれば、15本の抵抗素子RN1-1、RN1-2、……RN1-15が直列接続され全体として抵抗RN1が構成されている。また、他の抵抗RN2からRN7については16本の抵抗素子が直列接続されて抵抗RN2～RN7が構成されている。RN7の他端はRN6が接続され、そして抵抗RN7における抵抗RN6の接続点とは反対側の端子には、アナログスイッチSBを挟んで最上位電圧入力端子VHに接続されたバッファアンプ(ボルテージフォロア型増幅アンプ)55aの出力が接続される。このように、第4実施例では、従来の階調表示基準電圧発生回路のように、9本の間調電圧入力端子V0からV64を設ける必要は無く、中間電圧を基準電圧発生回路52内で生成し調整することができる。

【0125】また、最上位電圧入力端子VHと最下位電圧入力端子VLとに接続されたバッファアンプ55a、55b(ボルテージフォロア型増幅アンプ)によって、抵抗分割回路(52a、52b)の抵抗値をより高くすることができるので、分割抵抗に流れる電流値を抑えることができる。

【0126】さらに、MPU105から出力された極性反転用信号REVは、図35に示すように、基準電圧発生回路52の抵抗分割回路(52a、52b)の中のアナログスイッチ(SA、SB)に与えられ、この信号REVにより、どちらか一方の抵抗分割回路(52a、52b)が選択されることになる。たとえば、信号REVが“H”のとき、アナログスイッチSAがON(開状態)、スイッチSBがOFF(閉状態)となり、抵抗分割回路52aが選択され、正極性の階調表示用アナログ電圧($+V_0 \sim +V_{63}$)が出力される。逆に信号REVが“L”のとき、アナログスイッチSAがOFF(閉状態)、スイッチSBがON(開状態)となり抵抗分割回路52bが選択される。この信号REVは、アナログスイッチ(SA、SB)のゲートに与えられるゲートへの追加電圧が“H”のときスイッチが導通状態(開状態)となる。

【0127】<セクタ回路の構成>セクタ回路130は、図34に示すように正極性階調電圧発生回路56と負極性階調電圧発生回路57とに対応して、正極性用のセクタ回路130aと負極性用のセクタ回路130bとを備え、各セクタ回路(130a、130b)は、電圧発生回路(56、57)から出力される各アナログ電圧($V_0 \sim V_{63}$)に対応するように設けられた複数のアナログスイッチ(58、59)により構成される。セクタ回路130aの各アナログスイッチ58は、正極性の抵抗分割回路52aからのアナログ電圧($+V_0 \sim +V_{63}$)の出力端子にそれぞれ接続され、セクタ回路130bの各アナログスイッチ59は、負極性の抵抗分割回路52bからのアナログ電圧($-V_0 \sim$

- $V_{6.3}$) の出力端子にそれぞれ接続される。各アナログスイッチ (58, 59) は、極性反転用信号 REV により ON/OFF が選択され、各アナログ電圧 ($V_0 \sim V_{6.4}$) の D/A コンバータ回路 36 への出力の有無が制御される。

【0128】たとえば、信号 REV が “H” のとき、セクタ回路 130a のアナログスイッチ 58 が選択され、正極性のアナログ電圧 ($+V_0 \sim +V_{6.3}$) が出力される。また、信号 REV が “L” のとき、セクタ回路 130b のアナログスイッチ 59 が選択され、負極性のアナログ電圧 ($-V_0 \sim -V_{6.3}$) が出力される。

【0129】また、ガンマ補正調整回路 54 の回路構成等については、第 1 実施例の図 4、図 5 および図 6 と同様であり、第 4 実施例では、第 3 実施例の図 21 に示したように、表示メモリ 110 から与えられる調整用データ (D2) と表示メモリ 137 から与えられる調整用データ (D3) とに基づいて各スイッチのオン/オフ制御がされる。第 4 実施例の場合は、ガンマ補正調整回路 54 において、第 1 実施例の不揮発性メモリ 53 に記憶されたガンマ補正情報の調整データの代わりに表示メモリ 110、137 にそれぞれ格納された 2 つの調整用データ D2、D3 に応じた倍率の調整量を得ることができる。言い換えれば、調整用データ D2、D3 に応じて、スイッチ $+2^{(n-1)}$ 、 $-2^{(n-1)}$ をオン/オフすることによって、入力電圧に対して調整用データに基づく調整を行った電圧を出力することができる。

【0130】この調整を抵抗素子 R0 ~ R7 に基づくガンマ補正值に適用することによって、図 36 に示すように、液晶駆動出力電圧の特性は、抵抗素子 R0 ~ R7 に基づく補正值を中心としたガンマ変換特性 1 と上記調整用データ D2、D3 によって調整可能なガンマ変換特性 2 並びに 3 とを得ることができる。この 1 と 2 並びに 3 とによる三つのガンマ特性は、後述する図 37 に示すような 1 画面内において、任意のラインに対してそれぞれ適用させることにより、視野角が最適視野になるよう特性を変えることができる。

【0131】図 37 に、図 36 で説明したガンマ変換特性 1 と、調整用データ D2、D3 によって調整されたガンマ変換特性 2 並びに 3 とを液晶表示装置に適用した場合の画素状態の説明図を示す。第 3 実施例の図 23 等には、ドット反転駆動方式による画素状態を示したが、図 37 では、ライン駆動方式により液晶表示装置を駆動した場合を示している。すなわち、図 23 では 1 つの走査ラインにおいて極性が正と負に交互に変化しているのに対し、図 37 では、1 つの走査ライン上のすべての画素について、正極性 (+) あるいは負極性 (-) のどちらかとなっている。

【0132】図 37 において、斜線の無い部分は抵抗素子 R0 ~ R7 に基づく補正值を中心としたガンマ変換特性 1 に対応する信号が入力される画素ドットを示し、

斜線部は調整用データ D2、D3 によって調整されたガンマ変換特性 2 並びに 3 に対応する信号が入力される画素ドットを示す。また画素ドット無いの + / - の符号は印加信号の極性を示す。また、図 38 に、図 37 で示した液晶表示装置での連続する 2 つのフレームにおける画素状態の変化を示す。n+1 フレームでは、n フレームに対し正極性、負極性を反転している。以上のように、1 画面内の任意のラインに対して、3 種類の異なるガンマ変換特性を適用することにより、広視野角化を図ることができる。なお、3 種類以上のガンマ変換特性を適用することにより、より広範囲で視野角特性を変えることが可能となることは言うまでもない。

【0133】以上のように、表示メモリ 110 に格納された調整用データ D2 を用いて、正極性の走査ラインに対するガンマ補正值の調整 (図 37 の 2) を行い、表示メモリ 137 に格納された調整用データ D3 を用いて、負極性の走査ラインに対する補正值の調整 (図 37 の 3) を行うようにしているので、視覚による色変化の最適な補正を実現することができる。

【0134】図 39 に、第 4 実施例の基準電圧発生回路 52 の他の構成例を示す。図 35 に示した構成に対して、バッファアンプ (55a, 55b) の動作を制御するための制御端子 60 を設ける。制御信号端子 60 は MPU105 と接続され、“H” または “L” レベルの信号が MPU105 から与えられる。たとえば、制御端子 60 に、“H” レベルの信号が供給されると、バッファアンプ (55a, 55b) は導通状態となり、入力参照電圧 VH, VL に基づいて、前記したような正極性および負極性の 64 通りの基準電圧 ($\pm V_0 \sim \pm V_{6.3}$) が生成される。一方、制御端子 60 に、“L” レベルの信号が供給されると、バッファアンプ (55a, 55b) は非導通状態となり、動作を停止し、基準電圧は生成されない。

【0135】すなわち、バッファアンプ (55a, 55b) の動作を停止させることにより、基準電圧発生回路 52 による電圧の生成が中断されるので、低消費電力化を図ることができる。また、図示していないがガンマ補正調整回路 54 の中に設けられるバッファアンプも、同様の信号による動作の制御をしてもよい。たとえば、液晶表示装置の非表示時期や、画面の非表示期間である垂直同期の処理期間中などにおいて、消費電力の大きいバッファアンプ (55a, 55b) に代表されるアナログ回路の動作電流を遮断すれば、液晶駆動装置の低消費電力化を図ることができる。

【0136】

【発明の効果】この発明によれば、階調補正用の調整データを、不揮発性メモリに記憶させているので、デジタル表示データのデータ長が長い場合でも、回路構成が複雑になることを防止でき、調整データの変更作業が容易にできる。

【0137】また、調整データの変更は、不揮発性メモリーに記憶されている調整データを書きかえるだけでよいので、液晶表示等のための駆動回路を作り変えることなく、液晶材料や液晶表示装置の特性に合わせて、基準電圧を容易に調整することができる。したがって、特性の異なる液晶表示装置でも適用することができるので、階調表示のための回路の合理化、共通化を図ることができ、製造コストを下げることができる。また、色成分ごとに独立して階調補正ができるので、液晶表示装置の表示品位をきめ細かく制御できる。

【0138】また、この発明の液晶表示装置によれば、異なるガンマ特性の出力電圧を 1 フレーム内の所望のゲート信号ラインへ印加させることができ、視野角が最適視野になるよう特性を変えることができる。また視角による色変化の補正が可能となることから、液晶パネル製造工程を複雑にすることなく、また、製造条件を厳しくすることなく、また、液晶駆動装置も製造後、自在に調整データを変えることができる。

【0139】また、この発明によれば、正極性電圧を印加する場合と負極正電圧を印加する場合の調整用データを別々に記憶し、正極性電圧を印加する走査ラインと負極正を印加する走査ラインごとに、階調表示用の基準電圧を調整するようにしているので、極性に対応させた視覚による色変化補正をより適切に行うことができる。また、特に、正極性電圧印加時と負極正電圧印加時とで表示特性が異なるような液晶表示装置において、よりきめ細かくガンマ補正調整をすることができる。また、調整量、すなわち階調表示用データを不揮発性メモリーに記憶させ、その内容を必要に応じて書きかえるようにしているので、基準電圧発生部等の階調表示の駆動回路を変更することなく、液晶材料または液晶表示装置の表示特性に対応させて基準電圧を容易に調整できる。したがって、階調表示のための回路を合理化および共有化でき、結果として液晶表示装置の製造コストを下げるることができる。

【図面の簡単な説明】

【図 1】この発明の第 1 実施例のソースドライバの構成ブロック図である。

【図 2】この発明の液晶表示装置の一実施例の構成を示すブロック図である。

【図 3】この発明の階調表示基準電圧発生回路の構成を示すブロック図である。

【図 4】図 1 における 補正調整回路の概略ブロック図である。

【図 5】基準電圧よりも高い出力電圧を得る場合と低い出力電圧を得る場合とにおける定電流源の動作説明図である。

【図 6】 補正調整回路における定電流源部の回路構成を示す図である。

【図 7】図 1 に示す階調表示基準電圧発生回路による液

晶駆動出力電圧の特性を示す図である。

【図 8】この発明の不揮発性メモリーに記憶される情報内容の説明図である。

【図 9】この発明の階調表示データの補正特性の説明図である。

【図 10】この発明の第 2 実施例のソースドライバの構成ブロック図である。

【図 11】TFT 方式による液晶表示装置のブロック構成を示す図である。

10 【図 12】図 11 における液晶パネルの構成を示す図である。

【図 13】液晶駆動波形の一例を示す図である。

【図 14】図 13 よりも印加電圧が低い場合の液晶駆動波形を示す図である。

【図 15】図 11 におけるソースドライバのブロック図である。

【図 16】図 15 における階調表示基準電圧発生回路の構成を示す図である。

20 【図 17】図 16 に示す階調表示基準電圧発生回路による液晶駆動出力電圧の特性例を示す図である。

【図 18】従来の液晶の配向状態を示す図である。

【図 19】この発明の第 3 実施例の液晶表示装置の構成ブロック図である。

【図 20】この発明の第 3 実施例の階調表示基準電圧発生回路の構成ブロック図である。

【図 21】この発明の第 3 実施例の 補正調整回路の定電流源部の回路構成を示す図である。

【図 22】この発明の第 3 実施例の液晶駆動出力電圧の 2 つのガンマ変換特性の説明図である。

30 【図 23】この発明の第 3 実施例において、2 種類のガンマ変換特性を用いた液晶表示装置の画素状態の説明図である。

【図 24】図 23 について、連続する 2 つのフレームの画素状態の説明図である。

【図 25】この発明の第 3 実施例において、3 種類のガンマ変換特性を用いた液晶表示装置の画素状態の説明図である。

40 【図 26】この発明の第 3 実施例において、3 種類のガンマ変換特性を用いた液晶表示装置の画素状態の説明図である。

【図 27】図 26 について、連続する 2 つのフレームの画素状態の説明図である。

【図 28】この発明の第 3 実施例の液晶駆動出力電圧の 3 つのガンマ変換特性の説明図である。

【図 29】この発明の第 3 実施例において、5 種類のガンマ変換特性を用いた液晶表示装置の画素状態の説明図である。

【図 30】図 29 について、連続する 2 つのフレームの画素状態の説明図である。

50 【図 31】この発明の第 3 実施例の液晶駆動出力電圧の

5つのガンマ変換特性の説明図である。

【図32】この発明の第4実施例の液晶表示装置の構成ブロック図である。

【図33】この発明の第4実施例の液晶表示装置の構成ブロック図である。

【図34】この発明の第4実施例の基準電圧発生回路、セクタ回路の構成ブロック図である。

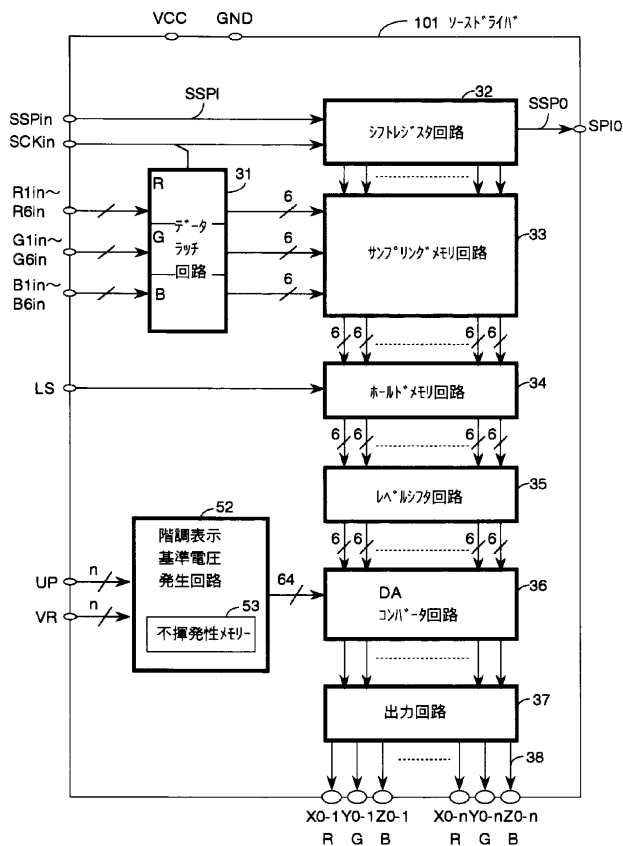
【図35】この発明の第4実施例の基準電圧発生回路の構成ブロック図である。

【図36】この発明の第4実施例の液晶駆動出力電圧の 10
ガンマ変換特性の説明図である。

【図37】この発明の第4実施例において、3種類のガンマ変換特性を用いた液晶表示装置の画素状態の説明図である。

【図38】図37について、連続する2つのフレームの*

【図1】



*画素状態の説明図である。

【図39】第4実施例の基準電圧発生回路の他の構成ブロック図である。

【符号の説明】

52...階調表示基準電圧発生回路

53...不揮発性メモリ

54...補正調整回路

101...ソースドライバ

102...ゲートドライバ

103...液晶表示部

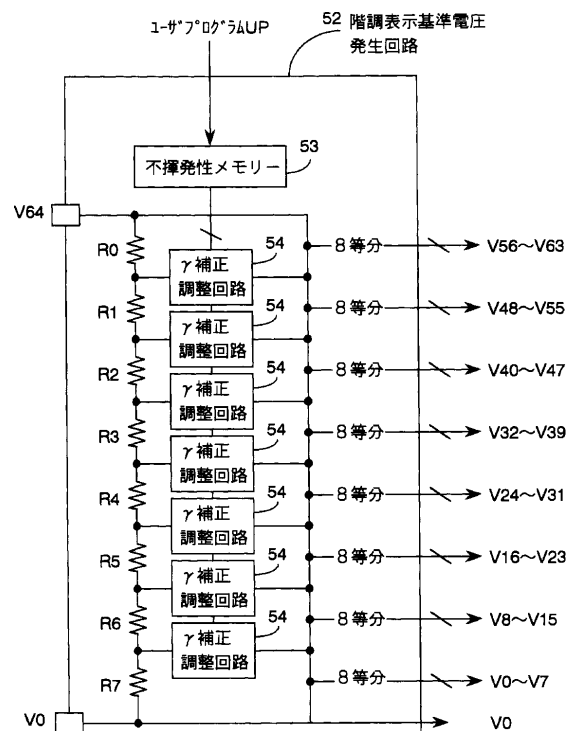
104...液晶駆動部

105...コントローラ

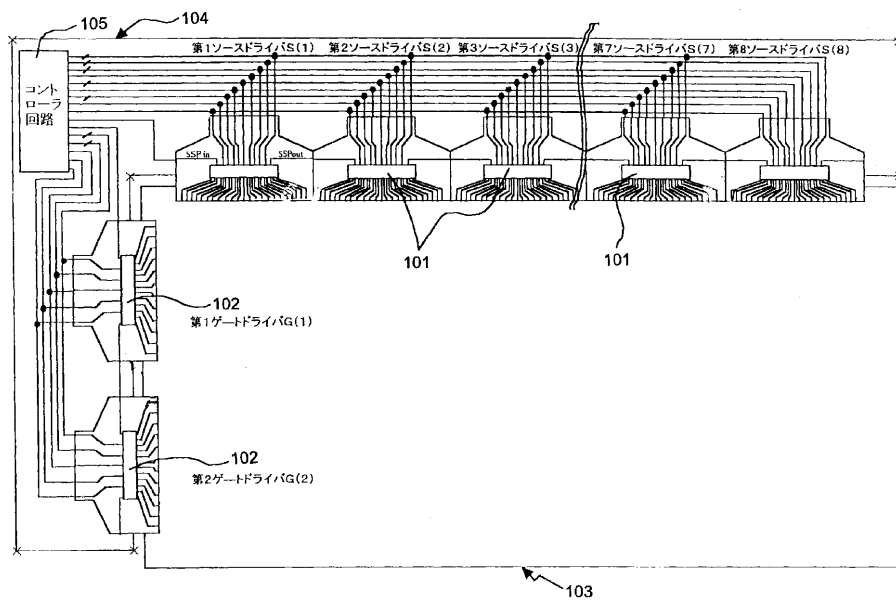
110...表示メモリ

R0~R7, R...抵抗素子

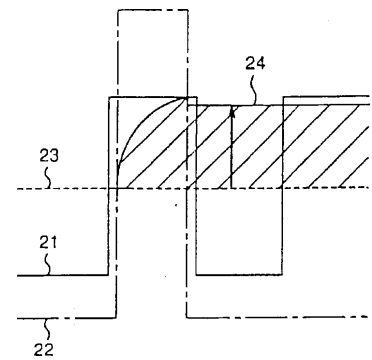
【図3】



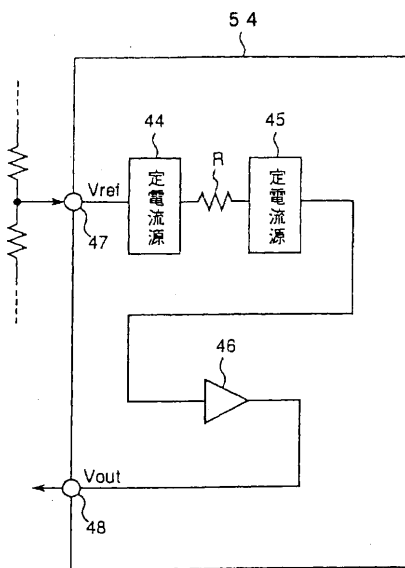
【図2】



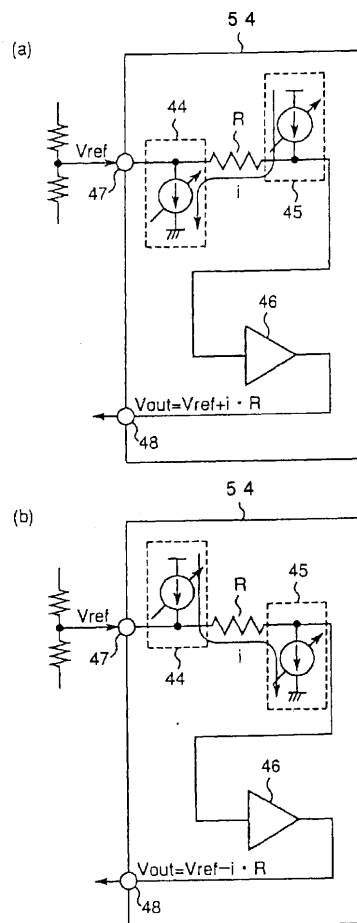
【図13】



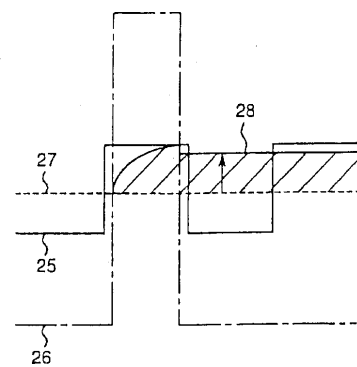
【図4】



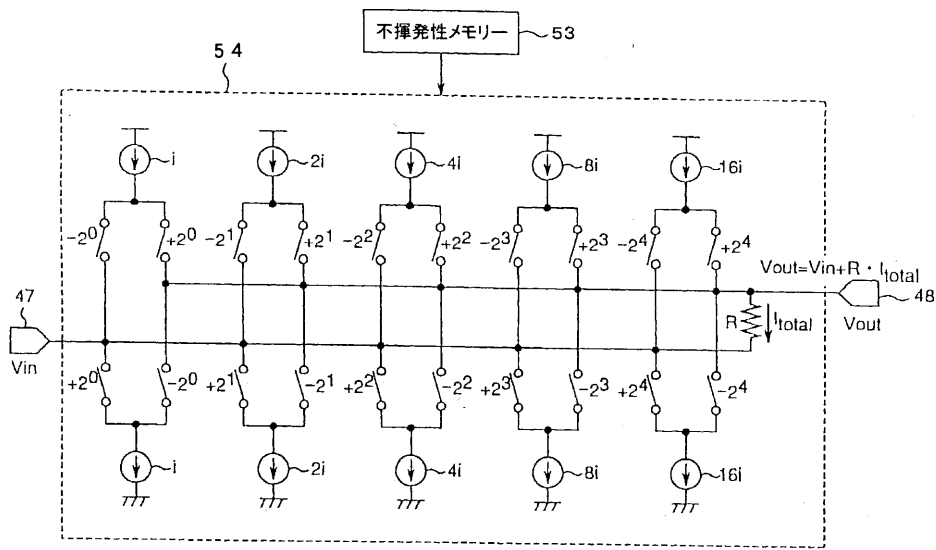
【図5】



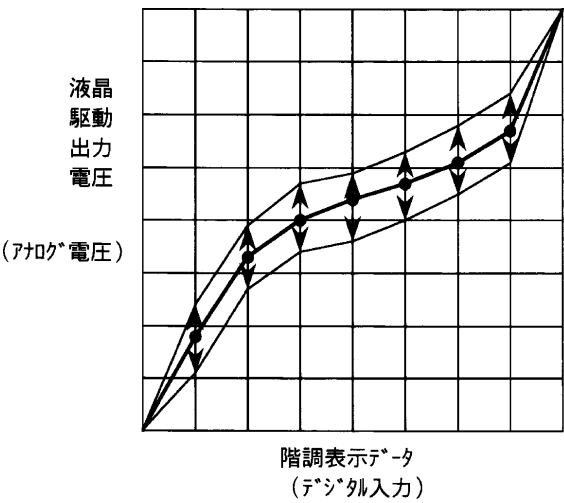
【図14】



【図6】



【図7】

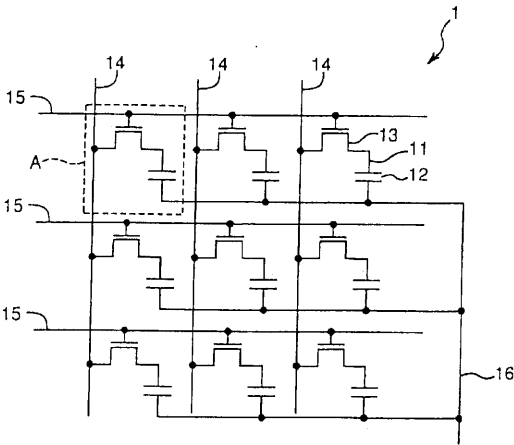


【図8】

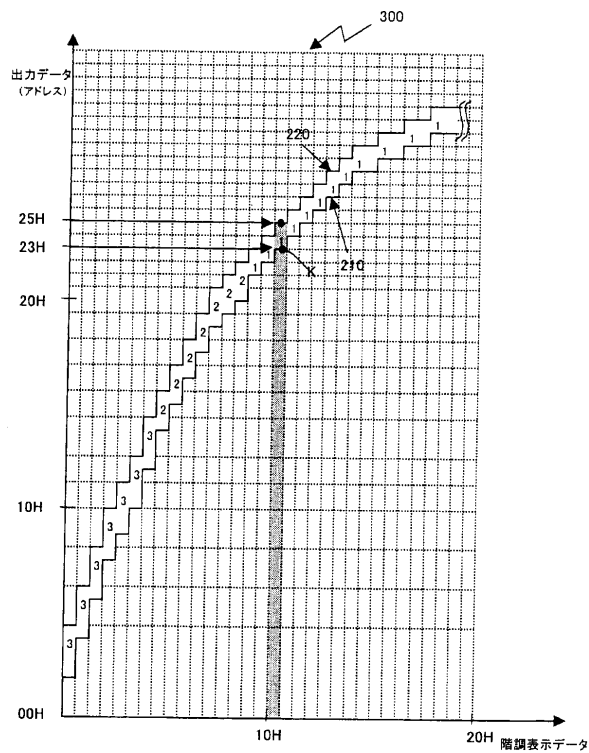
格納アドレス (16進数)	階調表示 データ220	調整データ(2進数)
00H	00H	3H(000011)
01H		
02H		
03H		
04H		
05H		
06H		
07H	01H	3H(000011)
08H		
09H	02H	3H(000011)
0AH		
0BH		
0CH		
0DH	03H	3H(000011)
0EH		
0FH		
10H	04H	3H(000011)
11H		
12H	05H	3H(000011)
13H		
14H	06H	3H(000011)
15H		
16H		
17H	07H	2H(000010)
18H		
19H	08H	2H(000010)
1AH		
1BH	09H	2H(000010)
1CH		
1DH	0AH	2H(000010)
1EH		
1FH	0BH	2H(000010)
20H		
21H	0CH	2H(000010)
22H	0DH	2H(000010)
23H	0EH	1H(000001)
24H	0FH	1H(000001)
25H	10H	1H(000001)
26H	11H	1H(000001)
27H	12H	1H(000001)
28H	13H	1H(000001)
29H	14H	1H(000001)
2AH	15H	1H(000001)
2BH	17H	1H(000001)
2CH	18H	1H(000001)
2DH	1AH	1H(000001)
2EH	1CH	1H(000001)
2FH	1EH	1H(000001)
30H	1FH	1H(000001)
31H	21H	1H(000001)
32H	23H	1H(000001)

アドレス (16進数)	階調表示 データ220	調整データ(2進数)
33H	25H	1H(000001)
34H	27H	1H(000001)
35H	29H	1H(000001)
36H	2BH	1H(000001)
37H	2DH	1H(000001)
38H	2EH	1H(000001)
39H	30H	1H(000001)
3AH	32H	1H(000001)
3BH	34H	1H(000001)
3CH	36H	1H(000001)
3DH	38H	1H(000001)
3EH	3AH	1H(000001)
3FH	3CH	1H(000001)

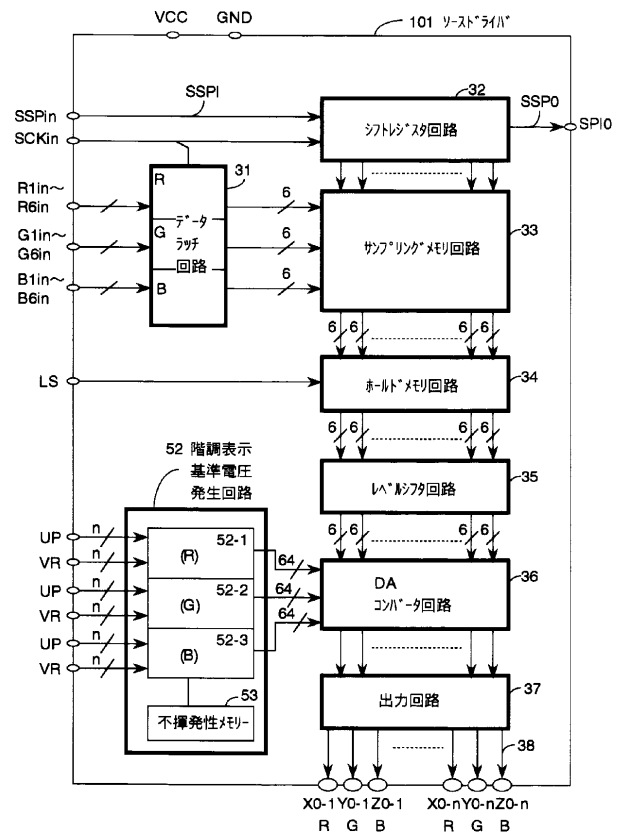
【図12】



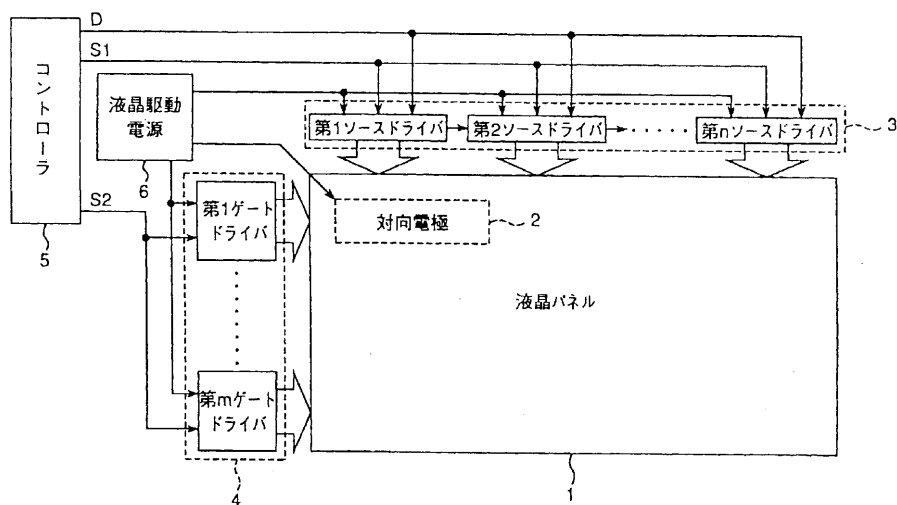
【図9】



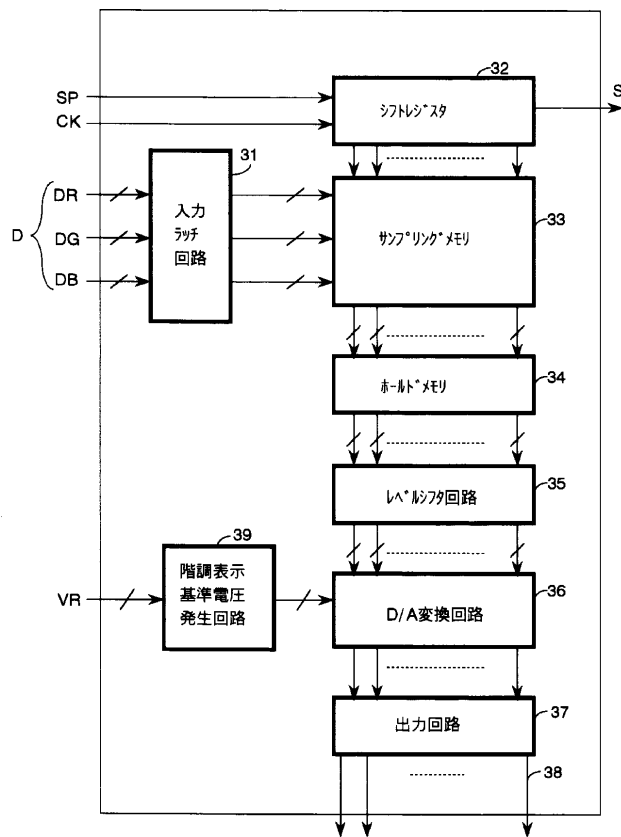
【図10】



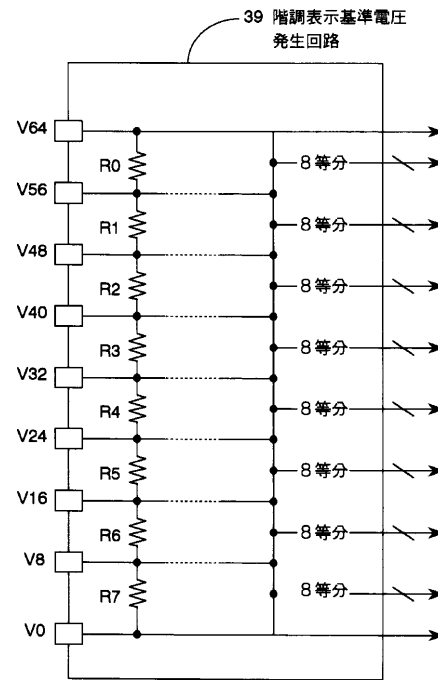
【図11】



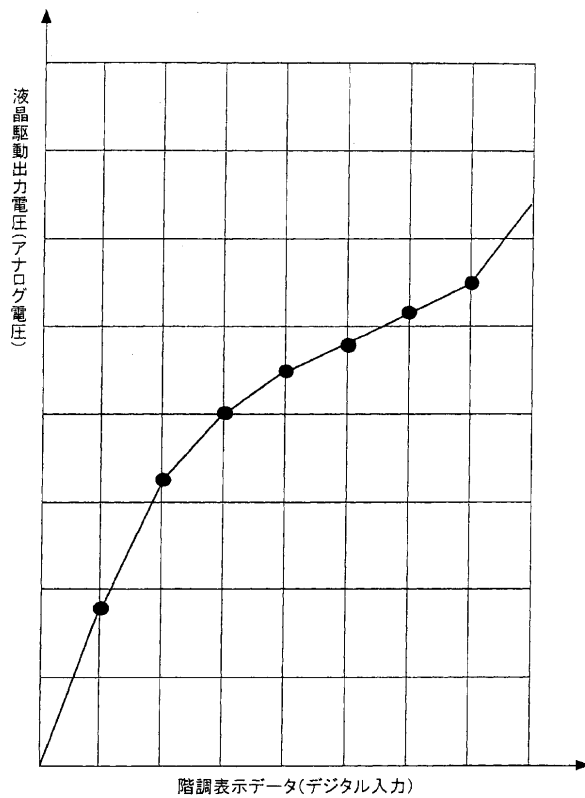
【図15】



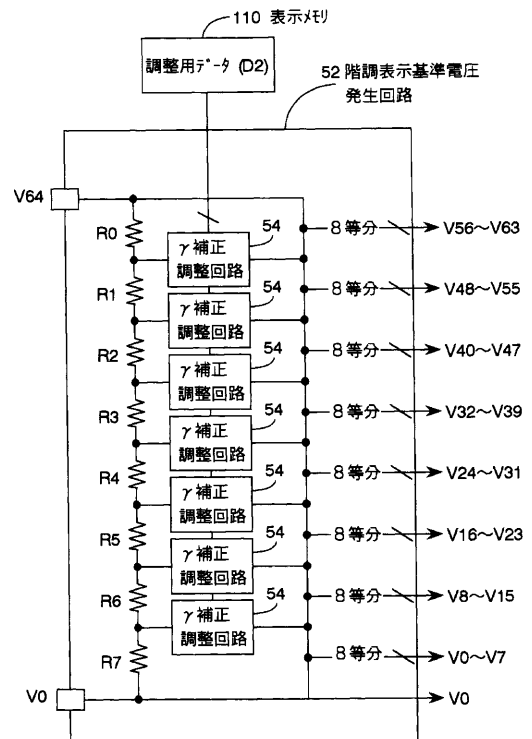
【図16】



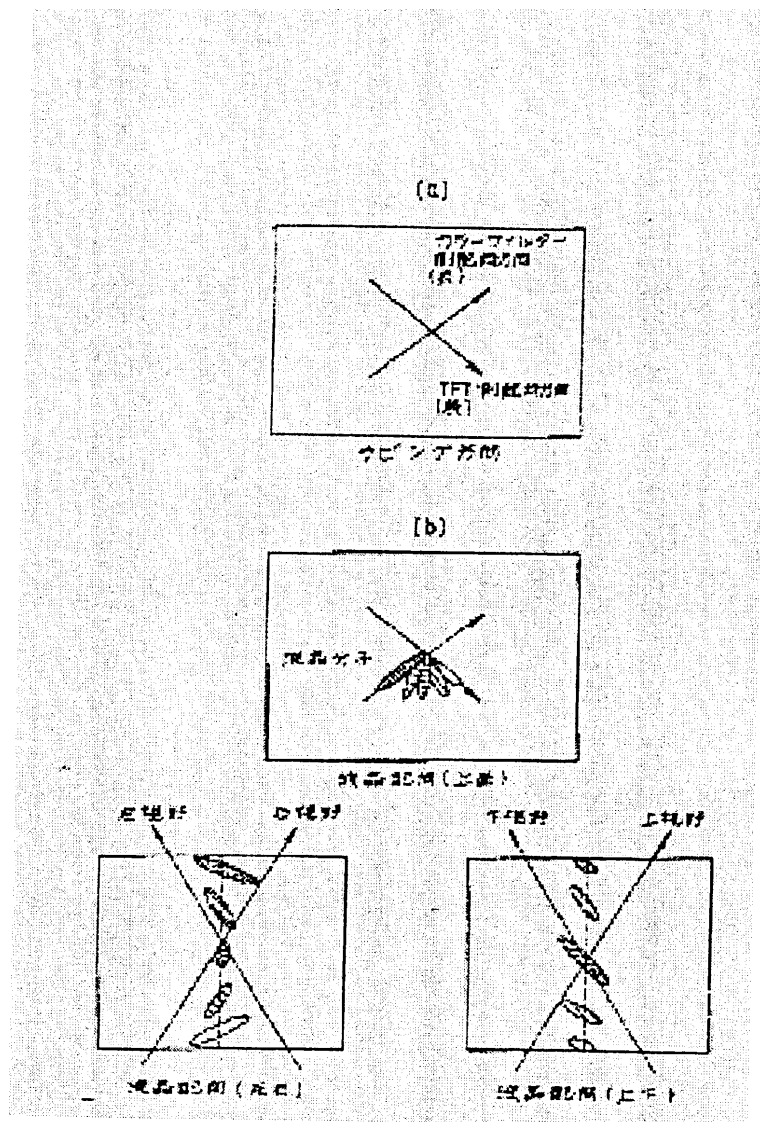
【図17】



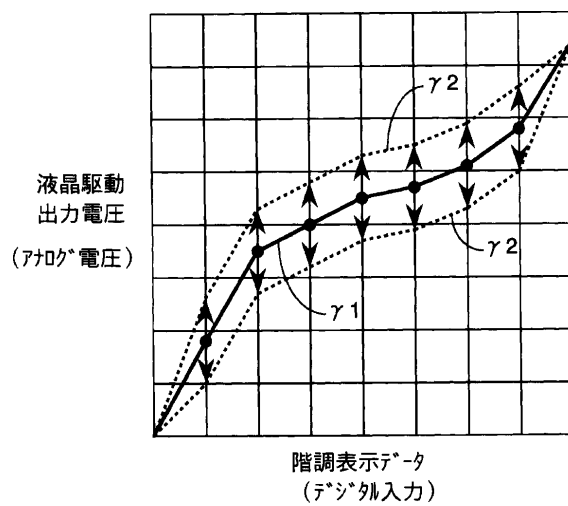
【図20】



【図18】



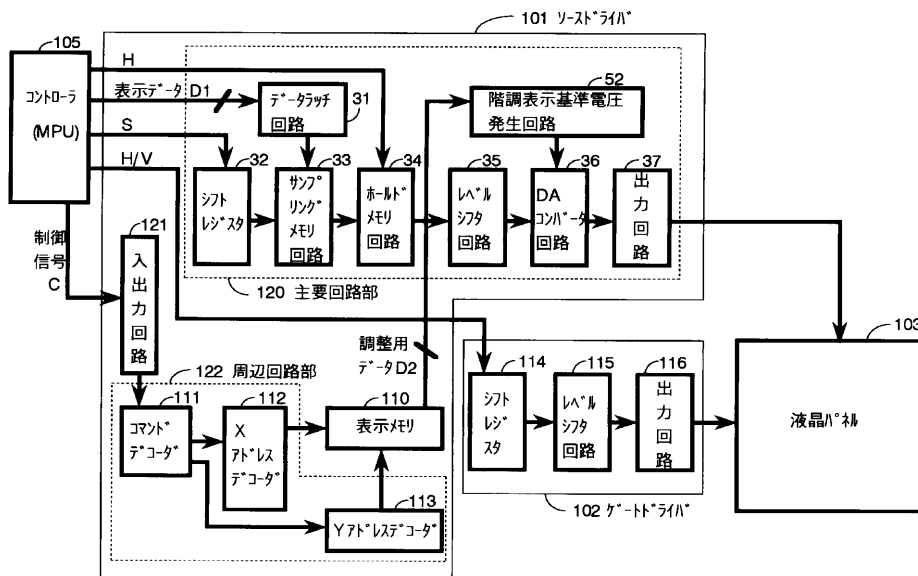
【図22】



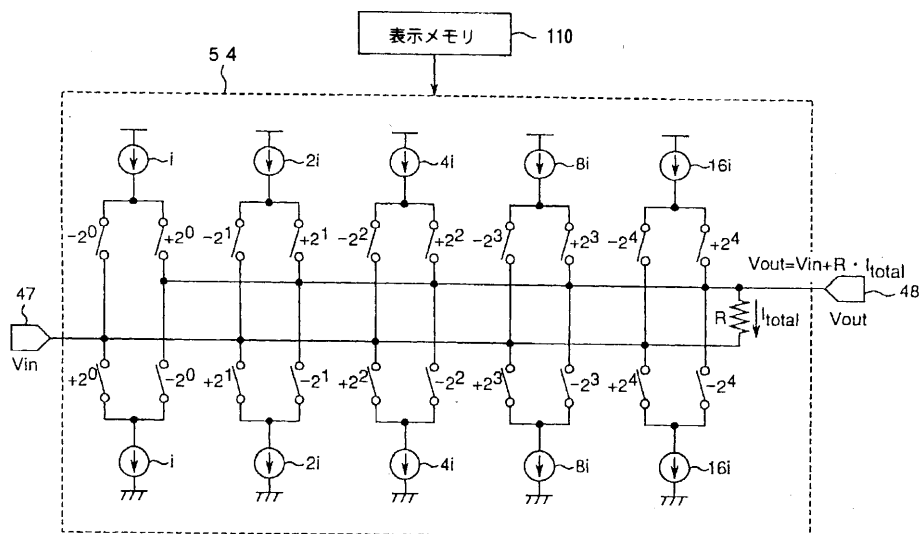
【図23】

	R	G	B	R	G	B
$\gamma 2 \rightarrow$	+	-	+	-	+	-
$\gamma 1$	-	+	-	+	-	+
	+	-	+	-	+	-
	-	+	-	+	-	+
	+	-	+	-	+	-
$\gamma 2 \rightarrow$	-	+	-	+	-	+

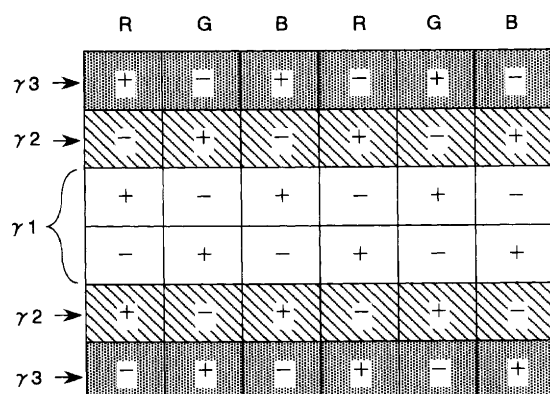
【図 19】



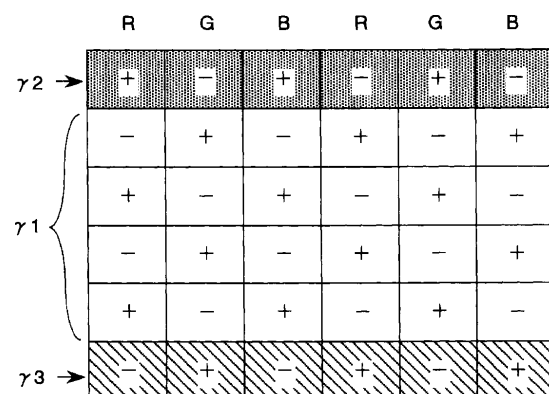
【圖 2 1】



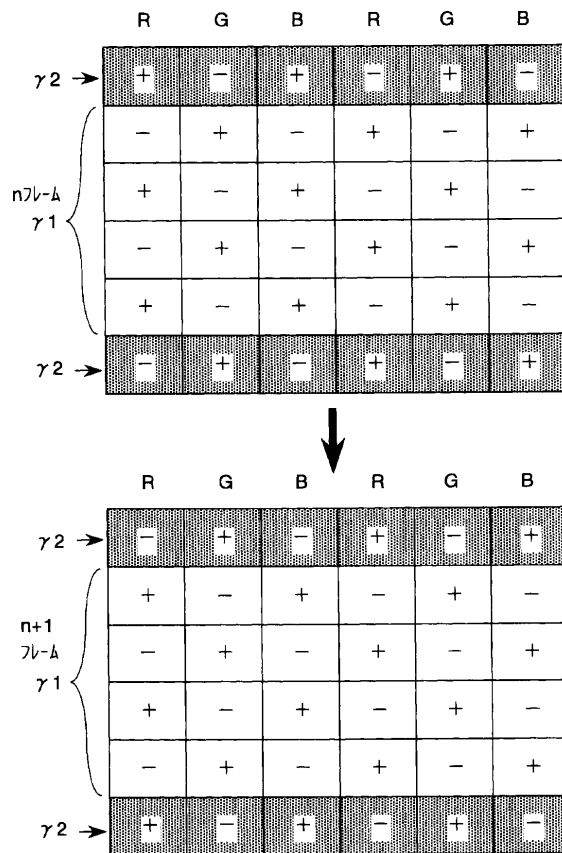
【圖 25】



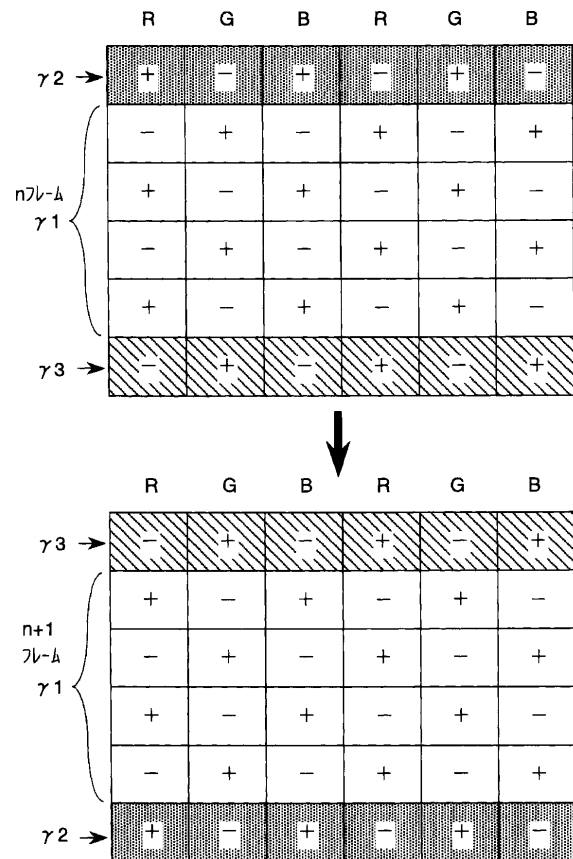
【圖 26】



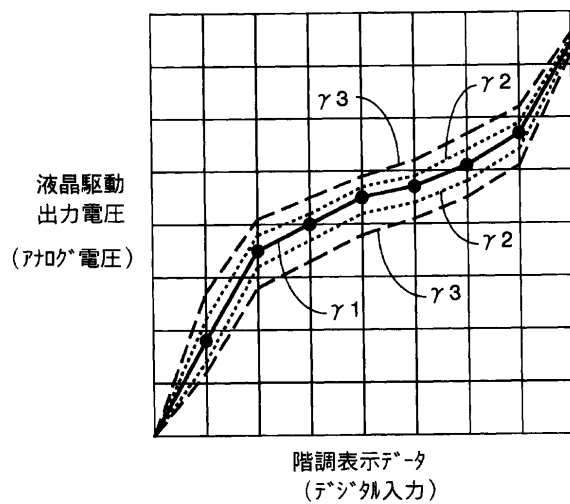
【図24】



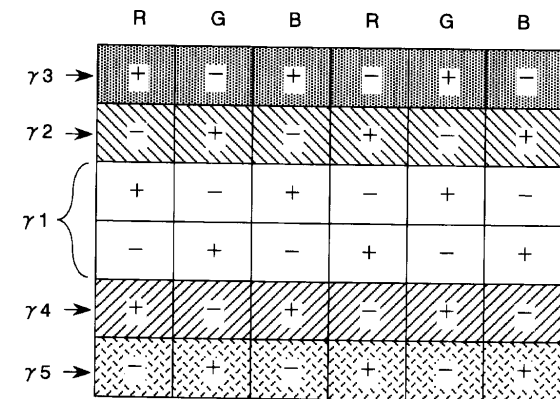
【図27】



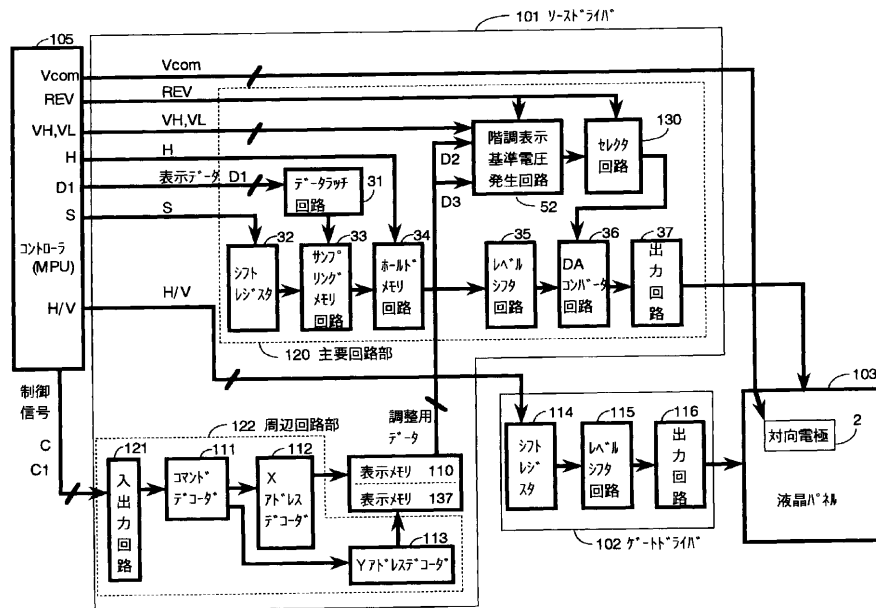
【図28】



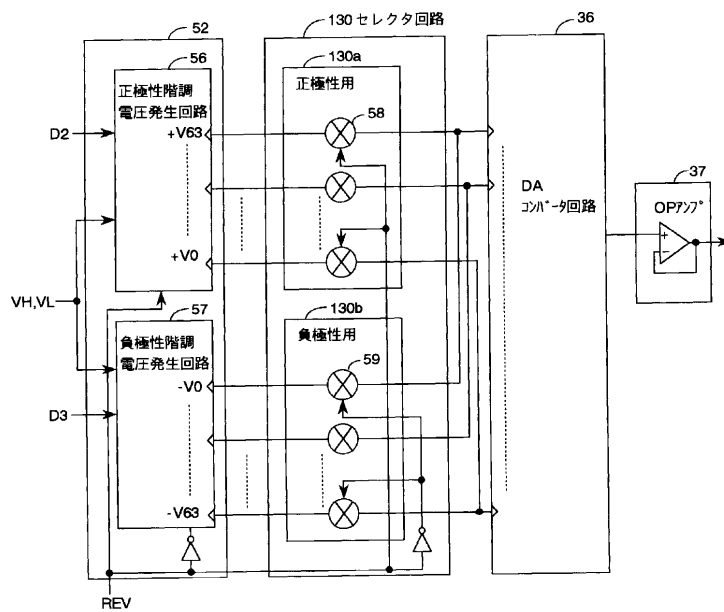
【図29】



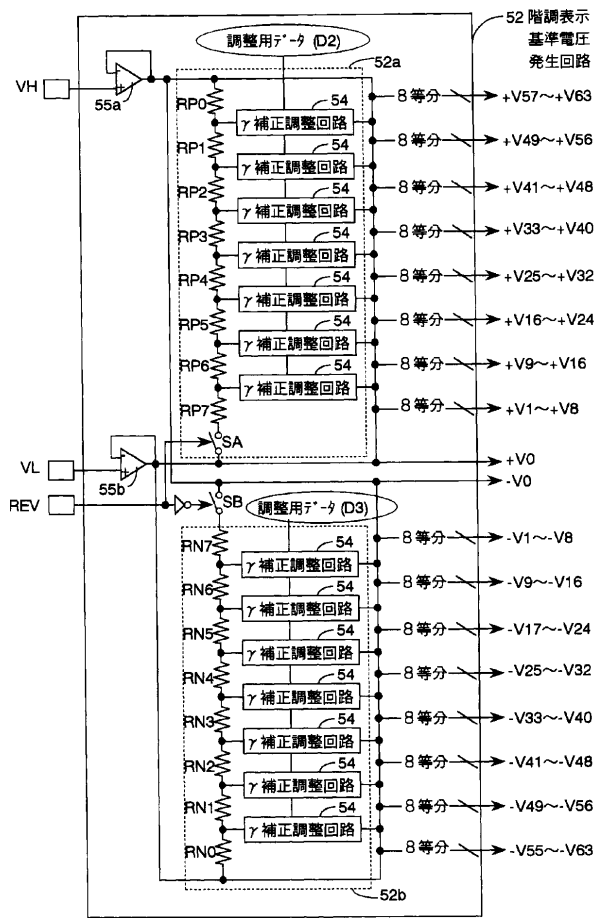
【図33】



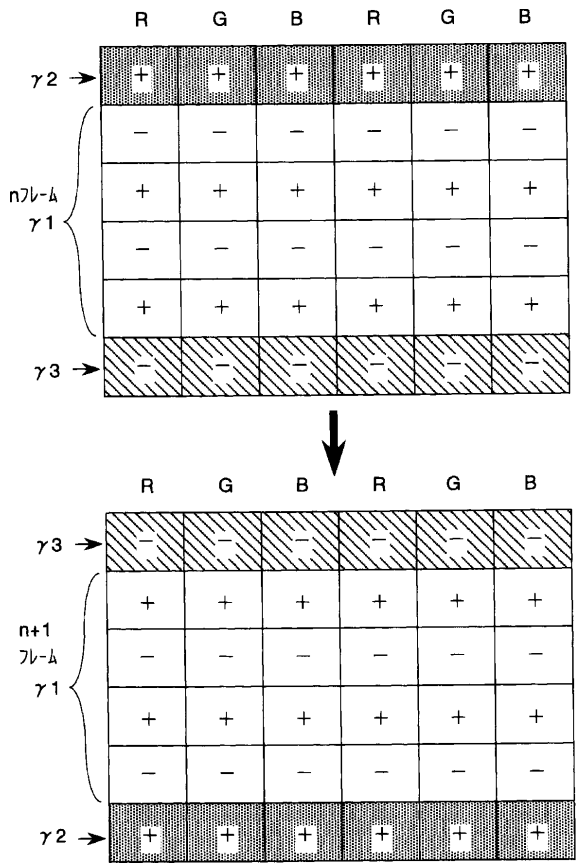
【図34】



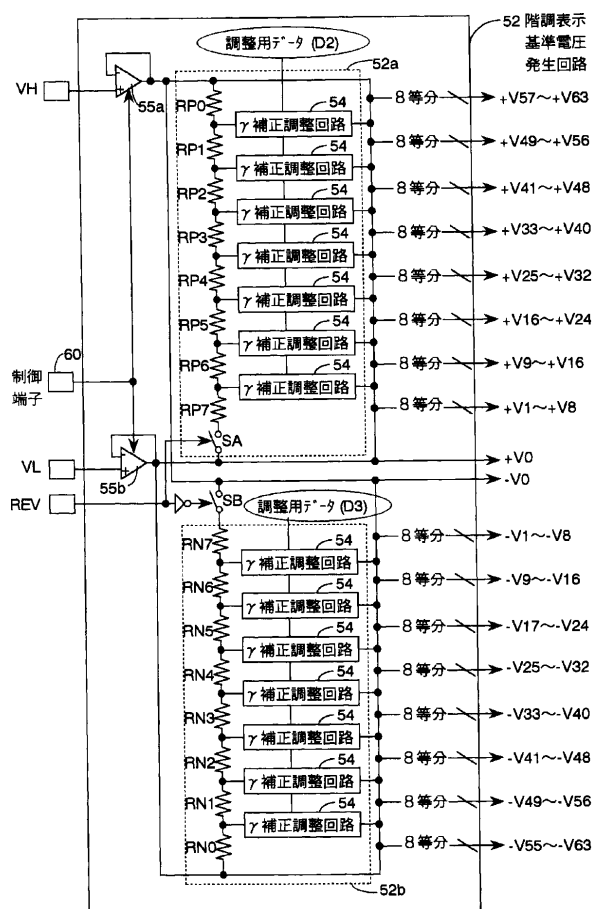
【図35】



【図38】



【圖 39】



フロントページの続き

(51) Int.Cl.⁷

G 0 9 G 3/20

識別記号

6 3 1

FI

G 0 9 G 3/20

テマコート' (参考)

6 3 1 K

6 3 1 V

6 4 1 C

6 4 1 Q

Fターム(参考) 2H093 NA16 NA53 NC03 NC13 NC21

NC22 NC23 NC26 NC28 NC34

NC49 NC50 NC65 ND06 ND58

5C006 AA01 AA16 AA22 AC21 AF13

AF42 AF44 AF46 AF51 AF53

AF61 AF83 AF84 BB16 BC03

BC12 BC20 BF03 BF04 BF09

BF11 BF43 BF46 FA55 FA56

5C080 AA10 BB05 CC03 DD03 EE29

FF11 JJ01 JJ02 JJ05

专利名称(译)	渐变显示参考电压产生电路和使用其的液晶显示装置		
公开(公告)号	JP2003280615A	公开(公告)日	2003-10-02
申请号	JP2002233699	申请日	2002-08-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	小川嘉規 田中茂樹		
发明人	小川 嘉規 田中 茂樹		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/2011 G09G3/3614 G09G3/3688 G09G2310/027 G09G2320/0276		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.612.F G09G3/20.623.F G09G3/20.631.K G09G3/20.631.V G09G3/20.641.C G09G3/20.641.Q		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC03 2H093/NC13 2H093/NC21 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC49 2H093/NC50 2H093/NC65 2H093/ND06 2H093/ND58 5C006/AA01 5C006/AA16 5C006/AA22 5C006/AC21 5C006/AF13 5C006/AF42 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF83 5C006/AF84 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF09 5C006/BF11 5C006/BF43 5C006/BF46 5C006/FA55 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ05 2H193/ZA04 2H193/ZC04 2H193/ZC13 2H193/ZD23 2H193/ZF03 2H193/ZF05 2H193/ZF42 2H193/ZH40		
优先权	2002007565 2002-01-16 JP		
外部链接	Espacenet		

摘要(译)

灰度显示基准电压生成电路技术领域本发明涉及一种灰度显示基准电压生成电路，通过将用于 γ 校正的调整数据存储在非易失性存储器中，可以容易地根据液晶显示装置等的特性来改变 γ 校正特性。任务就是这样做。在用于在将显示数据从数字转换为模拟时生成用于灰度显示的参考电压的灰度显示参考电压生成电路，用于生成多个电平的参考电压的参考电压生成单元和参考。其特征包括：校正信息存储单元，用于存储电压的调整量；以及调整单元，用于基于存储在校正信息存储单元中的调整量来调整参考电压。

