

(19)日本国特許庁（J P）

(12) 公開特許公報

(A) (11)特許出願公開番号

特開2002－372955
(P2002－372955A)

(43)公開日 平成14年12月26日(2002.12.26)

(51)Int.Cl ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	575	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	623		623 F
			623 R

審査請求 未請求 請求項の数 10 O L (全 23数) 最終頁に続く

(21)出願番号 特願2001－180481(P2001－180481)

(22)出願日 平成13年6月14日(2001.6.14)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 萬場 則夫
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内
(72)発明者 西谷 茂之
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内
(74)代理人 100093492
弁理士 鈴木 市郎 (外1名)

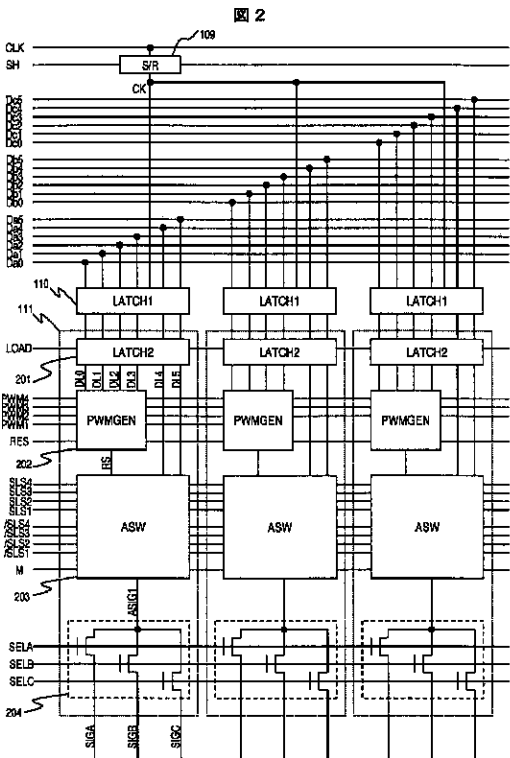
最終頁に続く

(54)【発明の名称】 液晶表示装置及び情報機器

(57)【要約】

【課題】 1つの信号駆動回路を複数のドレイン線で共有可能として、液晶表示部と同一基板上に生成する内蔵回路の規模を低減する。

【解決手段】 ドレイン線に印加する階調電圧を複数の電圧範囲に分割し、その電圧範囲内で上昇又は下降する電圧波形を外部入力アナログ信号 S L S とし、この外部入力アナログ信号の1周期を複数の期間に時分割し、各分割期間での外部入力アナログ信号の電圧を、ドレイン線 S I G に印加する階調電圧とする。デジタル表示データ D a ～ D c のビット又はビット列により、1つの外部入力アナログ信号を選択する。信号駆動回路 1 1 1 は、外部入力アナログ信号をドレイン線に印可して、外部入力アナログ信号の電圧が、デジタル表示データに対応する電圧になった時点でドレイン線に階調電圧を保持させる。信号駆動回路は複数のドレイン線に対応し、1水平期間を複数の期間に時分割し、各分割された期間に、それぞれのデジタル表示データに対応した階調電圧を書き込んでいく。



【特許請求の範囲】

【請求項1】 表示用のアナログ信号が印加される複数のドレイン線、それに直行する方向に配置され、その1本が1水平走査期間毎に順に選択されていく複数のゲート走査線、及び、ゲート走査線とドレイン線との交叉部付近にマトリクス状に配置されたスイッチ素子、液晶、ドレイン保持容量により構成された画素部を有する液晶表示装置において、

前記1水平走査期間を n 個 ($n \geq 2$) の期間に時分割し、正極性の階調電圧範囲を複数の電圧範囲に分割し、前記分割された正極性の階調電圧範囲内を、前記1水平期間を n 個の期間に時分割した期間に同期して、漸増または漸減する複数の正極性の外部入力アナログ電圧を生成し、負極性の階調電圧範囲を複数の電圧範囲に分割し、前記分割された負極性の階調電圧範囲内を、前記1水平期間を n 個の期間に時分割した期間に同期して、漸減または漸増する複数の負極性の外部入力アナログ電圧を生成する外部入力アナログ電圧生成回路と、複数の前記ドレイン線の中の n 本のドレイン線が接続され、表示用の外部入力アナログ信号を供給すべき1本のドレイン線を前記 n 本のドレイン線から選択するため、外部からドレイン線選択信号が入力され、前記1水平期間を時分割した期間毎に、 n 本のドレイン線の中から、前記ドレイン線選択信号により1本のドレイン線を順次選択し、前記選択した1本のドレイン線に、外部から入力されるデジタル画像データを参照し、前記外部入力アナログ信号生成回路から出力される複数の前記正極性の外部入力アナログ信号と、複数の前記負極性の外部入力アナログ信号との中から、1つの前記正極性の外部入力アナログ信号、または、前記負極性の外部入力アナログ信号を選択して供給する信号駆動回路とを備えることを特徴とする液晶表示装置。

【請求項2】 前記信号駆動回路は、前記デジタル画像データを参照して選択した1つの正極性の外部入力アナログ信号、または、負極性の外部入力アナログ信号を、前記1水平走査期間を時分割した期間内で、前記画像データに応じた一定期間だけ、前記選択した1本のドレイン線に供給し、次の1水平走査期間まで、前記供給した時点におけるドレイン線の電圧をドレイン保持容量に保持させることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記外部入力アナログ信号生成回路は、デジタル画像データを構成するビットまたはビット列の内ある所定のビットまたはビット列に基づいた複数の電圧範囲に、前記正極性の階調電圧範囲及び前記負極性の階調電圧範囲を分割し、前記分割された電圧範囲内において漸増または漸減する、複数の正極性の外部入力アナログ信号及び複数の負極性の外部入力アナログ信号を生成することを特徴とする請求項1または2記載の液晶表示装置。

【請求項4】 前記信号駆動回路は、前記デジタル画像データのある所定のビットまたはビット列に基づいて、前記外部入力アナログ信号生成回路により生成された前記複数の正極性の外部入力アナログ信号または前記複数の負極性の外部入力アナログ信号の中から、前記デジタル画像データのある所定のビットまたはビット列に基づいて、1つの外部入力アナログ信号を選択する手段と、前記デジタル画像データのある所定のビットまたはビット列以外のビットまたはビット列に基づき、前記正極性の外部入力アナログ信号または前記負極性の外部入力アナログ信号を、前記ドレイン保持容量に保持させるタイミングを設定する電圧保持タイミング設定手段とを有することを特徴とする請求項3記載の液晶表示装置。

【請求項5】 表示用のアナログ信号が印加される複数のドレイン線、それに直行する方向に配置され、その1本が1水平走査期間毎に順に選択されていく複数のゲート走査線、及び、ゲート走査線とドレイン線との交叉部付近にマトリクス状に配置されたスイッチ素子、液晶、ドレイン保持容量により構成された画素部を有する液晶表示装置において、

前記1水平走査期間を n 個 ($n \geq 2$) の期間に時分割し、正極性の階調電圧範囲を複数の電圧範囲に分割し、前記分割された正極性の階調電圧範囲内を、前記1水平期間を n 個の期間に時分割した期間に同期して、漸増と漸減とを繰り返す複数の正極性の外部入力アナログ電圧を生成し、負極性の階調電圧範囲を複数の電圧範囲に分割し、前記分割された負極性の階調電圧範囲内を、前記1水平期間を n 個の期間に時分割した期間に同期して、漸減と漸増とを繰り返す複数の負極性の外部入力アナログ電圧を生成する外部入力アナログ電圧生成回路と、複数の前記ドレイン線の中の n 本のドレイン線が接続され、表示用の外部入力アナログ信号を供給すべき1本のドレイン線を前記 n 本のドレイン線から選択するため、外部からドレイン線選択信号が入力され、前記1水平期間を時分割したある期間に、 n 本のドレイン線の中から、前記ドレイン線選択信号により1本のドレイン線を選択し、前記選択した1本のドレイン線に、外部から入力されるデジタル画像データを参照し、前記外部入力アナログ信号生成回路から出力される複数の前記正極性の外部入力アナログ信号と複数の前記負極性の外部入力アナログ信号との中から、1つの漸増する正極性の外部入力アナログ信号、または、漸減する負極性の外部入力アナログ信号を選択して供給し、前記1水平期間を時分割した次の期間に、 n 本のドレイン線の中から前記ドレイン線選択信号に基づき、次のドレイン線を選択し、前記選択したドレイン線に、外部から入力されるデジタル画像データを参照し、前記外部入力アナログ信号生成回路から出力される複数の前記正極性の外部入力アナログ信号と複数の前記負極性の外部入力アナログ信号との中から、1つの漸減する正極性の外部入力アナログ信号、ま

たは、漸増する負極性の外部入力アナログ信号を選択して供給する信号駆動回路とを備えることを特徴とする液晶表示装置。

【請求項6】前記外部入力アナログ信号生成回路は、デジタル画像データを構成するビットまたはビット列のある所定のビットまたはビット列に基づいた複数の電圧範囲に、前記正極性の階調電圧範囲及び前記負極性の階調電圧範囲を分割し、前記分割された電圧範囲内において漸増と漸減とを繰り返す複数の正極性の外部入力アナログ信号及び複数の負極性の外部入力アナログ信号を生成し、

前記信号駆動回路は、前記デジタル画像データを参照して選択した1つの正極性の外部入力アナログ信号または負極性の外部入力アナログ信号を、前記1水平走査期間を時分割した期間内で、前記画像データに応じた一定期間だけ、前記ドレイン線選択信号に基づいて選択した1本のドレイン線に供給し、次の1水平走査期間まで前記供給した時点におけるドレイン線の電圧をドレイン保持容量に保持することを特徴とする請求項5記載の液晶表示装置。

【請求項7】前記信号駆動回路は、前記デジタル画像データのある所定のビットまたはビット列に基づいて、前記外部入力アナログ信号生成回路により生成された前記複数の正極性の外部入力アナログ信号または前記複数の負極性の外部入力アナログ信号の中から、前記デジタル画像データのある所定のビットまたはビット列に基づいて、1つの外部入力アナログ信号を選択する手段と、前記デジタル画像データのある所定のビットまたはビット列以外のビットまたはビット列に基づき、前記正極性の外部入力アナログ信号または前記負極性の外部入力アナログ信号を、前記ドレイン保持容量に保持させるタイミングを設定する電圧保持タイミング設定手段とを有することを特徴とする請求項5または6記載の液晶表示装置。

【請求項8】前記信号駆動回路は、前記ドレイン線に供給する階調電圧の極性を切り替えるために、1水平走査期間及び1フレーム期間毎に交播する交流信号が外部から入力され、前記交流信号に基づいて、前記外部入力アナログ信号の極性を、正極性または負極性に切り替えて、前記選択したドレイン線に供給することを特徴とする請求項1ないし7のうちいずれか1記載の液晶表示装置。

【請求項9】前記信号駆動回路は、前記ドレイン線に供給する階調電圧の極性を切り替えるために、1水平期間をn個の期間に時分割した期間毎及び1フレーム期間毎に交播する交流信号が外部から入力され、互いに隣接する前記信号駆動回路が、前記交流信号に基づき選択する前期外部入力アナログ信号の極性が逆となるように、外部入力アナログ信号を前記選択したドレイン線に供給することを特徴とする請求項1ないし7のうちいずれか

1記載の液晶表示装置。

【請求項10】情報機器に情報を入力するための入力装置と、情報機器の内部から外部へ情報を出力するための出力装置と、命令やデータの記憶に使用される記憶装置と、計算、論理及び実行決定を行い、前記入力装置、出力装置及び記憶装置との間で信号の伝送を行う中央処理装置とを備える情報機器において、前記出力装置からの情報を表示する表示装置として、請求項1ないし9のうちいずれか1記載の液晶表示装置を備えることを特徴とする情報機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置及び情報機器に係り、特に、外部から供給されるデジタル画像データをアナログ信号に変換する回路及び液晶素子を駆動する駆動回路を有する液晶表示装置、及び、該液晶表示装置を用いた情報機器に関する。

【0002】

【従来の技術】一般に、ポリシリコン（poly-Si）の電界効果移動度は、アモルファスSiの電界効果移動度である約 $0.5\text{ cm}^2/\text{Vs} \sim 1\text{ cm}^2/\text{Vs}$ に比べ、約数 $10\text{ cm}^2/\text{Vs} \sim 200\text{ cm}^2/\text{Vs}$ と大きい。このため、液晶表示装置は、ポリシリコンによるTFTを用いて、信号回路や走査回路等の周辺回路を、液晶表示部が形成されている基板と同一基板上に形成することが可能となる。また、液晶表示装置は、ポリシリコンによるTFTを用いることにより、周辺回路を液晶表示部と同一基板上に形成することができるため、線順次ドライバ等の外部周辺回路との接続が不要となり、解像度の高いものとすることができる。

【0003】液晶表示部と同一基板上に形成することができる周辺回路の1つとして、デジタル表示データを液晶の階調表示に対応したアナログ信号に変換する回路がある。このデジタル表示データをアナログ信号電圧に変換するD/A変換回路に関する従来技術として、例えば、特開2000-122597公報に記されている技術が知られている。この従来技術は、1水平期間を複数の期間に分割し、各分割期間毎に信号線に供給する電圧範囲を設定し、デジタル画像データの所定ビットまたはビット列により分割期間を設定し、それ以外のビットにより選択された電圧範囲内の所定の電圧を信号線に供給するというものである。そして、この従来技術は、1水平走査期間の前半、段階的に上昇する電圧をスイッチ回路に供給し、この電圧がデジタル画像データのビット列に応じた電圧になった時点でその電圧を信号線上に保持し、1水平走査期間の後半、段階的に減少する電圧をスイッチ回路に供給し、この電圧がデジタル画像データのビット列に応じた電圧になった時点でその電圧を信号線上に保持するようにしている。

【0004】従来技術による液晶表示装置は、前述した

ようなD/A変換回路を液晶表示部のドレイン線の総数に対応する数だけ備えることにより、外部回路に高速、高精度のD/A変換回路を必要とせずに、周辺回路にD/A変換回路を備えて構成構成されている。

【0005】

【発明が解決しようとする課題】従来技術として説明したD/A変換回路を備えた液晶表示装置は、このD/A変換回路を液晶表示部にある全ドレイン線に対応する数だけ備えなければならないため、液晶表示部と同一基板上に形成（内蔵）される周辺回路の回路規模が大きくなり、この結果、液晶表示部を形成する基板における液晶表示部以外の額縁面積が大きくなり、基板のサイズが大きくなるという問題点を有している。

【0006】また、前述で従来技術として説明したD/A変換回路を備えた液晶表示装置は、内蔵する周辺回路の回路規模が大きいため、液晶表示装置の消費電力が大きくなり、しかも、製造工程中等に発生する欠陥、断線、配線間短絡等による不良が発生する確率が高くなり、歩留りが悪化する可能性が大きいという問題点を有している。

【0007】本開発の目的は、前述した従来技術の問題点を解決し、D/A変換回路を含む周辺回路の回路規模を小さくし、表示装置全体の消費電力の低減、製造工程中等に発生する欠陥、断線、配線間短絡等による不良の低減を図ることができ、かつ、額縁面積を小さく構成することのできる液晶表示装置、及び、該液晶表示装置使用した情報機器を提供することにある。

【0008】

【課題を解決するための手段】本発明によれば前記目的は、表示用のアナログ信号が印加される複数のドレイン線、それに直行する方向に配置され、その1本が1水平走査期間毎に順に選択されていく複数のゲート走査線、及び、ゲート走査線とドレイン線との交叉部付近にマトリクス状に配置されたスイッチ素子、液晶、ドレイン保持容量により構成された画素部を有する液晶表示装置において、前記1水平走査期間を n 個（ $n \geq 2$ ）の期間に時分割し、正極性の階調電圧範囲を複数の電圧範囲に分割し、前記分割された正極性の階調電圧範囲内を、前記1水平期間を n 個の期間に時分割した期間に同期して、漸増または漸減する複数の正極性の外部入力アナログ電圧を生成し、負極性の階調電圧範囲を複数の電圧範囲に分割し、前記分割された負極性の階調電圧範囲内を、前記1水平期間を n 個の期間に時分割した期間に同期して、漸減または漸増する複数の負極性の外部入力アナログ電圧を生成する外部入力アナログ電圧生成回路と、複数の前記ドレイン線の中の n 本のドレイン線が接続され、表示用の外部入力アナログ信号を供給すべき1本のドレイン線を前記 n 本のドレイン線から選択するため、外部からドレイン線選択信号が入力され、前記1水平期間を時分割した期間毎に、 n 本のドレイン線の中から、

前記ドレイン線選択信号により1本のドレイン線を順次選択し、前記選択した1本のドレイン線に、外部から入力されるデジタル画像データを参照し、前記外部入力アナログ信号生成回路から出力される複数の前記正極性の外部入力アナログ信号と、複数の前記負極性の外部入力アナログ信号との中から、1つの前記正極性の外部入力アナログ信号、または、前記負極性の外部入力アナログ信号を選択して供給する信号駆動回路とを備えることにより達成される。

【0009】前述において、前記信号駆動回路は、前記デジタル画像データを参照して選択した1つの正極性の外部入力アナログ信号、または、負極性の外部入力アナログ信号を、前記1水平走査期間を時分割した期間内で、前記画像データに応じた一定期間だけ、前記選択した1本のドレイン線に供給し、次の1水平走査期間まで、前記供給した時点におけるドレイン線の電圧をドレイン保持容量に保持させる。

【0010】また、前記外部入力アナログ信号生成回路は、デジタル画像データを構成するビットまたはビット列の内ある所定のビットまたはビット列に基づいた複数の電圧範囲に、前記正極性の階調電圧範囲及び前記負極性の階調電圧範囲を分割し、前記分割された電圧範囲内において漸増または漸減する、複数の正極性の外部入力アナログ信号及び複数の負極性の外部入力アナログ信号を生成する。

【0011】

【発明の実施の形態】以下、本発明による液晶表示装置の実施形態を図面により詳細に説明する。

【0012】図1は本発明の第1の実施形態による液晶表示装置の構成を示すブロック図、図2は図1に示す液晶表示装置に含まれる信号回路の構成を示すブロック図、図3は外部入力アナログ信号SLSとパルス幅生成用クロックPWMとの波形を説明する図、図4は本発明の第1の実施形態による液晶表示装置の動作を説明するための電圧波形を示す図であり、以下、図1～図4を参照して、本発明の第1の実施形態を説明する。図1、図2において、102は液晶パネル駆動回路部、103は液晶パネル、104は制御信号生成回路部、105は外部入力アナログ信号生成回路部、106はラインメモリ部、107は液晶表示部、108はゲート操作線駆動回路、109はシフトレジスタ、110、201はラッチ回路、111は信号駆動回路、112は画素部、202はパルス幅生成回路、203はアナログ信号選択スイッチ、204はアナログ電圧サンプリングスイッチである。

【0013】本発明の第1の実施形態による液晶表示装置は、1つの信号駆動回路のアナログ信号出力を、複数のドレイン線に割り当て、時分割で各ドレイン線に出力することにより表示を行うようにしたもので、これにより、信号回路の総数を軽減し、内蔵回路の回路規模を縮

小することを可能としたコモン反転駆動の液晶表示装置である。

【0014】まず、図1を参照して本発明の第1の実施形態による液晶表示装置の概要を説明する。

【0015】図1に示す本発明の実施形態における液晶表示装置の液晶パネル103は、説明を簡単にするために、信号駆動回路111がアナログ電圧を出力するドレイン線を3本とし、1水平期間を3つの期間に時分割して画素部112を駆動することとして示している。そして、信号駆動回路111が出力する3本のドレイン線へのアナログ電圧は、ここでは、それぞれ、R、G、Bの各色の信号であるとしており、図には、SIGA、SIGB、SIGCとして示している。また、本発明の第1の実施形態は、外部I/F信号101が入力される液晶パネル駆動回路部102と液晶パネル103とにより構成される。液晶パネル駆動回路部102は、外部I/F信号101に基づいて液晶パネル103を駆動するために必要な各信号を生成する。液晶パネル駆動回路部102は、制御信号生成回路部104、外部入力アナログ信号生成回路部105及びラインメモリ部106から構成されている。制御信号生成回路部104は、外部入力アナログ信号生成回路部105及びラインメモリ部106に対する制御信号と、液晶パネル103を駆動するために必要な制御信号とを生成する。外部入力アナログ信号生成回路部105は、外部入力アナログ信号を生成し液晶パネル103に出力する。ラインメモリ部106は、外部I/F信号として送られてくる表示データを一旦記憶し、制御信号生成回路部105により、必要な順序でデジタル表示データとして出力する。

【0016】液晶パネル103は、液晶表示部107、ゲート走査線駆動回路108、シフトレジスタ109、ラッチ回路110及び信号駆動回路111を備え、1枚のガラス等の基板上に構成される。液晶表示部107は、水平方向に並んだ複数のドレイン線D群、それに直行する方向に並んだ複数のゲート走査線G群、及び、ゲート走査線とドレイン線との交叉部付近にマトリクス状に配置された画素部112により構成される。画素部112は、TFT等によるスイッチ素子、液晶、ドレイン保持容量により構成されており、スイッチ素子、液晶、保持容量のそれぞれは、ドレイン線D、ゲート走査線G及びコモン電極COMに接続されている。そして、1つの画素部112は、1つの色を表示するものであり、同一のゲート走査線Gに接続される3つの画素部112が1組として、1つのカラー画素を構成する。ゲート走査線駆動回路108は、ゲート走査線駆動回路制御信号113により制御され、ゲート走査線Gを順次選択する。選択されたゲート走査線Gに接続される画素部112は、ドレイン線群Dから与えられるアナログ信号を液晶に書き込み、アナログ信号に対応した階調表示を行う。また、図示例は、ドレイン線3本に対し信号駆動回路11

1が1つ備えられるため、信号駆動回路111及びラッチ回路110は、全ドレイン線数の1/3の数が設置されることになる。

【0017】シフトレジスタ109は、スタートパルスSHをシフトクロックCLKに同期して取りこみ、ラッチ回路110にタイミング信号CKを出力すると共に、次段のシフトレジスタにパルスを転送する。液晶パネル駆動回路部102は、Da0~Da5、Db0~Db5及びDc0~Dc5の3画素分のデジタル表示データを並列に液晶パネル103に転送する。このため、1つのシフトレジスタ109が出力するタイミングクロックCKにより、3つのラッチ回路110は、それぞれ、Da0~Da5、Db0~Db5及びDc0~Dc5の3画素分のデジタル表示データをラッチする。ラッチ回路110及びシフトレジスタ109は、順次この動作を繰り返すことにより、1水平期間の1/3分のデジタル表示データをラッチする。前述の繰り返し動作の中で順にラッチする3画素分のデジタル表示データは、すべて同一の色のデータ例えばRであり、ラッチされた1水平期間の1/3分のデジタル表示データは、水平方向1ライン分のRのデータとなる。

【0018】そして、3つに時分割した各期間の1つにおいて、信号駆動回路111は、ラッチ回路110がラッチしたデジタル表示データを取り込み、液晶パネル駆動回路部102が出力する信号駆動回路制御信号114を基に、デジタル表示データに対応した外部入力アナログ信号を、いずれか1本のドレイン線に書き込み、デジタル表示データに対応するアナログ信号を保持させる。この結果、アナログ信号がRの表示データであった場合、水平方向1ライン分のRのデータが対応するドレイン線に書き込まれることになる。残り2つの時分割した期間でも同様に、各ドレイン線にそれぞれデジタル表示データに対応した外部入力アナログ信号を書込み保持させる。これらの各期間におけるデジタル表示データがG、Bのデータであったとすれば、3つの期間の全体で水平方向1ライン分のR、G、Bのデータが対応するドレイン線に書き込まれたことになる。従って、1水平期間中に全てのドレイン線に各デジタル表示データに対応したアナログ信号を保持させることが可能となり、ゲート走査線駆動回路108により選択されたゲート走査線上の全ての画素部112に、ドレイン線が保持しているアナログ信号をを書き込むことが可能となる。この操作を、全ゲート走査線に関して順次行っていくことにより、1フレーム分の階調表示を行うことができる。

【0019】前述では、3つの画素部を1組として、1つのカラー画素を構成するものとして前述したが、本発明は、モノクロの表示装置の場合であっても前述と同様に動作させることができる。

【0020】図2に示す液晶表示装置に含まれる信号回路の構成において、信号駆動回路111は、ラッチ回路

201、パルス幅生成回路202、アナログ信号選択スイッチ203及びアナログ電圧サンプリングスイッチ204により構成される。この図2において、LOADはラッチ回路201のロード信号、PWM1～PWM4はパルス幅生成用クロック、RESはパルス幅生成回路202のリセット信号、Mは交流信号、SELA、SELB、SELCはドレイン線選択信号、SLS1～SLS4はコモン反転駆動における正極性階調電圧に対応した外部入力アナログ信号、/SLS1～/SLS4はコモン反転駆動における負極性の外部入力アナログ信号である。これらの信号は、図1の信号駆動回路制御信号114に含まれる。

【0021】ここで、外部入力アナログ信号SLS(/SLS)と、パルス幅生成用クロックPWMについて、図3を参照して説明する。ここでは、外部入力アナログ信号に対応するデジタル表示データが上位2ビット(DL5、DL4)であるとする。外部入力アナログ信号は、この2ビットで選択されるため、正極性の階調電圧に対応した外部入力アナログ信号4本(SLS1、SLS2、SLS3、SLS4)と負極性の階調電圧に対応した外部入力アナログ信号4本(/SLS1、/SLS2、/SLS3、/SLS4)との計8本となる。正・負極性の選択は、交流信号Mに対応しており、交流信号MがHiレベルのとき負極性の階調電圧となり、交流信号MがLowレベルのとき正極性の階調電圧となる。

【0022】いま、正極性の階調電圧が、デジタル表示データがall 1のときにVr4+、all 0のときにVr0+であるとする。そして、正極性の階調電圧は、Vr4+>Vr3+>Vr2+>Vr1+>Vr0+の関係を保つ4つの電圧範囲に分割され、SLS1はVr0+からVr1+まで、SLS2はVr1+からVr2+まで、SLS3はVr2+からVr3+まで、SLS4はVr3+からVr4+までの電圧範囲内で上昇または減少(漸増または漸減)する外部入力アナログ信号であるとする。この場合、DL5、DL4のデジタル表示データの上位2ビットが(11)のときSLS4、(10)のときSLS3、(01)のときSLS2、(00)のときSLS1であるとした。また、この外部入力アナログ信号の周期は、信号駆動回路111が3本のドレイン線に時分割で外部入力アナログ信号を供給するため、1/3水平期間となる。また、この場合、外部入力アナログ信号の選択に使用しないデジタル表示データが4ビットであるため、この4ビットは、1/3水平期間を16の領域に時分割する。外部入力アナログ電圧は、時分割された16領域の各領域で、異なる階調電圧レベルを有し、従って1周期で最低16の電圧レベルを有する。これにより、外部入力アナログ信号SLSは、デジタル表示データ6ビットに対応する64階調の階調電圧を表現することが可能となる。

【0023】負極性の階調電圧も同様に、デジタル表示

データがall 1のときにVr4-、all 0の時にVr0-とすると、Vr0->Vr1->Vr2->Vr3->Vr4-の電圧関係を有する4つの電圧範囲に分割され、/SLS1、/SLS2、/SLS3、/SLS4を、それぞれ、Vr0-からVr1-、Vr1-からVr2-、Vr2-からVr3-、Vr3-からVr4-の電圧範囲に割り当てて、正極性の外部入力アナログ信号と同様に設定される。これにより、負極性の階調電圧を6ビット64階調に対応させることが可能となる。

【0024】また、パルス幅生成用クロックPWMは、表示データがDL3、DL2、DL1、DL0の4ビットであるため、4ビットのカウンタ信号により構成され、PWM4を最上位ビット、PWM1を最下位ビットとしている。このパルス幅生成用クロックPWMは、その各カウント値がとる領域と、先に説明した外部入力アナログ信号(SLS、/SLS)が時分割された16レベルの階調電圧とが対応するように生成される。

【0025】図2の参照に戻って、ラッチ回路201は、ロード信号LOADによりデジタル表示データをラッチし、パルス幅生成回路202にデジタル表示データDL3～DL0を、アナログ電圧選択スイッチにデジタル表示データDL5、DL4を出力する。アナログ信号選択スイッチ203は、交流信号Mに応じてコモン反転駆動における正極性/負極性の階調電圧を切り替え、また、デジタル表示データDL5、DL4に応じて、外部入力アナログ信号4本の中から1本の信号を選択する。また、アナログ信号選択スイッチ203は、選択スイッチリセット信号RSがHiレベルの場合、選択した1本の外部入力アナログ信号をアナログ電圧サンプリングスイッチ204に出力し、Lowレベルの場合、出力を行わずにオープン状態とする。

【0026】アナログ電圧サンプリングスイッチ204は、ドレイン線選択信号SELA、SELB、及びSELCにより、3本のドレイン線SIGA、SIGB、及びSIGCのうち1つを選択し、選択したドレイン線にアナログ電圧選択スイッチ203のアナログ出力信号ASIGを出力する。従って、アナログ電圧サンプリングスイッチ204により選択されたドレイン線には、アナログ電圧選択スイッチ203が選択した外部入力アナログ信号が選択スイッチリセット信号RSがHiレベルの期間に印加され、信号RSがLowレベルになりアナログ信号選択スイッチの出力がオープンとなった時点のドレイン線電位がドレイン線容量により保持されることになる。

【0027】パルス幅生成回路202は、パルス幅生成用クロックPWM1～PWM4とデジタル表示データDL3～DL0とが一致したタイミングで、選択スイッチリセット信号RSをLowレベル(またはHiレベル)とすることにより、デジタル表示データに対応したタイミングでドレイン線にアナログ電圧を保持させることが

可能となる。

【0028】次に、図4に示す各信号の電圧波形と図2とを参照して、本発明の第1の実施形態による液晶表示装置の動作について説明する。図4において、GATEはゲート走査線駆動回路108が出力するゲート走査線選択信号である。

【0029】ゲート走査線は、1フレーム中に最低1回の割合で選択され、その選択期間は、ほぼ1水平期間である。図4に示す例では、GATE信号がHiレベルのときにゲート走査線が選択されている。ゲート走査線の選択期間中に、ドレイン線選択信号SELA、SELB及びSELCは、図4に示すように、時分割された3つの期間で、それぞれ1つのドレイン線を選択するように出力される。ここで、アナログ電圧サンプリングスイッチ204は、ドレイン線選択信号SELがHiレベルのときに、ドレイン線とアナログ信号出力ASIGとを接続し、Lowレベルのときにドレイン線とアナログ信号出力ASIGとをオープン状態とする。

【0030】外部入力アナログ信号SLSの1周期は、1水平期間の1/3である。また、外部入力アナログ信号(SLS、/SLS)の時分割された16個の階調電圧レベルは、ドレイン線選択信号SELの選択期間内(Hiレベルの期間内)に収まるように生成される。

【0031】図4は説明を簡単にするために、デジタル表示データの上位2ビットのDL5、DL4を(1, 1)であるとし、必ずSLS4あるいは/SLS4が選択されるようにしている。

【0032】まず、ラッチ回路201は、LOAD信号がHiになるタイミングで、ラッチ回路110が出力している6ビットのデジタル表示データ、図4に示す例では、(111011)をラッチし、上位2ビットであるDL5、DL4(11)をアナログ信号選択スイッチ203に出力し、その他のデジタル表示データであるDL3、DL2、DL1及びDL0(1011)をパルス幅生成回路202に出力する。アナログ電圧選択スイッチ203は、デジタル表示データの上位2ビットDL5、DL4が(11)であり、また、交流信号MがLowレベルであるため、正極性の外部入力アナログ信号SLS4を選択する。

【0033】パルス幅生成回路202は、3つに時分割された各期間の最初の時点では、リセット信号RESによりリセットされており、RESがHiレベルのとき、常に選択スイッチリセット信号RSをHiレベルとし、RESがLowレベルのとき、デジタル表示データ(1011)とパルス幅生成用クロックPWMとが一致したタイミングで選択スイッチリセット信号RSをLowレベルとする。アナログ電圧サンプリングスイッチ204は、1/3水平期間の最初の期間でSELAがHiレベルであるため、信号駆動回路111のアナログ出力信号ASIGは、ドレイン線SIGAに出力されることにな

る。アナログ信号選択スイッチ203は、選択スイッチリセット信号RSがHiレベルの時には、選択した外部入力アナログ信号SLS4をアナログ出力信号ASIGとして出力する。従って、ドレイン線選択信号SELAによりアナログ電圧サンプリングスイッチ204が選択したドレイン線SIGAには、外部入力アナログ信号SLS4が印加される。リセット信号RESがLowレベルとなり、パルス幅生成用クロックPWM4~PWM1の各値とラッチ回路201から転送されたデジタル表示データDL3~DL0(1011)とが一致するタイミングで選択スイッチリセット信号RSがLowレベルとなり、アナログ信号選択スイッチ204の出力がオープン状態となる。これによりドレイン線SIGAにデジタル表示データ(111011)に対応した階調電圧が保持されたことになり、画素部112の液晶にその階調電圧が印可されることになる。

【0034】前述した処理動作は、3分割された残り2つの期間でも同様に行われ、順次ドレイン線SIGB、SIGCを選択してデジタル表示データに対応した階調電圧が書き込まれていく。これにより、1水平ライン上にある全ての画素部112の液晶に階調電圧を印加することが可能になる。また、ライン交流駆動であるため、次ラインでは交流信号MがHiレベルとなり、アナログ信号選択スイッチ203が選択する信号が/SLS4となるだけで、同様の動作が行われ、この動作を繰り返すことにより1フレームの階調表示を行うことが出来る。

【0035】前述した本発明の実施形態は、ドレイン線に印加する階調電圧を複数の電圧範囲に分割し、その電圧範囲内で上昇または減少する電圧波形を外部入力アナログ信号とし、この外部入力アナログ信号の1周期を複数の期間に時分割し、各分割期間での外部入力アナログ信号の電圧を、ドレイン線に印加する階調電圧とし、デジタル表示データのビットまたはビット列により、複数の外部入力アナログ信号の1つを選択するようにしている。また、前述した本発明の実施形態は、外部入力アナログ信号をドレイン線に印可して、外部入力アナログ信号の電圧が、デジタル表示データに対応する電圧になった時点でドレイン線に階調電圧を保持させる信号駆動回路を用い、この1つの信号駆動回路に複数のドレイン線に対応させ、1水平期間を複数の期間に時分割し、各分割された期間に、それぞれのデジタル表示データに対応した階調電圧を書き込んでいくようにしている。

【0036】前述した本発明の実施形態によれば、前述で説明したような構成を備えて前述したような動作を行うことにより、各ドレイン線のそれぞれに信号駆動回路を必要とすることなく、複数のドレイン線で信号駆動回路を共有することができるため、内蔵する周辺回路規模を縮小でき、ガラス基板の液晶表示部以外の面積を小さくし、液晶表示パネルの額縁面積を小さくすることができる。また、前述した本発明の実施形態によれば、外部

に高速、高精度のD/A変換回路を必要とすることなく、内蔵回路でD/A変換を実現することが可能になり、また、液晶表示部と同一基板上に生成される内蔵回路規模を減少させることができるため、消費電力を低減することが可能となる。さらに、前述した本発明の実施形態によれば、内蔵回路規模が縮小されるために、製造工程中の欠陥、断線、短絡等による歩留りの悪化も抑えることができ、製品の信頼性を向上させ、低コスト化を図ることができる。

【0037】なお、前述した本発明の実施形態は、説明を簡単にするために、信号駆動回路に割り当てるドレイン線数を3本としたが、本発明は、さらに多数のドレイン線に対して1つの信号駆動回路を対応させることもできる。また、前述の本発明の実施形態において、シフトレジスタ109の段数は、デジタル表示データの同時転送数に影響するが、デジタル表示データの転送は、シリアルでもパラレルでもよい。また、前述の実施形態における各種信号の正論理/不論理は、例であるため、逆転しても特に問題なく、また、デジタル表示データのビット数は2ビット以上であれば対応可能である。また、図3に示した外部入力アナログ信号は、ステップ波形であるが、特に規定せず、ランプ波形でも、非線型波形でもよい。また、階調電圧とデジタル表示データとの対応も、説明している例に限らず特に規定されない。また、信号駆動回路111に対応するドレイン線が偶数である場合、交流信号Mを1水平期間の時分割に合わせて交流とし、外部入力アナログ信号をドット反転駆動用の階調電圧に対応させるようにすることができ、本発明は、これにより、ドット反転駆動にも適用可能である。

【0038】前述した本発明の実施形態による液晶表示装置は、現在広く使用されているアモルファスシリコンTFTを用いて製造可能であるが、本発明の効果をより高めるために、周辺回路と画素とを一体形成することが可能な、低温ポリシリコンTFTで製造することができる。

【0039】図5は本発明の第2の実施形態による液晶表示装置の構成を示すブロック図、図6は図5に示す液晶表示装置に含まれる信号回路の構成を示すブロック図、図7は本発明の第2の実施形態による液晶表示装置の動作を説明するための電圧波形を示す図であり、以下、図5～図7を参照して本発明の第2の実施形態を説明する。図5、図6において、501は液晶表示パネル駆動回路部、502は外部入力アナログ信号生成回路部、503は液晶パネル、504は信号駆動回路、601はアナログ信号選択スイッチであり、他の符号は図1、図2の場合と同一である。

【0040】本発明の第2の実施形態は、1つの信号駆動回路のアナログ信号出力を、複数でかつ奇数のドレイン線に割り当て、時分割で各ドレイン線に出力することにより液晶表示を行うようにしたもので、信号回路の総

数を軽減し、内蔵回路の回路規模を縮小することを可能としたドット反転駆動の液晶表示装置の例である。

【0041】まず、図5を参照して本発明の第2の実施形態による液晶表示装置の概要を説明する。

【0042】図5に示す本発明の第2の実施形態における液晶表示装置の液晶パネル503は、説明を簡単にするために、信号駆動回路111及び504がアナログ電圧を出力するドレイン線を3本とし、1水平期間を3つの期間に時分割して画素部112を駆動することとして示している。そして、信号駆動回路111及び504が出力する3本のドレイン線へのアナログ電圧は、ここでは、それぞれ、R、G、Bの各色の信号であるとしており、図には、SIGA、SIGB、SIGC、SIGAN、SIGBN、SIGCNとして示している。また、本発明の第2の実施形態は、外部I/F信号101が入力される液晶パネル駆動回路部501と液晶パネル503とにより構成される。

【0043】液晶パネル駆動回路部501は、外部I/F信号101を基に液晶パネル503を駆動するために必要な各信号を生成し、その中で、外部入力アナログ信号生成回路部502は、ドット反転駆動用の正極性及び負極性の外部入力アナログ信号を生成し液晶パネル503に出力する。その他の液晶パネル駆動回路501の動作は、前述した本発明の第1の実施形態の場合と同様であるため、その説明を省略する。液晶パネル503は、本発明の第1の実施形態の液晶パネル103とほぼ同一に構成されているが、本発明の第2の実施形態は、信号駆動回路111及び504の2種類が設けられている点が第1の実施形態と異なっている。この信号駆動回路111と信号駆動回路504との相違は、交流信号Mによる正/負階調電圧の選択の差である。例えば、交流信号MがLowレベルの場合に、信号駆動回路111が正極性の階調電圧に対応する外部入力アナログ信号SLSを選択するのに対し、信号駆動回路504が負極性の階調電圧に対応する外部入力アナログ信号/SLSを選択する。本発明の第2の実施形態による液晶表示装置のその他の構成の概要は、本発明の第1の実施形態の場合と同様であるため、その説明を省略する。

【0044】次に、図6を参照して信号駆動回路504の動作について説明する。信号駆動回路111の動作は、本発明の第1の実施形態で説明したものと同一である。

【0045】図6に示すように、信号駆動回路504は、ラッチ回路201、パルス幅生成回路202、アナログ信号選択スイッチ601及びアナログ電圧サンプリングスイッチ204により構成される。従って、信号駆動回路504が信号駆動回路111と異なる点は、アナログ信号選択スイッチ203に代ってアナログ信号選択スイッチ601が設けられる点である。アナログ信号選択スイッチ601は、信号駆動回路111のアナログ信

号選択スイッチ203と、交流信号Mに対する外部入力アナログ信号の選択の仕方が異なるものである。いま、本発明の第1の実施形態において説明したように、アナログ信号選択スイッチ111は、交流信号MがLowレベルのとき、正極性の階調電圧に対応する外部入力アナログ信号SLSを選択し、交流信号がHiレベルのとき、負極性の階調電圧に対応する外部入力アナログ信号SLSを選択するものとする。この場合、アナログ信号選択スイッチ601は、逆の動作となり、交流信号MがLowレベルのとき、負極性の階調電圧に対応する外部

10 入力アナログ信号SLSを選択し、交流信号がHiレベルのとき、正極性の階調電圧に対応する外部入力アナログ信号SLSを選択する。
 【0046】また、外部入力アナログ信号SLS（/SLS）は、本発明の第1の実施形態における図3とほぼ同様であり、 $Vr4+ > Vr3+ > Vr2+ > Vr1+ > Vr0+$ の関係を保つ正極性の階調電圧 $Vr4+$ 、 $Vr3+$ 、 $Vr2+$ 、 $Vr1+$ 、 $Vr0+$ がドット反転駆動用の階調電圧であり、負極性の階調電圧も同様に、 $Vr0- > Vr1- > Vr2- > Vr3- > Vr4-$ の電

20 圧関係を有する階調電圧 $Vr0-$ 、 $Vr1-$ 、 $Vr2-$ 、 $Vr3-$ 、 $Vr4-$ がドット反転駆動用の階調電圧である。隣接する信号駆動回路111及び504に割り当てられたドレイン線数が奇数で、かつ、ドット反転駆動の場合、各信号駆動回路が選択されたドレイン線SIGA、SIGANに出力する階調電圧の極性は、必ず異ならなければならない。本発明の第2の実施形態は、隣接する信号駆動回路の交流信号Mに対する正/負極性の階調電圧の選択方法を逆にすることによりこの問題を解決している。また、隣接する信号駆動回路が同一の場合

30 でも、奇数番目の信号駆動回路と偶数番目の信号駆動回路とで、交流信号Mとその反転信号/Mとを別に入力することにより同様の効果が得ることができる。
 【0047】次に、図7に示す各信号の電圧波形と図6とを参照して、本発明の第2の実施形態による液晶表示装置の動作について説明する。図7において、GATEはゲート走査線駆動回路108が出力するゲート走査線選択信号である。
 【0048】ゲート走査線は、1フレーム中に最低1回の割合で選択され、その選択期間は、ほぼ1水平期間で

【0049】外部入力アナログ信号SLSの1周期は、1水平期間の1/3である。また、外部入力アナログ信号（SLS、/SLS）の時分割された16個の階調電圧レベルは、ドレイン線選択信号SELの選択期間内（Hiレベルの期間内）に収まるように生成される。

【0050】図7は説明を簡単にするために、デジタル表示データの上位2ビットのDL5、DL4を（1，1）であるとし、必ずSLS4あるいは/SLS4が選択されるようにしている。以下、信号駆動回路504の動作を中心として図7について説明する。

【0051】まず、1水平期間を3つに時分割したときの、一番目の期間に注目する。この期間の最初に、ラッチ回路201は、LOAD信号がHiになるタイミングで、ラッチ回路110が出力している6ビットのデジタル表示データ、図7に示す例では、（111011）をラッチし、上位2ビットであるDL5、DL4（11）をアナログ信号選択スイッチ601に出力し、その他のデジタル表示データであるDL3、DL2、DL1及びDL0（1011）をパルス幅生成回路202に出力する。アナログ電圧選択スイッチ601は、デジタル表示データの上位2ビットDL5、DL4が（11）であり、また、交流信号MがHiレベルであるため、正極性の外部入力アナログ信号SLS4を選択する。

【0052】パルス幅生成回路202は、リセット信号RESによりリセットされており、RESがHiレベルのとき、常に選択スイッチリセット信号RSをHiレベルとし、RESがLowレベルのとき、デジタル表示データ（1011）とパルス幅生成用クロックPWM4～PWM1とが一致したタイミングで選択スイッチリセット信号RSをLowレベルとする。アナログ電圧サンプリングスイッチ204は、1/3水平期間の最初の期間でSELAがHiレベルであるため、信号駆動回路504のアナログ出力信号ASIGNは、ドレイン線SIGANに出力されることになる。アナログ信号選択スイッチ601は、選択スイッチリセット信号RSがHiレベルのときに、選択した外部入力アナログ信号SLS4をアナログ出力信号ASIGNとして出力する。従って、ドレイン線選択信号SELAによりアナログ電圧サンプリングスイッチ204が選択したドレイン線SIGANには、外部入力アナログ信号SLS4が印加される。リセット信号RESがLowレベルとなり、パルス幅生成用クロックPWM4～PWM1とラッチ回路201から転送されたデジタル表示データDL3～DL0（1011）とが一致するタイミングで選択スイッチリセット信号RSがLowレベルとなり、アナログ信号選択スイッチ204の出力がオープン状態となる。これによりドレイン線SIGANにデジタル表示データ（111011）に対応した階調電圧が保持されたことになり、画素部112の液晶にその階調電圧が印可されることにな

【0053】3分割された水平期間の第2番目の期間動作は、交流化信号MがLowレベルとなるため、ドレイン線SIGBNには、デジタル表示データ(110110)に対応した負極性の階調電圧が印加され、ドレイン線に保持されることになる。また、この第2番目の期間、隣接する信号駆動回路111は、選択したドレイン線に、逆極性の階調電圧を印加し保持させている。これにより、1水平ライン上において、隣接するドレイン線に逆極性の階調電圧を書き込むことができる。また、1ライン毎に交流信号Mを交番させることにより、フレーム全体ではドット反転駆動を実現することが可能となる。

【0054】前述した本発明の第2の実施形態は、ドレイン線に印加する階調電圧を複数の電圧範囲に分割し、その電圧範囲内で上昇または下降する電圧波形を外部入力アナログ信号とし、この外部入力アナログ信号の1周期を複数の期間に時分割し、各分割期間での外部入力アナログ信号の電圧を、ドレイン線に印加する階調電圧とし、デジタル表示データのビットまたはビット列により、複数のの中から1つの外部入力アナログ信号を選択するようにしている。また、前述した本発明の第2の実施形態は、外部入力アナログ信号をドレイン線に印可して、外部入力アナログ信号の電圧が、デジタル表示データに対応する電圧になった時点でドレイン線に階調電圧を保持させる信号駆動回路を用い、この1つの信号駆動回路に複数かつ奇数のドレイン線に対応させ、1水平期間を複数かつ奇数の期間に時分割し、各分割された期間に、それぞれのデジタル表示データに対応した階調電圧を書き込んでいくようにしている。

【0055】前述したような構成を有し前述したように動作する本発明の第2の実施形態によれば、各ドレイン線のそれぞれに信号駆動回路を必要とすることなく、複数のドレイン線で信号駆動回路を共有することができるため、内蔵する周辺回路規模を縮小することができ、ガラス基板の液晶表示部以外の面積を小さくし、液晶表示パネルの緑縁面積を小さくすることができる。また、本発明の第2の実施形態によれば、外部に高速、高精度のD/A変換回路を必要とすることなく、内蔵回路でD/A変換を実現することが可能になり、また、液晶表示部と同一基板上に生成する内蔵回路の規模を低減させることができるので、消費電力を低減することが可能となる。さらに、本発明の第2の実施形態によれば、内蔵回路規模が縮小されるために、製造工程中の欠陥、断線、短絡等による歩留りの悪化を抑えることができ、製品の信頼性の向上、低コスト化を図ることができる。

【0056】なお、前述した本発明の第2の実施形態は、説明を簡単にするために、信号駆動回路に割り当てるドレイン線数を3本としたが、本発明は、信号駆動回路に割り当てるドレイン線数を、奇数であればさらに多数としてもよい。また、前述した本発明の第2の実施形

態において、シフトレジスタ109の数は、デジタル表示データの同時転送数に影響するが、デジタル表示データの転送は、シリアルでもパラレルでもよい。また、前述の第2の実施形態における各種信号の正論理/不論理は、例であるため、逆転しても特に問題なく、また、デジタル表示データのビット数は2ビット以上であれば対応可能である。また、外部入力アナログ信号は、ステップ波形でも、ランプ波形でも、非線型波形でもよい。また、階調電圧とデジタル表示データの対応も、説明した例に限らず特に規定されない。

【0057】前述した本発明の第2の実施形態による液晶表示装置は、現在広く使用されているアモルファスシリコンTFTを用いて製造可能であるが、本発明の効果をより高めるために、周辺回路と画素とを一体形成することが可能な低温ポリシリコンTFTで製造することができる。

【0058】図8は本発明の第3の実施形態による液晶表示装置の構成を示すブロック図、図9は図8に示す液晶表示装置に含まれる信号回路の構成を示すブロック図、図10は外部入力アナログ信号SLSとパルス幅生成用クロックPWMとの波形を説明する図、図11は本発明の第3の実施形態による液晶表示装置の動作を説明するための電圧波形を示す図であり、次に、これらの図面を参照して本発明の第3の実施形態について説明する。図8、図9において、801は液晶表示パネル駆動回路部、802は制御信号生成回路部、803は外部入力アナログ信号生成回路部、804は液晶パネル、805は信号駆動回路、901はラッチ回路であり、他の符号は図1、図2の場合と同一である。

【0059】本発明の第3の実施形態は、信号駆動回路のアナログ信号出力を、複数のドレイン線に割り当て、時分割で各ドレイン線に出力し液晶表示を行うことにより、信号回路の総数を軽減し、内蔵回路の回路規模を縮小することを可能とした液晶表示装置の例である。そして、本発明の第3の実施形態は、外部入力アナログ信号を、その周期を時分割した期間の2倍の期間とし、前半の水平期間をアナログ信号が上昇(減少)し、後半の水平期間はアナログ電圧が下降(減少)する信号とすることにより、容量等への余分な充放電を減少させ、液晶表示装置の低消費電力化を実現することを可能としたものである。

【0060】まず、図8を参照して本発明の第3の実施形態による液晶表示装置の概要を説明する。

【0061】図8に示す本発明の第3の実施形態における液晶表示装置の液晶表示パネル804は、信号駆動回路805がアナログ電圧を出力するドレイン線を3本とし、1水平期間を3つの期間に時分割して画素部112を駆動することとして示している。そして、信号駆動回路805が出力する3本のドレイン線へのアナログ電圧は、ここでは、それぞれ、R、G、Bの各色の信号であ

るとしており、図には、SIGA、SIGB、SIGCとして示している。また、本発明の第3の実施形態は、液晶パネル804と、外部I/F信号101を基に液晶パネル804を駆動するために必要な各信号を生成する液晶パネル駆動回路部801とにより構成されている。液晶パネル駆動回路部801は、制御信号生成回路部802、外部入力アナログ信号生成回路部803及びラインメモリ部106により構成され、制御信号生成回路部802は、外部入力アナログ信号生成回路部803及びラインメモリ部106の制御信号と液晶パネル804を10駆動するために必要な制御信号とを生成する。外部入力アナログ信号生成回路部803は、外部入力アナログ信号を生成し液晶パネル804に出力する。

【0062】図8に示す本発明の第3の実施形態は、液晶パネル駆動回路部801が極性反転信号POLを生成する点、液晶パネル804内の信号駆動回路を後述するような構成を有する信号駆動回路805とした点を除いて、前述で制御した本発明の第1の実施形態である液晶表示装置の構成と同一であるので、細かな説明を省略する。信号駆動回路805は、3本のドレイン線3本に対し10アナログ信号を出力する。そのため、信号駆動回路805の数は、全ドレイン線数の1/3となる。また、シフトレジスタ109も第1の実施形態の場合と同数設置される。

【0063】図8に示す第3の実施形態において、まず、3つに時分割した各期間において、信号駆動回路805は、ラッチ回路110がラッチしたデジタル表示データを、極性反転信号POLに応じて取り込む。例えば、信号駆動回路805は、極性反転信号POLがHiレベルの場合、ラッチ回路110が出力するデジタル表示データをスルーで取りこみ、極性反転信号POLがLowレベルの場合、あるデジタル表示データのうち、あるビットまたはビット列を、ラッチ回路110が出力するデータを反転して取りこみ、それ以外のビットまたはビット列をスルーで取り込んで出力する。信号駆動回路805は、これにより、液晶パネル駆動回路部801が出力する信号駆動回路制御信号114に基づいて、デジタル表示データに対応した外部入力アナログ信号を、いづれか1本のドレイン線に書込み、デジタル表示データに対応するアナログ信号を保持させる。残りの2つの時30分割した期間でも、前述と同様に、各ドレイン線にそれぞれデジタル表示データに対応した外部入力アナログ信号を書込み保持させる。従って、図8に示す第3の実施形態は、1水平期間中に全てのドレイン線に各デジタル表示データに対応したアナログ信号を保持させることが可能となり、ゲート走査線駆動回路108により選択されたゲート走査線上の全ての画素部112に、ドレイン線が保持しているアナログ信号を書き込むことが可能となる。この動作は、全ゲート走査線に関して順次行われていき、1フレーム分の階調表示を行うことができ50

る。

【0064】次に、図9～図11を参照して信号駆動回路805の動作について説明する。

【0065】図9において、信号駆動回路805に含まれるラッチ回路901は、ロード信号LOADのタイミングで、極性反転信号POLに応じて、ラッチ回路110が出力するデジタル表示データをラッチし、パルス幅生成回路202及びアナログ信号選択スイッチ203に出力する。ラッチ回路901は、例えば、極性反転信号POLがHiレベルのとき、ラッチ回路110の出力するデジタル表示データをスルーで後段の回路に出力し、極性反転信号POLがLowレベルのとき、ラッチ回路110の出力するデジタル表示データのうち、パルス幅生成回路202に出力するデジタル表示データを反転して出力し、それ以外のアナログ信号選択スイッチに出力するデジタル表示データをスルーで出力する。信号駆動回路805に含まれるその他の構成は、本発明の第1の実施形態の信号駆動回路111と同一であるため、説明を省略する。

【0066】次に、図10を参照して、外部入力アナログ信号SLS（/SLS）とパルス幅生成用クロックPWMについて説明する。ここでは、外部入力アナログ信号に対応するデジタル表示データが上位2ビットのDL5、DL4であるとする。外部入力アナログ信号は、この2ビットで選択されるため、正極性の階調電圧に対応した外部入力アナログ信号4本（SLS1、SLS2、SLS3、SLS4）と負極性の階調電圧に対応した外部入力アナログ信号4本（/SLS1、/SLS2、/SLS3、/SLS4）の計8本となる。そして、正・負極性の階調電圧の選択は、交流信号Mに対応しており、交流信号MがHiレベルのとき負極性の階調電圧が選択され、交流信号MがLowレベルの時正極性の階調電圧が選択される。正極性の階調電圧が、デジタル表示データall 1のとき、 V_{r4+} 、all 0のとき V_{r0+} とすると、 $V_{r4+} > V_{r3+} > V_{r2+} > V_{r1+} > V_{r0+}$ の関係を保つ4つの電圧範囲に分割し、SLS1は V_{r0+} から V_{r1+} まで、SLS2は V_{r1+} から V_{r2+} まで、SLS3は V_{r2+} から V_{r3+} まで、SLS4は V_{r3+} から V_{r4+} までの電圧範囲内で上昇または下降する外部入力アナログ信号とする。

【0067】図示例の場合、デジタル画像データの上位2ビットのDL5、DL4が（11）のときSLS4、（10）のときSLS3、（01）のときSLS2、（00）のときSLS1とした。信号駆動回路805が、1本のドレイン線にアナログ信号出力を書き込む周期は、信号駆動回路805が3本のドレイン線に時分割で外部入力アナログ信号を供給するため、1/3水平期間となる。また、外部入力アナログ信号の選択に使用しないデジタル表示データが4ビットであるため、1/3水平期間は16の領域に時分割される。外部入力アナロ

グ電圧は、時分割された16の領域の各領域で、異なる階調電圧レベルを有し、従って、1/3水平期間で最低16の電圧レベルを有する。これにより、外部入力アナログ信号SLSは、デジタル表示データ6ビットに対応する64階調の階調電圧を表現することが可能となる。

【0068】本発明の第3の実施形態は、図10に示すように、1/3水平期間で交互に、上昇する外部入力アナログ信号と下降する(減少)する外部入力アナログ信号が供給される。また、パルス幅生成用クロックPWMは、デジタル表示信号がDL3、DL2、DL1、DL0の4ビットであるため、4ビットのカウント信号で構成され、PWM4を最上位ビット、PWM1を最下位ビットとしている。このパルス幅生成用クロックPWMは、その各カウント値がとる領域と、前述で制御した外部入力アナログ信号(SLS、/SLS)が時分割された領域とが対応するように生成される。また、パルス幅生成用クロックPWMのカウント値は、昇順(または降順)である。このとき、上昇する外部入力アナログ信号がとる16レベルのアナログ信号電圧値の順番と、減少する外部入力アナログ信号がとる16レベルのアナログ信号電圧値の順番とは、逆になるように設定される。

【0069】このようにした場合、パルス幅生成用クロックPWMのあるカウント値Aに対して、上昇する外部入力アナログ信号がとる電圧レベルと、カウント値Aの反転値/Aをパルス生成用クロックPWMとした時の、減少する外部入力アナログ信号がとる電圧レベルとが同一になる。従って、1水平期間を1/3に時分割した期間で、上昇する外部入力アナログ信号と減少する外部入力アナログ信号とを交互に出力する場合に、パルス幅生成回路202でパルス幅生成用クロックPWMと比較するデジタル表示データを、上昇する外部入力アナログ信号の場合にはデジタル表示データをスルーで出力したものの、減少する外部アナログ信号の場合にはデジタル表示データを反転したデータに対応させることにより、あるデジタル表示データに対して、上昇または減少する外部入力アナログ信号において同一の電圧レベルを対応させることが可能になる。負極性の階調電圧も、正極性の外部入力アナログ信号の設定と同様に行うことができ、同様のことが可能となる。信号駆動回路805のラッチ回路901以降の動作は、本発明の第1の実施形態と同様であるため、説明を省略する。

【0070】次に、図11に示す各信号の電圧波形を参照して、本発明の第3の実施形態による液晶表示装置の動作を説明する。図11において、GATEはゲート走査線駆動回路108が出力するゲート走査線選択信号である。ゲート走査線は、1フレーム中に最低1回の割合で選択され、その選択期間は、ほぼ1水平期間である。図11に示す例の場合、GATE信号がHiレベルのときにゲート走査線が選択される。ゲート走査線の選択期間中に、ドレイン線選択信号SELA、SELB、及び

SELCは、図11に示すように、時分割された3つの期間で、それぞれ1つのドレイン線を選択するように出力される。そして、アナログ電圧サンプリングスイッチ204は、ドレイン線選択信号SELがHiレベルのときに、ドレイン線とアナログ信号出力ASIGとを接続し、Lowレベルのときにドレイン線とアナログ信号出力ASIGをオープン状態とする。外部入力アナログ信号SLSの1周期は、上昇と減少とを合わせた期間を1周期とすると、3分割された期間の2倍になるため、2/3水平期間となる。また、外部入力アナログ信号(SLS、/SLS)の時分割された16個の階調電圧レベルは、ドレイン線選択信号SELの選択期間内(Hiレベルの期間内)に収まるように生成される。

【0071】図11は説明を簡単にするために、液晶パネル駆動回路部801から転送されるデジタル表示データは全て(111011)であるとして示している。従って、デジタル表示データの上位2ビットのDL5、DL4は(11)であり、必ずSLS4あるいは/SLS4が選択される。まず、LOAD信号がHiになるタイミングで、ラッチ回路901は、ラッチ回路110が出力しているデジタル表示データ(111011)をラッチし、上位2ビットのDL5、DL4(11)をスルーでアナログ信号選択スイッチ203に出力し、極性反転信号POLがHiレベルであるため、その他のデジタル表示データであるDL3、DL2、DL1及びDL0(1011)をスルーでパルス幅生成回路203に出力する。アナログ電圧選択スイッチ203は、デジタル表示データの上位2ビットDL5、DL4が(11)であり、交流信号MがLowレベルであるため、正極性の外部入力アナログ信号SLS4を選択する。また、このときの外部入力アナログ信号SLS4は、上昇するアナログ信号電圧である。

【0072】パルス幅生成回路202は、3つに時分割された各期間の最初の時点で、リセット信号RESによりリセットされており、RESがHiレベルのとき、常に選択スイッチリセット信号RSをHiレベルとし、RESがLowレベルのとき、デジタル表示データ(1011)とパルス幅生成用クロックPWMとが一致したタイミングで選択スイッチリセット信号RSをLowレベルとする。アナログ電圧サンプリングスイッチ204は、1/3水平期間の最初の期間でSELAがHiレベルであるため、信号駆動回路805のアナログ出力信号ASIGが、ドレイン線SIGAに出力されることになる。アナログ信号選択スイッチ203は、選択スイッチリセット信号RSがHiレベルのとき、選択した外部入力アナログ信号SLS4をアナログ出力信号ASIGとして出力する。従って、ドレイン線選択信号SELAによりアナログ電圧サンプリングスイッチ204が選択したドレイン線SIGAには、外部入力アナログ信号SLS4が印加される。そして、リセット信号RESがLo

wレベルとなると、パルス幅生成用クロックPWMとラッチ回路901から転送されたデジタル表示データDL3〜DL0(1011)が一致するタイミングで選択スイッチリセット信号RSがLowレベルとなり、アナログ信号選択スイッチ204の出力がオープン状態となる。

【0073】前述した動作により、ドレイン線SIGAにデジタル表示データ(111011)に対応した階調電圧が保持されたことになり、画素部112の液晶にその階調電圧が印可されることになる。次の期間は、外部10 入力アナログ信号SLS4が下降するアナログ信号であり、極性反転信号POLがLowレベルである。従って、ラッチ回路901は、デジタル表示データ(111011)の上位2ビット(11)を、スルーでアナログ信号選択スイッチ203に出力し、下位4ビット(1011)を反転したデータ(0100)をパルス幅生成回路202へ出力する。この場合、外部入力アナログ信号SLS4は減少するアナログ信号であるため、前述したようにドレイン線SIGBにデジタル表示データ(111011)に対応した階調電圧が保持される。従って、20 これを順次繰り返していくことにより、1水平ライン上にある全ての画素部112の液晶に階調電圧を印加することが可能になる。

【0074】前述で説明したように、本発明の第3の実施形態は、ドレイン線に印加する階調電圧を複数の電圧範囲に分割し、その電圧範囲内で上昇及び下降を繰り返す電圧波形を外部入力アナログ信号とし、この外部入力アナログ信号の上昇する期間または下降する期間を複数の期間に時分割し、各分割期間での外部入力アナログ信号の電圧を、ドレイン線に印加する階調電圧とし、デジ30 タル表示データのビットまたはビット列により、階調電圧の複数の中から1つの外部入力アナログ信号を選択している。さらに、本発明の第3の実施形態は、外部入力アナログ信号をドレイン線に印可して、外部入力アナログ信号の電圧がデジタル表示データに対応する電圧になった時点でドレイン線に階調電圧を保持させる信号駆動回路を用い、この1つの信号駆動回路に複数のドレイン線に対応させ、1水平期間を複数の期間に時分割し、各分割された期間に、それぞれのデジタル表示データに対応した階調電圧を書き込むようにしている。40

【0075】前述したような構成を有し前述したように動作する本発明の第3の実施形態によれば、各ドレイン線のそれぞれに信号駆動回路を必要とすることなく、複数のドレイン線に1つの信号駆動回路を共有させることができるため、内蔵する周辺回路規模を縮小することができ、ガラス基板の液晶表示部以外の面積を小さくし、液晶表示パネルの額縁面積を小さくすることができる。また、本発明の第3の実施形態によれば、外部に高速、高精度のD/A変換回路を必要とすることなく、内蔵回路でD/A変換を実現することが可能になり、また、液50

晶表示部と同一基板上に生成する内蔵回路規模を減少させることができるため、消費電力を低減することが可能となる。さらに、本発明の第3の実施形態によれば、外部入力アナログ信号を、上昇と下降とを繰り返す波形にしているので、液晶パネルへの余分な充放電が軽減されることになり、低消費電力化を実現することができる。さらにまた、本発明の第3の実施形態によれば、内蔵回路規模が縮小されるために、製造工程中の欠陥、断線、短絡等による歩留りの悪化を抑えることができ、製品の信頼性の向上、低コスト化を図ることができる。

【0076】なお、前述した本発明の第3の実施形態は、説明を簡単にするために、信号駆動回路に割り当てるドレイン線数を3本としたが、本発明は、さらに多数のドレイン線に対して1つの信号駆動回路を対応させてもよい。また、前述の第3の実施形態において、シフトレジスタ109の数は、デジタル表示データの同時転送数に影響するが、デジタル表示データの転送はシリアルでもパラレルでもよい。また、前述の第3の実施形態における各種信号の正論理／不論理は、例であるため、逆転しても特に問題なく、また、デジタル表示データのビット数は2ビット以上であれば対応可能である。また、図10に示した外部入力アナログ信号は、ステップ波形であるが、特に規定されるものではなく、ランプ波形でも、非線型波形でもよい。また、階調電圧とデジタル表示データとの対応も、説明している例に限らず特に規定されない。

【0077】また、本発明の第3の実施形態は、前述までに説明した本発明の第1の実施形態及び第2の実施形態にも適用可能であり、従って、ライン反転駆動及びドット反転駆動の液晶表示装置に適用することができる。この場合、図1、図5に示される本発明の第1及び第2の実施形態による液晶駆動装置に、図10に示す外部入力アナログ信号を入力させ、上昇(下降)する外部入力アナログ信号に対応するパルス幅生成用クロックPWMを反転させた信号／PWMを、下降(上昇)する外部入力アナログ信号に対応するパルス幅生成用クロックとして使用するようにすればよい。

【0078】前述した本発明の第3の実施形態による液晶表示装置は、現在広く使用されているアモルファスシリコンTFTを用いて製造可能であるが、本発明の効果をより高めるために、周辺回路と画素とを一体形成可能な、低温ポリシリコンTFTで製造することができる。

【0079】図12は本発明による液晶表示装置を備えた情報機器の構成を示すブロック図であり、以下、本発明による液晶表示装置を備えた情報機器を本発明の第4の実施形態として説明する。図12において、1201は情報機器、1202は液晶表示装置、1203は中央処理装置、1204は電源回路、1205は出力装置、1206はシステムバス、1207は入力装置、1208は記憶装置である。

【0080】本発明の第4の実施形態としての情報機器1201は、本発明の第1の実施形態から第3の実施形態による液晶表示装置のいずれかを備えて構成される。この本発明の第4の実施形態である情報機器とは、例えば、コンピュータ装置、ワークステーション、PC等の情報処理装置である。情報機器1201は、液晶表示装置1202、中央処理装置1203、入力装置1207、記憶装置1208、出力装置1205、電源回路1204を主な構成要素として備えて構成される。

【0081】中央処理装置1203は、中央制御の働きをし、計算、論理及び実行決定を行い、また、入力装置1207、出力装置1205、記憶装置1208との信号の伝送を行う。記憶装置1208は、命令やデータの記憶に使用される。入力装置1207は、情報を情報機器に入力するものであり、入力情報はデータでもプログラムでもよい。また、出力装置1205は、情報機器の内部から外の世界に情報を出力するものであり、プリンタに書き出したり、磁気テープや磁気ディスクのような補助記憶装置に記憶したりする。また、出力装置1205は、表示装置のデジタルI/F信号を出力し、例えば、表示データ信号及び1水平期間中に1回の割合で有効になる水平同期信号、1フレーム期間中に1回の割合で有効になる垂直同期信号、クロック信号、有効な表示データの範囲を示すディスプレイタイミング信号等を含む信号を表示装置である液晶表示装置1202に出力する。また、電源回路1204は、液晶表示装置1202及び情報機器1201のその他の電源を必要とする構成要素に電源を供給している。

【0082】前述した本発明の第4の実施形態による情報機器は、液晶表示装置1202として、本発明の第1の実施形態から本発明の第3の実施形態として説明した液晶表示装置を使用することにより、液晶表示装置の消費電力を低く抑えることができ、結果的に情報機器1201自体の消費電力を削減することができる。

【0083】前述したように本発明の第4の実施形態によれば、情報機器の表示装置を本発明の第1の実施形態から第3の実施形態の1つによる液晶表示装置を使用することにより、情報機器の低消費電力化を図ることが可能となり、従って、情報機器の中でも低消費電力化がさらに必要なノートパソコンや、電子手帳などの携帯情報端末機器に適用して大きな効果を得ることができる。

【0084】

【発明の効果】以上説明したように本発明によれば、液晶表示装置に内蔵される周辺回路の規模を縮小でき、ガラス基板の液晶表示部以外の面積を小さくし、液晶表示パネルの額縁面積を小さくすることができる。また、本発明によれば、外部に高速、高精度のD/A変換回路を必要とすることなく、内蔵回路でD/A変換を実現することが可能になる。また、本発明によれば、液晶表示部と同一基板上に生成する内蔵回路の規模を減少させるこ

とができるため、消費電力を低減することが可能となる。さらに、本発明によれば、内蔵回路の規模が縮小されるために、製造工程中の欠陥、断線、短絡等による製造歩留りの悪化をも抑えることができ、製品の信頼性の向上、低コスト化を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態による液晶表示装置の構成を示すブロック図である。

【図2】図1に示す液晶表示装置に含まれる信号回路の構成を示すブロック図である。

【図3】外部入力アナログ信号SLSとパルス幅生成用クロックPWMとの波形を説明する図である。

【図4】本発明の第1の実施形態による液晶表示装置の動作を説明するための電圧波形を示す図である。

【図5】本発明の第2の実施形態による液晶表示装置の構成を示すブロック図である。

【図6】図5に示す液晶表示装置に含まれる信号回路の構成を示すブロック図である。

【図7】本発明の第2の実施形態による液晶表示装置の動作を説明するための電圧波形を示す図である。

【図8】本発明の第3の実施形態による液晶表示装置の構成を示すブロック図である。

【図9】図8に示す液晶表示装置に含まれる信号回路の構成を示すブロック図である。

【図10】外部入力アナログ信号SLSとパルス幅生成用クロックPWMとの波形を説明する図である。

【図11】本発明の第3の実施形態による液晶表示装置の動作を説明するための電圧波形を示す図である。

【図12】本発明による液晶表示装置を備えた情報機器の構成を示すブロック図である。

【符号の説明】

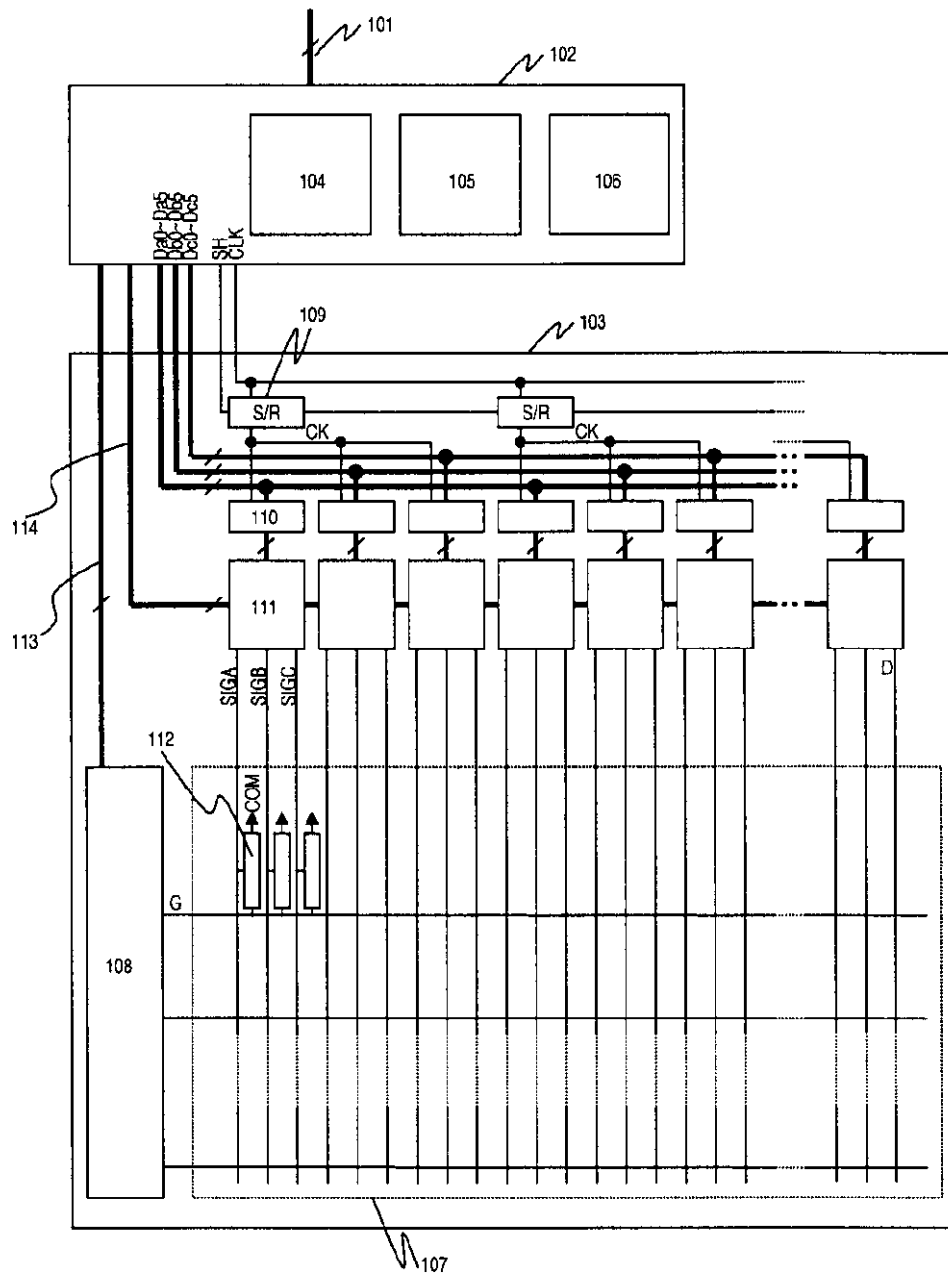
102、501、801 液晶パネル駆動回路部
103、503、804 液晶パネル
104、802 制御信号生成回路部
105、502、803 外部入力アナログ信号生成回路部
106 ラインメモリ部
107 液晶表示部
108 ゲート操作線駆動回路
109 シフトレジスタ
110、201、901 ラッチ回路
111、504、805 信号駆動回路
112 画素部
202 パルス幅生成回路
203 アナログ信号選択スイッチ
204 アナログ電圧サンプリングスイッチ
601 アナログ信号選択スイッチ
1201 情報機器
1202 液晶表示装置
1203 中央処理装置

1204 電源回路
1205 出力装置
1206 システムバス

1207 入力装置
1208 記憶装置

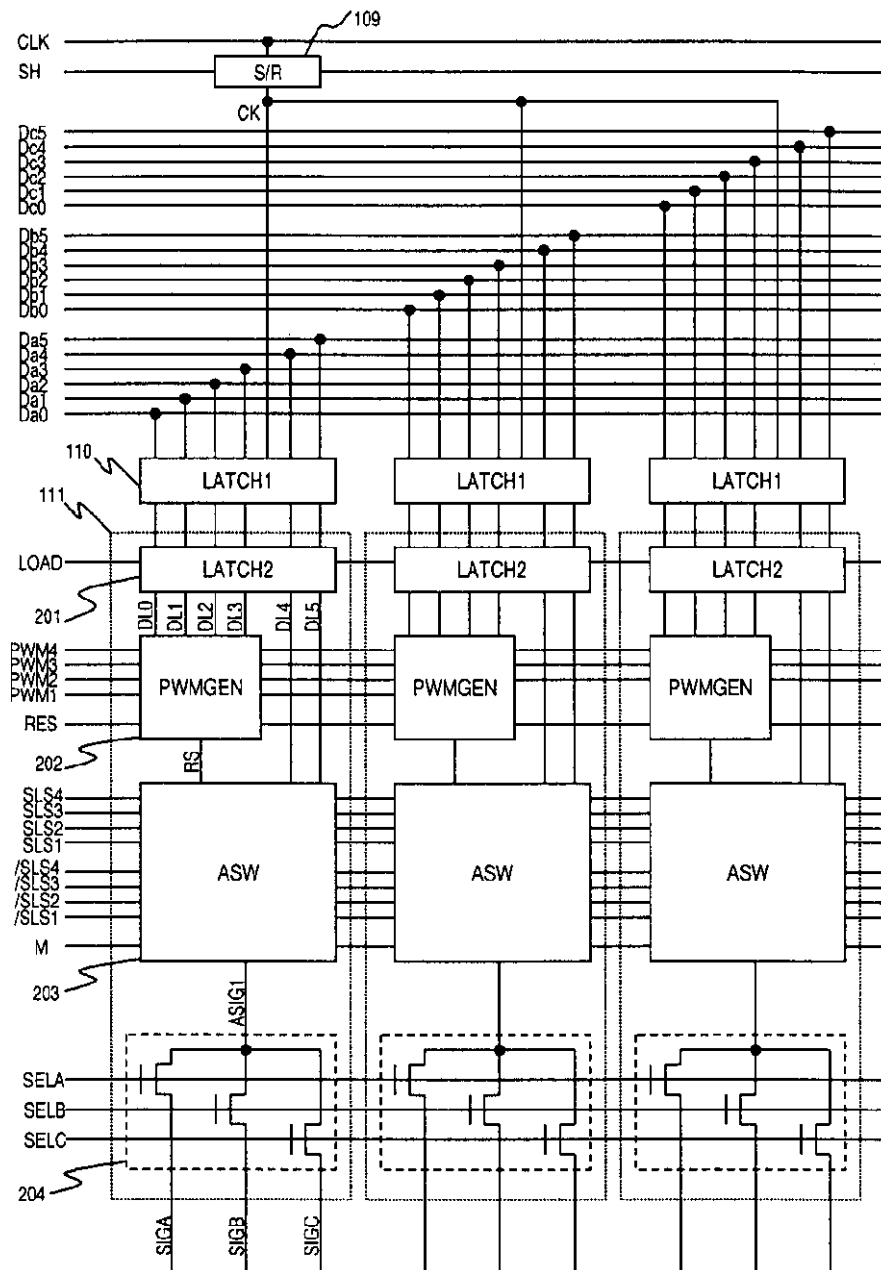
【図1】

図1



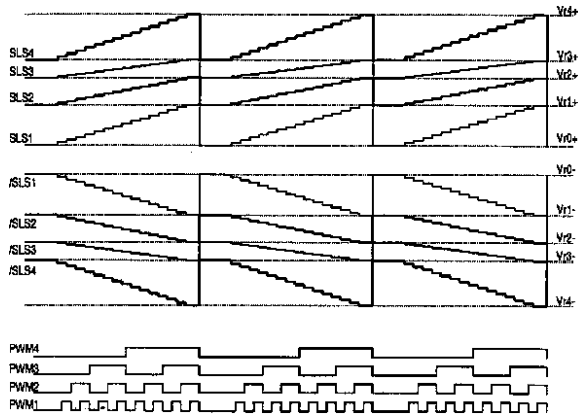
【図2】

図2



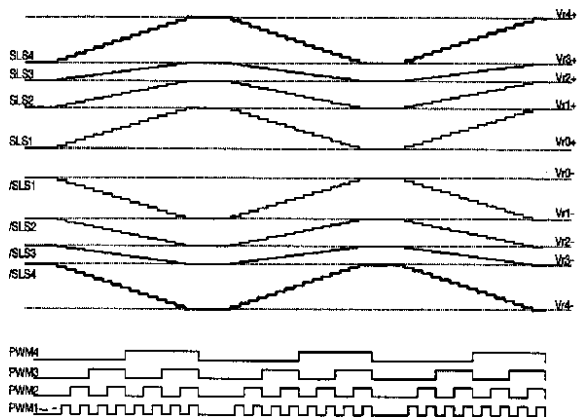
【図3】

図3



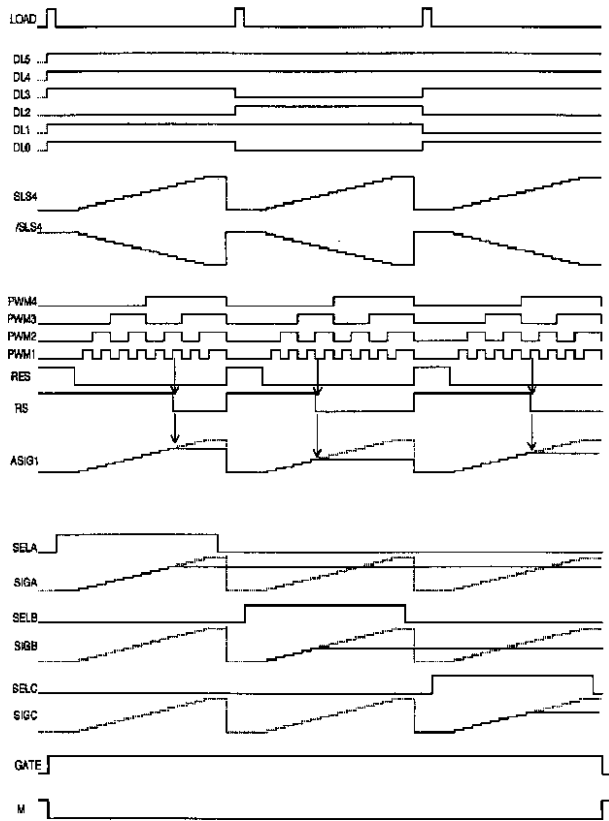
【図10】

図10



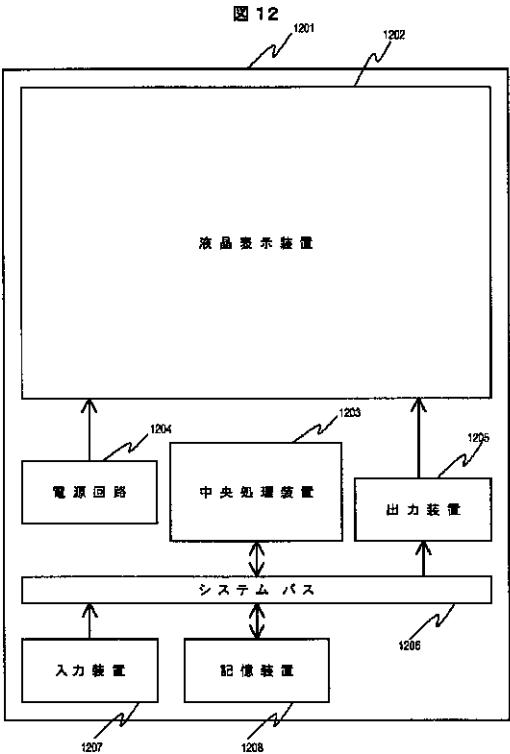
【図4】

図4



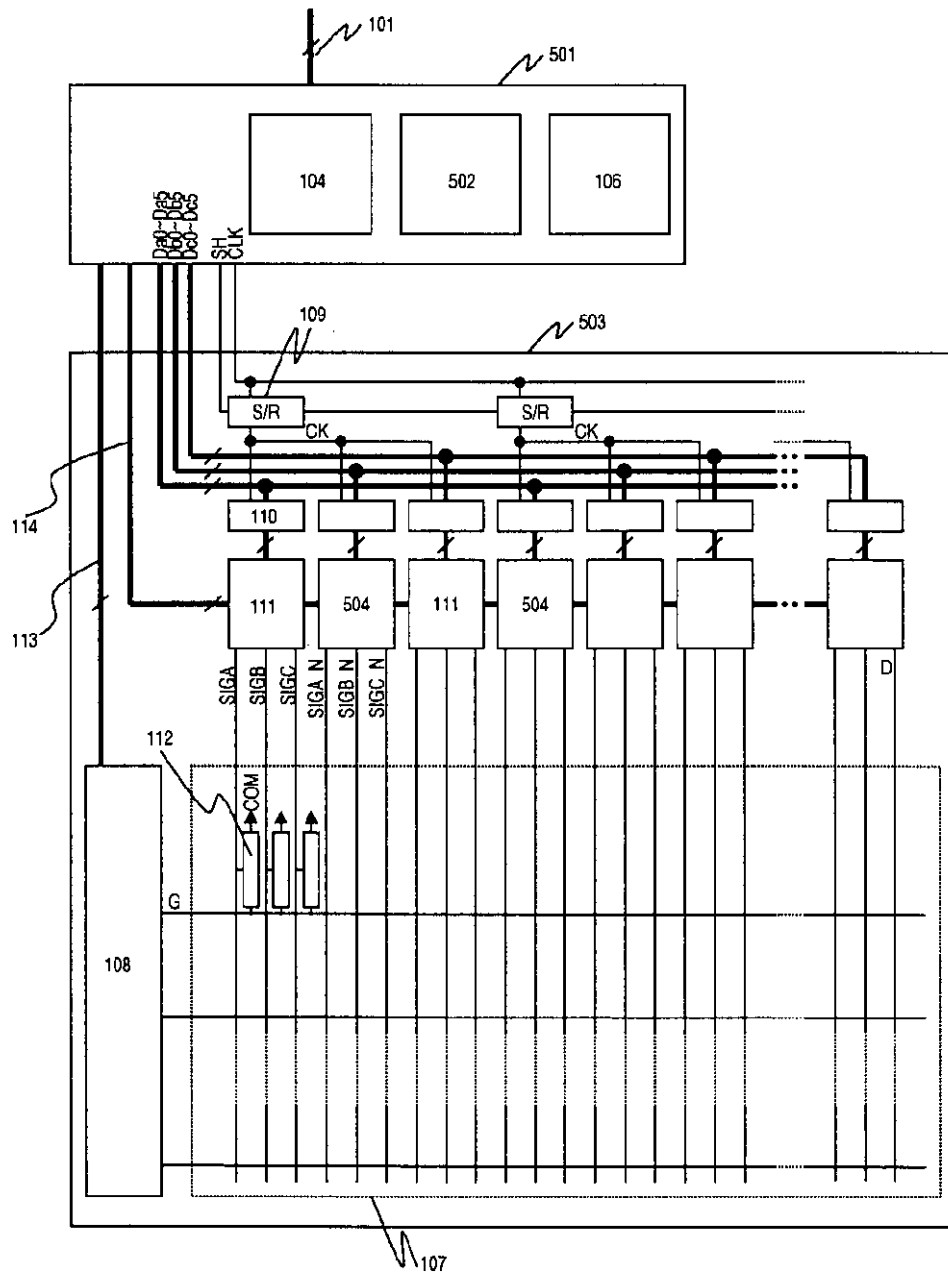
【図12】

図12



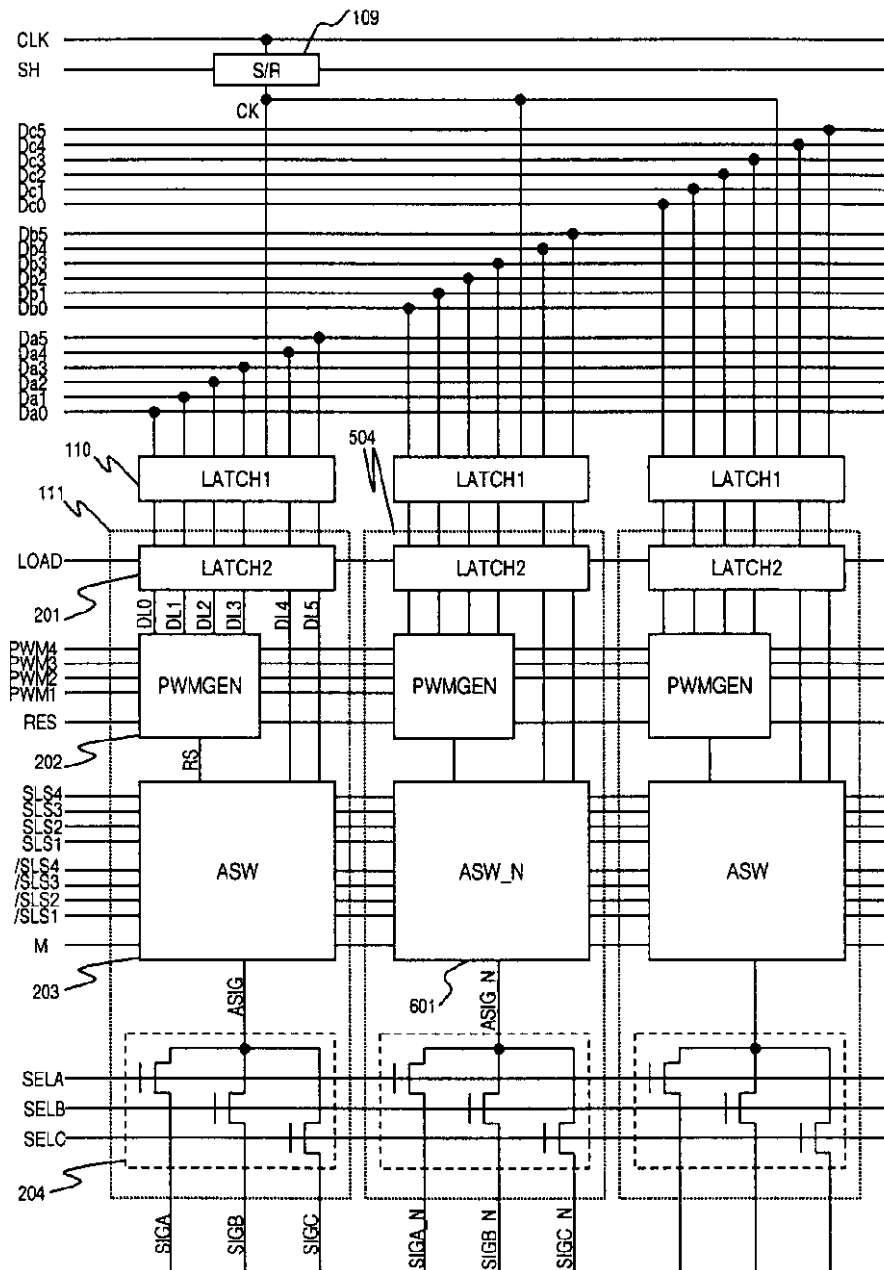
【図5】

図5



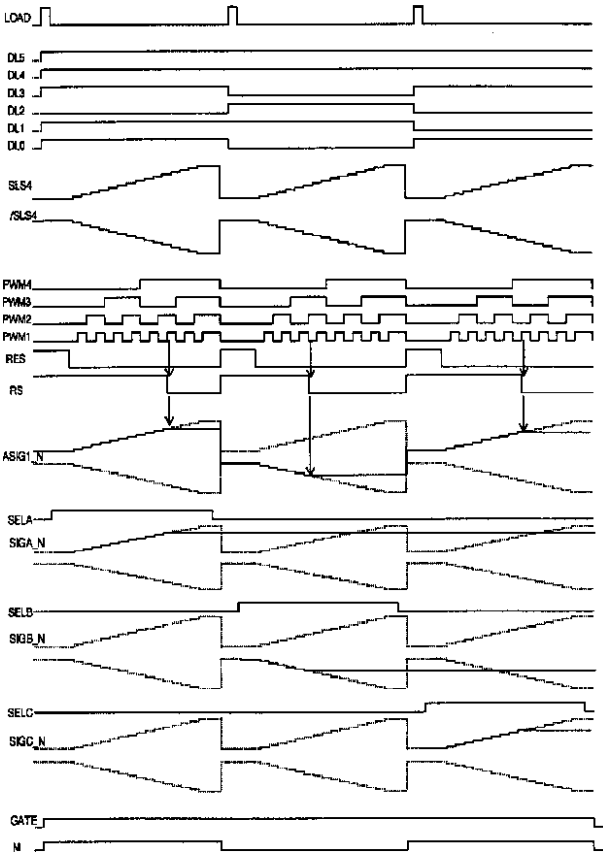
【図6】

図6



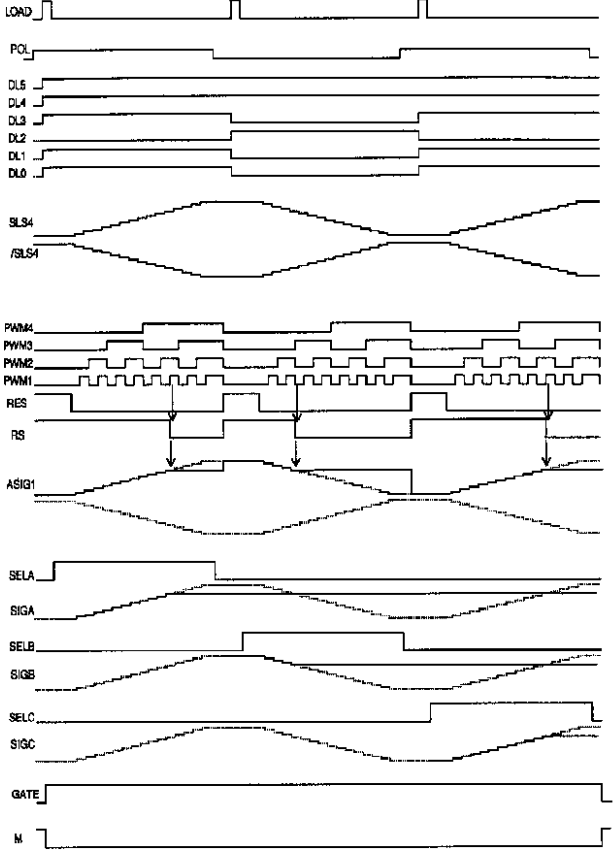
【図7】

図7



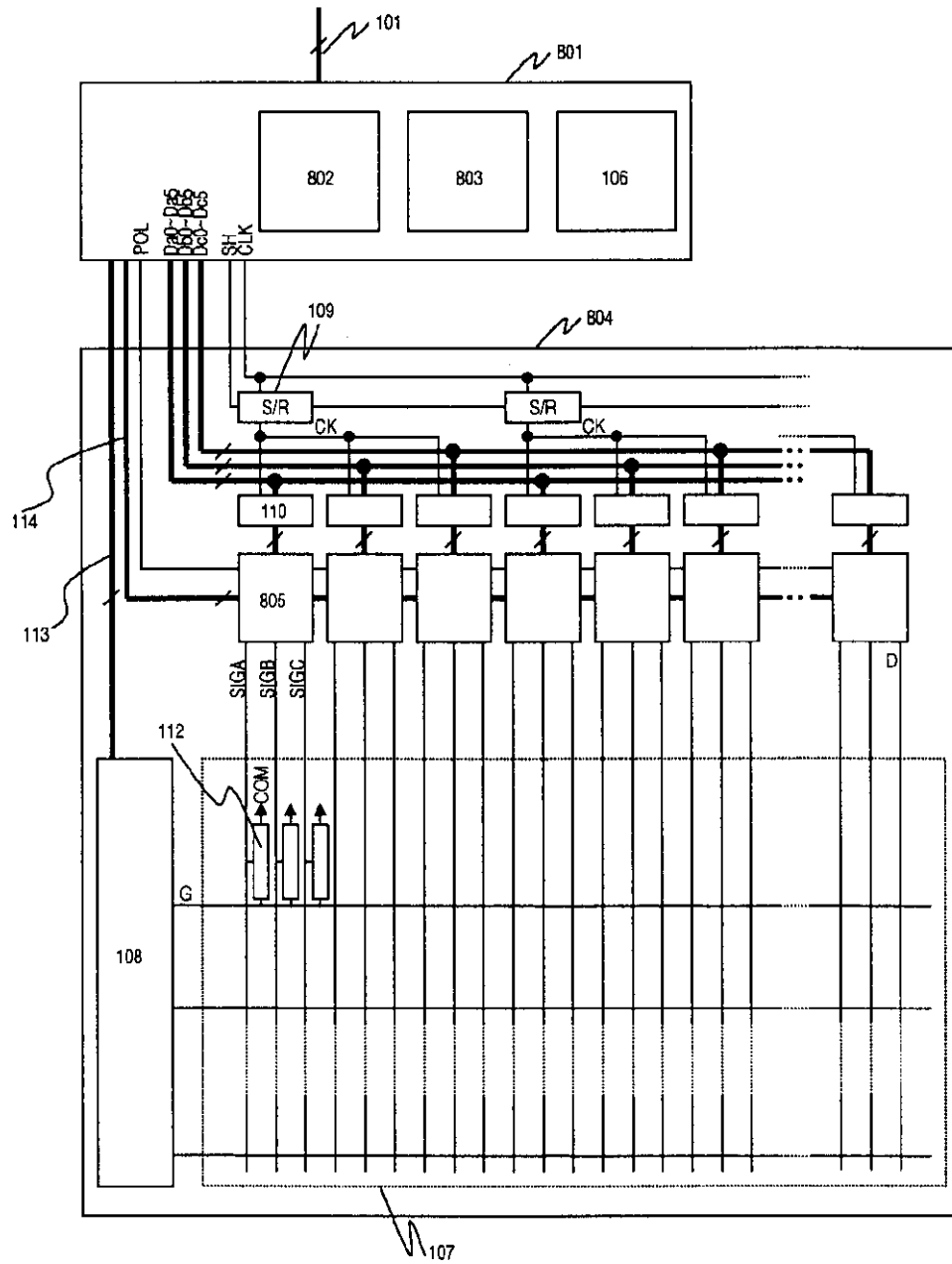
【図11】

図11



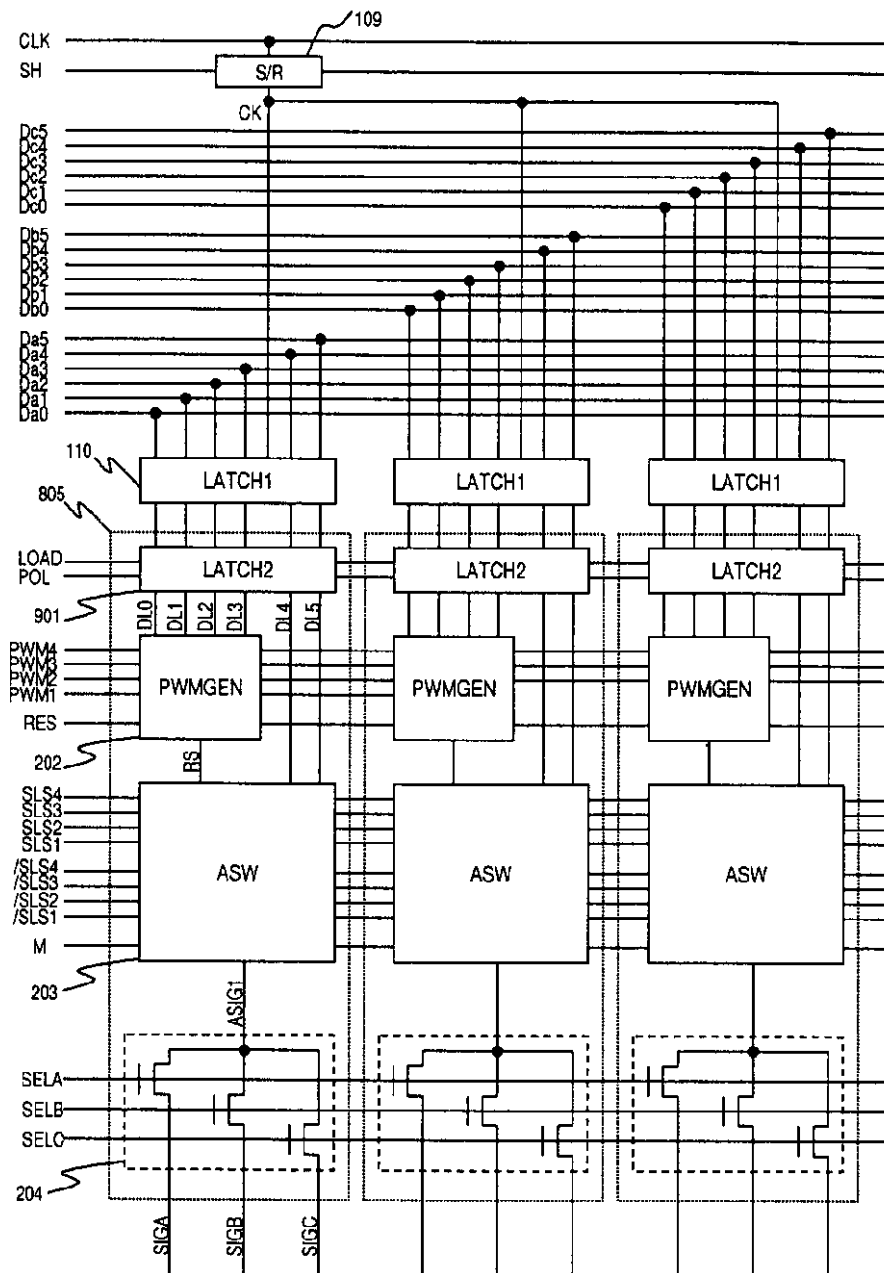
【図8】

図 8



【図9】

図9



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

識別記号

6 4 1

F I

G 0 9 G 3/20

テーマコード^{*}(参考)

6 2 3 Y

6 4 1 A

6 4 1 C

(72)発明者 宮沢 敏夫

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

Fターム(参考) 2H093 NA16 NA31 NA41 NA51 NC01
NC22 NC26 NC34 ND39 ND53
ND54
5C006 AA01 AA15 AA16 AF83 BB16
BC12 BC20 BF03 BF04 BF05
BF43 EB04 EB05 FA42 FA43
5C080 AA10 BB05 DD23 DD24 DD25
DD27 DD28 EE29 FF11 JJ02
JJ04

要解决的问题：通过使一个信号驱动电路可被多条漏极线共享，来减小在与液晶显示部件相同的基板上产生的内置电路的规模。施加到漏极线的灰度电压被划分为多个电压范围，并且在该电压范围内上升或下降的电压波形被用作外部输入模拟信号SLS，并且外部输入模拟信号的一个周期被划分为多个周期。并且，将每个分割周期中的外部输入模拟信号的电压用作施加到漏极线SIG的灰度电压。通过数字显示数据Da至Dc的位或位串选择一个外部输入模拟信号。信号驱动电路111将外部输入模拟信号施加到漏极线，并且当外部输入模拟信号的电压达到与数字显示数据相对应的电压时，使漏极线保持灰度电压。信号驱动电路对应于多条漏极线，将一个水平周期在时间上划分为多个周期，并且在每个划分的周期中写入与每个数字显示数据相对应的灰度电压。

