

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] （参考）	
H 0 3 K 17/16		H 0 3 K 17/16	L	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A	5 C 0 8 0
	623		623 A	5 J 0 5 5
3/36		3/36		5 J 0 5 6
H 0 3 K 17/687		H 0 3 K 19/00	101 F	
審査請求 未請求 請求項の数 7 O L（全 15数） 最終頁に続く				

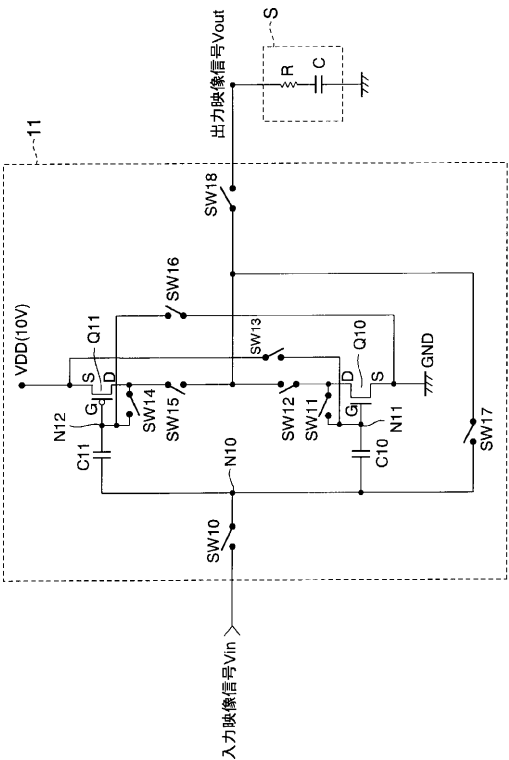
(21)出願番号	特願2001－138503(P2001－138503)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	平成13年5月9日(2001.5.9)	(72)発明者	青 木 良 朗 埼玉県深谷市幡羅町一丁目9番地2 株式会 社東芝深谷工場内
		(74)代理人	100075812 弁理士 吉武 賢次 （外5名）
		最終頁に続く	

(54)【発明の名称】 負荷駆動回路、及び、液晶表示装置

(57)【要約】

【課題】 消費電力の低減を図る。

【解決手段】 サンプリング期間において、n型MOSトランジスタQ10のゲートをそのしきい値電圧に設定し、p型MOSトランジスタQ11のゲートをそのしきい値電圧に設定する。また、キャパシタC10を、n型MOSトランジスタQ10のしきい値電圧と入力映像信号Vinの電圧との差分電圧に設定し、p型MOSトランジスタQ11のしきい値電圧と入力映像信号Vinの電圧との差分電圧に設定する。書き込み期間において、キャパシタC10、C11に設定した差分電圧を保持したまま、出力映像信号VoutをキャパシタC10、C11にフィードバックする。これにより、書き込み期間中は、トランジスタQ10、Q11のいずれか一方はオフになり、貫通電流が流れるのを回避できる。



【特許請求の範囲】

【請求項1】 所定の電圧の入力信号が入力され、この入力信号の電圧を負荷が接続されている信号線に供給する負荷駆動回路であって、

第1タイプの第1トランジスタと、第2タイプの第2トランジスタとが直列に接続され、前記第1トランジスタと前記第2トランジスタの間の電圧を前記信号線に供給する、反転増幅回路と、

前記第1トランジスタがオンからオフに切り替わる第1しきい値電圧に、前記第1トランジスタの制御端子を設定する、第1設定回路と、

前記第2トランジスタがオンからオフに切り替わる第2しきい値電圧に、前記第2トランジスタの制御端子を設定する、第2設定回路と、

前記入力信号の電圧と、前記第1しきい値電圧との差分電圧を保持する、第1差分電圧保持回路と、

前記入力信号の電圧と、前記第2しきい値電圧との差分電圧を保持する、第2差分電圧保持回路と、

前記第1差分電圧保持回路と前記第2差分電圧保持回路とにそれぞれの差分電圧を保持した状態で、前記反転増幅回路の出力を、前記信号線に供給するとともに前記第1差分電圧保持回路と前記第2差分電圧保持回路にフィードバックさせる、フィードバック回路と、
を備えることを特徴とする負荷駆動回路。

【請求項2】 前記第1差分電圧保持回路は、前記第1トランジスタの制御端子と、前記入力信号が入力される入力端子との間に接続された第1キャパシタを備え、
前記第2差分電圧保持回路は、前記第2トランジスタの制御端子と、前記入力信号が入力される入力端子との間に接続された第2キャパシタを備える、
ことを特徴とする請求項1に記載の負荷駆動回路。

【請求項3】 前記第1差分電圧保持回路は、前記第1トランジスタの制御端子と、前記入力信号が入力される入力端子との間に直列に接続された第3キャパシタと第4キャパシタとを備え、

前記第2差分電圧保持回路は、前記第2トランジスタの制御端子と、前記入力信号が入力される入力端子との間に直列に接続された第5キャパシタと第6キャパシタとを備える、

ことを特徴とする請求項1に記載の負荷駆動回路。

【請求項4】 前記第1差分電圧保持回路と前記第2差分電圧保持回路に差分電圧を設定する際には、前記第3キャパシタと前記第4キャパシタとの間と、前記第5キャパシタと第6キャパシタとの間とに、所定の電圧を供給する所定電圧供給回路を、さらに備えることを特徴とする請求項3に記載の負荷駆動回路。

【請求項5】 前記第1設定回路は、前記第1トランジスタの制御端子をこの第1トランジスタがオンになる電圧に設定した後に、この電圧を前記第1トランジスタがオフになる方向へ変化させ、前記第1トランジスタがオフ

*になった時点でその変化を止めることにより設定し、
前記第2設定回路は、前記第2トランジスタの制御端子をこの第2トランジスタがオンになる電圧に設定した後に、この電圧を前記第2トランジスタがオフになる方向へ変化させ、前記第2トランジスタがオフになった時点でその変化を止めることにより設定する、
ことを特徴とする請求項1乃至請求項4のいずれかに記載の負荷駆動回路。

【請求項6】 前記第1トランジスタはn型MOSトランジスタであり、前記第2トランジスタはp型MOSトランジスタである、ことを特徴とする請求項1乃至請求項5のいずれかに記載の負荷駆動回路。

【請求項7】 信号線及び走査線がそれぞれ縦方向と横方向に形成され、これら信号線及び走査線の交点付近に設けられた画素電極を有する、画素アレイ部と、
前記走査線の駆動を行う走査線駆動回路と、
前記信号線の駆動を行う信号線駆動回路とを、同一基板上に形成した液晶表示装置において、
前記信号線駆動回路は、請求項1乃至請求項6のいずれかに記載の負荷駆動回路を備える、ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、負荷駆動回路、及び、液晶表示装置に関し、特に、消費電力の低減を図った負荷駆動回路、及び、液晶表示装置に関する。

【0002】

【従来の技術】 近年、ガラス等の透明基板上にポリシリコンを材料としてTFT（Thin Film Transistor）を形成する製造技術が進歩してきたため、この技術を利用することにより、画素アレイ部と駆動回路とを同一基板上に形成することも可能になった。

【0003】 しかしながら、透明基板上に均一な特性のポリシリコンTFTを形成することは現状では困難であり、しきい値電圧や移動度などがばらついてしまう。したがって、仮に画素アレイ部と駆動回路を同一基板上に形成したとしても、TFTの特性のばらつきにより輝度むら等の表示品質の低下が起きるおそれがあり、また、消費電力も増えてしまう。

【0004】 このため、駆動回路に設けられた負荷駆動回路に、しきい値のばらつきをキャンセルする機能が付加されている。この負荷駆動回路は、入力映像信号を出力映像信号として出力するバッファ回路の役割を有している回路である。

【0005】 図14は、このような負荷駆動回路の一例を示す図である。この図14に示すように、キャンセル機能付の負荷駆動回路は、直列的に接続されたp型MOSトランジスタQ101と、n型MOSトランジスタQ102とを備えており、これらがCMOSインバータを構成する。また、CMOSインバータの入力側には、キ

ャパシタC101が設けられている。

【0006】図15は、図14に示す反転増幅回路の備える各スイッチSW101～SW104の動作を表にまとめて示す図である。この図15に示すように、まず、サンプリング期間においては、スイッチSW101とスイッチSW103とがオンとなり、スイッチSW102とスイッチSW104とがオフとなる。このため、p型MOSトランジスタQ101とn型MOSトランジスタQ102で構成されるCMOSインバータの出力は、スイッチSW103を介して、入力側にフィードバックさ
10 される。したがって、CMOSインバータの入力と出力は同じ電圧、つまり、このCMOSインバータのしきい値電圧に設定される。ここでは、例えば、このしきい値電圧が5.5Vであったとする。

【0007】キャパシタC101には、スイッチSW101を介して、入力映像信号Vinが入力されている。ここでは、例えば、この入力映像信号Vinが3Vであったとする。したがって、キャパシタC101には、入力映像信号Vinの3VとCMOSインバータのしきい値電圧の5.5Vとの差分電圧である、2.5Vが保持
20 される。

【0008】次の書き込み期間では、スイッチSW102とスイッチSW104とがオンとなり、スイッチSW101とスイッチSW103とがオフとなる。このため、CMOSインバータの出力がキャパシタC101の入力にフィードバックされる。キャパシタC101は上述した2.5Vを保持しているので、CMOSインバータの入力は、そのしきい値電圧である5.5Vに収束し、CMOSインバータの出力は3Vに収束する。そして、この3Vの電圧が、スイッチSW104を介して、
30 出力映像信号Voutとして出力される。

【0009】

【発明が解決しようとする課題】しかしながら、図14に示した負荷駆動回路においては、2個のトランジスタであるp型MOSトランジスタQ101とn型MOSトランジスタQ102とを同時に動作させた状態でしきい値のキャンセルをするので、VDDからグラウンドに向けて貫通電流が流れてしまうという問題がある。すなわち、p型MOSトランジスタQ101がオンとオフの中間の状態にあり、n型MOSトランジスタQ102も
40 オンとオフとの中間の状態にある。このため、いずれのトランジスタQ101、Q102もVDD側からグラウンド側に電流が流れてしまうのである。

【0010】このように貫通電流が流れると、この負荷駆動回路で消費される電力が増大してしまうという問題が生じる。

【0011】そこで本発明は、前記課題に鑑みてなされたものであり、消費される電力を可及的に少なくした負荷駆動回路を提供することを目的とする。すなわち、定常的に流れる貫通電流が発生しないようにした負荷駆動
50

回路を提供することを目的とする。そして、そのような負荷駆動回路を利用して、消費される電力の低減を図った液晶表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記課題を解決するため、本発明に係る負荷駆動回路は、所定の電圧の入力信号が入力され、この入力信号の電圧を負荷が接続されている信号線に供給する負荷駆動回路であって、第1タイプの第1トランジスタと、第2タイプの第2トランジスタとが直列に接続され、前記第1トランジスタと前記第2トランジスタの間の電圧を前記信号線に供給する、反転増幅回路と、前記第1トランジスタがオンからオフに切り替わる第1しきい値電圧に、前記第1トランジスタの制御端子を設定する、第1設定回路と、前記第2トランジスタがオンからオフに切り替わる第2しきい値電圧に、前記第2トランジスタの制御端子を設定する、第2設定回路と、前記入力信号の電圧と、前記第1しきい値電圧との差分電圧を保持する、第1差分電圧保持回路と、前記入力信号の電圧と、前記第2しきい値電圧との差分電圧を保持する、第2差分電圧保持回路と、前記第1差分電圧保持回路と前記第2差分電圧保持回路とにそれぞれの差分電圧を保持した状態で、前記反転増幅回路の出力を、前記信号線に供給するとともに前記第1差分電圧保持回路と前記第2差分電圧保持回路にフィードバックさせる、フィードバック回路と、を備えることを特徴とする。

【0013】また、本発明に係る液晶表示装置は、信号線及び走査線がそれぞれ縦方向と横方向に形成され、これら信号線及び走査線の交点付近に設けられた画素電極を有する、画素アレイ部と、前記走査線の駆動を行う走査線駆動回路と、前記信号線の駆動を行う信号線駆動回路とを、同一基板上に形成した液晶表示装置において、前記信号線駆動回路は、上記の負荷駆動回路を備える、ことを特徴とする。

【0014】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態に係る負荷駆動回路は、信号線の電圧を制御する反転増幅回路であるCMOSインバータを構成する各トランジスタのしきい値電圧のばらつきのキャンセルを、各トランジスタ毎に行うとともに、このしきい値ばらつきのキャンセルの設定を各トランジスタのオフ状態で行うことにより、VDDからグラウンドに貫通電流が定常的に流れないようにしたものである。より詳しくを以下に説明する。

【0015】図1は本発明の第1実施形態に係る負荷駆動回路の主要部の構成を示す回路図であり、図2は図1に示す負荷駆動回路を信号線駆動回路に適用した場合の構成を示す概略ブロック図であり、図3は図2に示す負荷駆動回路を信号線駆動回路として用いた液晶表示装置の概略ブロック図である。

【0016】図3に示す液晶表示装置は、画素アレイ部2と、信号線駆動回路3と、走査線駆動回路4とを、備えている。画素アレイ部2には、信号線S1～Snおよび走査線G1～Gnが縦方向及び横方向にそれぞれ形成されており、これらの各交点付近には、画素電極5と、この画素電極5を制御するためのTFT1が設けられている。また、信号線駆動回路3は、各信号線S1～Snを駆動するための回路であり、走査線駆動回路4は、各走査線G1～Gnを駆動するための回路である。

【0017】図3の液晶表示装置を構成する各部は、同一の透明基板上に形成され、信号線駆動回路3や走査線駆動回路4を構成するトランジスタは、画素表示用のTFT1と同じ製造プロセスで形成される。

【0018】信号線駆動回路3は、図2に示す負荷駆動回路11を用いて構成される。すなわち、図2に示すように、信号線駆動回路3は、信号線Sのそれぞれに対応して設けられた負荷駆動回路11と、これら負荷駆動回路11内の各種スイッチを切換制御するスイッチ切換制御回路12とを有する。

【0019】図1は負荷駆動回路11の回路図である。負荷駆動回路11のそれぞれは、図1に示すように、スイッチSW10～SW18と、キャパシタC10、C11と、n型MOSトランジスタQ10と、p型MOSトランジスタQ11とを、備えて構成されている。負荷駆動回路11により駆動される信号線Sには、図3に示すように、画素表示用のTFT、画素電極の容量および補助容量等が接続されているが、図1では簡略化のため、信号線Sの負荷を等価的に抵抗RとキャパシタCとで表している。

【0020】具体的には、スイッチSW10の一端は、入力映像信号Vinの入力端子に接続されており、スイッチSW10の他端は、キャパシタC10の一端と、キャパシタC11の一端に接続されている。

【0021】キャパシタC10の他端は、n型MOSトランジスタQ10のゲート（制御端子）と、スイッチSW11の一端と、スイッチSW13の一端と、スイッチSW17の一端とに、接続されている。n型MOSトランジスタQ10のソースは、グランドと、スイッチSW16の一端に接続されている。n型MOSトランジスタQ10のドレインは、スイッチSW11の他端と、スイッチSW12の一端とに、接続されている。

【0022】キャパシタC11の他端は、p型MOSトランジスタQ11のゲート（制御端子）と、スイッチSW14の一端と、スイッチSW16の他端とに、接続されている。p型MOSトランジスタQ11のソースは、電圧VDD（例えば、10V）を供給する電圧供給端子と、スイッチSW13の他端とに、接続されている。p型MOSトランジスタQ11のドレインは、スイッチSW14の他端と、スイッチSW15の一端とに、接続されている。

【0023】スイッチSW15の他端は、スイッチSW12の他端と、スイッチSW17の他端と、スイッチSW18の一端とに、接続されている。スイッチSW18の他端は、信号線Sに接続されており、出力映像信号Voutを出力する。

【0024】次に、本実施形態に係る負荷駆動回路11の動作について説明する。図4は、この負荷駆動回路に設けられた各スイッチSW10～SW18の動作を、表にまとめて示す図である。この図4から分かるように、本実施形態に係る負荷駆動回路11は、1つのサイクルが、リセット期間と、サンプリング期間と、書き込み期間の、3つの期間に分かれている。

【0025】図5は、リセット期間における負荷駆動回路11の状態を示す図である。この図5及び図4から分かるように、リセット期間においては、スイッチSW10とスイッチSW13とスイッチSW16とがオンになり、それ以外のスイッチはオフとなる。リセット期間は、この前のサイクルでキャパシタC10、C11に保持された差分電圧をリセットして、次のサイクルに備えるための期間である。

【0026】このリセット期間においては、入力映像信号VinがキャパシタC10の一端とキャパシタC11の一端とに入力される。ここでは、例えば、入力映像信号Vinとして、3Vが入力されたと仮定する。このため、ノードN10は3Vになる。

【0027】一方、スイッチSW13がオンであるので、n型MOSトランジスタQ10のゲート側にあるノードN11は、電圧VDDが供給されて10Vになる。また、スイッチSW16がオンであるので、p型MOSトランジスタQ11のゲート側にあるノードN12は、グランドに接続されて0Vになる。

【0028】図6は、図5に示したリセット期間に続くサンプリング期間における負荷駆動回路11の状態を示す図である。この図6及び図4から分かるように、サンプリング期間においては、スイッチSW10とスイッチSW11とスイッチSW14とがオンになり、それ以外のスイッチはオフとなる。このサンプリング期間は、キャパシタC10に、入力映像信号Vinと、n型MOSトランジスタQ10がオフ状態になるしきい値電圧との差分電圧を設定し、キャパシタC11に、入力映像信号Vinと、p型MOSトランジスタQ11がオフ状態になるしきい値電圧との差分電圧を設定するための期間である。

【0029】すなわち、このサンプリング期間においては、スイッチSW11がオンであるので、10VであったノードN11が、グランドに引きずられて低下する。ノードN11の電圧が低下するということは、n型MOSトランジスタQ10のゲート電圧、つまり、ゲート・ソース間電圧Vgsが低下することを意味する。したがって、ある所定の電圧になると、n型MOSトランジスタ

タQ10がオフとなり、ドレインからソースに電流が流れなくなる。電流が流れなくなった時点で、ノードN11の電圧の低下はストップする。ここでは、例えば、この時点のノードN11の電圧を1.5Vと仮定する。つまり、n型MOSトランジスタQ10がオフになるしきい値電圧が、1.5Vであると仮定する。この時、ノードN10が3Vであるので、キャパシタC10に-1.5Vが設定され、保持される。

【0030】一方、スイッチSW14がオンであるので、0VであったノードN12が、電圧VDDに引きずられて上昇する。ノードN12の電圧が上昇するということは、p型MOSトランジスタQ11のゲート電圧、つまり、ゲート・ソース間電圧Vgsが上昇することを意味する。したがって、ある所定の電圧になると、p型MOSトランジスタQ11がオフとなり、ソースからドレインに電流が流れなくなる。電流が流れなくなった時点で、ノードN12の電圧の上昇はストップする。ここでは、例えば、この時点のノードN12の電圧を8Vと仮定する。つまり、p型MOSトランジスタQ11がオフになるしきい値電圧が、-2Vであると仮定する。この時、ノードN10が3Vであるので、キャパシタC11に5Vが設定され、保持される。

【0031】図7は、図6に示すサンプリング期間に続く書き込み期間における負荷駆動回路11の状態を示す図である。この図7及び図4から分かるように、書き込み期間においては、スイッチSW12とスイッチSW15とスイッチSW17とスイッチSW18とがオンになり、それ以外のスイッチはオフとなる。この書き込み期間は、入力映像信号Vinの電圧を、出力映像信号Voutとして、信号線Sに供給するための期間である。

【0032】すなわち、この書き込み期間においては、スイッチSW17がオンであるので、この前のサイクルの信号線Sの電圧が、ノードN10に供給される。ここで、前のサイクルの信号線Sの電圧が9Vであったと仮定すると、ノードN10の電圧が3Vから9Vに上昇する。キャパシタC10には-1.5Vが保持されているので、ノードN11の電圧は7.5Vに上昇する。これにより、n型MOSトランジスタQ10のゲート電圧がしきい値電圧より高くなるので、n型MOSトランジスタQ10がオンになる。n型MOSトランジスタQ10がオンになると、スイッチSW12とスイッチ18がオンであるので、9Vであった信号線Sの電圧は、グラウンドに引きずられて低下する。信号線Sの電圧が低下すると、これに伴って、ノードN10の電圧も低下し、ノードN11の電圧も低下する。そして、ノードN11の電圧が、n型MOSトランジスタQ10がオフになるしきい値電圧になった時、つまり、1.5Vとなった時に、再びn型MOSトランジスタQ10がオフになる。このため、信号線Sの電圧の低下もストップする。この時の信号線Sの電圧は、キャパシタC10に-1.5Vが保

持されているので、 $1.5V + 1.5V = 3V$ となる。つまり、信号線Sの電圧は、入力映像信号Vinの電圧と実質的に等しくなる。

【0033】これに対して、p型MOSトランジスタQ11のゲート側にあるノードN12は、8Vから14Vまで上昇するが、p型MOSトランジスタQ11のしきい値電圧よりは低くならないので、このp型MOSトランジスタQ11はオフのままである。

【0034】なお、ここで説明した例では、信号線Sの電圧を9Vから3Vに低下させる場合であったため、n型MOSトランジスタQ10が一時的にオンとなったが、逆の場合は、p型MOSトランジスタQ11が一時的にオンとなる。すなわち、信号線Sの電圧を入力映像信号Vinに基づいて上昇させる場合には、p型MOSトランジスタQ11が一時的にオンとなり、電圧VDDが信号線Sに供給されることとなる。そして、信号線Sの電圧が入力映像信号Vinの電圧と実質的に等しくなった時点で、p型MOSトランジスタQ11はオフとなる。この際、n型MOSトランジスタQ10はオフのままである。

【0035】つまり、信号線Sの電圧を低下させる場合でも、信号線Sの電圧を上昇させる場合でも、n型MOSトランジスタQ10とp型MOSトランジスタQ11の一方は、オフの状態を維持したままになる。

【0036】また、信号線Sの電圧が、入力映像信号Vinの電圧をオーバーシュートした場合、例えば、図7の例で信号線Sの電圧が3V以下になった場合には、n型MOSトランジスタQ10がオフとなり、p型MOSトランジスタQ11がオンとなって、信号線Sの電圧を再び上昇させる。但し、本実施形態に係る負荷駆動回路11においては、このようなオーバーシュートはほとんど起こらないと考えられる。なぜなら、n型MOSトランジスタQ10又はp型MOSトランジスタQ11がしきい値電圧になった時点でオフになるだけであり、大きなタイムラグが生ずることはないからである。

【0037】以上のように、本実施形態に係る負荷駆動回路11によれば、サンプリング期間において、n型MOSトランジスタQ10とp型MOSトランジスタQ11とのしきい値電圧のばらつきを、個別にキャンセルする機能を付加したので、n型MOSトランジスタQ10とp型MOSトランジスタQ11とで構成されるCMOSトランジスタに貫通電流が流れないようにしつつ、しきい値電圧のばらつきを吸収することができるようになる。

【0038】より詳しくは、サンプリング期間で、n型MOSトランジスタQ10がオフになるしきい値電圧と、入力映像信号Vinの電圧との差分電圧を、キャパシタC10に設定し、p型MOSトランジスタQ11がオフになるしきい値電圧と、入力映像信号Vinの電圧との差分電圧を、キャパシタC11に設定することとし

た。そして、書き込み期間中に、これらキャパシタC10、C11に設定した差分電圧をそれぞれ保持したまま、n型MOSトランジスタQ10とp型MOSトランジスタQ11とで構成されるCMOSインバータの出力側の電圧を、入力側にフィードバックさせることとしたので、n型MOSトランジスタQ10とp型MOSトランジスタQ11の双方がオンになってしまう状態が生じないようにすることができる。換言すれば、書き込み期間中の定常状態において、n型MOSトランジスタQ10とp型MOSトランジスタQ11のいずれか一方が、

【0039】このため、n型MOSトランジスタQ10とp型MOSトランジスタQ11とで構成されるCMOSインバータに、電圧VDDからグラウンドに向けて、貫通電流がながれないようにすることができる。これにより、負荷駆動回路11で消費される電力を削減することが可能になる。

【0040】〔第2実施形態〕本発明の第2実施形態は、n型MOSトランジスタQ10とp型MOSトランジスタQ11のゲート側に、それぞれ、キャパシタC20、C21とスイッチSW20を追加することにより、入力映像信号Vinが入力されてなければならない期間を、n型MOSトランジスタQ10とp型MOSトランジスタQ11のしきい値のばらつきをキャンセルする期間と、分離できるようにしたものである。より詳しくを、以下に説明する。

【0041】図8は、本発明に係る負荷駆動回路11の構成を示す図である。この図8から分かるように、本実施形態に係る負荷駆動回路11は、n型MOSトランジスタQ10のゲートと、キャパシタC10との間に、キャパシタC20が追加されている。また、p型MOSトランジスタQ11のゲートと、キャパシタC11との間に、キャパシタC21が追加されている。キャパシタC20の一端と、キャパシタC21の一端とは、スイッチSW20の一端に共通接続されている。スイッチSW20の他端は、グラウンドに接続されている。

【0042】次に、本実施形態に係る負荷駆動回路11の動作について説明する。図9は、この負荷駆動回路11に設けられた各スイッチSW10～SW18の動作を、表にまとめて示す図である。この図4から分かるように、本実施形態に係る負荷駆動回路11は、1つのサイクルが、リセット期間と、キャンセル期間と、サンプリング期間と、書き込み期間の、4つの期間に分かれている。

【0043】図10は、リセット期間における負荷駆動回路11の状態を示す図である。この図10及び図9から分かるように、リセット期間においては、スイッチSW13とスイッチSW16とスイッチSW20がオンになり、それ以外のスイッチはオフとなる。リセット期間は、この前のサイクルでキャパシタC10、C11に保

持された差分電圧とキャパシタC20、C21に保持された差分電圧をリセットして、次のサイクルに備えるための期間である。

【0044】このリセット期間においては、スイッチSW20がオンであるので、グラウンドの0Vが、キャパシタC10とキャパシタC20の間のノードN21に供給され、キャパシタC11とキャパシタC21の間のノードN22に供給される。一方、スイッチSW13がオンであるので、n型MOSトランジスタQ10のゲート側にあるノードN11は、電圧VDDが供給されて10Vになる。このため、キャパシタC20には、差分電圧として、10Vが保持される。また、スイッチSW16がオンであるので、p型MOSトランジスタQ11のゲート側にあるノードN12は、グラウンドに接続されて0Vになる。このため、キャパシタC21には、差分電圧として0Vが保持される。

【0045】図11は、図10に示したリセット期間に続くキャンセル期間における負荷駆動回路11の状態を示す図である。この図11及び図9から分かるように、キャンセル期間においては、スイッチSW11とスイッチSW14とスイッチSW20とがオンになり、それ以外のスイッチはオフとなる。このキャンセル期間は、キャパシタC20に、グラウンドの電圧0Vと、n型MOSトランジスタQ10がオフ状態になるしきい値電圧との差分電圧を設定し、キャパシタC21に、グラウンドの電圧0Vと、p型MOSトランジスタQ11がオフ状態になるしきい値電圧との差分電圧を設定するための期間である。

【0046】すなわち、このサンプリング期間においては、スイッチSW11がオンであるので、10VであったノードN11が、グラウンドに引きずられて低下する。ノードN11の電圧が低下するということは、n型MOSトランジスタQ10のゲート電圧、つまり、ゲート・ソース間電圧Vgsが低下することを意味する。したがって、ある所定の電圧になると、n型MOSトランジスタQ10がオフとなり、ドレインからソースに電流が流れなくなる。電流が流れなくなった時点で、ノードN11の電圧の低下はストップする。ここでは、例えば、この時点のノードN11の電圧を1.5Vと仮定する。つまり、n型MOSトランジスタQ10がオフになるしきい値電圧が、1.5Vであると仮定する。この時、スイッチSW20がオンであるので、ノードN21が0Vであり、このため、キャパシタC20に1.5Vが設定され、保持される。

【0047】一方、スイッチSW14がオンであるので、0VであったノードN12が、電圧VDDに引きずられて上昇する。ノードN12の電圧が上昇するということは、p型MOSトランジスタQ11のゲート電圧、つまり、ゲート・ソース間電圧Vgsが上昇することを意味する。したがって、ある所定の電圧になると、p型

MOSトランジスタQ11がオフとなり、ソースからドレインに電流が流れなくなる。電流が流れなくなった時点で、ノードN12の電圧の上昇はストップする。ここでは、例えば、この時点のノードN12の電圧を8Vと仮定する。つまり、p型MOSトランジスタQ11がオフになるしきい値電圧が、-2Vであると仮定する。この時、スイッチSW20がオンであるので、ノードN10が0Vであり、キャパシタC21に8Vが設定され、保持される。

【0048】図12は、図11に示したキャンセル期間10に続くサンプリング期間における負荷駆動回路11の状態を示す図である。この図12及び図9から分かるように、サンプリング期間においては、スイッチSW10とスイッチSW20とがオンとなり、それ以外のスイッチはオフとなる。このサンプリング期間は、キャパシタC10、C11に、入力映像信号Vinの電圧と、グラウンドの電圧0Vとの差分電圧を、それぞれ設定するための期間である。

【0049】すなわち、このサンプリング期間では、スイッチSW10がオンであるので、入力映像信号Vin20がキャパシタC10、C11に供給される。ここでは、入力映像信号Vinの電圧が3Vであると仮定する。すると、スイッチSW20がオンであり、ノードN21が0Vであるので、キャパシタC10には-3Vが設定され、保持される。また、スイッチSW20がオンであり、ノードN22が0Vであるので、キャパシタC11に-3Vが設定され、保持される。この際、キャパシタC20に設定された1.5Vの差分電圧は、そのまま保持され、キャパシタC21に設定された8Vの差分電圧も、そのまま保持される。

【0050】図13は、図12に示したサンプリング期間に続く書き込み期間における負荷駆動回路11の状態を示す図である。この図13及び図9からわかるように、書き込み期間においては、スイッチSW12とスイッチSW15とスイッチSW17とスイッチSW18とがオンになり、それ以外のスイッチはオフとなる。この書き込み期間は、サンプリング期間でサンプリングした入力映像信号Vinの電圧を、出力映像信号Voutとして、信号線Sに供給するための期間である。

【0051】すなわち、この書き込み期間においては、40スイッチSW17がオンであるので、この前のサイクルの信号線Sの電圧が、ノードN10に供給される。ここで、前のサイクルの信号線Sの電圧が9Vであったと仮定すると、ノードN10の電圧が3Vから9Vに上昇する。キャパシタC10には、-3Vが保持されているので、ノードN21の電圧は6Vに上昇する。さらに、キャパシタC20には1.5Vが保持されているので、ノードN11の電圧は7.5Vに上昇する。これにより、n型MOSトランジスタQ10のゲート電圧がしきい値電圧より高くなるので、n型MOSトランジスタQ1050

がオンになる。n型MOSトランジスタQ10がオンになると、スイッチSW12とスイッチ18がオンであるので、9Vであった信号線Sの電圧は、グラウンドに引きずられて低下する。信号線Sの電圧が低下すると、これに伴って、ノードN10及びノードN21の電圧も低下し、ノードN11の電圧も低下する。そして、ノードN11の電圧が、n型MOSトランジスタQ10がオフになるしきい値電圧になった時、つまり、1.5Vとなった時に、再びn型MOSトランジスタQ10がオフになる。このため、信号線Sの電圧の低下もストップする。この時の信号線Sの電圧は、キャパシタC10に-3Vが保持され、キャパシタC20に1.5Vが保持されているので、 $1.5V - 1.5V + 3V = 3V$ となる。つまり、信号線Sの電圧は、入力映像信号Vinの電圧と実質的に等しい電圧になる。

【0052】これに対して、p型MOSトランジスタQ11のゲート側にあるノードN22は0Vから6Vまで上昇し、ノードN12は、8Vから14Vまで上昇するが、p型MOSトランジスタQ11のしきい値電圧よりは低くならないので、このp型MOSトランジスタQ11はオフのままである。

【0053】なお、ここで説明した例では、信号線Sの電圧を9Vから3Vに低下させる場合であったため、n型MOSトランジスタQ10が一時的にオンとなったが、逆の場合は、p型MOSトランジスタQ11が一時的にオンとなる。すなわち、信号線Sの電圧を入力映像信号Vinに基づいて上昇させる場合には、p型MOSトランジスタQ11が一時的にオンとなり、電圧VDDが信号線Sに供給されることとなる。そして、信号線Sの電圧が入力映像信号Vinの電圧と実質的に等しくなった時点で、p型MOSトランジスタQ11がオフとなる。この際、n型MOSトランジスタQ10はオフのままである。

【0054】つまり、信号線Sの電圧を低下させる場合でも、信号線Sの電圧を上昇させる場合でも、n型MOSトランジスタQ10とp型MOSトランジスタQ11の一方は、オフの状態を維持したままになる。

【0055】また、信号線Sの電圧が、入力映像信号Vinの電圧をオーバーシュートした場合は、上述した第1実施形態に係る負荷駆動回路11と同様の動作となる。

【0056】以上のように、本実施形態に係る負荷駆動回路11によれば、サンプリング期間において、n型MOSトランジスタQ10とp型MOSトランジスタQ11とのしきい値電圧のばらつきを、個別にキャンセルする機能を付加したので、n型MOSトランジスタQ10とp型MOSトランジスタQ11とで構成されるCMOSトランジスタに貫通電流が流れないようにしつつ、しきい値電圧のばらつきを吸収することができるようになる。

【0057】より詳しくは、キャンセル期間で、n型MOSトランジスタQ10がオフになるしきい値電圧と、グラウンドの電圧0Vとの差分電圧を、キャパシタC20に設定し、p型MOSトランジスタQ11がオフになるしきい値電圧と、グラウンドの電圧0Vとの差分電圧を、キャパシタC11に設定することとした。さらに、これに続くサンプリング期間で、入力映像信号Vinの電圧と、グラウンドの電圧0Vとの差分電圧を、キャパシタC10とキャパシタC11とに設定することとした。そして、書き込み期間に、これらキャパシタC10、C11、C20、C21に設定した差分電圧を保持させたまま、n型MOSトランジスタQ10とp型MOSトランジスタQ11とで構成されるCMOSインバータの出力側の電圧を、入力側にフィードバックさせることとしたので、n型MOSトランジスタQ10とp型MOSトランジスタQ11の双方がオンになってしまう状態が生じないようにすることができる。換言すれば、書き込み期間中の定常状態において、n型MOSトランジスタQ10とp型MOSトランジスタQ11のいずれか一方が、オフ状態であるようにすることができる。

【0058】このため、n型MOSトランジスタQ10とp型MOSトランジスタQ11とで構成されるCMOSインバータに、電圧VDDからグラウンドに向けて、貫通電流がながれないようにすることができる。これにより、負荷駆動回路11で消費される電力を削減することが可能になる。

【0059】さらに、本実施形態に係る負荷駆動回路11においては、n型MOSトランジスタQ10とp型MOSトランジスタQ11のしきい値電圧のばらつきをキャンセルするキャンセル期間と、入力映像信号Vinをサンプリングするサンプリング期間とを、個別に設定することができるので、入力映像信号Vinを負荷駆動回路11に供給するタイミングに関する設計の自由度を、大幅に増大させることができる。

【0060】なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、上述した第2実施形態においては、キャパシタC20、C21へのしきい値電圧のばらつきをキャンセルするための差分電圧の設定と、キャパシタC10、C11への入力電圧を保持させる差分電圧の設定を、異なる期間で行うこととしたが、同一の期間で行うことも可能である。

【0061】また、第2実施形態において、スイッチSW20の他端はグラウンドに接続されているが、キャンセル期間中及びサンプリング期間中に一定の電圧が供給されるのであれば、グラウンドの電圧に限るものではない。換言すれば、スイッチSW20の動作範囲にある電圧であれば、供給する電圧に特に制限はない。

【0062】さらに、上述した各実施形態においては、本発明に係る負荷駆動回路11を信号線駆動回路3に適用した場合を例に説明したが、この負荷駆動回路11は

信号線駆動回路3以外の他の回路に適用することも可能である。

【0063】

【発明の効果】以上説明したように、本発明に係る負荷駆動回路によれば、トランジスタのしきい値電圧のばらつきを吸収しつつ、消費電力の低減を図ることができる。また、このような負荷駆動回路を液晶表示装置に用いることにより、液晶表示装置の消費電力の低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る負荷駆動回路の構成を示す回路図。

【図2】本発明の一実施形態が適用された信号線駆動回路の構成を示すブロック図。

【図3】本発明の一実施形態が適用された液晶表示装置の構成を示すブロック図。

【図4】本発明の第1実施形態に係る負荷駆動回路の各スイッチの動作を表にまとめて示す図。

【図5】本発明の第1実施形態に係る負荷駆動回路のリセット期間におけるスイッチの状態を示す回路図。

【図6】本発明の第1実施形態に係る負荷駆動回路のサンプリング期間におけるスイッチの状態を示す回路図。

【図7】本発明の第1実施形態に係る負荷駆動回路の書き込み期間におけるスイッチの状態を示す回路図。

【図8】本発明の第2実施形態に係る負荷駆動回路の構成を示す回路図。

【図9】本発明の第2実施形態に係る負荷駆動回路の各スイッチの動作を表にまとめて示す図。

【図10】本発明の第2実施形態に係る負荷駆動回路のリセット期間におけるスイッチの状態を示す回路図。

【図11】本発明の第2実施形態に係る負荷駆動回路のキャンセル期間におけるスイッチの状態を示す回路図。

【図12】本発明の第2実施形態に係る負荷駆動回路のサンプリング期間におけるスイッチの状態を示す回路図。

【図13】本発明の第2実施形態に係る負荷駆動回路の書き込み期間におけるスイッチの状態を示す回路図。

【図14】従来の負荷駆動回路の構成を示す回路図。

【図15】図14に示した従来の負荷駆動回路における各スイッチの動作を表にまとめて示す図。

【符号の説明】

1 TFT

2 画素アレイ部

3 信号線駆動回路

4 走査線駆動回路

5 画素電極

11 負荷駆動回路

12 スイッチ切換制御回路

Vin 入力映像信号

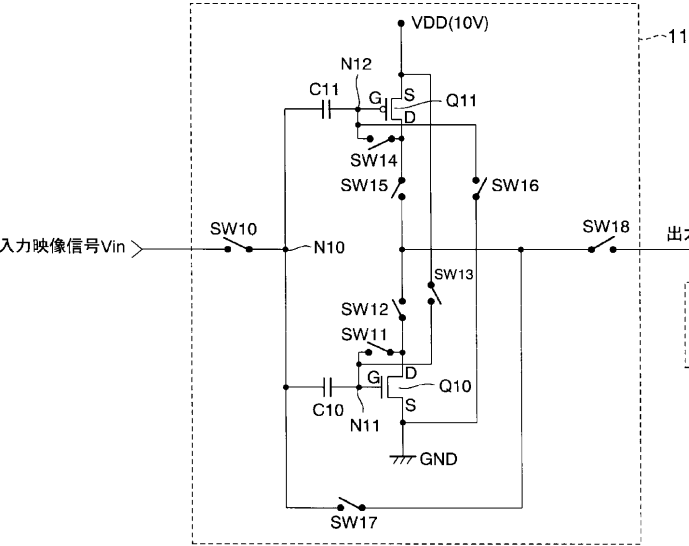
Vout 出力映像信号

G1~Gn 走査線

* *S1~Sn 信号線

【図1】

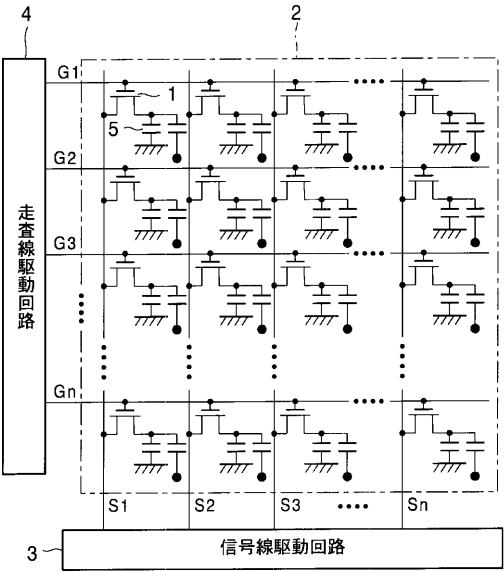
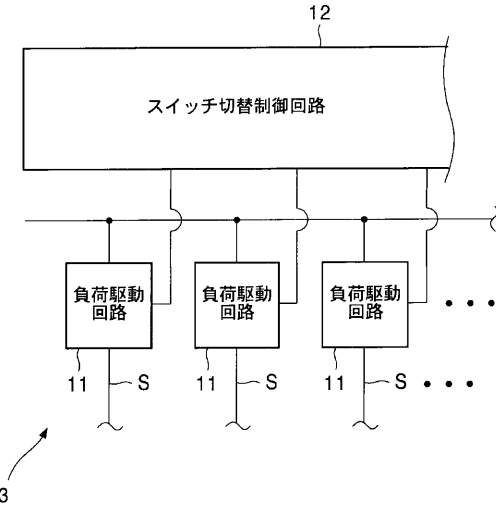
【図15】



	サンプリング期間	書き込み期間
SW101	ON	OFF
SW102	OFF	ON
SW103	ON	OFF
SW104	OFF	ON

【図2】

【図3】



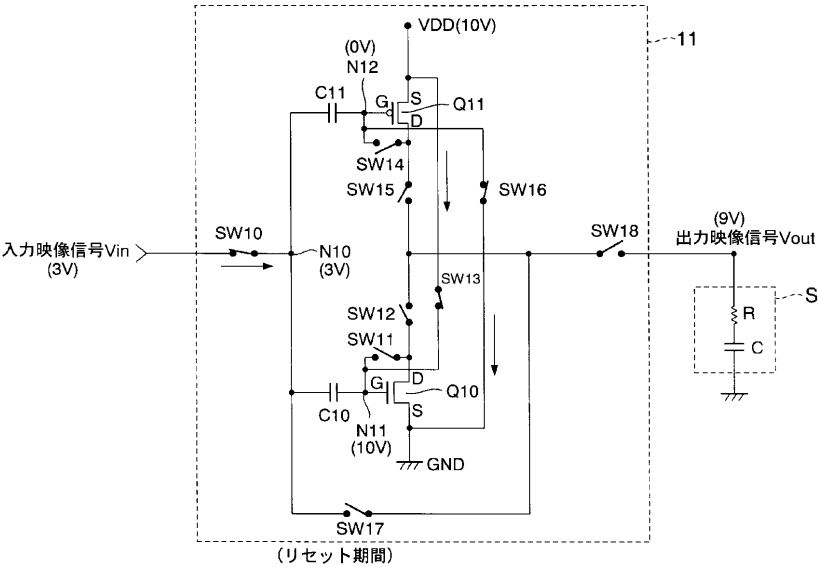
【図4】

	リセット期間	サンプリング期間	書き込み期間
SW10	ON	ON	OFF
SW11	OFF	ON	OFF
SW12	OFF	OFF	ON
SW13	ON	OFF	OFF
SW14	OFF	ON	OFF
SW15	OFF	OFF	ON
SW16	ON	OFF	OFF
SW17	OFF	OFF	ON
SW18	OFF	OFF	ON

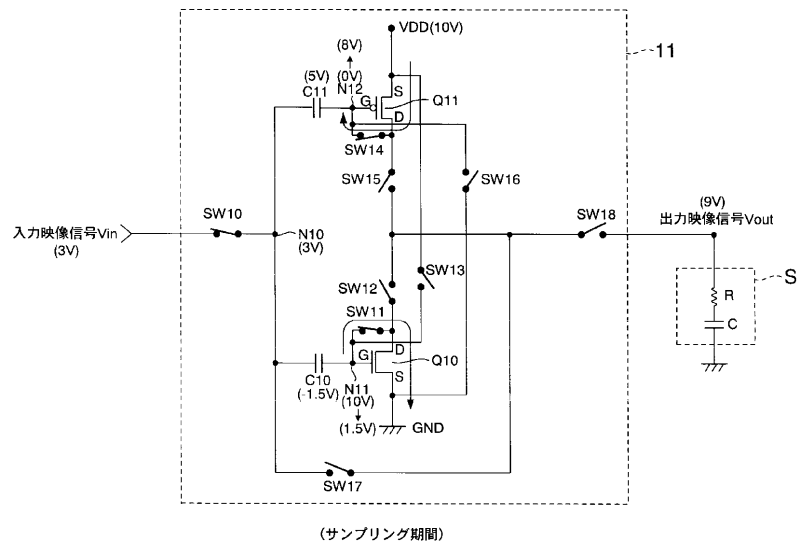
【図9】

	リセット期間	キャンセル期間	サンプリング期間	書き込み期間
SW10	OFF	OFF	ON	OFF
SW11	OFF	ON	OFF	OFF
SW12	OFF	OFF	OFF	ON
SW13	ON	OFF	OFF	OFF
SW14	OFF	ON	OFF	OFF
SW15	OFF	OFF	OFF	ON
SW16	ON	OFF	OFF	OFF
SW17	OFF	OFF	OFF	ON
SW18	OFF	OFF	OFF	ON
SW20	ON	ON	ON	OFF

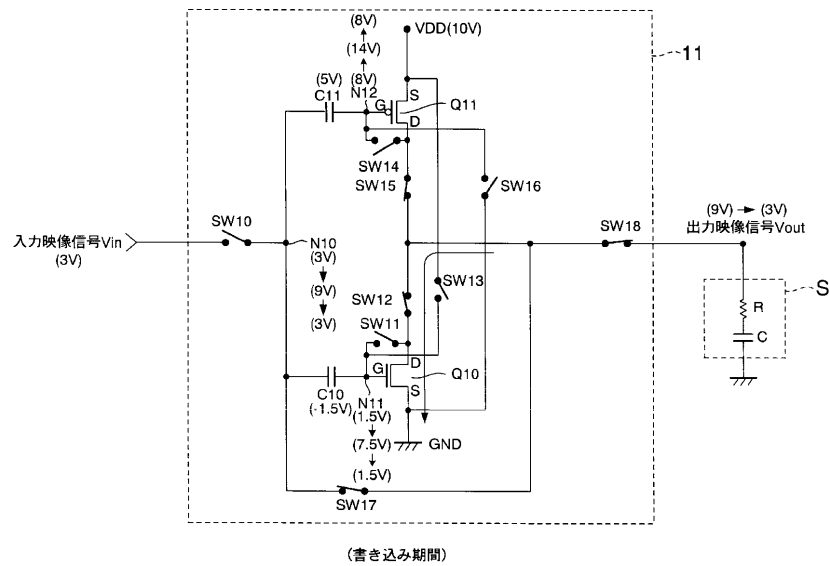
【図5】



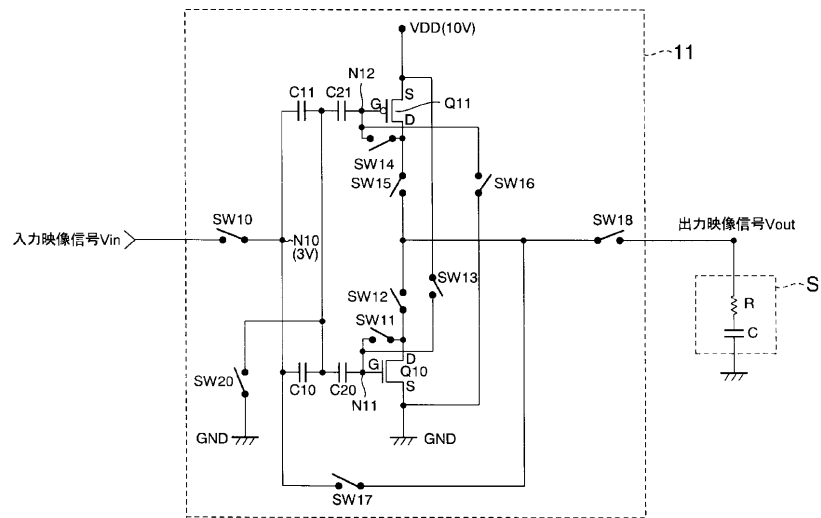
【図6】



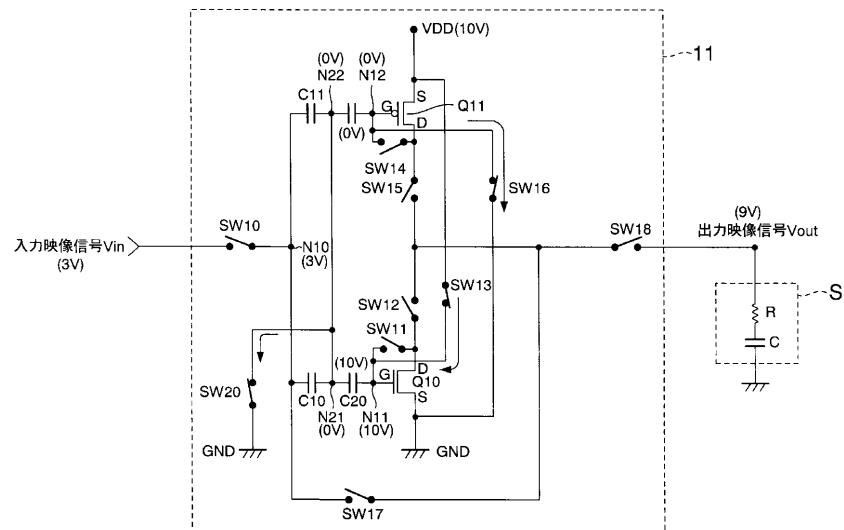
【図7】



【図8】

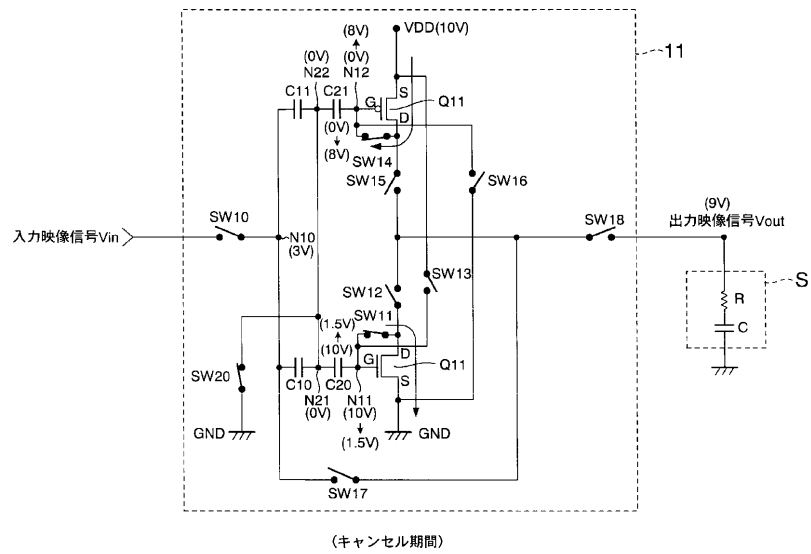


【図10】

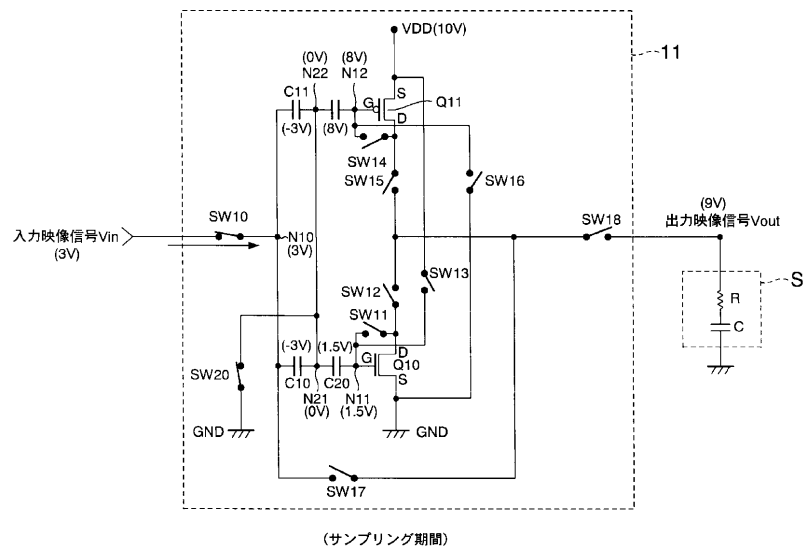


(リセット期間)

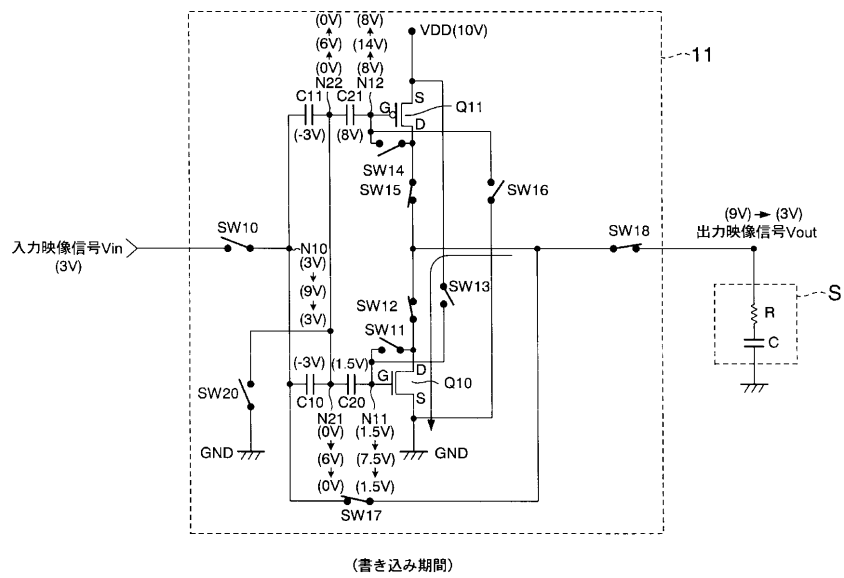
【図11】



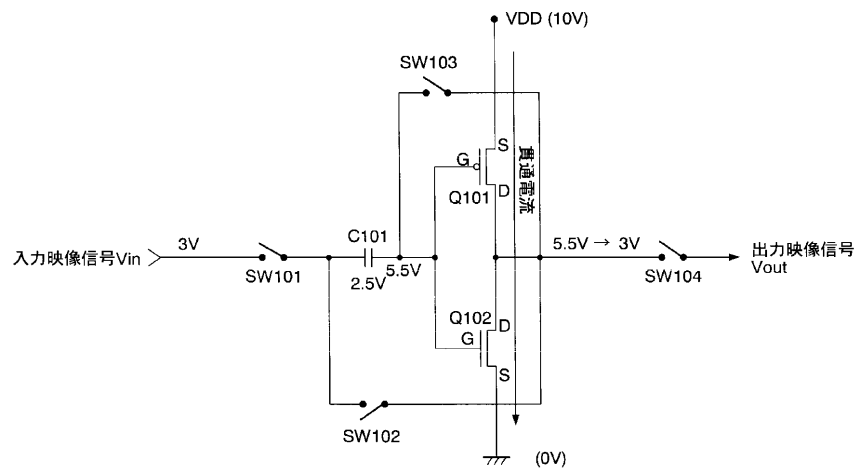
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.⁷
H03K 19/0175

識別記号

F I
H03K 17/687

テーマコード^{*} (参考)
F

Fターム(参考) 5C006 AF59 BB16 BC03 BC06 BC12
BC20 BF33 FA47
5C080 AA10 BB05 DD26 DD30 JJ02
JJ03
5J055 AX12 AX27 AX54 BX16 BX17
CX30 DX22 EX07 EY10 EY21
EZ69 FX12 FX27 GX01 GX02
5J056 AA05 BB19 DD13 DD29 DD51
EE11 FF08 GG09 GG12

专利名称(译)	负载驱动电路和液晶显示装置		
公开(公告)号	JP2002335147A	公开(公告)日	2002-11-22
申请号	JP2001138503	申请日	2001-05-09
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	青木良朗		
发明人	青 木 良 朗		
IPC分类号	G09G3/36 G09G3/20 H03K17/16 H03K17/687 H03K19/0175		
FI分类号	H03K17/16.L G09G3/20.611.A G09G3/20.623.A G09G3/36 H03K19/00.101.F H03K17/687.F H03K19/0175.220		
F-TERM分类号	5C006/AF59 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF33 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/DD30 5C080/JJ02 5C080/JJ03 5J055/AX12 5J055/AX27 5J055/AX54 5J055/BX16 5J055/BX17 5J055/CX30 5J055/DX22 5J055/EX07 5J055/EY10 5J055/EY21 5J055/EZ69 5J055/FX12 5J055/FX27 5J055/GX01 5J055/GX02 5J056/AA05 5J056/BB19 5J056/DD13 5J056/DD29 5J056/DD51 5J056/EE11 5J056/FF08 5J056/GG09 5J056/GG12		
外部链接	Espacenet		

摘要(译)

减少功耗。在采样周期中，将n型MOS晶体管Q10的栅极设置为其阈值电压，并且将p型MOS晶体管Q11的栅极设置为其阈值电压。此外，电容器C10被设置为n型MOS晶体管Q10的阈值电压和输入视频信号Vin的电压之间的差电压，并且p型MOS晶体管Q11的阈值电压和输入视频信号Vin的电压被设置。设置为差分电压。在写入周期中，输出视频信号Vout在保持设置在电容器C10和C11中的差分电压的同时被反馈到电容器C10和C11。结果，在写入期间，晶体管Q10和Q11中的任何一个截止，并且可以防止直通电流流动。

