

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2002 - 108316

(P2002 - 108316A)

(43)公開日 平成14年4月10日 (2002.4.10)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マコード* (参考)
G 0 9 G 5/00		G 0 2 F 1/133	2 H 0 9 3
	5/391	G 0 9 G 3/20	5 C 0 0 6
G 0 2 F 1/133	505		5 C 0 8 0
G 0 9 G 3/20	631		5 C 0 8 2
	650		
		3/36	

審査請求 未請求 請求項の数 18 O L (全 16数) 最終頁に続く

(21)出願番号 特願2000 - 299718(P2000 - 299718)

(22)出願日 平成12年9月29日(2000.9.29)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 田村 剛

長野県諏訪市大和3丁目3番5号 セイコーエ

プソン株式会社内

(74)代理人 100090479

弁理士 井上 一 (外2名)

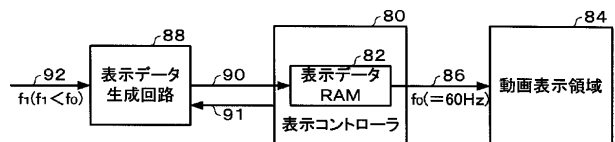
最終頁に続く

(54)【発明の名称】 表示コントロール方法、表示コントローラ、表示ユニット及び電子機器

## (57)【要約】

【課題】 読み出しレートより低いレートで生成される動画データでも違和感のない動画表示を可能にする表示コントロール方法、表示コントローラ、表示ユニット及び電子機器を提供する。

【解決手段】 表示コントローラ80は、表示データRAM82を備え、内部の発振回路で周波数 $f_0$ のフレーム周波数を生成する。表示データRAM82の記憶領域は液晶パネルの動画表示領域84に対応し、フレーム周波数 $f_0$ で表示データRAM82から読み出された動画データ86により、液晶パネルが表示駆動される。表示コントローラ80は、表示データRAM82に表示データ生成回路88からフレーム周波数 $f_0$ より低いフレーム周波数 $f_1$ で生成された表示データ90が書き込まれる場合、少なくとも1走査ライン以上書き込みを先行させてから、フレーム周波数 $f_0$ で表示データを読み出すように制御する。



## 【特許請求の範囲】

【請求項1】 少なくとも1フレーム分の表示データを記憶するメモリと、所与の表示タイミングを生成するタイミング生成回路とを有する表示コントローラにより、3フレーム以上連続した同一画像を含む画像を表示するための表示データに基づいて表示部を表示駆動するための表示コントロール方法であって、前記表示部を表示駆動するために前記表示タイミングに基づく前記メモリからの1走査ライン分の表示データの読み出しに先行して、1走査ライン分の表示データを、前記表示タイミン

10 ングに同期して前記表示データの読み出し速度以上の速度で前記メモリに書き込むことを特徴とする表示コントロール方法。

【請求項2】 請求項1において、前記表示データの書き込みは、少なくとも1走査ライン以上前記読み出しに先行することを特徴とする表示コントロール方法。

【請求項3】 請求項1又は2において、制御対象の走査ラインに対して前記表示データの書き込みが行われた後、当該走査ラインの表示データが読み出

20 されることを特徴とする表示コントロール方法。

【請求項4】 請求項1乃至3のいずれかにおいて、所与のフレーム同期タイミングを基準に1フレーム分の表示データの書き込みが終了後、次のフレーム同期タイミングまで前記表示データの書き込みを停止することを特徴とする表示コントロール方法。

【請求項5】 少なくとも1フレーム分の表示データを記憶するメモリと、所与の表示タイミングを生成するタイミング生成回路とを有する表示コントローラにより、3フレーム以上連続した同一画像を含む画像を表示する

30 ための表示データに基づいて表示部を表示駆動するための表示コントロール方法であって、前記表示タイミングに同期した前記メモリへの1走査ライン分の表示データの書き込みに先行して、前記表示タイミングに同期して、前記表示データの書き込み速度以上の速度で前記メモリから前記表示部を表示駆動するための1走査ライン分の表示データを読み出すことを特徴とする表示コントロール方法。

【請求項6】 請求項5において、前記表示データの読み出しは、少なくとも1走査ライン

40 以上の表示データの書き込みに先行することを特徴とする表示コントロール方法。

【請求項7】 請求項5又は6において、制御対象の走査ラインに対して前記表示データの読み出しが行われた後、当該走査ラインの表示データが書き込まれることを特徴とする表示コントロール方法。

【請求項8】 請求項1乃至7のいずれかにおいて、前記メモリに書き込まれる表示データは、前記表示コントローラによって生成された表示タイミングに同期して入力されることを特徴とする表示コントロール方法。

【請求項9】 3フレーム以上連続した同一画像を含む画像を表示するための表示データに基づいて、表示部を表示駆動するための表示コントローラであって、所与の表示タイミングを生成するタイミング生成回路と、

少なくとも1フレーム分の表示データを記憶するメモリと、前記表示部を表示駆動するために、前記表示タイミングに基づいて前記メモリに記憶された1走査ライン分の表示データの読み出しを制御する第1の制御回路と、前記読み出しに先行して、前記表示タイミングとは非同期で入力される1走査ライン分の表示データを、前記メモリに記憶された前記表示データの読み出し速度以上の速度で前記メモリに書き込む第2の制御回路と、を含むことを特徴とする表示コントローラ。

【請求項10】 請求項9において、前記第2の制御回路は、少なくとも1走査ライン以上前記読み出しに先行することを特徴とする表示コントローラ。

【請求項11】 請求項9又は10において、制御対象の走査ラインに対して前記表示データの書き込みが行われた後、当該走査ラインの表示データが読み出

【請求項12】 請求項9乃至11のいずれかにおいて、所与のフレーム同期タイミングを基準に1フレーム分の表示データの書き込みが終了後、次のフレーム同期タイミングまで前記表示データの書き込みを停止することを特徴とする表示コントローラ。

【請求項13】 3フレーム以上連続した同一画像を含む画像を表示するための表示データに基づいて、表示部を表示駆動するための表示コントローラであって、所与の表示タイミングを生成するタイミング生成回路と、

少なくとも1フレーム分の表示データを記憶するメモリと、前記表示タイミングとは非同期で入力される表示データを前記メモリに書き込む第2の制御回路と、前記表示部を表示駆動するために、前記書き込みに先行して、前記メモリへの1走査ライン分の表示データの書き込み速度以上の速度で、前記メモリに記憶された1走査ライン分の表示データの読み出しを制御する第1の制御回路と、を含むことを特徴とする表示コントローラ。

【請求項14】 請求項13において、前記第1の制御回路は、少なくとも1走査ライン以上前記書き込みに先行することを特徴とする表示コントローラ。

【請求項15】 請求項13又は14において、制御対象の走査ラインに対して前記表示データの読み出

しが行われた後、当該走査ラインの表示データが書き込まれることを特徴とする表示コントローラ。

【請求項 16】 請求項 9 乃至 15 のいずれかにおいて、前記表示タイミングを出力する手段を含むことを特徴とする表示コントローラ。

【請求項 17】 複数の第 1 の電極と複数の第 2 の電極により駆動される電気光学素子を有するパネルと、前記複数の第 1 の電極を駆動するための請求項 9 乃至 17 のいずれかに記載表示コントローラと、前記複数の第 2 の電極を走査駆動する走査駆動ドライバと、を含むことを特徴とする表示ユニット。

【請求項 18】 請求項 17 に記載の表示ユニットと、前記表示ユニットに対し、前記表示データを供給する回路と、を含むことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示コントロール方法、表示コントローラ、表示ユニット及び電子機器に関し、特に動画表示に好適な表示コントロール方法、表示コントローラ、表示ユニット及び電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】近年の通信技術、実装技術等の発達により、携帯型の電子機器の表示部に数字や文字といったキャラクタ文字のみならず、静止画像や動画像等ユーザにとって情報性の高い各種データが表示できるようになった。

【0003】このような電子機器に表示されるデータについては、種々のデータ形式が提案されている。例えば携帯電話機を例に挙げれば、MPEG (Moving Picture Experts Group) の規格により圧縮して符号化された画像データを受信または送信する技術が提案されている。

【0004】この場合、携帯電話機の表示部として、例えば液晶パネルが備えられ、受信された動画、あるいは静止画が表示される。すなわち、例えば液晶パネルには、受信された動画が動画表示領域に表示され、静止画表示領域には例えばその動画に関する説明、操作情報等の静止画表示される。このような液晶パネルに対して動画あるいは静止画を表示駆動する表示コントローラの一例として、フレームメモリとして利用される RAM を内蔵した液晶ドライバがある。

【0005】液晶ドライバの RAM の記憶領域には、動画が表示される液晶パネルの動画表示領域に対応する動画記憶領域に、動画データをリアルタイムに書き換える必要がある。一方、液晶パネルの静止画表示領域に表示される静止画は、携帯電話機のキー操作等によって変更され、液晶ドライバの RAM の記憶領域のうち静止画表示領域に対応する静止画記憶領域に、更新すべき静止画

データを書き換える必要が生ずる。

【0006】このような液晶ドライバの RAM に記憶された表示データ (動画データ、或いは静止画データ) は、人間の視覚特性を考慮して、概略 60 分の 1 秒毎に読み出され、液晶パネルが表示駆動される。従って、例えば MPEG 規格のような圧縮データは伸張処理を行う必要があってこの 60 Hz の読み出しレートで表示すべき領域に対応した液晶ドライバの RAM に動画データを書き換えることができない場合には、複数フレームにわたって同一画像を連続して読み出すことが行われる。

【0007】本発明に係る発明者は、このような液晶ドライバにより表示駆動される液晶パネルの視認性を確認したところ、液晶ドライバの RAM の動画記憶領域が 1 秒間に 20 フレームから 25 フレーム程度を越えるフレーム数で書き換えられる範囲、すなわち液晶ドライバの RAM から 2 フレームだけ連続して同一画像が読み出される範囲であれば、ある程度動画を視認できるレベルであることがわかった。

【0008】これに対して、液晶ドライバの RAM の動画記憶領域が 1 秒間に 20 フレームから 25 フレーム程度以下のフレーム数で書き換えられる範囲、すなわち液晶ドライバの RAM から少なくとも 3 フレーム以上連続して同一画像が読み出される範囲の場合、液晶ドライバにより表示駆動される動画が、前のフレームとのつながりに違和感がある等、液晶パネルに動画像を表示駆動する際の技術的課題を発見するに至った。

【0009】本発明は以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、読み出しレートより低いレートで生成される動画データを記憶する RAM を内蔵した場合に違和感のない動画表示を可能にする表示コントロール方法、表示コントローラ、表示ユニット及び電子機器を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するために本発明は、少なくとも 1 フレーム分の表示データを記憶するメモリと、所与の表示タイミングを生成するタイミング生成回路とを有する表示コントローラにより、3 フレーム以上連続した同一画像を含む画像を表示するための表示データに基づいて表示部を表示駆動するために前記表示タイミングに基づく前記メモリからの 1 走査ライン分の表示データの読み出しに先行して、1 走査ライン分の表示データを、前記表示タイミングに同期して前記表示データの読み出し速度以上の速度で前記メモリに書き込むことを特徴とする。

【0011】このように本発明は、タイミング生成回路とメモリとを有し、生成された表示タイミングに従って、例えばフレームメモリとして用いられるメモリに記憶された表示データを読み出すことができる表示コントローラによる表示コントロール方法である。表示部は、

この読み出された表示データに基づいて表示駆動される。

【0012】ここで、3フレーム以上連続した同一画像を含む画像の表示データというのは、例えば1秒間に60フレームずつ(フレーム周波数が60Hzの状態)メモリから表示データが読み出されている場合、1秒間に20フレームから25フレーム程度以下のフレーム数がメモリに書き込まれるときの表示データを意味する。すなわち、上述したフレーム周波数で表示データを読み出す必要があるため、メモリに記憶された表示データを複数フレーム以上連続して同一のフレーム画像が読み出されることになる。

【0013】また、表示データというのは、動画データのみならず、静止画データをも含んでも良い。

【0014】さらに読み出し速度というのは、1走査ライン分の表示データの読み出し速度であって、1走査ライン分の書き込み速度と同じ場合、読み出しレートと等価である。

【0015】従って、表示データの書き込みが行われる場合、この書き込みを読み出しに先行させ、かつ1走査ライン分の書き込み速度が1走査ライン分の読み出し速度以上とすることでメモリへの書き込みが読み出しに追い越されることがなくなる。これにより、前のフレームとのつながりに違和感がなくなり、このような表示コントローラによって表示部が表示駆動される場合、特に動画の視認性を大幅に向上させることができるようになる。1走査ライン分の書き込み速度と、1走査ライン分の読み出し速度とが同じ場合、フレーム周波数以上の周波数で書き込みを行うことによって、同様の効果を得ることができる。

【0016】また本発明は、前記表示データの書き込みは、少なくとも1走査ライン以上前記読み出しに先行することを特徴とする。

【0017】すなわち、タイミング生成回路で表示タイミングを生成するようにしているため、走査ラインのタイミングも生成することが可能であり、この走査ライン単位で容易に表示データの読み出しを行うことができる。従って、1走査ラインの表示データの書き込みを先行させ、なおかつ1走査ライン分の読み出し速度以上の速度で1走査ライン分の書き込みを行うことによって、1走査ライン分の表示データの書き込みが常に1走査ライン分の読み出しに先行させる制御が容易となる。

【0018】また本発明は、制御対象の走査ラインに対して前記表示データの書き込みが行われた後、当該走査ラインの表示データが読み出されることを特徴とする。

【0019】すなわち、先行することを具体的に言えば、ある制御対象の走査ラインに着目すると、表示データの読み出しが行われる走査ラインは、既に書き込みが行われている状態を意味する。従って、同じフレーム内で、ある走査ラインの書き込みが行われた後、当該走査

ラインの読み出しを行わせることで、前のフレームとのつながりに違和感がなくなり、このような表示コントロール方法により表示部が表示駆動される場合、特に動画の視認性を大幅に向上させることができるようになる。

【0020】また本発明は、所与のフレーム同期タイミングを基準に1フレーム分の表示データの書き込みが終了後、次のフレーム同期タイミングまで前記表示データの書き込みを停止することを特徴とする。

【0021】このように表示データの書き込みが読み出しに先行し、その1走査ライン分の書き込み速度が、1走査ライン分の読み出し速度以上であるため、1フレームの表示データの書き込みは、その読出が終了する前に必ず終了する。従って、その終了以降、次のフレームの書き込み開始まで、書き込みクロックなど書き込みに必要な制御を停止させることで低消費電力化を図ることができる。

【0022】また本発明は、少なくとも1フレーム分の表示データを記憶するメモリと、所与の表示タイミングを生成するタイミング生成回路とを有する表示コントローラにより、3フレーム以上連続した同一画像を含む画像を表示するための表示データに基づいて表示部を表示駆動するための表示コントロール方法であって、前記表示タイミングに同期した前記メモリへの1走査ライン分の表示データの書き込みを先行して、前記表示タイミングに同期して、前記表示データの書き込み速度以上の速度で前記メモリから前記表示部を表示駆動するための1走査ライン分の表示データを読み出すことを特徴とする。

【0023】このように、表示データの書き込みが行われる場合、表示データの読み出しを書き込みに先行させ、かつ1走査ライン分の読み出し速度が1走査ライン分の書き込み速度以上とすることでメモリからの読み出しが書き込みに追い越されることがなくなる。これにより、前のフレームとのつながりに違和感がなくなり、このような表示コントロール方法によって表示部が表示駆動される場合、特に動画の視認性を大幅に向上させることができるようになる。1走査ライン分の書き込み速度と、1走査ライン分の読み出し速度とが同じ場合、フレーム周波数以上の周波数で書き込みを行うことによって、同様の効果を得ることができる。

【0024】また本発明は、前記表示データの読み出しは、少なくとも1走査ライン以上の表示データの書き込みに先行することを特徴とする。

【0025】すなわち、タイミング生成回路で表示タイミングを生成するようにしているため、走査ラインのタイミングも生成することが可能であり、この走査ライン単位で容易に表示データの読み出しを行うことができる。従って、1走査ラインの表示データの読み出しを先行させ、なおかつ1走査ライン分の書き込み速度以上の速度で読み出しを行うことによって、1走査ライン分の

読み出しが常に1走査ライン分の書き込みに先行させる制御が容易となる。

【0026】また本発明は、制御対象の走査ラインに対して前記表示データの読み出しが行われた後、当該走査ラインの表示データが書き込まれることを特徴とする。

【0027】ここで、先行することを具体的に言えば、ある制御対象の走査ラインに着目すると、表示データの書き込みが行われる走査ラインは、既に読み出しが行われている状況を意味する。従って、同じフレーム内で、ある走査ラインの読み出しが行われた後、当該走査ライ  
10 ンの書き込みを行わせることで、前のフレームとのつながりに違和感がなくなり、このような表示コントロール方法によって表示部が表示駆動される場合、特に動画の視認性を大幅に向上させることができるようになる。

【0028】また本発明は、前記メモリに書き込まれる表示データは、前記表示コントローラによって生成された表示タイミングに同期して入力されることを特徴とする。

【0029】これにより、例えば表示タイミングと非同期に、内蔵するメモリに書き込むべき表示データが生成  
20 される場合であっても、簡素な制御により前のフレームとのつながりが重要な動画データのような表示データの供給を容易にする。

【0030】また本発明は、3フレーム以上連続した同一画像を含む画像を表示するための表示データに基づいて、表示部を表示駆動するための表示コントローラであって、所与の表示タイミングを生成するタイミング生成回路と、少なくとも1フレーム分の表示データを記憶するメモリと、前記表示部を表示駆動するために、前記表示  
30 タイミングに基づいて前記メモリに記憶された1走査ライン分の表示データの読み出しを制御する第1の制御回路と、前記読み出しに先行して、前記表示タイミングとは非同期で入力される1走査ライン分の表示データを、前記メモリに記憶された前記表示データの読み出し速度以上の速度で前記メモリに書き込む第2の制御回路とを含むことを特徴とする。

【0031】このように本発明の一態様に係る表示コントローラは、タイミング生成回路とメモリとを含み、タイミング生成回路によって生成された表示タイミングに従って、例えばフレームメモリとして用いられるメモリ  
40 に記憶された表示データを読み出すものである。表示部は、この読み出された表示データに基づいて表示駆動される。

【0032】また本発明は、前記第2の制御回路は、少なくとも1走査ライン以上前記読み出しに先行することを特徴とする。

【0033】また本発明は、制御対象の走査ラインに対して前記表示データの書き込みが行われた後、当該走査ラインの表示データが読み出されることを特徴とする。

【0034】また本発明は、所与のフレーム同期タイミ  
50

ングを基準に1フレーム分の表示データの書き込みが終了後、次のフレーム同期タイミングまで前記表示データの書き込みを停止することを特徴とする。

【0035】また本発明は、3フレーム以上連続した同一画像を含む画像を表示するための表示データに基づいて、表示部を表示駆動するための表示コントローラであって、所与の表示タイミングを生成するタイミング生成回路と、少なくとも1フレーム分の表示データを記憶するメモリと、前記表示タイミングとは非同期で入力される表示データを前記メモリに書き込む第2の制御回路  
と、前記表示部を表示駆動するために、前記書き込みに先行して、前記メモリへの1走査ライン分の表示データの書き込み速度以上の速度で、前記メモリに記憶された1走査ライン分の表示データの読み出しを制御する第1の制御回路とを含むことを特徴とする。

【0036】また本発明は、前記第1の制御回路は、少なくとも1走査ライン以上前記書き込みに先行することを特徴とする。

【0037】また本発明は、制御対象の走査ラインに対して前記表示データの読み出しが行われた後、当該走査ラインの表示データが書き込まれることを特徴とする。

【0038】また本発明は、前記表示タイミングを出力する手段を含むことを特徴とする。

【0039】このように表示コントローラから表示タイミングを出力することで、例えば表示タイミングと非同期に、内蔵するメモリに書き込むべき表示データが生成される場合であっても、簡素な制御により前のフレームとのつながりが重要な動画データのような表示データの供給を容易にする。

【0040】また本発明は、複数の第1の電極と複数の第2の電極により駆動される電気光学素子を有するパネルと、前記複数の第1の電極を駆動するための上記いずれかに記載の表示コントローラと、前記複数の第2の電極を走査駆動する走査駆動ドライバとを含むことを特徴とする。

【0041】このようにすることで、低消費電力化を図り、特に動画の視認性を大幅に向上させる表示ユニットを提供することができる。

【0042】また本発明は、上記記載の表示ユニットと、前記表示ユニットに対し、前記表示データを供給する回路とを含むことを特徴とする。

【0043】このように構成することによって、低消費電力化を図り、特に動画の視認性を大幅に向上させる表示ユニットを備える電子機器を提供することができる。

【0044】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

【0045】1. 本実施形態の表示コントローラが適用された電子機器

図1に、本実施形態の表示コントローラが適用される電

子機器の概略ブロック図を示す。

【0046】この電子機器は、MPU（マイクロプロセッサユニット）10と、表示ユニット20とを含む。

【0047】表示ユニット20は、電気光学素子を有するマトリクスパネル、例えばカラー液晶パネル22と、この液晶パネル22を駆動するRAM（広義には、メモリ）内蔵のXドライバIC（表示コントローラ）24と、走査用のYドライバIC26とを有する。

【0048】マトリクスパネル22は、電圧印加によって光学特性が変化する液晶その他の電気光学素子を用いたものであれば良い。液晶パネル22としては、例えば単純マトリクスパネルで構成でき、この場合、複数のセグメント電極（第1の電極）が形成された第1基板と、コモン電極（第2の電極）が形成された第2基板との間に、液晶が封入される。液晶パネル22は薄膜トランジスタ（TFT）、薄膜ダイオード（TFD）等の三端子素子、二端子素子を用いたアクティブマトリクスパネルであっても良い。これらのアクティブマトリクスパネルも、RAM内蔵XドライバIC24により駆動される複数の信号電極（第1の電極）と、YドライバIC26により走査駆動される複数の走査電極（第2の電極）を有する。

【0049】液晶パネル22には静止画と動画とを同時に表示可能である。この場合、図1に示すように、画像サイズによって定められる動画表示領域22Aと、それ以外の静止画表示領域（テキストデータ表示領域）22Bの各領域が液晶パネルに設定される。

【0050】MPU10から表示ユニット20には、図1に示すように、大別して表示コマンド/静止画データと、動画データとが供給される。表示コマンドとして代表的なものに、コマンド/データの区別を示す信号A0、反転リセット信号XRES、反転チップセレクト信号XCS、反転リード信号XRDおよび反転ライト信号XWR等がある。データD7～D0は8ビットのコマンドデータ（静止画及び動画用アドレスデータを含む）または静止画データであり、コマンド/データ識別信号A0の論理によって区別されている。動画データは例えば各6ビットのR、G、B信号であり、クロック信号CLK、水平同期信号Hsync、垂直同期信号Vsync等も供給される。

【0051】図2に、図1のMPU10および表示ユニット20を携帯電話機30に搭載した例を示す。図2に示すMPU10は、携帯電話機30の制御を司るCPU12を有し、このCPU12には静止画用メモリ14、DSP（デジタル・シグナル・プロセッサ）16が接続されている。また、DSP16には動画用メモリ18が接続されている。

【0052】この携帯電話機30には、アンテナ32を介して受信された信号を復調し、あるいはアンテナ32を介して送信される信号を変調する変復調回路34が設

けられている。そして、アンテナ32からは、例えばMPEGのレイヤーIVの規格にて符号化された動画データを送受信可能となっている。

【0053】この携帯電話機30には、例えばデジタルビデオカメラ36を設けることもできる。このデジタルビデオカメラ36を介して動画データを取り込むことができる。携帯電話機30でのデータ送受信、デジタルビデオカメラ36での撮影等に必要なお操作情報は、操作入力部38を介して入力される。

【0054】MPU10に設けられたCPU12は、液晶パネル22の動画表示領域22Aに動画を表示する際には、その動画のサイズを動画情報から決定する。すなわち、図1に示す動画のスタートアドレスSA及びエンドアドレスEAを決定する。なお、動画表示領域22Aと静止画表示領域22Bとを例えば上下でライン分割しても良く、この場合も同様にスタートアドレスSA、エンドアドレスEAが動画のサイズから決定される。

【0055】この動画表示領域22Aに表示される動画は、本実施形態ではアンテナ32またはデジタルビデオカメラ36から供給される。アンテナ32から入力される信号は、変復調回路34を介して復調されてDSP16にて信号処理される。このDSP16は動画処理用メモリ18と接続され、アンテナ32、変復調回路34を介して入力される圧縮データを伸張し、またMPEGのレイヤーIVの規格にて符号化されているデータについてはデコードする。変復調回路34、アンテナ32を介して送信されるデータはDSP16にて圧縮され、MPEGのレイヤーIVの規格にて符号化して送信する場合にはエンコードされる。このようにDSP16は、MPEGの例えばレイヤーIVのデコーダ、エンコーダとしての機能を有することができる。

【0056】このDSP16にはデジタルビデオカメラ36からの信号も入力され、アンテナ32またはデジタルビデオカメラ36より入力された信号は、DSP16にてRGB信号に処理されて表示ユニット20に供給される。

【0057】CPU12は、操作入力部38からの情報等に基づき、必要により静止画用メモリ14を用いて、液晶パネル22に表示される静止画の表示に必要なコマンド、静止画データを表示ユニット20に出力する。

【0058】例えば、動画はインターネットを経由して配信された映画情報であり、その劇場チケットを予約するための情報が静止画として表示され、操作入力部38からの情報に基づいてチケット予約が実施される。このため、CPU12はさらに、変復調回路34、アンテナ32を介して静止画情報（例えば予約情報）を送出制御する。またCPU12は、必要により、デジタルビデオカメラ36にて撮影された動画情報を、変復調回路34、アンテナ32を介して送受制御することができる。

【0059】2. 本実施形態の表示コントローラの特

徴

本実施形態の表示コントローラ（狭義には、図1におけるXドライブIC24）は、液晶パネルの画像表示領域に対応した画像記憶領域を有するRAM（広義には、メモリ）を備え、内部の発振回路（広義には、表示タイミング生成手段）により例えば60Hzのフレーム周波数を液晶パネルの表示駆動を行う表示タイミングとして生成する。

【0060】このようにRAMと、最も周波数の高い発振回路とを内蔵することで、液晶パネルの基板上に搭載した場合、低消費電力化を図ることができる。

【0061】さらに本実施形態の表示コントローラは、3フレーム以上連続した同一画像を含む画像の1走査ライン分の表示データを、上述した表示タイミングで既にRAMに記憶された1走査ライン分の表示データの読み出し速度以上に書き込み、しかもその書き込みが読み出しに先行して行われるようになっている。

【0062】図3に、本実施形態の表示コントローラの原理的動作を説明するための説明図を示す。ここでは、表示データとして60Hzのフレーム周波数で表示処理される動画データに着目した場合を示すが、静止画データであっても良い。

【0063】本実施形態における表示コントローラ80は、少なくとも1フレーム分の表示データを記憶する表示データRAM82を備え、図示しない内部の発振回路で周波数 $f_0$ （例えば $f_0 = 60\text{Hz}$ ）のフレーム周波数を生成する。表示データRAM82の記憶領域のうち少なくとも一部は、液晶パネルの動画表示領域84に対応している。表示コントローラ80は、この生成したフレーム周波数 $f_0$ で、表示データRAM82に記憶された動画データ86を読み出し、液晶パネルを表示駆動し、その動画表示領域84に動画を表示させる。

【0064】表示コントローラ80の表示データRAM82には、表示データ生成回路88から供給された動画データ90が書き込まれるようになっている。表示データ生成回路88は、例えばMPEG-4規格の1秒間に15フレーム程度といった、フレーム周波数 $f_0$ より低いフレーム周波数 $f_1$ （ $f_1 < f_0$ ）の動画データの圧縮データ92を伸張し、動画データ90を生成する。

【0065】表示コントローラ80は表示データRAM82の記憶内容に関わりなくフレーム周波数 $f_0$ で動画データを読み出す。従って、表示データ生成回路88が表示データRAM82に対し上述した伸張処理等によりフレーム周波数 $f_0$ より低い周波数 $f_1$ で動画データを書き込まざるを得ない場合、表示コントローラ80は表示データRAM82から連続する複数フレームにわたって同一画像の動画データを読み出して、液晶パネルを表示駆動することで例えば動画表示を行う。

【0066】そこで、本実施形態の表示コントローラ80は、フレーム周波数 $f_0$ を表示用のフレーム同期信号

として、表示用垂直同期信号91を表示データ生成回路88に対して出力する。表示データ生成回路88は、この表示用垂直同期信号91に同期して、表示コントローラ80に対し生成した動画データ90を出力するようになっている。そして、表示コントローラ80において、3フレーム以上同一画像が連続する画像を含む動画データが表示データRAM82に書き込まれる場合、この表示用垂直同期信号91を起点に少なくとも1走査ライン以上書き込みを先行させてから、フレーム周波数 $f_0$ で表示データRAM82から動画データを読み出すように制御している。これにより、液晶パネルに表示される動画画像において、例えば前のフレームとのつながりに違和感をなくし、視認性を大幅に向上させることができるようになる。

【0067】図4(A)、(B)に、本実施形態の表示コントローラによる表示データRAMの書き込みタイミングと読み出しタイミングとの関係を模式的に示す。ここでは、表示データRAMの記憶領域を液晶パネルの動画表示領域の走査ライン単位に模式的に示している。

【0068】図4(A)は、動画表示領域94に対応した表示データRAMの記憶領域に、動画表示領域94の1走査ライン目の動画データが書き込まれた時点で、動画データの書き込み位置と読み出し位置との関係を示している。すなわち、図4(A)に示すように動画表示領域94の1走査ライン目の書き込みが行われてから、当該1走査ライン目の読み出し動作96が行われる。従って、当該1走査ライン目の読み出し動作96が行われたとき、既に2走査ライン目の書き込み動作98が行われている。

【0069】本実施形態では、表示1走査ライン分の表示データの読み出し動作96の速度 $V_R$ と、1走査ライン分の表示データの書き込み動作98の速度 $V_W$ との間に次の(1)式の関係性を有している。

$$\text{【0070】 } V_W > V_R \quad \cdots (1)$$

従って、書き込み動作98が読み出し動作96に先行して行われる限り、液晶パネルを表示駆動する動画データの読み出しが、動画表示領域94への新たな動画データの書き込みを追い越すことがない。これにより、前のフレームとのつながりの違和感を解消し、滑らかな動きをする動画画像を表示させることができるようになる。

【0071】図4(B)は、動画表示領域94に対応した表示データRAMの記憶領域に、動画表示領域94のM走査ライン目の動画データが書き込まれた時点で、書き込み位置と読み出し位置との関係を示している。

(1)式により、M(Mは自然数)走査ライン目の動画データが読み出された時点では、既にN(M < N、Nは自然数)走査ライン目の書き込みが行われている。

【0072】ここで、表示1走査ライン分の表示データの読み出し動作96の速度 $V_R$ と、1走査ライン分の表示データの書き込み動作98の速度 $V_W$ とが等しい場

合、読み出しレート  $f_r$  と書き込みレート  $f_w$  との関係は、次の(2)式のように規定される。

$$\text{【0073】 } f_w = f_r \cdot \dots \cdot (2)$$

なお、図3の場合、読み出しレート  $f_r$  はフレーム周波数  $f_0$  ( $= 60 \text{ Hz}$ ) に相当する。従って、この場合  $60 \text{ Hz}$  以上のレートで書き込みが行われなければならない。

【0074】3. 本実施形態の表示コントローラの構成図5は、本実施形態の表示コントローラとして、図1に示すRAM内蔵XドライブIC24のブロック図である。図5に示すRAM内蔵XドライブIC24の入出力回路として、MPUインターフェース100と入出力バッファ102、入力バッファ104が設けられている。

【0075】MPUインターフェース100には、反転チップセレクト信号XCS、コマンド/データの識別信号A0、反転リード信号XRD、反転ライト信号XWR、反転リセット信号XRES等が入力される。

【0076】入出力バッファ102には、例えば8ビットのコマンドまたは静止画データD7~D0が入力される。なお、図5では信号D7~D0はパラレルで入出力される例を示しているが、XドライブIC24内の表示データRAM160からMPU10にデータを読み出す必要がない場合には、先頭ビットを識別信号A0とし、それに続く信号D7~D0をシリアルで入出力しても良い。こうすると、MPU10及びXドライブIC24の端子数を減らすことができる。

【0077】入力バッファ104には、例えば各6ビットのR、G、B信号からなる動画データと、クロック信号CLKとが入力される。各6ビットのR、G、B信号は、クロック信号CLKに同期してパラレルで入出力される。

【0078】XドライブIC24には、MPUインターフェース100及び入出力バッファ102に接続された第1のバスライン110と、入力バッファ104に接続された第2のバスライン120とが設けられている。

【0079】第1のバスライン110にはバスホールダ112とコマンドデコーダ114とが接続され、第2のバスライン120にはバスホールダ122が接続されている。なお、入出力バッファ102にはステータス設定回路116が接続され、XドライブIC24の動作状態がMPU10に出力されるようになっている。この動作状態とは、例えば表示がオン状態であるか否かや、画面内の所与のスクロール領域のスクロールモードといったXドライブIC24で設定されている内部状態であり、MPU10から入力された所与のコマンドがコマンドデコーダ114でデコードされた結果、出力されるようになっている。

【0080】第1、第2のバスライン110、120は共に、表示データRAM160のI/Oバッファ162に接続され、表示データRAM160に対してリード、

ライトされる静止画データ及び動画データが伝送される。

【0081】XドライブIC24には、上述した表示データRAM160、I/Oバッファ162の他に、MPU系制御回路130、カラムアドレス制御回路140、ページアドレス制御回路150、ドライバ系制御回路170、PWMデコーダ回路180及び液晶駆動回路190等が設けられている。

【0082】MPU系制御回路130は、コマンドデコーダ114を介して入力されるMPU10のコマンドに基づいて、表示データRAM160に対するリード、ライト動作を制御する。このMPU系制御回路130により制御されるカラムアドレス制御回路140及びページアドレス制御回路150が設けられている。本実施形態では、カラムアドレス制御回路140は、静止画データの書き込みカラムアドレスと静止画及び動画データの読み出しカラムアドレスを指定する第1のカラムアドレス制御回路142と、動画データの書き込みカラムアドレスを指定する第2のカラムアドレス制御回路144とを有する。ページアドレス制御回路150は、静止画データの書き込みページアドレスと静止画及び動画データの読み出しページアドレスとを指定する第1のページアドレス制御回路152と、動画データの書き込みページアドレスを指定する第2のページアドレス制御回路154とを有する。なお、図5では図示していないが、MPU10からの水平・垂直同期信号H・VsyncがMPU系制御回路130に入力される。水平同期信号Hsyncは、動画データの書き込みの際のノイズ等の誤書き込みによる表示ずれ等を極力抑えるために、第2のカラム・ページアドレス制御回路144、154内に設けられたカウンタのセット、リセットに用いられる。さらに、水平・垂直同期信号H・Vsyncは、カラムアドレス、ページアドレスをスタートアドレスSAに戻すために用いられる。また、ページアドレス制御回路150は、ドライバ系制御回路170により制御されて1走査ライン毎に表示アドレスを指定する表示アドレス制御回路156を含んでいる。

【0083】ドライバ系制御回路170は、Xドライバ系制御回路172及びYドライバ系制御回路174を含む。このドライバ系制御回路170は、発振回路176からの発振出力に基づいて表示用垂直同期信号Vsync、階調制御パルスGCP、極性反転信号FR、走査用ラッチパルスLP、Yドライバ用スタートパルスYD、Yドライバ用走査クロックYCLK、表示データRAM160への書き込みクロック等を発生し、MPU系制御回路130とは独立して、表示アドレス制御回路156、PWMデコード回路180、電源制御回路178およびYドライブIC26を制御する。

【0084】本実施形態のドライバ系制御回路170は、発振回路176からの発振出力に基づいて生成され

た表示用垂直同期信号 $V_{sync}$ を外部出力する。図示しない表示データ生成回路では、生成した動画データを、この表示用垂直同期信号 $V_{sync}$ に同期して本実施形態の示コントローラとしてのRAM内蔵XドライバIC24に供給する。

【0085】ドライバ系制御回路170は、発振回路176からの発振出力に基づいて生成された書き込みクロックに同期して、この表示用垂直同期信号 $V_{sync}$ に対応して供給された動画データを、表示用データRAM160に新たなフレームの画像として1走査ライン毎に10書き込む。

【0086】さらに、ドライバ系制御回路170は、発振回路176からの発振出力に基づいて生成された走査用ラッチパルスLPを基準に、表示用データRAM160から1フレーム分の画像を1走査ライン毎に読み出す。この読み出しは、少なくとも1走査ラインの書き込みが先行してから行われ、さらに表示データRAM160への1走査ライン分の表示データの書き込み速度が、表示データRAM160からの表示1走査ライン分の表示データの読み出し速度以上で行われるようになってい30る。

【0087】PWMデコード回路180は、表示データRAM160より1走査ライン毎に読み出されるデータをラッチして、極性反転周期に従って階調値に応じたパルス幅の信号を出力する。液晶駆動回路190は、PWMデコード回路180からの信号を、LCD表示系の電圧に応じた電圧にシフトさせ、図1に示す液晶パネル20のセグメント電極SEGに供給する。

【0088】3.1 表示データRAMおよびその周辺回路 30

図6に、表示データRAM160およびその周辺回路の概略回路図を示す。図6には、第1、第2のカラムアドレス制御回路142、144、第1、第2のページアドレス制御回路152、154および表示アドレス制御回路156のそれぞれの最終段に設けられた第1、第2のカラムアドレスデコーダ142A、144A、第1、第2のページアドレスデコーダ152A、154Aおよび表示アドレスデコーダ156Aが示されている。

【0089】図6にはさらに、第1、第2行目のメモリセルC10、C11...、C20、C21...が示されている。40そして、図6に示す各メモリセルには、第1～第3のワード線W1～W3と、第1のビット線対B1、/B1と、第2のビット線対B2、/B2とが接続されている。

【0090】第1のカラムアドレスデコーダ142Aは、第1のビット線対B1、/B1に接続された第1のカラムスイッチSW1をオン、オフさせる信号を出力する。第2のカラムアドレスデコーダ144Aは、第2のビット線対B2、/B2に接続された第2のカラムスイッチSW2をオン、オフさせる信号を出力する。第1の50

ページアドレスデコーダ152Aは第1のワード線W1を、第2のページアドレスデコーダ152Aは第2のワード線W2を、表示アドレスデコーダ156Aは第3のワードラインW3を、それぞれをアクティブとする信号を供給する。

【0091】第2のカラムおよびページアドレスデコーダ144A、154Aは、動画データ(R、G、B)を書き込むためのカラムおよびページアドレスを指定する場合にのみ用いられ、このアドレス指定により第2のバスライン120、第2のカラムスイッチSW2を介して、動画データ(R、G、B)がメモリセルに書き込まれる。

【0092】第1のカラムおよびページアドレスデコーダ142A、152Aは、静止画データを書き込むときと、静止画および動画データを読み出すときに、カラムおよびページアドレスを指定する。このアドレス指定により第1のバスライン120、第1のカラムスイッチSW1を介して、表示データRAM160に対してデータがリード・ライトされる。

【0093】表示アドレスデコーダ156Aは、第3のワード線W3を順次1本ずつアクティブにすることで、1走査ライン上の全メモリセルのデータを表示データ出力線OUTに読み出すものである。この読み出しデータが図5に示すPWMデコーダ回路180に供給されて液晶駆動に供される。

【0094】3.2 メモリセルの構成

図7に、表示データRAM160内のメモリセルC10を示す回路図を示す。メモリセルC10は、他のメモリセルと同一の構成を有する。このメモリセルC10は、2つのCMOSインバータ210、202にて構成されるメモリ素子200を有する。2つのMOSインバータ201、202は、その入出力同士を互いに接続する第1、第2の配線204、206を有する。第1配線204とビット線B1との間には第1のN型MOSトランジスタ210(第1のスイッチ)が接続され、そのゲートは第1のワード線W1に接続されている。同様に、第2配線206とビット線/B1との間には第2のN型MOSトランジスタ212(第1のスイッチ)が接続され、そのゲートは第1のワード線W1に接続されている。

【0095】以上の構成により、第1のページアドレスデコーダ152Aからのアクティブ信号により第1のワード線W1が論理レベル「H」(以下、単にHと略す。)となると、第1、第2のN型トランジスタ210、212がオンされる。これにより、メモリセルC10は第1の一对のビット線B1、/B1と接続される。このとき、第1のカラムアドレスデコーダ142Aからアクティブ信号により第1のカラムスイッチSW1がオンしていると、メモリセルC10に対するデータのリード・ライトが可能となる。

【0096】また、電源供給線VDDと表示データ出力

線OUTとの間には第1,第2のP型MOSトランジスタ220,222が接続されている。第1のP型MOSトランジスタ220のゲートは第2の配線206に接続され、第2のP型MOSトランジスタ222のゲートは第3のワード線W3に接続されている。

【0097】メモリセルC10のデータを表示データ出力線OUTに読み出す前に、この表示データ出力線OUTは論理レベル「L」(以下、単にLと略す。)にプリチャージされている。このプリチャージ動作後に第3のワード線W3をLとして第2のP型MOSトランジスタ222をオンさせた状態で、表示データ出力線OUTのデータがPWMデコーダ回路180にてラッチされる。このとき、第2の配線206の電位がH(第1の配線204の電位がL)であれば表示データ出力線OUTはLのままであり、第2の配線206の電位がL(第1の配線204の電位がH)であれば表示データ出力線OUTはHとなる。このようにして、表示データRAM160からの表示データの読み出しを1走査ライン同時に行うことができる。

【0098】本実施形態ではさらに、第2のワード線W2と第2のビット線対B2, /B2とが設けられている。このため、第1配線204とビット線B2との間には第3のN型MOSトランジスタ230(第2のスイッチ)が接続され、そのゲートは第2のワード線W2に接続されている。同様に、第2配線206とビット線/B2との間には第4のN型MOSトランジスタ232(第2のスイッチ)が接続され、そのゲートは第2のワード線W2に接続されている。

【0099】以上の構成により、第2のページアドレスデコーダ154Aからのアクティブ信号により第2のワード線W2がHとなると、第3,第4のN型トランジスタ230,232がオンされ、メモリセルC10は第2の一对のビット線B2, /B2と接続される。このとき、第2のカラムアドレスデコーダ144Aからアクティブ信号により第2のカラムスイッチSW2がオンしていると、メモリセルC10に対する動画データのライトが可能となる。

【0100】4. 本実施形態の表示コントローラの動作タイミング

MPU10は、図1に示す動画表示領域22AのスタートおよびエンドアドレスSA, EAと対応する表示データRAM160のページアドレスおよびカラムアドレスを、動画情報から予め知得している。このためMPU10は、表示データRAM160のエリアのうち動画表示領域22Aと対応するエリアのカラムアドレスおよびページアドレスを、所与の書き込み周波数に従って繰り返し指定することが可能となる。この動画表示領域22Aと対応するエリアのカラムアドレスおよびページアドレスは、XドライバIC24の入出力バッファ102、MPU系制御回路130を経由して、第2のカラムアドレ

ス制御回路144および第2のページアドレス制御回路154に入力される。最終的に、図6に示す第2のカラムアドレスデコーダ144Aおよび第2のページアドレスデコーダ154Aを介して、表示データRAM160のカラムおよびページアドレスが指定される。動画データについて、入力バッファ104および第2のバスライン120を経由させることで、静止画データのバスライン110とは異なる経路にてリアルタイムで伝送することができ、それにより動画データがリアルタイムで書き換えられることになる。

【0101】一方MPU10は、表示データRAM160のエリアのうち静止画表示領域22Aと対応するエリアのカラムアドレスおよびページアドレスを指定して、操作入力部38からの情報入力があった時等の静止画データに変更が生じた時にのみ、所与の書き込み周波数にてデータ書き換えを実施する。

【0102】このように、本実施形態では、静止画と動画とを表示データRAM160に書き込むにあたって、アドレス指定およびデータ伝送をそれぞれ別ルートにて実施し、メモリセルはそれらのいずれのデータも書き込めるように構成されている。従って、静止画と動画とを同時にページ単位で異なるメモリセルに書き込むことが可能となり、どちらか一方のデータ書き込みを停止する必要はない。

【0103】また、メモリセルは静止画および動画のいずれのデータも書き込めるように構成されているので、動画表示領域22Aを任意に変更することが可能となる。

【0104】ここで、液晶パネル22の動画表示領域22Aに動画を表示するに際しては、例えば60Hzすなわち1秒間に60フレームを表示できる表示タイミングに従って、表示データRAM160から表示データが読み出される。これに対して、表示データRAM160への書き込みタイミングは、上述したようにその読み出しタイミングに先行し、その1走査ライン分の表示データの書き込み速度は1走査ライン分の表示データの読み出し速度以上で行われるようになっている。

【0105】図8に、本実施形態の表示コントローラによる動画データの書き込みタイミングを示す。

【0106】すなわち、内部で生成された発振回路の発振出力に基づいて1フレーム単位に生成される表示用垂直同期信号Vsyncのエッジを基準に、書き込みクロック(CLK)の出力が開始され、1フレームの動画データが順次1走査ラインずつ表示データRAM160に設定された動画表示領域22Aに対応した動画記憶領域に書き込まれる。

【0107】一方、表示用垂直同期信号Vsyncのエッジを基準に走査用ラッチパルスLPの出力が開始されるが、フレーム同期信号としての表示用垂直同期信号Vsyncに対して1走査ライン分だけ遅延させた2つ目

のラッチパルスに同期して、表示データRAM160に設定された動画表示領域22Aに対応した動画記憶領域から、順次その読み出しが行われる。すなわち、書き込みを1走査ライン先行させてから、読み出しが行われる。

【0108】書き込みクロックは、例えば表示データRAM160に設定された動画表示領域22Aに対応した動画記憶領域のサイズが120走査ラインであるものとする、120走査ラインの書き込みが終了すると、Hに固定され、書き込みクロックの動作が停止される。

【0109】これ以降、表示データRAM160に対し動画データの書き込みが行われる場合、1フレーム毎に書き込みタイミングと読み出しタイミングとは同様の関係をもって表示データRAM160へのアクセスが行われる。

#### 【0110】5. 変形例

本実施形態における表示コントローラは、内蔵する表示データRAMに対し、表示データの書き込みを少なくとも1走査ライン先行させてから、その読み出しを行うようにしていたが、これに限定されるものではない。本変形例における表示コントローラは、内蔵する表示データRAMからの読み出しを1走査ライン先行させてから、後続する1フレーム分の表示データを書き込む。

【0111】本変形例における表示コントローラは、本実施形態における表示コントローラと同様の構成であるため説明を省略する。

【0112】本変形例では、表示1走査ライン分の表示データの読み出しの速度 $V_R'$ と、1走査ライン分の表示データの書き込みの速度 $V_W'$ との間に次の(3)式の関係が成り立つようになっている。

$$V_R' \cdot V_W' > V_{R0} \quad \dots (3)$$

ここで、 $V_{R0}$ は、これ以上遅くなると次のフレームの1走査ライン目の表示データの読み出しが始まるとされる読み出し速度の最低値を示す。この場合、1走査ライン分の表示データの書き込み速度 $V_W'$ が1走査ライン分の表示データの読み出し速度 $V_{R0}$ 以下となると、次のフレームの表示データの読み出しが始まってしまう、液晶パネルに表示される動画の視認性に違和感が残ってしまう可能性がある。

【0114】しかしながら、読み出しが書き込みに先行して行われ、その1走査ライン分の表示データの書き込み速度が(3)式の関係有する限り、動画表示領域における新たな動画データの書き込みが、液晶パネルを表示駆動するフレームの動画データの読み出しを追い越すことがない。この場合でも、前のフレームとのつながりの違和感を解消することができる。

【0115】図9に、本変形例の表示コントローラによる動画データの書き込みタイミング及び読み出しタイミングを示す。

【0116】すなわち、1フレーム単位に出力される表

示用垂直同期信号 $V_{sync}$ のエッジを基準に、走査用ラッチパルスLPの出力が開始され、1フレームの動画データが順次1走査ラインずつ表示データRAM160に設定された動画表示領域22Aに対応した動画記憶領域から読み出される。

【0117】一方、フレーム同期信号としての表示用垂直同期信号 $V_{sync}$ のエッジに同期して出力される走査用ラッチパルスLPのうち、1走査ライン分だけ遅延させた2つ目のラッチパルスLPに同期して、表示データRAM160に設定された動画表示領域22Aに対応した動画記憶領域に、順次1走査ラインずつ動画データの書き込みが行われる。すなわち、読み出しを1走査ライン先行させてから、書き込みが行われる。

【0118】これ以降、表示データRAM160に対し動画データの書き込みが行われる場合、1フレーム毎に書き込みタイミングと読み出しタイミングとは同様の関係をもって表示データRAM160へのアクセスが行われる。

【0119】ここで、1走査ライン分の表示データの読み出しの速度 $V_R'$ と1走査ライン分の表示データの書き込みの速度 $V_W'$ とが同じ場合、1走査ライン分の表示データの読み出しレート $f_R'$ と1走査ライン分の表示データの書き込みレート $f_W'$ との関係で次の(4)式のように規定される。

$$f_R' \cdot f_W' > f_{R0} \quad \dots (4)$$

なお、図3の場合、読み出しレート $f_R'$ はフレーム周波数 $f_0$ (=60Hz)に相当する。また、 $f_{R0}$ は、これ以上低レートになると次のフレームの表示データの読み出しが始まる最低のフレーム周波数を示す。

【0121】なお本実施形態及び本変形例における表示コントローラは、内蔵する表示データRAM160に設定された動画表示領域に対応した動画記憶領域に対し、1フレーム分の動画データを書き込む場合について説明したが、これに限定されるものではない。例えば、内蔵する表示データRAM160の記憶領域全体を動画表示領域として、これに対応した動画記憶領域に対し、1フレーム分の動画データを書き込む場合についても同様に行うことができる。

【0122】また、本実施形態及び本変形例における表示コントローラに内蔵するRAMは、3ポートRAMとして説明したが、これに限定されるものではない。内蔵RAMとして、2ポートRAMであっても同様である。この場合、1フレーム分の動画データと次のフレームの動画データを表示データRAMに書き込む間に、例えば静止画データを表示データRAMに書き込むといった複雑な書き込み制御が必要となる。

【0123】さらに、本実施形態及び本変形例における表示コントローラをXドライバICとして説明したが、これに限定されるものではない。例えば、表示コントローラにXドライバICの機能だけでなくYドライバIC

の機能をも内蔵し、XドライバICとYドライバICを1チップ化したものであっても同様である。

【0124】さらにまた、本実施形態及び本変形例における表示コントローラは、高耐圧性を要求される液晶駆動回路を分離して、2チップ化するようにしても良い。

【0125】本発明は本実施形態及び本変形例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

#### 【図面の簡単な説明】

【図1】本実施形態における表示コントローラが適用される電子機器の概略ブロック図である。

【図2】本実施形態における表示コントローラが適用される電子機器の一例である携帯電話機の概略ブロック図である。

【図3】本実施形態の表示コントローラの動作原理を説明するための説明図である。

【図4】図4(A)、(B)は、本実施形態の表示コントローラによる書き込み位置及び読み出し位置の関係を模式的に示した説明図である。

【図5】本実施形態の表示コントローラとしてのXドライバICの概略ブロック図である。

【図6】本実施形態における表示データRAM及びその周辺回路の概略説明図である。

【図7】本実施形態の表示データRAM内のメモリセルの構成図である。

【図8】本実施形態における表示コントローラによる動画データの書き込みタイミング及び読み出しタイミングを示すタイミングチャートである。

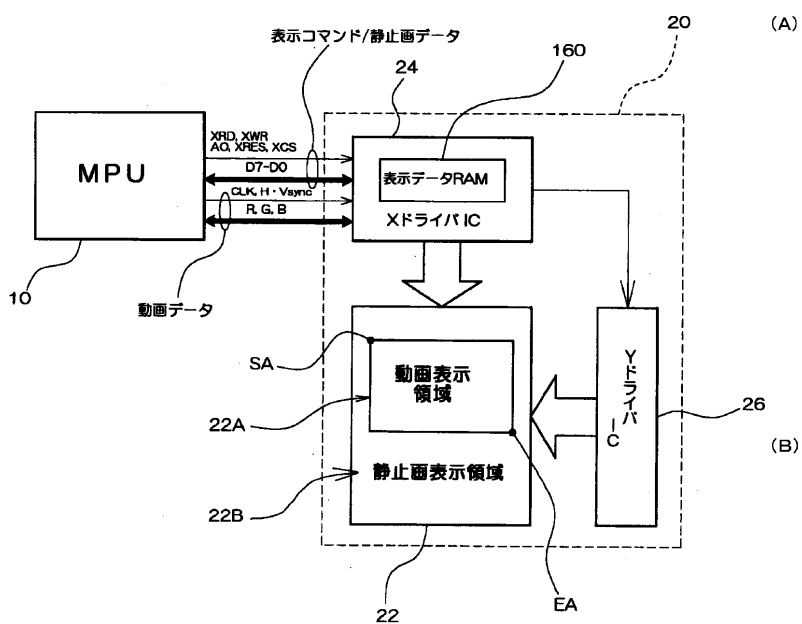
【図9】本変形例の表示コントローラによる動画データの書き込みタイミング及び読み出しタイミングを示すタイミングチャートである。

#### 【符号の説明】

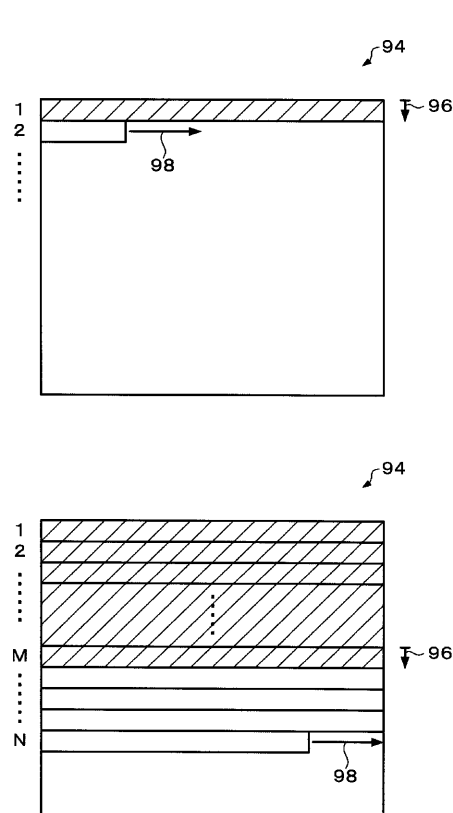
10 MPU  
12 CPU  
14 静止画用メモリ  
16 DSP(デジタル・シグナル・プロセッサ)  
18 動画用メモリ  
20 表示ユニット  
22 液晶パネル  
22A 動画表示領域  
22B 静止画表示領域  
24 XドライバIC  
26 YドライバIC  
30 携帯電話機  
32 アンテナ  
34 変復調回路  
36 デジタルビデオカメラ  
38 操作入力部  
80 表示コントローラ

82、160 表示データRAM  
84、94 動画表示領域  
86 動画データ  
88 表示データ生成回路  
90 表示データ  
91 表示用垂直同期信号Vsync  
92 圧縮データ  
96 読み出し動作  
98 書き込み動作  
100 MPUインターフェース  
102 入出力バッファ  
104 入力バッファ  
110 第1のバスライン  
112 バスホールダ  
114 コマンドデコーダ  
116 ステータス設定回路  
120 第2のバスライン  
122 バスホールダ  
130 MPU系制御回路  
140 カラムアドレス制御回路  
142 第1のカラムアドレス制御回路  
142A 第1のカラムアドレスデコーダ  
144 第2のカラムアドレス制御回路  
144A 第2のカラムアドレスデコーダ  
150 ページアドレス制御回路  
152 第1のページアドレス制御回路  
152A 第1のページアドレスデコーダ  
154 第2のページアドレス制御回路  
154A 第2のページアドレスデコーダ  
162 I/Oバッファ  
170 ドライバ系制御回路  
172 Xドライバ系制御回路  
174 Yドライバ系制御回路  
176 発振回路  
178 電源制御回路  
180 PWMデコーダ回路  
190 液晶駆動回路  
200 メモリ素子  
201, 202 CMOSインバータ  
204, 206 第1, 第2の配線  
210, 212 第1, 第2のN型MOSトランジスタ(第1のスイッチ)  
220, 222 第1, 第2のP型MOSトランジスタ  
230, 232 第3, 第4のN型MOSトランジスタ(第2のスイッチ)  
W1~W3 第1~第3のワード線  
B1, /B1 第1のビット線対  
B2, /B2 第2のビット線対  
C10, C11, C20, C21 メモリセル

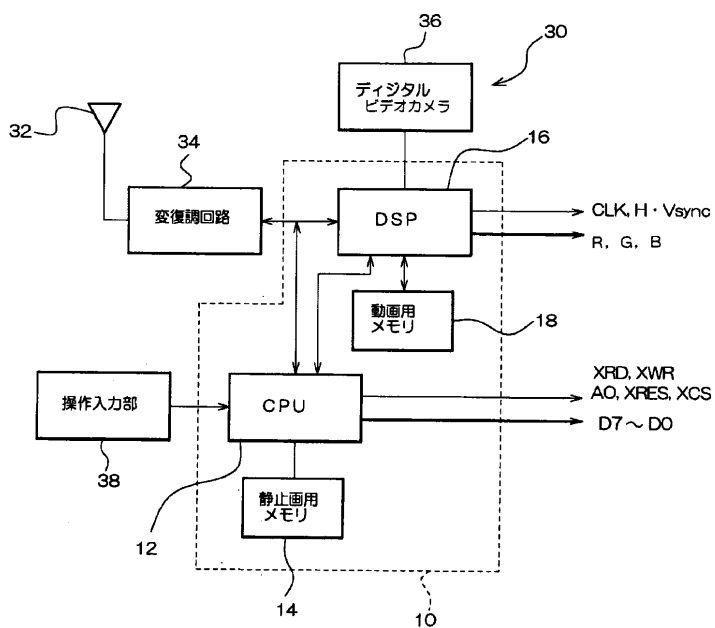
【図1】



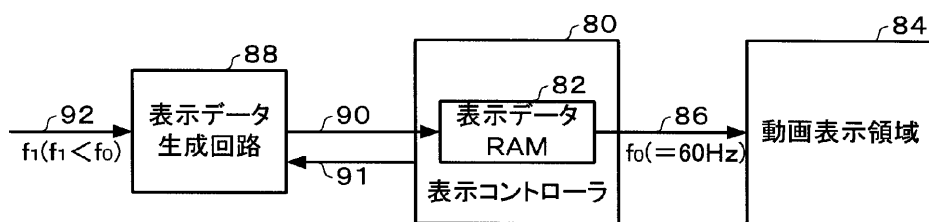
【図4】



【図2】

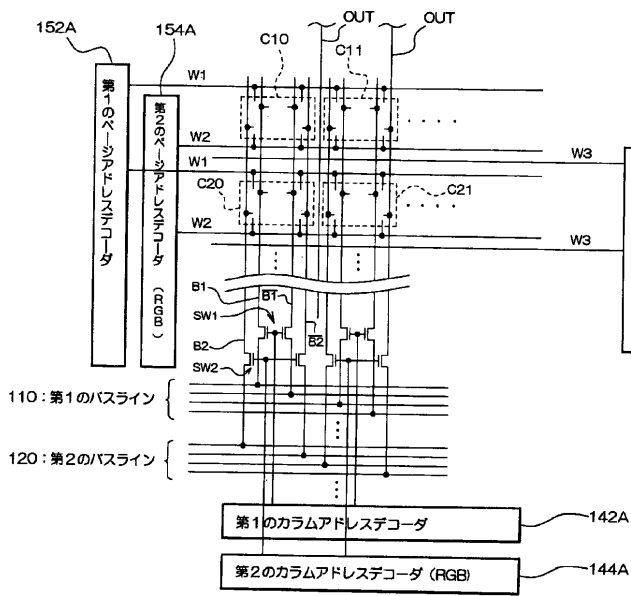


【図3】

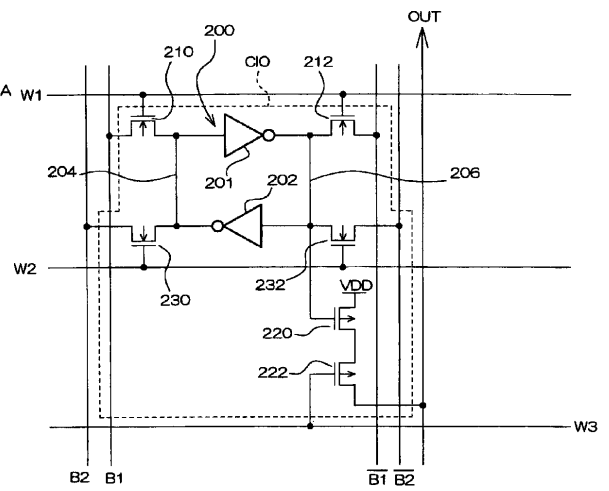




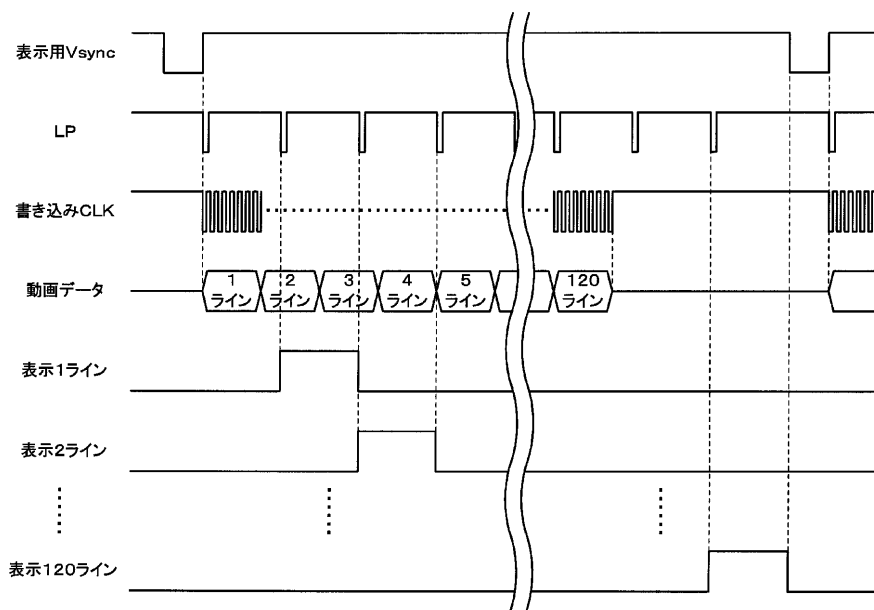
【図6】



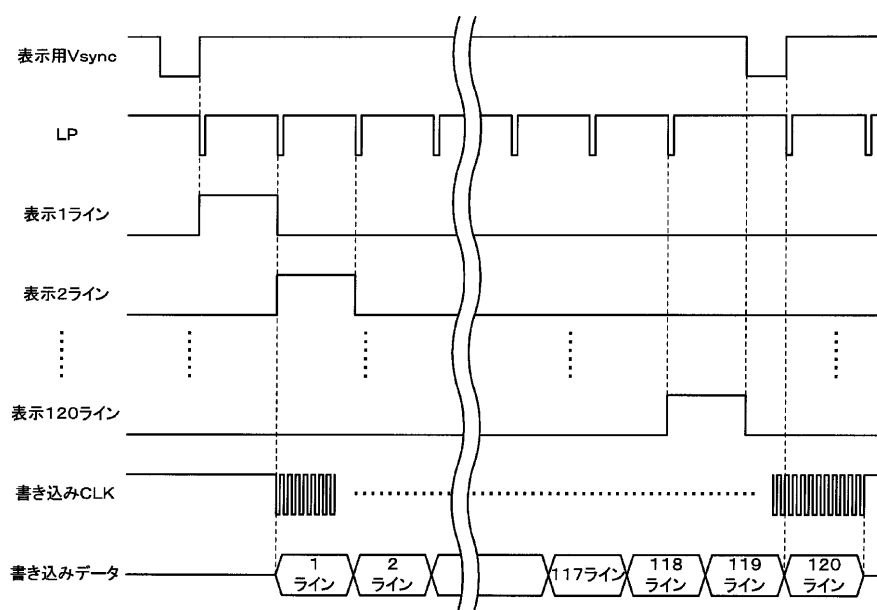
【図7】



【図8】



【図9】



フロントページの続き

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード <sup>8</sup> (参考)
G 0 9 G	3/20	G 0 9 G	5 1 0 M
	3/36		5 2 0 V
	5/36		
	5 1 0		

Fターム(参考) 2H093 NA16 NA31 NA41 NA51 NC01  
 NC26 NC29 NC34 NC37 NC41  
 NC50 ND01 ND39  
 5C006 AF03 AF04 AF26 AF42 BB11  
 BC16 BF02  
 5C080 AA10 BB05 DD01 EE19 GG12  
 GG15 GG17 JJ01 JJ02 JJ03  
 JJ04 KK07 KK47  
 5C082 BA41 BB01 BB15 BB44 BD02  
 CA84 CB01 DA26 DA54 DA55  
 MM10

专利名称(译)	显示控制方法，显示控制器，显示单元和电子设备		
公开(公告)号	<a href="#">JP2002108316A</a>	公开(公告)日	2002-04-10
申请号	JP2000299718	申请日	2000-09-29
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	田村剛		
发明人	田村 剛		
IPC分类号	G02F1/133 G09G1/16 G09G3/20 G09G3/36 G09G5/00 G09G5/36 G09G5/391		
CPC分类号	G09G3/3685 G09G3/2014 G09G3/3611 G09G5/001 G09G5/363 G09G2300/0408 G09G2320/0261 G09G2330/021 G09G2340/125		
FI分类号	G02F1/133.505 G09G3/20.631.B G09G3/20.650.J G09G3/20.660.V G09G3/36 G09G5/36.510.M G09G5/00.520.V		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA41 2H093/NA51 2H093/NC01 2H093/NC26 2H093/NC29 2H093/NC34 2H093/NC37 2H093/NC41 2H093/NC50 2H093/ND01 2H093/ND39 5C006/AF03 5C006/AF04 5C006/AF26 5C006/AF42 5C006/BB11 5C006/BC16 5C006/BF02 5C080/AA10 5C080/BB05 5C080/DD01 5C080/EE19 5C080/GG12 5C080/GG15 5C080/GG17 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 5C080/KK47 5C082/BA41 5C082/BB01 5C082/BB15 5C082/BB44 5C082/BD02 5C082/CA84 5C082/CB01 5C082/DA26 5C082/DA54 5C082/DA55 5C082/MM10 2H193/ZA04 2H193/ZA12 2H193/ZD21 2H193/ZF01		
其他公开文献	JP3674488B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种显示控制方法，显示控制器，显示单元和电子设备，即使在以低于读取速率的速率生成的运动图像数据的情况下，也能够显示运动图像而没有奇怪的感觉。显示控制器80包括显示数据RAM 82，并且内部振荡电路生成频率为 $f_0$ 的帧频率。显示数据RAM 82的存储区域对应于液晶面板的运动图像显示区域84，并且以帧频 $f_0$ 从显示数据RAM 82读取的运动图像数据86驱动液晶面板进行显示。当由显示数据生成电路88以低于帧频率 $f_0$ 的帧频率 $f_1$ 生成的显示数据90被写入显示数据RAM 82时，显示控制器80在写入之前先经过至少一条扫描线。然后，控制显示数据以帧频 $f_0$ 读取。

トローラ、表示ユニット及び電子機器

