

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 237688

(P2001 - 237688A)

(43)公開日 平成13年8月31日(2001.8.31)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
H 0 3 K 19/0185		G 0 2 F 1/133 505	2 H 0 9 2
G 0 2 F 1/133	505	H 0 3 K 19/00 101 D	2 H 0 9 3
1/1368		G 0 2 F 1/136 500	5 J 0 5 6
		H 0 3 K 19/00 101 E	

審査請求 未請求 請求項の数 20 O L (全 17数)

(21)出願番号 特願2000 - 47164(P2000 - 47164)

(22)出願日 平成12年2月24日(2000.2.24)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 奥村 治久

千葉県茂原市早野3300番地 株式会社日立

製作所ディスプレイグループ内

(74)代理人 100083552

弁理士 秋田 収喜

最終頁に続く

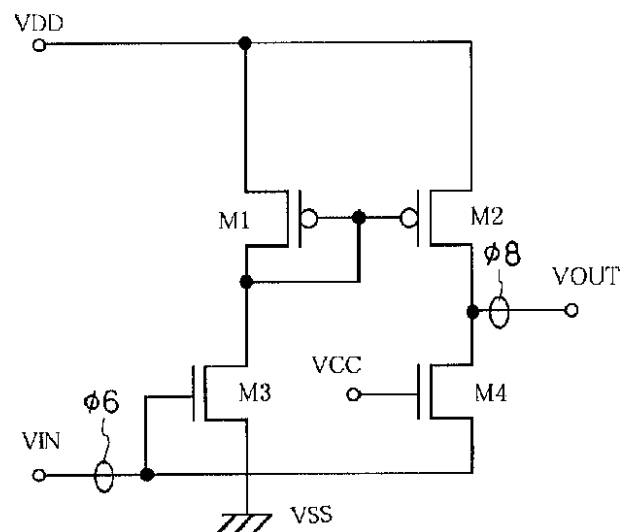
(54)【発明の名称】 レベル変換回路および液晶表示装置

(57)【要約】

【課題】 高速で、かつ、トランジスタのしきい値変動に対して安定に動作させることができるレベルシフト回路を提供する。

【解決手段】 第1導電型トランジスタ(M3)と、当該第1導電型トランジスタに接続される負荷回路とを有する1段目の回路と、第1導電型トランジスタ(M4)と、当該第1導電型トランジスタに接続される第2導電型トランジスタ(M2)とを有する2段目の回路とを備え、前記1段目の回路の第1導電型トランジスタ、および前記2段目の回路の第1導電型トランジスタの電極の中で、出力または次段への出力に接続される電極以外の電極は全て、前記外部入力信号電圧または直流電圧が印加される。

図 1



【特許請求の範囲】

【請求項 1】 第 1 導電型トランジスタと、当該第 1 導電型トランジスタに接続される負荷回路とを有する 1 段目の回路と、
第 1 導電型トランジスタと、当該第 1 導電型トランジスタに接続される第 2 導電型トランジスタとを有する 2 段目の回路とを備え、
前記 1 段目の回路の第 1 導電型トランジスタ、および前記 2 段目の回路の第 1 導電型トランジスタの電極の中で、出力または次段への出力に接続される電極以外の電極は全て、前記外部入力信号電圧または直流電圧が印加されることを特徴とするレベル変換回路。

【請求項 2】 前記 1 段目の回路の前記負荷回路は、第 2 導電型トランジスタから成り、
前記負荷回路の前記第 2 導電型トランジスタのゲート電極には、外部から入力信号が印加されないことを特徴する請求項 1 に記載のレベル変換回路。

【請求項 3】 前記負荷回路の前記第 2 導電型トランジスタのゲート電極は、前記負荷回路の前記第 2 導電型トランジスタのドレイン電極に接続されることを特徴とする請求項 2 に記載のレベル変換回路。

【請求項 4】 前記負荷回路の前記第 2 導電型トランジスタのゲート電極には、直流電圧が印加されることを特徴とする請求項 2 に記載のレベル変換回路。

【請求項 5】 前記負荷回路は、抵抗素子から成ることを特徴とする請求項 1 に記載のレベル変換回路。

【請求項 6】 前記 1 段目の回路の前記第 1 導電型トランジスタのゲート電極、および、前記 2 段目の回路の前記第 1 導電型トランジスタのソース電極には、前記外部入力信号が印加されることを特徴とする請求項 1 ないし 30 請求項 5 のいずれか 1 項に記載のレベル変換回路。

【請求項 7】 前記 2 段目の回路の前記第 1 導電型トランジスタのゲート電極には、前記外部入力信号の低電圧レベルより高レベルで、かつ、前記外部入力信号の高電圧レベル以下のレベルの直流電圧が印加されることを特徴とする請求項 6 に記載のレベル変換回路。

【請求項 8】 前記 1 段目の回路の前記第 1 導電型トランジスタのソース電極、および、前記 2 段目の回路の前記第 1 導電型トランジスタのゲート電極には、前記外部入力信号が印加されることを特徴とする請求項 1 ないし 40 請求項 5 のいずれか 1 項に記載のレベル変換回路。

【請求項 9】 前記 1 段目の回路の前記第 1 導電型トランジスタのゲート電極には、前記外部入力信号の低電圧レベルより高レベルで、かつ、前記外部入力信号の高電圧レベル以下のレベルの直流電圧が印加されることを特徴とする請求項 8 に記載のレベル変換回路。

【請求項 10】 振幅が、第 1 の電圧レベルと、当該第 1 の電圧レベルより低電位の第 2 の電圧レベルとの間の入力信号を、前記第 1 の電圧レベルよりも高電位の第 3 の電圧レベルと、前記第 2 の電圧レベルとの間の振幅の 50

電圧に変換して出力するレベル変換回路で、前記第 3 の電圧レベルを出力するための電源電圧が供給されるレベル変換回路であって、

前記入力信号が前記第 1 の電圧レベルのときに、前記電源電圧、あるいは、外部から供給される前記入力信号電圧を出力し、

前記入力信号が前記第 2 の電圧レベルのときに、外部から供給される前記入力信号電圧、あるいは、前記電源電圧を出力することを特徴とするレベル変換回路。

【請求項 11】 前記レベル変換回路は、第 1 導電型トランジスタと、当該第 1 導電型トランジスタに接続される第 2 導電型トランジスタとを有する出力回路を有し、
前記入力信号が前記第 1 の電圧レベルのときに、前記第 2 導電型トランジスタを介して前記電源電圧、あるいは、前記第 1 導電型トランジスタを介して前記外部から供給される入力信号電圧を出力し、
前記入力信号が前記第 2 の電圧レベルのときに、前記第 1 導電型トランジスタを介して前記外部から供給される入力信号電圧、あるいは、前記第 2 導電型トランジスタを介して前記電源電圧を出力することを特徴とする請求項 10 に記載のレベル変換回路。

【請求項 12】 前記出力回路の前段に、インバータ回路、あるいは、バッファ回路を有し、

前記インバータ回路、およびバッファ回路は、前記出力回路の第 2 導電型トランジスタの ON、OFF は制御するが、前記出力回路の第 1 導電型トランジスタの ON、OFF は直接制御しないことを特徴とする請求項 11 に記載のレベル変換回路。

【請求項 13】 透明な基板上に薄膜トランジスタと画素電極とを有する複数の画素と、

前記画素を駆動する駆動回路とを備える液晶表示装置であって、

前記駆動回路は、前記請求項 1 に記載のレベル変換回路を介して外部回路からの信号が入力され、

前記レベル変換回路の第 1 導電型トランジスタは、前記画素の前記薄膜トランジスタと同時に形成されることを特徴とする液晶表示装置。

【請求項 14】 前記レベル変換回路の第 1 導電型トランジスタの半導体層は、多結晶シリコンから成ることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】 前記レベル変換回路の第 1 導電型トランジスタの半導体層は、非晶質シリコンにレーザー光を照射して形成された結晶シリコンから成ることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 16】 前記レベル変換回路の第 1 導電型トランジスタの半導体層は、非晶質シリコンにレーザー光を照射して形成された多結晶シリコンから成ることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 17】 透明な基板上に薄膜トランジスタと画素電極とを有する複数の画素と、

前記画素を駆動する駆動回路とを備える液晶表示装置であって、

前記駆動回路は、前記請求項1に記載のレベル変換回路を介して外部回路からの信号が入力され、

前記レベル変換回路の第2導電型トランジスタは、前記画素の前記薄膜トランジスタと同時に形成されることを特徴とする液晶表示装置。

【請求項18】 前記レベル変換回路の第2導電型トランジスタの半導体層は、多結晶シリコンから成ることを特徴とする請求項17に記載の液晶表示装置。

【請求項19】 前記レベル変換回路の第2導電型トランジスタの半導体層は、非晶質シリコンにレーザー光を照射して形成された結晶シリコンから成ることを特徴とする請求項17に記載の液晶表示装置。

【請求項20】 前記レベル変換回路の第2導電型トランジスタの半導体層は、非晶質シリコンにレーザー光を照射して形成された多結晶シリコンから成ることを特徴とする請求項17に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、レベル変換回路および液晶表示装置に係わり、特に、ポリシリコントランジスタで構成されるレベル変換回路に適用して有効な技術に関する。

【0002】

【従来の技術】STN(Super Twisted Nematic)方式、あるいはTFT(Thin Film Transister)の液晶表示モジュールは、ノート型パソコン等の表示装置として広く使用されている。このような液晶表示パネルを駆動する駆動回路は、外部回路としてレベル変換回路を必要とするものもある。このようなレベル変換回路は、例えば、特開平06-204850号公報に記載されている。

【0003】図13は、従来のレベル変換回路の一例を示す回路図である。なお、この図13に示すレベル変換回路は、半導体層が単結晶シリコン(Si)から成るMOSTランジスタで構成されるレベル変換回路であり、前記公報(特開平06-204850号)の図4に記載されているものと同じ回路構成のものである。図13に示すレベル変換回路は、低電圧の入力信号1が入力されるCMOSインバータ(INV1)と、このCMOSインバータ(INV1)の出力信号2が入力されるCMOSインバータ(INV2)とを有する。CMOSインバータ(INV1)は、VCCの低電圧と、VSSの基準電圧(または接地電圧)との間に接続されるPチャンネル形MOSTランジスタ(以下、PMOSと称する。)(M5)と、Nチャンネル形MOSTランジスタ(以下、NMOSと称する。)(M6)とで構成される。同様に、CMOSインバータ(INV2)は、VCCの低電圧と、VSSの基準電圧との間に接続されるP

MOS(M7)と、NMOS(M8)とで構成される。

【0004】さらに、VDDの高電圧と、VSSの基準電圧との間に接続されるPMOS(M9)とNMOS(M11)とから成る直列回路と、PMOS(M10)とNMOS(M12)とから成る直列回路とを有する。ここで、NMOS(M11)のゲート電極には、CMOSインバータ(INV2)の出力信号3が入力され、NMOS(M12)のゲート電極には、CMOSインバータ(INV1)の出力信号2が入力される。また、PMOS(M9)のゲート電極は、PMOS(M10)のドレイン電極に接続され、PMOS(M10)のゲート電極は、PMOS(M9)のドレイン電極に接続される。

【0005】入力端子VINより入力される入力信号1は、VCCの低電圧と、VSSの基準電圧との間の振幅を有し、各CMOSインバータ(INV1, INV2)により、VCCの低電圧と、VSSの基準電圧との間の振幅を有する低電圧出力(2, 3)に変換される。この低電圧出力信号(2, 3)は、Nチャンネル形MOSTランジスタ(M11, M12)のゲート電極に入力され、出力端子(VOU1, VOU2)からレベル変換された信号、即ち、高電圧電源VDDと接地電圧VSS間との振幅を有する相補出力信号(4, 5)が出力される。例えば、低電圧出力信号2がHighレベル(以下、単に、Hレベル)、低電圧出力信号3がLowレベル(以下、単に、Lレベル)のときには、NMOS(M12)がON、PMOS(M9)がON、NMOS(M11)がOFF、PMOS(M10)がOFFとなり、出力端子VOU2からは接地電圧VSSが、出力端子VOU1からは高電圧VDDが出力される。同様に、低電圧出力信号2がLレベル、低電圧出力信号3がHレベルのときには、NMOS(M12)がOFF、PMOS(M9)がOFF、NMOS(M11)がON、PMOS(M10)がONとなり、出力端子VOU2からは高電圧電源VDDが、出力端子VOU1からは接地電圧VSSが出力される。

【0006】図14は、従来のレベル変換回路の他の例を示す回路図である。なお、この図14に示すレベル変換回路も、半導体層が単結晶シリコン(Si)から成るMOSTランジスタで構成されるレベル変換回路であり、前記公報(特開平06-204850号)の図1に記載されているものと同じ回路構成のものである。この図14に示すレベル変換回路は、CMOSインバータ(INV2)が省略されるとともに、NMOS(M11)のソース電極に、CMOSインバータ(INV1)の出力信号2が入力され、そのゲート電極にVCCの低電圧が印加される点で、図13に示すレベル変換回路と相違する。この図14に示すレベル変換回路は、図13のレベル変換回路において、出力端子(VOU1, VOU2)から出力されるレベル変換された出力信号

(4 , 5) が、HレベルからLレベル、またはLレベルからHレベルに変化するときに、PMOS (M 9)、NMOS (M 1 1)、PMOS (M 1 0) および NMOS (M 1 2) とが同時にONとなり、PMOS (M 9) と NMOS (M 1 1) とから成る直列回路、PMOS (M 1 0) と NMOS (M 1 2) とから成る直列回路に貫通電流が流れるのを防止するようにしたものである。

【0007】

【発明が解決しようとする課題】しかしながら、図13 10 に示すレベル変換回路では、低電圧側に4個のMOSトランジスタ (M 5 ~ M 8) と、高電圧側に4個のMOSトランジスタ (M 9 ~ M 1 2) とで、全体で8個のMOSトランジスタが必要であり、同様に、図14に示すレベル変換回路では6個のMOSトランジスタが必要であり、従来のレベル変換回路は、多くのMOSトランジスタを必要とするという問題点があった。一方、半導体層が単結晶シリコンから成るMOSトランジスタの移動度は $1000 \sim 2000 \text{ cm}^2/\text{V} \cdot \text{s}$ 、半導体層が多結晶シリコン (ポリシリコン) から成るMOSトランジスタ 20 の移動度は $10 \sim 100 \text{ cm}^2/\text{V} \cdot \text{s}$ 、半導体層がアモルファスシリコンから成るMOSトランジスタの移動度は $0.1 \sim 10 \text{ cm}^2/\text{V} \cdot \text{s}$ であることが知られている。半導体層が多結晶シリコンやアモルファスシリコンから成るMOSトランジスタは、石英ガラスや、軟化点 800°C 以下のガラスなどの透明な絶縁基板に形成することができるので、液晶表示装置などの表示デバイスに直接電子回路を形成することができる。

【0008】図15は、半導体が単結晶シリコンから成るNチャンネル型MOSトランジスタのスイッチング特 30 性の一例を示すグラフであり、図16は、半導体層がポリシリコンから成るMOSトランジスタのスイッチング特性の一例を示すグラフである。これらのグラフにおいて、Aは標準的なしきい値 (V_{TH}) の場合の特性であり、Bはしきい値 (V_{TH}) が、標準的なしきい値 (V_{TH}) より -1 V 変化した場合の特性、Cはしきい値 (V_{TH}) が、標準的なしきい値 (V_{TH}) より $+1 \text{ V}$ 変化した場合の特性である。図15、図16から理解できるように、半導体層として、 $500^\circ\text{C} \sim 1100^\circ\text{C}$ の温度で結晶化させる、固相成長法によって得られるポリシリ 40 コンや、CVD法で形成したアモルファスシリコンをレーザーアニールで結晶化させたポリシリコンを使用するポリシリコンMOSトランジスタ (例えば、ポリシリコン薄膜トランジスタ) では、ゲート・ソース間電圧 (V_{GS}) が低電圧 (例えば、 5 V 以下) の場合に、半導体層が単結晶シリコンから成るMOSトランジスタのドレイン電流値 (I_D) に比して、ドレイン電流値 (I_D) が小さく、かつ、ドレイン電流値 (I_D) はしきい値 (V_{TH}) の変動により大きく変化する。そのため、図13、図14に示すレベル変換回路を、半導体層が単結晶 50

シリコンから成るMOSトランジスタを使用して構成する場合には、十分な動作を保証することができるが、図13、図14に示すレベル変換回路を、半導体層がポリシリコンから成るポリシリコンMOSトランジスタを使用して構成する場合には、電源電圧が低電圧 V_{CC} の場合に十分な駆動能力を得ることができないという欠点があった。

【0009】図17は、CMOSインバータの直流伝達曲線を示すグラフである。一般的に、CMOSインバータでは、入力信号のHレベルとLレベルの中間の電圧を越えたときに、CMOSインバータを構成するPチャンネル型MOSトランジスタおよびNチャンネル型MOSトランジスタが、ONからOFF (またはOFFからON) になるように、CMOSインバータを構成するPチャンネル型MOSトランジスタおよびNチャンネル型MOSトランジスタのしきい値 (V_{TH}) が決定される。この状態のときの直流伝達特性が、図17のAである。また、図17に示すBは、CMOSインバータを構成するPチャンネル型MOSトランジスタおよびNチャンネル型MOSトランジスタのしきい値 (V_{TH}) が、図17のAに示す場合よりも $-$ 方向へ変化した場合の直流伝達特性で、図17に示すCは、CMOSインバータを構成するPチャンネル型MOSトランジスタおよびNチャンネル型MOSトランジスタのしきい値 (V_{TH}) が、図17のAに示す場合よりも $+$ 方向へ変化した場合の直流伝達特性である。

【0010】図18は、CMOSインバータの入出力波形を説明するための模式図である。この図18において、(イ)はCMOSインバータに入力される入力信号の波形であり、(ロ) ~ (ニ)は、直流伝達特性が、それぞれ図17のA ~ Cの場合における、CMOSインバータから出力される出力信号の波形を示す。CMOSインバータの直流伝達特性が、図17のAの場合には、図18の(ロ)に示すように、入力信号の立ち上がり時点から t_{DA} 時間遅れて、出力信号はたち下がるが、出力信号のHレベル期間 (LHA) およびLレベル期間 (LLA) は、入力信号と同じになる。しかしながら、CMOSインバータの直流伝達特性が、図17のBの場合には、図18の(ハ)に示すように、入力信号の立ち上がり時点から t_{DA} 時間よりも短い t_{DB} 時間遅れて、出力信号はたち下がるとともに、出力信号のHレベル期間 (LHB) が、入力信号のHレベル期間よりも短く、かつ、Lレベル期間 (LLB) は、入力信号のLレベル期間よりも長くなる。また、CMOSインバータの直流伝達特性が、図17のCの場合には、図18の(ニ)に示すように、入力信号の立ち上がり時点から t_{DA} 時間よりも長い t_{DC} 時間遅れて、出力信号はたち下がるとともに、出力信号のHレベル期間 (LHC) が、入力信号のHレベル期間よりも長く、かつ、Lレベル期間 (LLC) は、入力信号のLレベル期間よりも短くなる。

【0011】一般的に、ポリシリコンMOSトランジスタの場合、半導体層が単結晶シリコンから成るMOSトランジスタに比べて、MOSトランジスタのしきい値(V_{TH})のバラツキが大きく、かつ、図16から分かるように、MOSトランジスタのしきい値(V_{TH})が変動すると、ド레인電流値(I_D)が大きく変化する。このため、従来のレベル変換回路を、ポリシリコンMOSトランジスタで構成した場合には、主にCMOSインバータ($INV1$, $INV2$)を構成するポリシリコンMOSトランジスタのしきい値(V_{TH})のばらつきにより、CMOSインバータ($INV1$, $INV2$)の直流伝達特性が大きく変動するので、入力信号に対する出力信号の遅延時間(または位相差)と、Hレベル期間(またはLレベル期間)の変化が大きくなるという問題があった。例えば、電界効果移動度約 $80\text{ cm}^2/\text{V}\cdot\text{s}$ のポリシリコンNチャンネル型MOSトランジスタと、電界効果移動度約 $60\text{ cm}^2/\text{V}\cdot\text{s}$ のポリシリコンPチャンネル型MOSトランジスタにより、図13に示すレベル変換回路を構成した時の入出力信号波形を図19に示す。図19において、5は、標準的なしきい値(V_{TH})の場合のレベル変換回路の出力波形、5-1は、NMOSおよびPMOSトランジスタのしきい値(V_{TH})が -1 V 変化した場合の出力波形、5-2は、NMOSおよびPMOSトランジスタのしきい値(V_{TH})が $+1\text{ V}$ 変化した場合の出力波形である。図19から分かるように、MOSトランジスタのしきい値(V_{TH})変動により、入力信号に対する出力信号の遅延時間、および出力信号のHレベル期間が大きく変動する。

【0012】アナログサンプリング方式のアクティブマトリクスポリシリコンMOSトランジスタ液晶表示モジュールでは、このようなレベル変換回路からの出力信号の遅延時間、および出力信号のHレベル期間の変動は、例えば、中間調表示時の縦線等の画質不良を生じさせる。図20は、アクティブマトリクスポリシリコンMOSトランジスタ液晶表示モジュールの表示原理を説明するための図である。アクティブマトリクスポリシリコンMOSトランジスタ液晶表示モジュールでは、1水平期間内に走査回路により、例えば、ゲート電極線 $G1$ を選択し、この間に、水平走査回路内のシフトレジスタ(SR)のシフト走査により、($n-1$)番目のド레인電極線、 n 番目のド레인電極線、($n+1$)番目のド레인電極線へと順次アナログ映像信号 sig をサンプリングし、これをゲート電極線数だけ繰り返し行うことで映像表示を行う。

【0013】ド레인電極線($n-1$, n , $n+1$)へのアナログ映像信号 sig のサンプリング動作について、図21のタイミングチャートを用いて説明する。まず、相補クロック入力信号(PL , NL)の電圧レベルをレベル変換回路($LV1$, $LV2$)によりレベルシフトし、レベルシフトされた相補信号(NH , P

H)を生成する。信号 PH と、シフトレジスタ(SR)の出力とを、NAND回路 $NA1$ に入力し、サンプリングパルス N を生成するとともに、信号 NH と、シフトレジスタ(SR)の出力とを、NAND回路 $NA2$ に入力し、サンプリングパルス($N+1$)を生成する。これらサンプリングパルス(N , $N+1$)の反転パルス($\neg N$, $\neg N+1$; ここで、 \neg は反転信号を意味する。)により、サンプルホールド回路($SH2$, $SH3$)を駆動して、時間的に変化するアナログ映像信号 sig を逐次サンプリングし、($n-1$)番目のド레인電極線、 n 番目のド레인電極線、($n+1$)番目のド레인電極線へ映像信号電圧(m , $m+1$)を供給する。

【0014】したがって、レベル変換回路($LV1$, $LV2$)を構成するMOSトランジスタのしきい値(V_{TH})変動が生じた場合には、レベル変換回路($LV1$, $LV2$)でレベルシフトされた相補信号(NH , PH)の位相およびHレベル期間が変動し、サンプリングパルス(N , $N+1$)の位相およびHレベル期間が変動する。サンプリングパルス(N , $N+1$)の位相およびHレベル期間の変化は、サンプリング期間の短縮、または、本来サンプリングすべきアナログ映像信号 sig とは異なるアナログ映像信号 sig をサンプリングしたり、あるいは、サンプリングパルス(N , $N+1$)のサンプリング期間の重なりを生じさせる。これにより、液晶表示パネルに表示される画像にゴーストが生じ、表示画像の表示品質を著しく損なわせることになる。

【0015】また、デジタル入力方式のアクティブマトリクスポリシリコンMOSトランジスタ液晶表示モジュールでは、デジタル-アナログ変換器(D/A 変換器)の前にこのようなレベル変換回路を設けると、各データビットのレベル変換回路での遅延時間にバラツキが生じ、一部のビットのデータが反転した状態でデジタル-アナログ変換されるので誤表示が起こる。本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、レベル変換回路において、高速で、かつ、トランジスタのしきい値変動に対して安定に動作させることが可能となる技術を提供することにある。本発明の他の目的は、液晶表示装置において、前記レベル変換回路を用いて表示画像の表示品質を向上させることが可能となる技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、第1導電型トランジスタと、当該第1導電型トランジスタに接続される負荷回路とを有する1段目の回路と、第1導電型トランジ

スタと、当該第 1 導電型トランジスタに接続される第 2 導電型トランジスタとを有する 2 段目の回路とを備え、前記 1 段目の回路の第 1 導電型トランジスタ、および前記 2 段目の回路の第 1 導電型トランジスタの電極の中で、出力または次段への出力に接続される電極以外の電極は全て、前記外部入力信号電圧または直流電圧が印加されることを特徴とする。

【0017】本発明の好ましい実施の形態では、前記 1 段目の回路の前記負荷回路は、第 2 導電型トランジスタから成り、前記負荷回路の前記第 2 導電型トランジスタのゲート電極には、外部から入力信号が印加されないことを特徴する。また、本発明のより好ましい実施の形態では、前記負荷回路の前記第 2 導電型トランジスタのゲート電極は、前記負荷回路の前記第 2 導電型トランジスタのドレイン電極に接続されるか、あるいは、前記負荷回路の前記第 2 導電型トランジスタのゲート電極には、直流電圧が印加されることを特徴とする。また、本発明のより好ましい実施の形態では、前記負荷回路は、抵抗素子から成ることを特徴とする。

【0018】本発明の好ましい実施の形態では、前記 1 段目の回路の前記第 1 導電型トランジスタのゲート電極、および、前記 2 段目の回路の前記第 1 導電型トランジスタのソース電極には、前記外部入力信号が印加されることを特徴とする。また、本発明のより好ましい実施の形態では、前記 2 段目の回路の前記第 1 導電型トランジスタのゲート電極には、前記外部入力信号の低電圧レベルより高レベルで、かつ、前記外部入力信号の高電圧レベル以下のレベルの直流電圧が印加されることを特徴とする。

【0019】本発明の好ましい実施の形態では、前記 1 段目の回路の前記第 1 導電型トランジスタのソース電極、および、前記 2 段目の回路の前記第 1 導電型トランジスタのゲート電極には、前記外部入力信号が印加されることを特徴とする。また、本発明のより好ましい実施の形態では、前記 1 段目の回路の前記第 1 導電型トランジスタのゲート電極には、前記外部入力信号の低電圧レベルより高レベルで、かつ、前記外部入力信号の高電圧レベル以下のレベルの直流電圧が印加されることを特徴とする。また、本発明において、前記 1 段目の回路の前記負荷回路に代えて、ゲート電極が、前記 2 段目の回路の第 2 導電型トランジスタのドレイン電極に接続される第 2 導電型トランジスタを使用してもよい。

【0020】また、本発明は、振幅が、第 1 の電圧レベルと、当該第 1 の電圧レベルより低電位の第 2 の電圧レベルとの間の入力信号を、前記第 1 の電圧レベルよりも高電位の第 3 の電圧レベルと、前記第 2 の電圧レベルとの間の振幅の電圧に変換して出力するレベル変換回路で、前記第 3 の電圧レベルを出力するための電源電圧が供給されるレベル変換回路であって、前記入力信号が前記第 1 の電圧レベルのときに、前記電源電圧、あるいは、

は、外部から供給される前記入力信号電圧を出力し、前記入力信号が前記第 2 の電圧レベルのときに、外部から供給される前記入力信号電圧、あるいは、前記電源電圧を出力することを特徴とする。

【0021】本発明の好ましい実施の形態では、前記レベル変換回路は、第 1 導電型トランジスタと、当該第 1 導電型トランジスタに接続される第 2 導電型トランジスタとを有する出力回路を有し、前記入力信号が前記第 1 の電圧レベルのときに、前記第 2 導電型トランジスタを介して前記電源電圧、あるいは、前記第 1 導電型トランジスタを介して前記外部から供給される入力信号電圧を出力し、前記入力信号が前記第 2 の電圧レベルのときに、前記第 1 導電型トランジスタを介して前記外部から供給される入力信号電圧、あるいは、前記第 2 導電型トランジスタを介して前記電源電圧を出力することを特徴とする。また、本発明のより好ましい実施の形態では、前記出力回路の前段に、インバータ回路、あるいは、バッファ回路を有し、前記インバータ回路、およびバッファ回路は、前記出力回路の第 2 導電型トランジスタの ON、OFF は制御するが、前記出力回路の第 1 導電型トランジスタの ON、OFF は直接制御しないことを特徴とする。

【0022】前記手段によれば、1 段目の回路の第 1 導電型トランジスタ、および 2 段目の回路の第 1 導電型トランジスタの電極の中で、出力または次段への出力に接続される電極以外の電極で外部信号が印加される電極に、低電圧系のインバータ回路を介さず外部入力信号電圧を直接印加するようにしたので、高速動作および各トランジスタのしきい値変動に対して安定に動作させることが可能となる。

【0023】また、本発明は、透明な基板上に薄膜トランジスタと画素電極とを有する複数の画素と、前記画素を駆動する駆動回路とを備える液晶表示装置であって、前記駆動回路は、前記手段のレベル変換回路を介して外部回路からの信号が入力され、前記レベル変換回路の第 1 導電型トランジスタ、あるいは、第 2 導電型トランジスタは、前記画素の前記薄膜トランジスタと同時に形成されることを特徴とする。本発明の好ましい実施の形態では、前記レベル変換回路の第 1 導電型トランジスタあるいは第 2 導電型トランジスタの半導体層は、多結晶シリコンから成ることを特徴とする。

【0024】本発明のより好ましい実施の形態では、前記レベル変換回路の第 1 導電型トランジスタあるいは第 2 導電型トランジスタの半導体層は、非晶質シリコンにレーザー光を照射して形成された結晶シリコンから成ることを特徴とする。本発明のより好ましい実施の形態では、前記レベル変換回路の第 1 導電型トランジスタあるいは第 2 導電型トランジスタの半導体層は、非晶質シリコンにレーザー光を照射して形成された多結晶シリコンから成ることを特徴とする。前記手段によれば、液晶表

示装置に内蔵されるレベル変換回路として、前記手段の手段のレベル変換回路を使用するようにしたので、表示画像の表示品質を向上させることが可能となる。

【0025】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施の形態1〕図1は、本発明の実施の形態1のレベル変換回路を示す回路図である。図1に示すように、本実施の形態のレベル変換回路は、エンハンスメントモードPチャンネル形ポリシリコンMOSトランジスタ、およびエンハンスメントモードNチャンネル形ポリシリコンMOSトランジスタを計4個を使用したレベル変換回路であり、PMOS(M1)とNMOS(M3)とから成る1段目の回路と、PMOS(M2)とNMOS(M4)とから成る2段目の回路とを有する。1段目の回路のNMOS(M3)は、ソース電極がVSSの基準電圧(接地電圧)に接続され、ゲート電極には入力端子VINから入力される入力信号6が印加される。この入力信号

6は、振幅が、VCCと同じか、それよりも高い電圧とVSSの接地電圧との間で変化する信号である。ドレイン電極がNMOS(M3)のドレイン電極に接続されるPMOS(M1)は、ソース電極がVDDの高電圧に接続され、ゲート電極がドレイン電極に接続される。

【0026】2段目の回路のNMOS(M4)は、ソース電極に入力信号6が印加され、ゲート電極がVCCの低電圧に接続される。ドレイン電極がNMOS(M4)のドレイン電極に接続されるPMOS(M2)は、ソース電極がVDDの高電圧に接続され、ゲート電極がPMOS(M1)のドレイン電極に接続される。即ち、PMOS(M1)は、能動負荷回路を構成する。ここで、レベルシフトされた出力信号8は、2段目の回路のPMOS(M2)のドレイン電極から出力される。即ち、本実施の形態のレベル変換回路は、1段目の回路および2段目の回路のNMOS(M3, M4)の各電極の中で、出力または次段への出力に接続される電極以外の電極(NMOS(M3)のソース電極およびゲート電極、NMOS(M4)のソース電極およびゲート電極)は全て、入力信号電圧(6)または直流電圧(VCC)の低電圧またはVSSの接地電圧)が印加される。

【0027】以下、本実施の形態のレベル変換回路の動作について説明する。入力端子VINより入力される入力信号6が、Hレベルのときには、NMOS(M3)がON、PMOS(M1)がON、NMOS(M4)がOFF、PMOS(M2)がONとなり、出力端子VOUTからは高電圧VDDが出力される。また、入力信号

6がLレベルのときには、NMOS(M3)がOFF、PMOS(M1)がOFF、NMOS(M4)がON、PMOS(M2)がOFFとなり、出力端子VOUT

Tからは、入力信号6がLレベルの電圧が出力される。

【0028】図2は、本実施の形態のレベル変換回路の入出力信号波形の一例を示す図である。この図2は、NMOS(M3, M4)として、電界効果移動度約80 cm/V・sのポリシリコンNチャンネル型MOSトランジスタを、PMOS(M1, M2)として、電界効果移動度約60 cm/V・sのポリシリコンPチャンネル型MOSトランジスタを使用したときの入出力信号波形を示す図である。図2において、8は、NMOS(M3, M4)およびPMOS(M1, M2)が標準的なしきい値(VTH)の場合の出力波形、8-1は、NMOS(M3, M4)およびPMOS(M1, M2)のしきい値(VTH)が-1V変化した場合の出力波形、8-2は、NMOS(M3, M4)およびPMOS(M1, M2)のしきい値(VTH)が+1V変化した場合の出力波形である。この図2から明らかなように、本実施の形態のレベル変換回路は、図19に示す入出力波形と比して、NMOS(M3, M4)およびPMOS(M1, M2)のしきい値(VTH)の変化に対して比較的安定な入出力特性が得られる。

【0029】前述したように、ポリシリコンMOSトランジスタの場合、MOSトランジスタのしきい値(VTH)のバラツキが大きく、かつ、前記図16に示すように、電源電圧が低電圧のときに、MOSトランジスタのしきい値(VTH)のバラツキによりドレイン電流値(ID)が大きく変動する。しかしながら、本実施の形態のレベル変換回路では、NMOS(M3)のゲート電極、およびNMOS(M4)のソース電極に、外部端子VINから入力される外部信号6が直接印可されるので、ポリシリコンMOSトランジスタのしきい値(VTH)がばらついたとしても、ドレイン電流値(ID)が大きく変動することがない。

【0030】このため、本実施の形態のレベル変換回路によれば、レベル変換回路を構成する各トランジスタ(NMOS(M3, M4)およびPMOS(M1, M2))のしきい値(VTH)のばらつきにより、出力信号の遅延時間、および出力信号のHレベル期間が大きく変動するのを防止することができる。なお、単結晶半導体層においても、本実施の形態の効果は得られる。しかしながら、図15に示すように、MOSトランジスタのしきい値(VTH)のバラツキは少なく、ドレイン電流も大きくとれるので、低消費電力化のために、図13に示す従来の回路を用いるのが常識であり、図1に示すような、本実施の形態のレベル変換回路は、消費電力が増えるので誰もが思いつかなかった。

【0031】図3ないし図7は、本発明の実施の形態のレベル変換回路の変形例を示す回路図である。図3に示すレベル変換回路は、1段目の回路の負荷回路として抵抗素子を使用したものである。図3に示すレベル変換回

路では、抵抗素子に、薄膜トランジスタ(TFT)と同じポリシリコン膜や、電極配線が使用できるので、レベル変換回路を簡単に形成でき、製造が容易である。図4に示すレベル変換回路は、1段目の回路の負荷回路として、ゲート電極に所定のバイアス電源V_{bb}が印加されるポリシリコンPMOS(M1)を使用したものである。図4に示すレベル変換回路では、NMOS(M3)を流れる電流が、PMOS(M1)で制限されるので、消費電力を抑えることができる。この場合に、電流の制限量は、バイアス電源V_{bb}で決定される。

【0032】図5に示すレベル変換回路は、1段目の回路の負荷回路として、ポリシリコンNMOS(M20)から成る能動負荷回路を使用したものである。図5に示すレベル変換回路では、入力段をNMOS(M3)とNMOS(M20)のNMOSTランジスタのみで構成でき、NMOSTランジスタはPMOSTランジスタよりも移動度が高いので高速化することができる。図6に示すレベル変換回路は、1段目の回路の負荷回路として、デプレッションモードポリシリコンNMOS(M21)から成る能動負荷回路を使用したものである。図6に示すレベル変換回路では、NMOS(M21)はデプレッションモードのMOSTランジスタであるので、常時電流を流すことができ、高速化することができる。しかし、その分消費電力が増加する。

【0033】図7に示すレベル変換回路は、1段目の回路の負荷回路として、ダイオードDを使用したものである。ダイオードDは、薄膜トランジスタ(TFT)と同じポリシリコン膜に、p型領域を形成する不純物と、n型領域を形成する不純物をそれぞれドーピングして形成することができるので、図7に示すレベル変換回路では、製造プロセスが容易となる。これら図3ないし図7に示すレベル変換回路でも、図1に示すレベル変換回路と同じような効果を得ることが可能である。

【0034】[実施の形態2]図8は、本発明の実施の形態2のレベル変換回路を示す回路図である。図8に示すように、本実施の形態のレベル変換回路も、エンハンスメントモードPチャネル形ポリシリコンMOSTランジスタおよびNチャネル形MOSポリシリコントランジスタを計4個を使用したレベル変換回路であり、PMOS(M1)とNMOS(M3)とから成る1段目の回路と、PMOS(M2)とNMOS(M4)とから成る2段目の回路とを有する。本実施の形態のレベル変換回路は、1段目の回路のNMOS(M3)が、ソース電極に入力信号6が印加され、ゲート電極がV_{CC}の低電圧に接続されるとともに、2段目の回路のNMOS(M4)が、ソース電極がV_{SS}の基準電圧に接続され、ゲート電極に入力端子VINから入力される入力信号6が印加される点で前記実施の形態1のレベル変換回路と相違する。

【0035】本実施の形態のレベル変換回路では、入力

端子VINより入力される入力信号6が、Hレベルのときに、NMOS(M3)がOFF、PMOS(M1)がOFF、NMOS(M4)がON、PMOS(M2)がOFFとなり、出力端子VOUTからは接地電圧V_{SS}が出力される。また、入力信号6がLレベルのときには、NMOS(M3)がON、PMOS(M1)がON、NMOS(M4)がOFF、PMOS(M2)がONとなり、出力端子VOUTからは高電圧V_{DD}が出力される。このように、前記実施の形態1のレベル変換回路では、レベルシフトされた出力信号8が、入力信号6と同相であるに対して、本実施の形態のレベル変換回路では、レベルシフトされた出力信号8が、入力信号6と逆相となる。本実施の形態のレベル変換回路でも、前記実施の形態1のレベル変換回路と同じような効果を得ることが可能であり、さらに、本実施の形態のレベル変換回路において、1段目の回路の負荷回路(PMOS(M1)で構成した部分)として、前記図3ないし図7に示す負荷回路を採用してもよい。

【0036】本実施の形態のレベル変換回路と類似の回路構成を持つバッファ回路が、たとえば、特開平07-007414号公報に記載されている。図22は、前記公報(特開平07-007414号)に記載されているバッファ回路の回路構成を示す回路図である。図22に示すバッファ回路は、バッファ回路であるが故に、PMOS(Q1)とNMOS(Q2)とは、V_{DD}の電圧と、V_{SS}の基準電圧との間に接続される。そして、NMOS(Q2)には、振幅が、V_{DD}の電圧とV_{SS}の接地電圧との間で変化する信号が印可される。そのため、NMOS(Q2)は、デプレッションモードNチャネル形MOSTランジスタが使用される。

【0037】そもそも図22に示すバッファ回路は、入力信号の電圧レベルをシフトするレベル変換回路ではなく、その上、図22に示すバッファ回路は、デプレッションモードNチャネル形MOSTランジスタ(NMOS(Q2))を使用する点で、本実施の形態のレベル変換回路と相違する。しかも、前記公報(特開平07-007414号)には、図8に示す本実施の形態のレベル変換回路を構成する各トランジスタ(NMOS(M3, M4)およびPMOS(M1, M2))のしきい値(V_{TH})のばらつきにより、出力信号の遅延時間、および出力信号のHレベル期間が大きく変動するのを防止することは何ら開示されていない。

【0038】[実施の形態3]図9は、本発明の実施の形態3のレベル変換回路を示す回路図である。図9に示すように、本実施の形態のレベル変換回路も、エンハンスメントモードPチャネル形MOSポリシリコントランジスタおよびNチャネル形MOSポリシリコントランジスタを計4個を使用したレベル変換回路であり、PMOS(M1)とNMOS(M3)とから成る1段目の回路と、PMOS(M2)とNMOS(M4)とから成る2

段目の回路とを有する。本実施の形態のレベル変換回路は、1 段目の回路の PMOS (M1) のゲートが、2 段目の回路の PMOS (M2) のドレイン電極 (即ち、出力端子 VOUT) に接続されている点で、前記実施の形態 1 のレベル変換回路と相違する。

【0039】本実施の形態のレベル変換回路では、入力端子 VIN より入力される入力信号 6 が、H レベルのときに、NMOS (M3) が ON、PMOS (M1) が OFF、NMOS (M4) が OFF、PMOS (M2) が ON となり、出力端子 VOUT からは高電圧 VDD が出力される。また、入力信号 6 が L レベルのときに、NMOS (M3) が OFF、PMOS (M1) が ON、NMOS (M4) が ON、PMOS (M2) が OFF となり、出力端子 VOUT からは入力信号 6 の L レベルの電圧が出力される。このように、本実施の形態のレベル変換回路では、前記実施の形態のレベル変換回路と同様、レベルシフトされた出力信号 8 は、入力信号 6 と同相となる。

【0040】本実施の形態のレベル変換回路でも、前記実施の形態 1 のレベル変換回路と同じような効果を得ることが可能である。また、本実施の形態のレベル変換回路では、図 9 に示すように、1 段目の回路も、2 段目の回路も、NMOS (M3, M4) が ON のときには、PNMOS (M1, M2) が OFF であり、NMOS (M3, M4) が OFF のときには、PNMOS (M1, M2) が ON なので、1 段目の回路および 2 段目の回路には、スイッチング時以外は電流が流れず、低消費電力となる。但し、図 1 に示す実施の形態 1 のレベル変換回路の方が、スピード (高速化) の点では有利である。

【0041】本実施の形態のレベル変換回路は、NMOS (M3) のゲート電極、および NMOS (M4) のソース電極に、外部端子 VIN から入力される外部信号 6 が直接印可される点で、前記図 14 に示すレベル変換回路と相違している。前述したように、ポリシリコン MOS トランジスタの場合、MOS トランジスタのしきい値 (V_{TH}) のバラツキが大きく、かつ、電源電圧が低電圧のときに、MOS トランジスタのしきい値 (V_{TH}) のバラツキによりドレイン電流値 (I_D) が大きく変動する。そのため、前記図 14 に示すレベル変換回路を、ポリシリコン MOS トランジスタで構成した場合には、主に CMOS インバータ (INV1, INV2) を構成するポリシリコン MOS トランジスタのしきい値 (V_{TH}) のばらつきにより、入力信号に対する出力信号の遅延時間 (または位相差) と、H レベル期間 (または L レベル期間) の変化が大きくなるという問題があった。これに対して、本実施の形態のレベル変換回路では、NMOS (M3) のゲート電極、および NMOS (M4) のソース電極に、外部端子 VIN から入力される外部信号 6 が直接印可されるので、レベル変換回路を構成する各トランジスタ (NMOS (M3, M4) および PMOS

(M1, M2) のしきい値 (V_{TH}) のばらつきにより、出力信号の遅延時間、および出力信号の H レベル期間が大きく変動するのを防止することができる。

【0042】[実施の形態 4] 図 10 は、本発明の実施の形態 4 のレベル変換回路を示す回路図である。図 10 に示すように、本実施の形態のレベル変換回路も、エンハンスメントモード P チャネル形 MOS ポリシリコントランジスタおよび N チャネル形 MOS ポリシリコントランジスタを計 4 個を使用したレベル変換回路であり、PMOS (M1) と NMOS (M3) とから成る 1 段目の回路と、PMOS (M2) と NMOS (M4) とから成る 2 段目の回路とを有する。本実施の形態のレベル変換回路は、1 段目の回路の NMOS (M1) のゲートが、2 段目の回路の PMOS (M2) のドレイン電極 (即ち、出力端子 VOUT) に接続されている点で、前記実施の形態 2 のレベル変換回路と相違する。

【0043】本実施の形態のレベル変換回路では、入力端子 VIN より入力される入力信号 6 が、H レベルのときに、NMOS (M3) が OFF、PMOS (M1) が ON、NMOS (M4) が ON、PMOS (M2) が OFF となり、出力端子 VOUT からは接地電圧 VSS が出力される。また、入力信号 6 が L レベルのときには、NMOS (M3) が ON、PMOS (M1) が OFF、NMOS (M4) が OFF、PMOS (M2) が ON となり、出力端子 VOUT からは高電圧 VDD が出力される。このように、本実施の形態のレベル変換回路では、前記実施の形態 2 のレベル変換回路と同様、レベルシフトされた出力信号 8 は、入力信号 6 と逆相となる。本実施の形態のレベル変換回路も、前記実施の形態 3 のレベル変換回路と同様、1 段目の回路および 2 段目の回路には、スイッチング時のみ電流が流れるので、低消費電力となる。但し、図 1 に示す実施の形態 1 のレベル変換回路の方が、スピード (高速化) の点では有利である。

【0044】[実施の形態 5] 図 11 は、本発明の実施の形態 5 のアナログサンプリング方式のアクティブマトリクスポリシリコン MOS トランジスタ液晶表示モジュールの表示パネルの構成を示すブロック図である。図 11 において、SUB1 は、軟化点が 800 °C 以下のガラスや石英ガラスなどの透明な絶縁基板で、3 は表示領域であり、この表示領域 3 はマトリクス状の配置される複数の画素を有し、各画素はポリシリコン薄膜トランジスタ (TFT) を有する。各画素は、隣接する 2 本の電極線 (ドレイン電極線 (映像電極線または垂直電極線) (D)、または、ゲート電極線 (走査電極線または水平電極線) (G) と、隣接する 2 本の電極線 (ゲート信号線 (G) またはドレイン信号線 (D)) との交差領域内に配置される。

【0045】各画素は薄膜トランジスタ TFT を有し、各画素の薄膜トランジスタ TFT のソース電極は、画素

電極（図示せず）に接続され、画素電極とコモン電極（図示せず）との間に液晶層が設けられるので、薄膜トランジスタTFTのソース電極とコモン電極（ITO2）との間には、液晶容量（CLC）が等価的に接続される。また、薄膜トランジスタTFT1のソース電極と前段のゲート信号線（G）との間には、付加容量（CADD）が接続される。マトリクス状に配置された行方向の各薄膜トランジスタ（TFT）のゲート電極は、ゲート電極線（G）に接続され、各ゲート電極線（G）は表示領域3の両側に配置される垂直方向走査回路5に接続される。マトリクス状に配置された列方向の各薄膜トランジスタ（TFT）のドレイン電極は、ドレイン電極線（D）に接続され、各ドレイン電極線（D）は表示領域3の一方の側に配置される水平方向走査回路4に接続される。さらに、各ドレイン電極線（D）は、表示領域3の他方の側に配置されるプリチャージ回路6にも接続される。

【0046】制御信号入力端子（9，10）から入力される制御信号は、前記各実施の形態のレベル変換回路7により電圧レベルがレベルシフトされて、水平方向走査回路4、垂直方向走査回路5、および、プリチャージ回路6に入力される。なお、本実施の形態では、レベル変換回路7を構成するポリシリコンMOSトランジスタは、画素を形成する各薄膜トランジスタ（TFT）と同時に透明な絶縁基板（SUB1）上に形成される。本実施の形態では、外部回路から入力される信号（一般に、0～5V、0～3.5Vあるいは0～3V）を、液晶表示パネルやポリシリコンMOSトランジスタ回路を十分駆動できる電圧振幅（一般に高電圧）に変換する、レベル変換回路を液晶表示パネル自体に内蔵している。したがって、本実施の形態によれば、液晶表示パネルを標準ロジックICの出力信号で駆動することができる。

【0047】本実施の形態のポリシリコンMOSトランジスタ液晶表示モジュールにおいても、1水平期間内に垂直走査回路5により、例えば、1番目のゲート電極線（G1）を選択する。この間に、水平走査回路4からサンプリングパルスを出力し、当該サンプリングパルスによりサンプルホールド回路（SH）を駆動して、映像信号入力端子8から入力されるアナログ映像信号を、逐次各ドレイン電極線（D）に供給する。本実施の形態の場合、映像信号入力端子8から12分割されたアナログ映像信号映像が入力されるので、1個のサンプリングパルスにより、12本のドレイン電極線（D）に、アナログ映像信号が供給される。さらに、1水平期間の帰線期間内に、各ドレイン電極線（D）には、プリチャージ回路6より、プリチャージ電圧入力端子11から入力されるプリチャージ電圧が供給される。本実施の形態では、レベル変換回路7として、前記各実施の形態のレベル変換回路を使用するようにしたので、レベル変換回路を構成するポリシリコンMOSトランジスタのしきい値（VT

H）変動が生じたとしても、水平走査回路4から出力されるサンプリングパルスの位相およびHレベル期間の変動を少なくすることができる。したがって、本実施の形態では、液晶表示パネルに表示される画像にゴーストが生ることがなく、表示画像の表示品質を従来より向上させることができる。

【0048】また、本発明は、アナログサンプリング方式のアクティブポリシリコンMOSトランジスタ液晶表示モジュールに限定されるものではなく、図12に示すデジタル入力方式のアクティブポリシリコンMOSトランジスタ液晶表示モジュールにも適用可能である。図12に示すデジタル入力方式のアクティブポリシリコンMOSトランジスタ液晶表示モジュールと、図11に示すアナログサンプリング方式のアクティブポリシリコンMOSトランジスタ液晶表示モジュールとの違いは、映像信号入力端子8にD/A変換器DACを設けた点であり、その他の構成は、図11に示すアナログサンプリング方式のアクティブポリシリコンMOSトランジスタ液晶表示モジュールと同じである。

【0049】図12に示す液晶表示モジュールでは、D/A変換器DACも、画素を形成する薄膜トランジスタ（TFT）と同時に形成される、ポリシリコン薄膜トランジスタで構成されるので、デジタルの映像信号を液晶表示パネルに直接入力できる。しかも、D/A変換器DACと映像信号入力端子8との間には、前記各実施の形態のレベル変換回路で構成されるレベル変換回路7が設けられるので、標準ロジックICの出力信号を映像信号入力端子8に直接入力することができる。そして、ポリシリコン薄膜トランジスタで構成される、前記各実施の形態のレベル変換回路から成るレベル変換回路7は、ポリシリコンMOSトランジスタのしきい値（VTH）のバラツキに対しても、遅延時間のバラツキが少なく、D/A変換器DACのデータが一部反転することがないので、誤表示が起らない。以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば、図11に示すアクティブマトリクス表示基板を、エレクトロルミネッセンス（EL）表示装置にも用いることができる。

【0050】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

（1）本発明のレベル変換回路によれば、回路を構成する上で必要となるトランジスタ総数を減少させることが可能となる。

（2）本発明のレベル変換回路によれば、回路を構成するトランジスタのしきい値のバラツキによる影響を少なくすることが可能となる。

(3) 本発明の液晶表示装置によれば、表示パネルに表示される画像の表示品質を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のレベル変換回路を示す回路図である。

【図2】本発明の実施の形態1のレベル変換回路の入出力信号波形の一例を示す図である。

【図3】本発明の実施の形態1のレベル変換回路の変形例を示す回路図である。

【図4】本発明の実施の形態1のレベル変換回路の変形例を示す回路図である。

【図5】本発明の実施の形態1のレベル変換回路の変形例を示す回路図である。

【図6】本発明の実施の形態1のレベル変換回路の変形例を示す回路図である。

【図7】本発明の実施の形態1のレベル変換回路の変形例を示す回路図である。

【図8】本発明の実施の形態2のレベル変換回路を示す回路図である。

【図9】本発明の実施の形態3のレベル変換回路を示す回路図である。

【図10】本発明の実施の形態4のレベル変換回路を示す回路図である。

【図11】本発明の実施の形態5のアナログサンプリング方式のアクティブマトリクスポリシリコンMOSトランジスタ液晶表示モジュールの表示パネルの構成を示すブロック図である。

【図12】本発明の実施の形態5のデジタル入力方式のアクティブマトリクスポリシリコンMOSトランジスタ液晶表示モジュールの表示パネルの構成を示すブロック図である。

【図13】従来のレベル変換回路の一例を示す回路図である。

【図14】従来のレベル変換回路の他の例を示す回路図*

*である。

【図15】半導体が単結晶シリコンから成るNチャンネル型MOSトランジスタのスイッチング特性の一例を示すグラフである。

【図16】半導体層がポリシリコンから成るMOSトランジスタのスイッチング特性の一例を示すグラフである。

【図17】CMOSインバータの直流伝達曲線を示すグラフである。

10 【図18】CMOSインバータの入出力波形を説明するための模式図である。

【図19】図13に示すレベル変換回路を、ポリシリコンNチャンネル型MOSトランジスタと、ポリシリコンPチャンネル型MOSトランジスタで構成した時の、入出力信号波形の一例を示す図である。

【図20】アクティブマトリクスポリシリコンMOSトランジスタ液晶表示モジュールの表示原理を説明するための図である。

20 【図21】図20において、ドレイン電極線へのアナログ映像信号 *sig* のサンプリング動作を説明するためのタイミングチャートである。

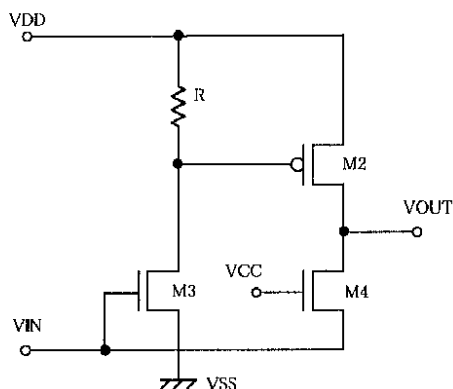
【図22】従来のバッファ回路の回路構成を示す回路図である。

【符号の説明】

3...表示領域、4...水平方向走査回路、5...垂直方向走査回路、6...プリチャージ回路、7...レベル変換回路、8...映像信号入力端子、9、10...制御信号入力端子、11...プリチャージ電圧入力端子、M、Q...MOSトランジスタ、VIN...入力端子、VOUT...出力端子、TFT...薄膜トランジスタ、CLC...液晶容量、CADD...付加容量、D...ドレイン電極線（映像電極線または垂直電極線）、G...ゲート電極線（走査電極線または水平電極線）、SUB1...絶縁基板、DAC...デジタル-アナログ変換器。

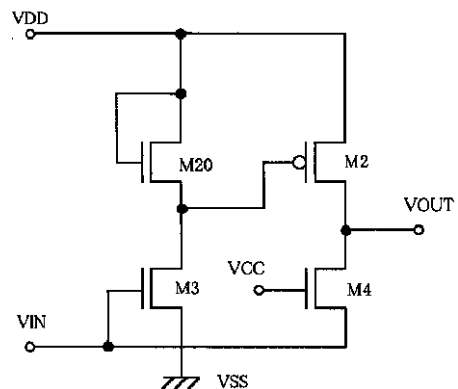
【図3】

図3



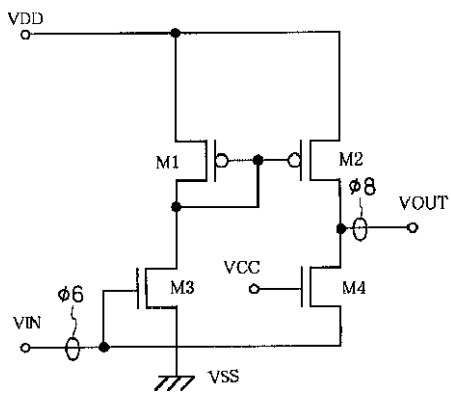
【図5】

図5



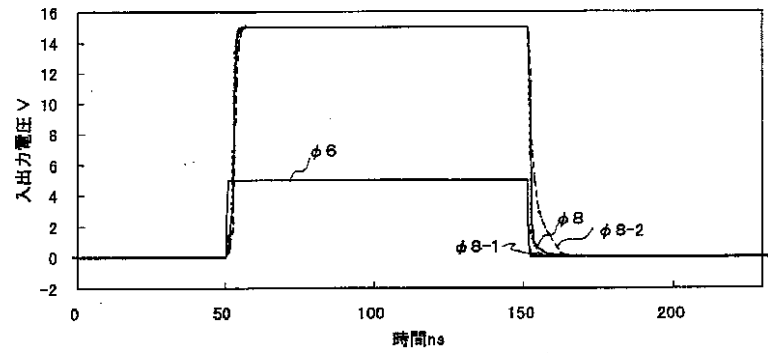
【図1】

図1



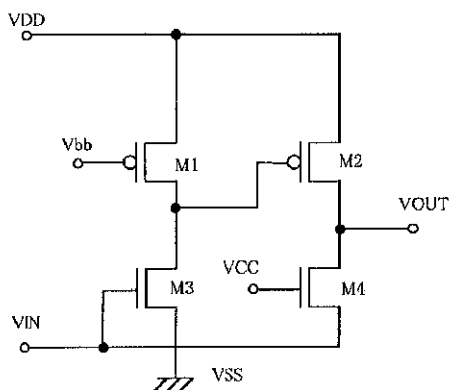
【図2】

図2



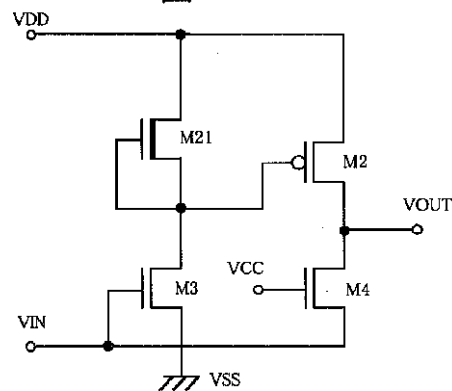
【図4】

図4



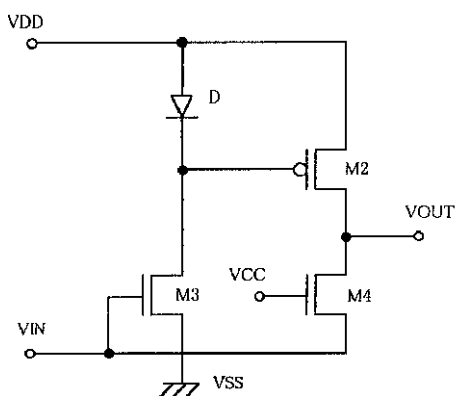
【図6】

図6



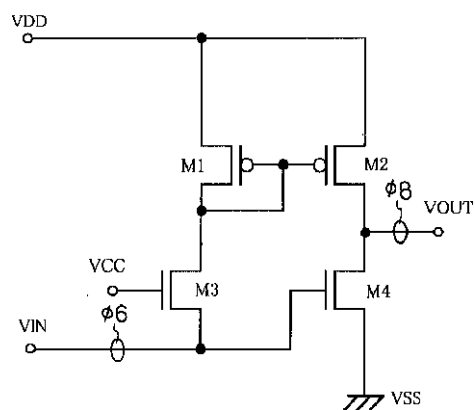
【図7】

図7



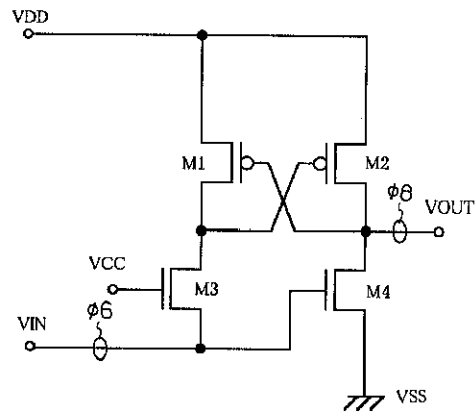
【図8】

図8



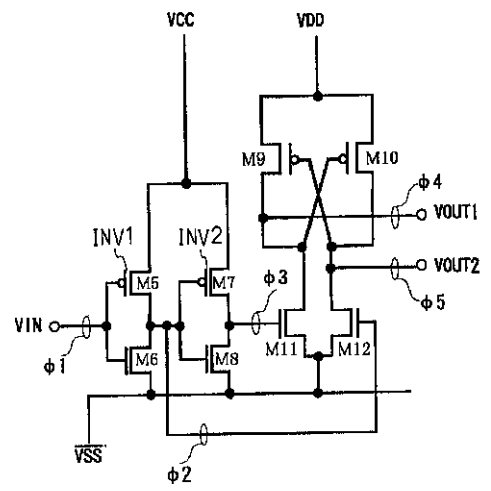
【 図 1 0 】

図 10



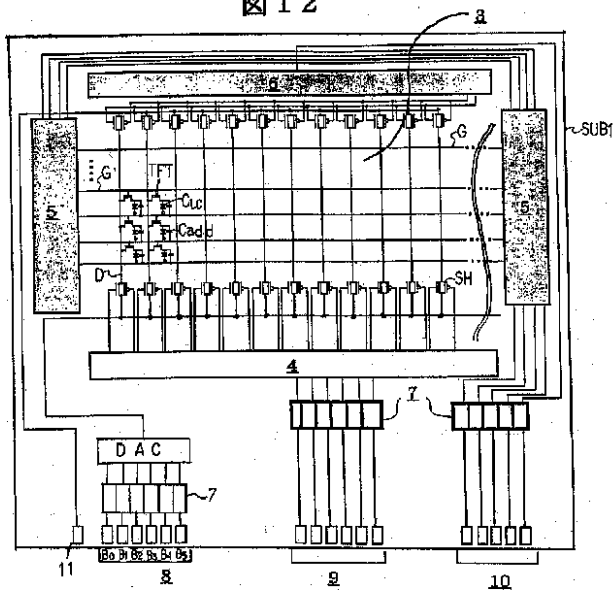
【図 13】

図 13



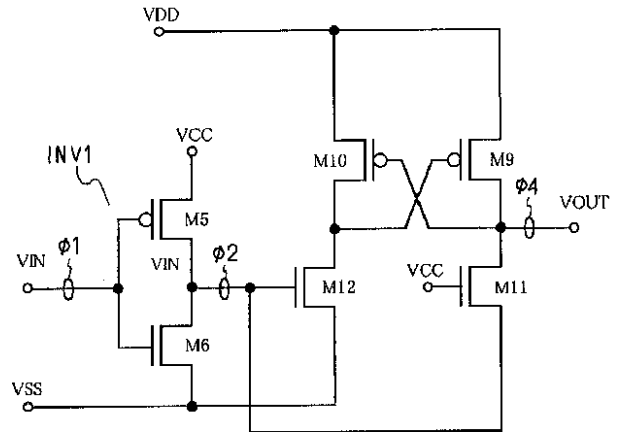
【図12】

図12



【図14】

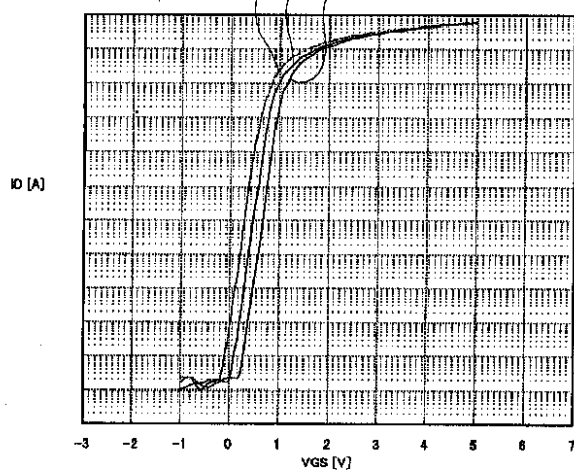
図14



【図15】

図15

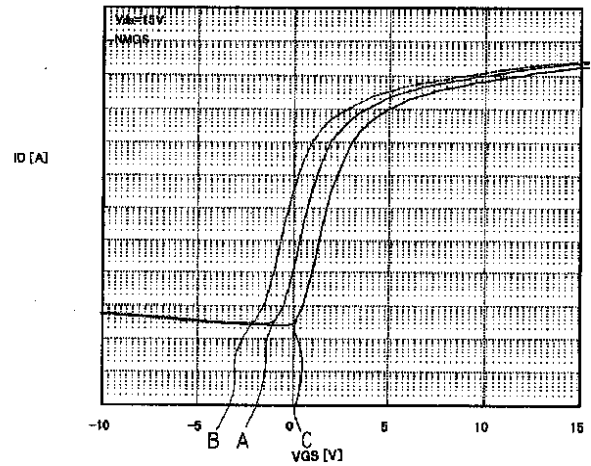
SI NMOS



【図16】

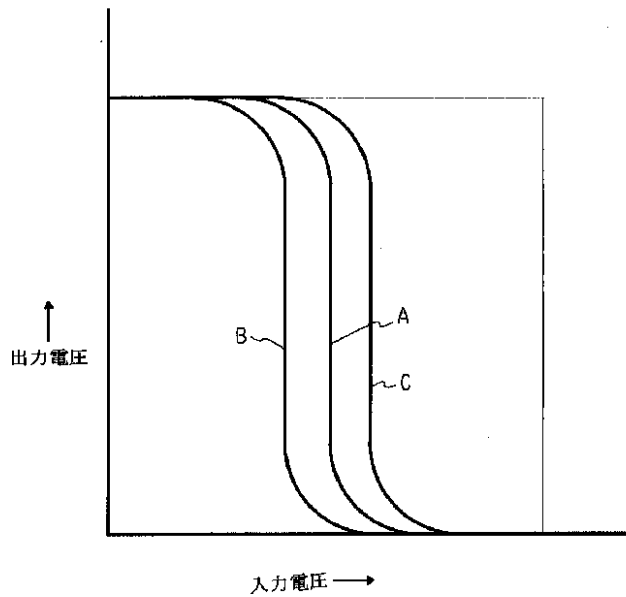
図16

poli-SI NMOS



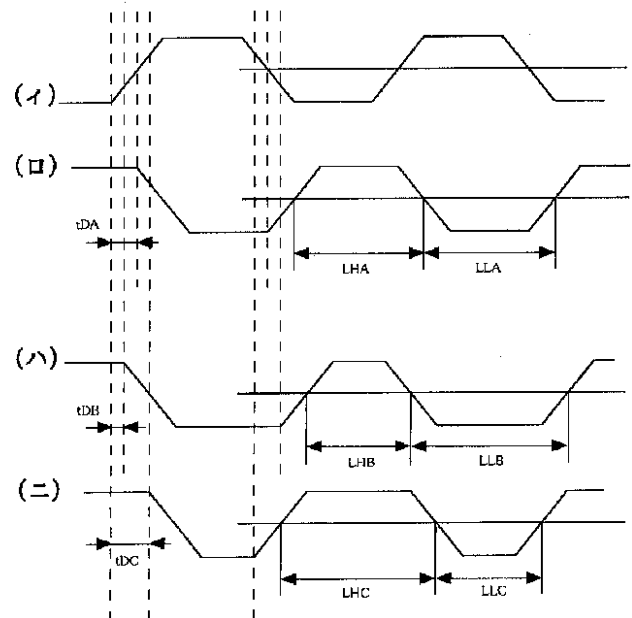
【図17】

図17



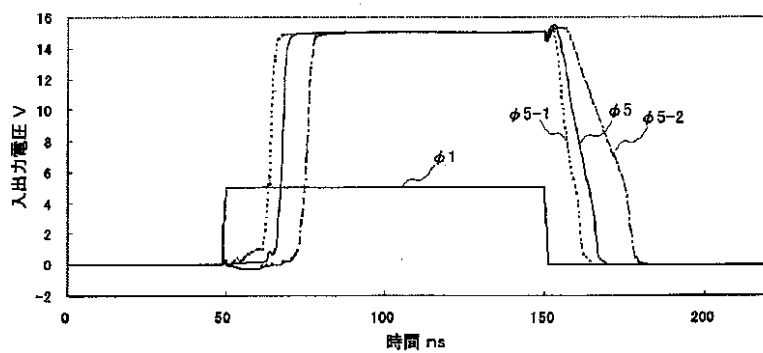
【図18】

図18



【図19】

図19



【図22】

図22

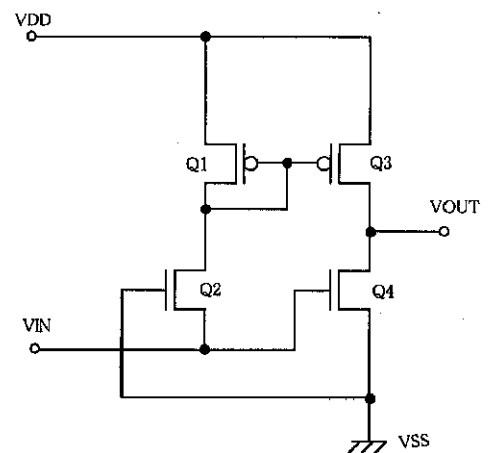


图 20

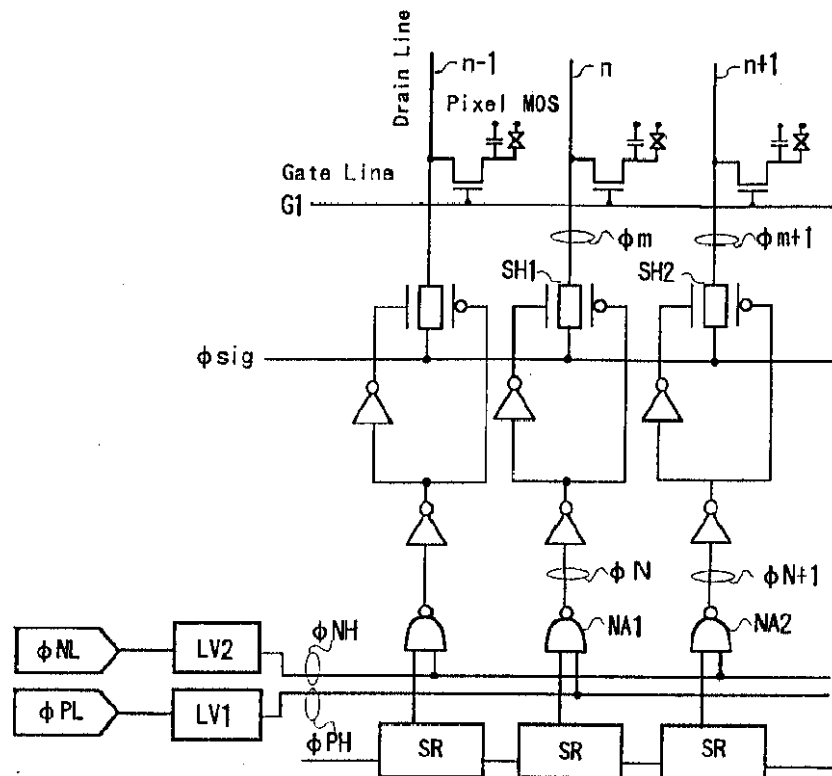
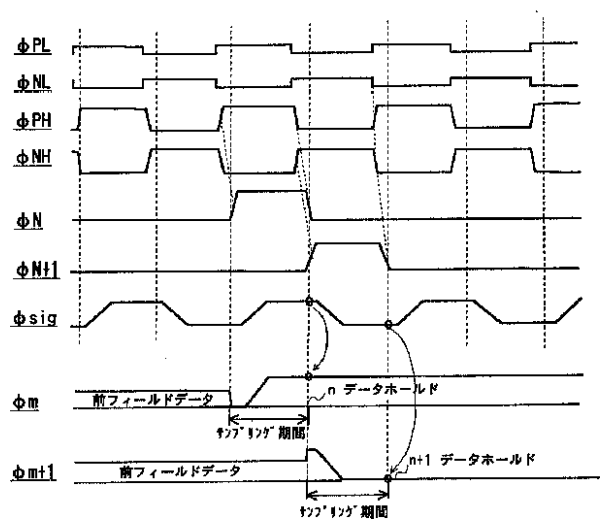


图 2 1



フロントページの続き

(72)発明者 尾手 幸秀

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

F ターム(参考) 2H092 JA24 JA37 KA04 KA05 MA30
2H093 NA16 NA31 NC03 NC16 ND05
ND10 ND32
5J056 AA11 AA32 BB02 BB37 CC21
DD13 DD17 DD18 DD28 DD29
DD46 DD55 EE11 FF08 GG06
KK01 KK03

专利名称(译)	电平转换电路和液晶显示器件		
公开(公告)号	JP2001237688A	公开(公告)日	2001-08-31
申请号	JP2000047164	申请日	2000-02-24
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	奥村治久 尾手幸秀		
发明人	奥村 治久 尾手 幸秀		
IPC分类号	G02F1/136 G02F1/133 G02F1/1368 G09G3/36 H03K19/003 H03K19/0185		
CPC分类号	G09G3/3648 G09G3/3677 G09G2300/0408 G09G2310/0289 H03K19/00384 H03K19/018571		
FI分类号	G02F1/133.505 H03K19/00.101.D G02F1/136.500 H03K19/00.101.E G02F1/1368 G11C19/28 G11C19/28.Z H03K19/00.101.B H03K19/0185.210 H03K19/0185.230 H03K19/0185.240		
F-TERM分类号	2H092/JA24 2H092/JA37 2H092/KA04 2H092/KA05 2H092/MA30 2H093/NA16 2H093/NA31 2H093/NC03 2H093/NC16 2H093/ND05 2H093/ND10 2H093/ND32 5J056/AA11 5J056/AA32 5J056/BB02 5J056/BB37 5J056/CC21 5J056/DD13 5J056/DD17 5J056/DD18 5J056/DD28 5J056/DD29 5J056/DD46 5J056/DD55 5J056/EE11 5J056/FF08 5J056/GG06 5J056/KK01 5J056/KK03 2H192/AA24 2H192/CB34 2H192/DA02 2H192/FA44 2H192/FA73 2H192/FB13 2H192/FB32 2H192/GD61 2H193/ZD34 2H193/ZF03 2H193/ZF24 5B074/AA02 5J056/EE03 5J056/EE05		
其他公开文献	JP3734664B2 JP2001237688A5		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够相对于晶体管的阈值变化高速且稳定地工作的电平移位电路。具有第一导电型晶体管（M3）和连接到第一导电型晶体管，第一导电型晶体管（M4）和第一导电型晶体管的负载电路的第一级电路 第二级电路，具有连接到第一类型晶体管，第一级电路的第一导电类型晶体管和第二级电路的第一导电率的第二导电类型晶体管（M2）。外部输入信号电压或直流电压被施加到类型晶体管的所有电极，而不是连接到输出或输出到下一级的电极。

