

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5229713号
(P5229713)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月29日(2013.3.29)

(51) Int.Cl.

F I

G09G	3/36	(2006.01)	G09G	3/36	
G09G	3/20	(2006.01)	G09G	3/20	641P
G02F	1/133	(2006.01)	G09G	3/20	612U
			G09G	3/20	631B
			G09G	3/20	631C

請求項の数 10 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2007-197650 (P2007-197650)
 (22) 出願日 平成19年7月30日(2007.7.30)
 (65) 公開番号 特開2008-209890 (P2008-209890A)
 (43) 公開日 平成20年9月11日(2008.9.11)
 審査請求日 平成22年4月20日(2010.4.20)
 (31) 優先権主張番号 特願2007-17375 (P2007-17375)
 (32) 優先日 平成19年1月29日(2007.1.29)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイイースト
 千葉県茂原市早野3300番地
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 桶 隆太郎
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 平田 将史
 千葉県茂原市早野3732番地 株式会社
 IPSアルファテクノロジー内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

複数本の走査信号線と、複数本の映像信号線と、複数個のTFT素子と、前記TFT素子のソースに接続している複数個の画素電極とを有し、かつ、2本の隣接する映像信号線の間、前記映像信号線の延在方向に沿って並んだ複数個の画素電極は、TFT素子を介して前記2本の隣接する映像信号線のうちの一方の映像信号線に接続している画素電極と、TFT素子を介して前記2本の隣接する映像信号線のうちの他方の映像信号線に接続している画素電極とが交互に並んでいる表示パネルを備える表示装置であって、

前記複数個の画素電極のうちの1つの画素電極に書き込む映像データの階調と、当該1つの画素電極がTFT素子を介して接続している映像信号線と同じ映像信号線にTFT素子を介して接続しており、かつ、当該1つの画素電極よりも1つだけ前記映像信号線の信号入力端側にある前段の画素電極に書き込む映像データの階調とを比較して、前記1つの画素電極に書き込む映像データを補正する補正回路を有し、

前記補正回路は、

奇数本目又は偶数本目の前記走査信号線の延在方向に沿って並んだ複数個の画素電極、に書き込む映像データからなる階調列の先頭にダミー階調信号を追加し、前記1つの画素電極に書き込む映像データの階調と前記前段の画素電極に書き込む映像データの階調との比較を、前記1つの画素電極に書き込む映像データを含む階調列と、前記前段の画素電極に書き込む映像データを含む階調列と、の比較により行うこと、

を特徴とする表示装置。

【請求項 2】

前記補正回路は、1 フレーム期間分の映像データのうちの、2 本の隣接する走査信号線の間、前記走査信号線の延在方向に沿って並んだ複数の画素電極のそれぞれに対して書き込む映像データを保持するラインメモリを有することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記補正回路は、前記 1 つの画素電極に書き込む映像データの階調と、前記前段の画素電極に書き込む映像データの階調との差がある特定の値よりも大きい場合に、前記 1 つの画素電極に書き込む映像データの階調を変更して補正する階調補正手段を有することを特徴とする請求項 1 または請求項 2 に記載の表示装置。

10

【請求項 4】

前記階調補正手段は、前記 1 つの画素電極に書き込む映像データの階調と、前記前段の画素電極に書き込む映像データの階調との差に応じて、前記 1 つの画素電極に書き込む前記映像データの階調の補正量を変化させることを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記階調補正手段は、前記 1 つの画素電極と前記映像信号線の信号入力端との距離が、あらかじめ定められた値よりも大きい場合に、前記映像データの階調を補正することを特徴とする請求項 3 または請求項 4 に記載の表示装置。

【請求項 6】

前記階調補正手段は、前記 1 つの画素電極と前記映像信号線の信号入力端との距離に応じて、前記映像データの階調の補正量を変化させることを特徴とする請求項 3 または請求項 4 に記載の表示装置。

20

【請求項 7】

前記補正回路は、前記 1 つの画素電極に書き込む映像データの階調と、前記前段の画素電極に書き込む映像データの階調と、の差に基づいて、前記 1 つの画素電極に映像データを書き込む際の書き込み始めの期間において該画素電極に印加する電圧の補正を行う階調補正手段を有することを特徴とする請求項 1 または請求項 2 に記載の表示装置。

【請求項 8】

前記階調補正手段は、前記 1 つの画素電極と前記映像信号線の信号入力端との距離が、あらかじめ定められた値よりも大きい場合に、前記 1 つの画素電極に書き込む映像データの階調に相当する電圧とは異なる電圧の信号を付加して補正することを特徴とする請求項 7 に記載の表示装置。

30

【請求項 9】

前記階調補正手段は、前記 1 つの画素電極と前記映像信号線の信号入力端との距離に応じて、前記 1 つの画素電極に書き込む映像データの階調に相当する電圧とは異なる電圧の大きさまたは付加する時間、あるいはその両方を変化させることを特徴とする請求項 7 に記載の表示装置。

【請求項 10】

前記表示パネルは、2 枚の基板の間に液晶が封入された液晶表示パネルであることを特徴とする請求項 1 乃至請求項 9 のいずれか 1 項に記載の表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に、TFT液晶表示装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

従来、テレビやパーソナルコンピュータのモニタなどに用いられる表示装置として、TFT液晶表示装置がある。

【0003】

50

前記 T F T 液晶表示装置は、2枚の基板の間に液晶を封入した液晶表示パネルを有する表示装置である。このとき、前記2枚の基板のうちの一方の基板は、一般に、T F T 基板と呼ばれており、たとえば、ガラス基板などの絶縁基板の表面に、複数本の走査信号線および複数本の映像信号線、複数個の T F T 素子および複数個の画素電極などが形成されている。また、前記2枚の基板のうちの他方の基板は、一般に、対向基板と呼ばれており、たとえば、ガラス基板などの絶縁基板の表面に、前記表示領域を画素毎の領域に分割する遮光膜やカラーフィルタなどが形成されている。なお、前記画素電極と対になって前記液晶を駆動させる対向電極は、前記 T F T 基板側に形成されていることもあるし、前記対向基板側に形成されていることもある。

【0004】

10

前記液晶表示パネルは、映像や画像を表示する表示領域が多数個の画素の集合で設定されており、各画素は、T F T 素子および T F T 素子のソースに接続している画素電極を有する。このとき、各 T F T 素子は、ドレインが映像信号線に接続しており、ゲートが走査信号線に接続している。なお、本明細書では、前記 T F T 素子のソースとドレインについて、画素電極に接続しているほうをソースと呼び、映像信号線に接続しているほうをドレインと呼ぶが、この逆、すなわち、画素電極に接続しているほうをドレインと呼び、映像信号線に接続しているほうをソースと呼ぶこともある。

【0005】

また、従来の前記液晶表示パネルにおいて、2本の隣接する映像信号線の間、映像信号線の延在方向に沿って配置された複数個の画素電極は、たとえば、各画素電極に接続している T F T 素子を介して、前記2本の隣接する映像信号線のうちのいずれか一方の映像信号線に接続している。このとき、従来一般的な液晶表示パネルでは、前記各画素電極に接続している各 T F T 素子のドレインは、すべて、前記2本の映像信号線のうちの同じ映像信号線に接続している。

20

【0006】

また、近年の液晶表示パネルには、たとえば、2本の隣接する映像信号線の間、前記2本の隣接する映像信号線のうちの一方の映像信号線にドレインが接続している T F T 素子と、他方の映像信号線にドレインが接続している T F T 素子とを、前記映像信号線の延在方向に沿って交互に配置した液晶表示パネルがある(たとえば、特許文献1を参照)。このような液晶表示パネルにおいて、2本の隣接する映像信号線の間、映像信号線の延在方向に沿って配置された複数個の画素電極は、たとえば、T F T 素子を介して前記2本の隣接する映像信号線のうちの一方の映像信号線に接続している画素電極と、他方の映像信号線に接続している画素電極とが、映像信号線の延在方向に沿って交互に並んでいる。

30

【特許文献1】特開平10-90712号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、液晶テレビなどの液晶表示装置では、近年、画面のちらつきを抑えたり、動画の表示性能を向上させたりするための高リフレッシュレート化が進んでいる。

40

【0008】

しかしながら、従来液晶表示装置では、高リフレッシュレート化が進むにつれて、前記 T F T 素子を介して前記画素電極に書き込まれる階調電圧に書き込み不足が生じ、画質が劣化するという問題があった。

【0009】

また、従来液晶表示装置では、たとえば、同じ1本の映像信号線にドレインが接続している複数個の画素電極における書き込み不足の不足量に違いが生じ、たとえば、横筋と呼ばれる現象が発生し、画質が劣化するという問題があった。

【0010】

本発明の目的は、たとえば、液晶表示装置の画質の劣化を防ぐことが可能な技術を提供

50

することにある。

【 0 0 1 1 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 2 】

本願において開示される発明のうち、代表的なものの概略を説明すれば、以下の通りである。

【 0 0 1 3 】

(1) 複数本の走査信号線と、複数本の映像信号線と、複数個の T F T 素子と、前記 T F T 素子のソースに接続している複数個の画素電極とを有し、かつ、2本の隣接する映像信号線の間、前記映像信号線の延在方向に沿って並んだ複数個の画素電極は、T F T 素子を介して前記2本の隣接する映像信号線のうちの一方の映像信号線に接続している画素電極と、T F T 素子を介して前記2本の隣接する映像信号線のうちの他方の映像信号線に接続している画素電極とが交互に並んでいる表示パネルを備える表示装置であって、前記複数個の画素電極のうちの1つの画素電極に書き込む映像データの階調と、当該1つの画素電極が T F T 素子を介して接続している映像信号線と同じ映像信号線に T F T 素子を介して接続しており、かつ、当該1つの画素電極よりも1つだけ前記映像信号線の信号入力端側にある前段の画素電極に書き込む映像データの階調とを比較して、前記1つの画素電極に書き込む映像データの階調を補正する補正回路を有する表示装置。

10

20

【 0 0 1 4 】

(2) 前記 (1) の表示装置において、前記補正回路は、1フレーム期間分の映像データのうちの、2本の隣接する走査信号線の間、前記走査信号線の延在方向に沿って並んだ複数個の画素電極のそれぞれに対して書き込む映像データを保持するラインメモリを有する表示装置。

【 0 0 1 5 】

(3) 前記 (1) または (2) の表示装置において、前記補正回路は、前記1つの画素電極に書き込む映像データの階調と、前記前段の画素電極に書き込む映像データの階調との差がある特定の値よりも大きい場合に、前記1つの画素電極に書き込む映像データの階調を変更して補正する階調補正手段を有する表示装置。

30

【 0 0 1 6 】

(4) 前記 (3) の表示装置において、前記階調補正手段は、前記1つの画素電極に書き込む映像データの階調と、前記前段の画素電極に書き込む映像データの階調との差に応じて、前記1つの画素電極に書き込む映像データの階調補正量を変化させる表示装置。

【 0 0 1 7 】

(5) 前記 (3) または (4) の表示装置において、前記階調補正手段は、前記1つの画素電極と前記映像信号線の信号入力端との距離が、あらかじめ定められた値よりも大きい場合に、前記映像データの階調を補正する表示装置。

【 0 0 1 8 】

(6) 前記 (3) または (4) の表示装置において、前記階調補正手段は、前記1つの画素電極と前記映像信号線の信号入力端との距離に応じて、前記映像データの階調の補正量を変化させる表示装置。

40

【 0 0 1 9 】

(7) 前記 (1) または (2) の表示装置において、前記補正回路は、前記1つの画素電極に書き込む映像データの階調と、前記前段の画素電極に書き込む映像データの階調との差に基づいて、前記1つの画素電極に書き込む映像データの先頭に、当該映像データの階調に相当する電圧とは異なる電圧の信号を付加して補正する階調補正手段を有する表示装置。

【 0 0 2 0 】

(8) 前記 (7) の表示装置において、前記階調補正手段は、前記1つの画素電極と前

50

記映像信号線の信号入力端との距離が、あらかじめ定められた値よりも大きい場合に、前記1つの画素電極に書き込む映像データの階調に相当する電圧とは異なる電圧の信号を付加して補正する表示装置。

【0021】

(9)前記(7)の表示装置において、前記階調補正手段は、前記1つの画素電極と前記映像信号線の信号入力端との距離に応じて、前記1つの画素電極に書き込む映像データの階調に相当する電圧とは異なる電圧の大きさまたは付加する時間、あるいはその両方を変化させる表示装置。

【0022】

(10)前記(1)乃至(9)のいずれかの表示装置において、前記表示パネルは、2枚の基板の間に液晶が封入された液晶表示パネルである表示装置。

10

【0023】

(11)複数本の走査信号線と、複数本の映像信号線と、複数個のTFT素子と、前記TFT素子のソースに接続している複数個の画素電極とを有し、かつ、2本の隣接する映像信号線の間、前記映像信号線の延在方向に沿って並んだ複数個の画素電極は、TFT素子を介して前記2本の隣接する映像信号線のうちの一方の映像信号線に接続している画素電極と、TFT素子を介して前記2本の隣接する映像信号線のうちの他方の映像信号線に接続している画素電極とが交互に並んでいる表示パネルを備える表示装置であって、前記複数本の走査信号線には、それぞれ、前記走査信号線の延在方向に沿って並んだ複数個のTFT素子のゲートが接続しており、前記複数本の走査信号線には、それぞれ、あらかじめ定められた時間周期で、当該時間周期よりも短い時間だけ前記TFT素子をオンにする走査信号が加わり、前記各走査信号線に加わる走査信号における前記TFT素子をオンにする時間は、前記時間周期を、前記走査信号線の総数で除した時間よりも短い表示装置。

20

【0024】

(12)前記(11)の表示装置において、前記走査信号は、ある1つのTFT素子をオフからオンに切り替える時刻と、前記映像信号線に加えられた映像信号が当該TFT素子のソースに接続している画素電極に書き込まれる信号に変化する時刻との時間差が、当該TFT素子をオンからオフに切り替える時刻と、前記映像信号線に加えられた映像信号が当該TFT素子のソースに接続している画素電極の次の画素電極に書き込まれる信号に変化する時刻との時間差よりも短い表示装置。

30

【0025】

(13)前記(11)または(12)の表示装置において、前記表示パネルは、2枚の基板の間に液晶が封入された液晶表示パネルである表示装置。

【発明の効果】

【0026】

本発明の表示装置によれば、前記TFT素子を介して画素電極に書き込まれる階調電圧書き込み不足の不足量の違いによる画質の劣化を防ぐことができる。

【発明を実施するための最良の形態】

【0027】

以下、本発明について、図面を参照して実施の形態(実施例)とともに詳細に説明する。

40

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【0028】

図1(a)および図1(b)は、本発明に係わる表示装置の一例を説明するための模式図である。

図1(a)は、本発明に係わる液晶表示装置の概略構成の一例を示す模式ブロック図である。図1(b)は、図1(a)に示した液晶表示パネルにおける表示領域の概略構成の一例を示す模式回路図である。

50

【 0 0 2 9 】

本発明に係わる表示装置の1つとして、TFT液晶表示装置がある。TFT液晶表示装置は、たとえば、図1(a)に示すように、複数本の走査信号線GLおよび複数本の映像信号線DLを有する液晶表示パネル1と、データドライバ2と、ゲートドライバ3と、制御回路4とを有する。データドライバ2は、液晶表示パネル1の各映像信号線DLに加える映像信号(階調電圧信号と呼ぶこともある)を生成する駆動回路である。ゲートドライバ3は、液晶表示パネル1の各走査信号線GLに加える走査信号を生成する駆動回路である。制御回路4は、データドライバ2の動作およびゲートドライバ3の動作を制御する回路である。

【 0 0 3 0 】

なお、図1(a)では省略しているが、TFT液晶表示装置には、液晶表示パネル1、データドライバ2、ゲートドライバ3、および制御回路4のほかにもいくつかの回路部品などを有することはもちろんであり、TFT液晶表示装置が透過型または半透過型である場合、たとえば、バックライトユニットと呼ばれる光源を有する。

【 0 0 3 1 】

液晶表示パネル1の表示領域DAは、複数個のマトリクス状に配置された画素の集合として設定されており、1つの画素は、たとえば、2本の隣接する走査信号線GLと2本の隣接する映像信号線DLとで囲まれる領域の大きさに相当する。このとき、各画素は、アクティブ素子(スイッチング素子と呼ぶこともある)であるTFT素子と、TFT素子のソースに接続している画素電極とを有する。また、各TFT素子のドレインは、当該TFT素子のソースに接続している画素電極を挟んで隣接する2本の映像信号線DLのうちのいずれか一方の映像信号線DLに接続しており、各TFT素子のゲートは、当該TFT素子のソースに接続している画素電極を挟んで隣接する2本の走査信号線GLのうちのいずれか一方の走査信号線GLに接続している。すなわち、2本の隣接する映像信号線DLの間に配置された画素電極は、TFT素子を介して前記2本の隣接する映像信号線DLのうちのいずれか一方の映像信号線に接続している。

【 0 0 3 2 】

また、本発明に係わるTFT液晶表示装置の液晶表示パネル1において、2本の隣接する映像信号線DLの間に、映像信号線DLの延在方向に沿って配置された複数個の画素電極は、TFT素子を介して前記2本の隣接する映像信号線DLのうちの一方の映像信号線DLに接続している画素電極と、TFT素子を介して他方の映像信号線DLに接続している画素電極PXとが、映像信号線DLの延在方向に沿って交互に並んでいる。

【 0 0 3 3 】

すなわち、本発明に係わるTFT液晶表示装置の液晶表示パネル1では、図1(b)に示すように、たとえば、2本の隣接する映像信号線 DL_m と映像信号線 DL_{m+1} との間に、映像信号線DLの延在方向に沿って配置された複数個の画素電極PXは、TFT素子を介して映像信号線 DL_{m+1} に接続している画素電極PXと、TFT素子を介して映像信号線 DL_m に接続している画素電極PXとが、交互に並んでいる。

【 0 0 3 4 】

また、図1(b)において、2本の走査信号線 GL_{n-1} 、 GL_n の間にある画素電極PXのライン(行) HL_n は、走査信号線 GL_n に加えられる走査信号がオンになっている期間に、各映像信号線DLに加えられる映像信号が書き込まれる画素電極のラインである。また、2本の走査信号線 GL_n 、 GL_{n+1} の間にある画素電極PXのライン HL_{n+1} は、走査信号線 GL_{n+1} に加えられる走査信号がオンになっている期間に、各映像信号線DLに加えられる映像信号が書き込まれる画素電極のラインである。2本の走査信号線 GL_{n+1} 、 GL_{n+2} の間にある画素電極PXのライン HL_{n+2} は、走査信号線 GL_{n+2} に加えられる走査信号がオンになっている期間に、各映像信号線DLに加えられる映像信号が書き込まれる画素電極のラインである。

【 0 0 3 5 】

なお、図1(b)には、横5画素×縦3画素の15個の画素の概略構成を示している。

10

20

30

40

50

液晶表示パネル 1 が RGB 方式のカラー液晶表示パネルの場合、各画素は、一般にサブピクセルと呼ばれる画素であり、走査信号線 GL の延在方向に沿って並んだ R (赤) の画素、G (緑) の画素、B (青) の画素の 3 つの画素により、映像または画像の 1 ドットが表示される。

【0036】

図 1 (b) に示した例では、2 本の映像信号線 DL_{m-2} 、 DL_{m-1} の間にある画素電極 PX の列 G_u-1 、および 2 本の映像信号線 DL_{m+1} 、 DL_{m+2} の間にある画素電極 PX の列 G_u が、それぞれ、G (緑) の階調表示を行う画素の画素電極の列である。また、2 本の映像信号線 DL_{m-1} 、 DL_m の間にある画素電極 PX の列 B_u-1 、および 2 本の映像信号線 DL_{m+2} 、 DL_{m+3} の間にある画素電極 PX の列 B_u が、それぞれ、B (青) の階調表示を行う画素の画素電極の列である。また、2 本の映像信号線 DL_m 、 DL_{m+1} の間にある画素電極 PX の列 R_u が、R (赤) の階調表示を行う画素の画素電極の列である。

10

【0037】

また、図 1 (b) では、2 本の走査信号線 GL_{n-1} 、 GL_n の間にある画素電極 PX のライン (行) HL_n の 5 つの画素電極 PX のうちの、画素電極の列 R_u にある画素電極を有する画素、画素電極の列 G_u にある画素電極を有する画素、および画素電極の列 B_u にある画素電極を有する画素の 3 つの画素が、映像または画像の 1 ドットを構成している。

【0038】

20

図 1 (b) に示したような構成の液晶表示パネル 1 を有する TFT 液晶表示装置では、たとえば、データドライバ 2 から各映像信号線 DL に映像信号を加えるときに、2 本の隣接する映像信号線のうちの、一方の映像信号線には正極性の映像信号を加え、他方の映像信号線には負極性の映像信号を加える。なお、前記正極性および前記負極性というのは、映像信号が書き込まれた画素電極の電位と対向電極の電位との関係に基づく極性であり、画素電極の電位が共通電圧の電位よりも高くなる映像信号を正極性の映像信号と呼び、画素電極の電位が共通電圧の電位よりも低くなる映像信号を負極性の映像信号と呼ぶ。

【0039】

このとき、たとえば、図 1 (b) に示した 2 本の隣接する映像信号線 DL_m 、 DL_{m+1} のうちの、一方の映像信号線 DL_m に負極性の映像信号を加え、他方の映像信号線 DL_{m+1} に負極性の映像信号を加えると、映像信号線 DL_m 、 DL_{m+1} の間にある画素電極 PX は、正極性 (+) の画素電極と、負極性 (-) の画素電極とが交互に並んでいる状態になる。

30

【0040】

またこのとき、走査信号線 GL の延在方向に並んだ複数個の画素電極 PX、たとえば、2 本の隣接する走査信号線 GL_n 、 GL_{n+1} の間にある画素電極 PX も、正極性 (+) の画素電極と、負極性 (-) の画素電極とが交互に並んでいる状態になる。

【0041】

すなわち、本発明に係わる TFT 液晶表示装置は、一般に列毎反転と呼ばれている反転方式で、一般にドット反転と呼ばれている反転方式を実現することができる。

40

【0042】

しかしながら、本発明に係わる TFT 液晶表示装置では、たとえば、横筋と呼ばれる現象が発生して画質を劣化させることがある。そこで、横筋と呼ばれる現象が発生する原因の 1 つについて、図 2 (a) および図 2 (b) を参照して簡単に説明する。

【0043】

図 2 (a) および図 2 (b) は、本発明に係わる TFT 液晶表示装置における問題点の 1 つを説明するための模式図である。

図 2 (a) は、本発明に係わる TFT 液晶表示装置における各画素の階調の一例を示す模式回路図である。図 2 (b) は、図 2 (a) に示した 2 つの画素電極 PX1、PX2 に書き込まれる階調電圧の一例を示す模式波形図である。

50

【0044】

本発明に係わるTFT液晶表示装置において、液晶表示パネル1に映像または画像を表示させるときには、各画素の画素電極PXに、たとえば、図2(a)の画素電極PXに示すような数値の階調の映像信号(階調電圧)を書き込むことがある。すなわち、R(赤)の階調表示を行う画素の画素電極PXおよびG(緑)の階調表示を行う画素の画素電極PXには、それぞれの色における100階調に相当する階調電圧を書き込み、B(青)の階調表示を行う画素の画素電極PXには、青色における250階調に相当する階調電圧を書き込むことがある。

【0045】

このとき、たとえば、2つの隣接する画素電極の列 B_{u-1} 、 R_u の間を通る映像信号線 DL_m には、たとえば、図2(b)の上側に示したように、列 B_{u-1} にある画素電極PXに書き込むための青色における250階調に相当する電圧 V_{250} の映像信号と、列 R_u にある画素電極PXに書き込むための赤色における100階調に相当する電圧 V_{100} の映像信号とが交互に入れ替わる映像信号 $DATAm$ が加わっている。なお、図2(b)の上側に示した波形図の $DATAm$ において、 HL_n 、 HL_{n+1} 、 HL_{n+2} の3つの区間は、それぞれ、図2(a)に示したライン HL_n 、 HL_{n+1} 、 HL_{n+2} にある画素電極PXに書き込むための映像信号が加えられている区間である。

10

【0046】

また、ライン HL_{n+1} 、列 R_u にある画素電極PX1に、赤色における100階調に相当する電圧 V_{100} の映像信号が書き込まれるときの、走査信号 Vg の波形、共通電圧 $Vcom$ の波形、および画素電極PX1の電圧 Vpx の波形と、映像信号線 DL_m に加わっている映像信号 $DATAm$ の波形との関係は、たとえば、図2(b)の上側に示したような関係になっている。すなわち、画素電極PX1の電圧 Vpx は、走査信号線 GL_{n+1} の走査信号 Vg がオンになった直後、たとえば、画素電極PX1の前段の画素電極PX3に書き込む映像信号の電圧 V_{250} の影響により急激に上昇し、その状態から本来の電圧 V_{100} の映像信号が書き込まれる。その結果、走査信号 Vg の立ち下がりが始まる時点での、映像信号 $DATAm$ における画素電極PX1に対する階調電圧と、実際に画素電極PX1に書き込まれた電圧との電位差 $V1$ は小さい。

20

【0047】

一方、2つの隣接する画素電極の列 R_u 、 G_u の間を通る映像信号線 DL_{m+1} には、たとえば、図2(b)の下側に示したように、列 R_u にある画素電極PXに書き込むための赤色における100階調に相当する電圧 V_{100} の映像信号と、列 G_u にある画素電極PXに書き込むための緑色における100階調に相当する電圧 V_{100} の映像信号とが交互に入れ替わる映像信号 $DATAm+1$ が加わっている。なお、図2(b)の下側に示した波形図の $DATAm+1$ において、 HL_{n+1} 、 HL_{n+2} 、 HL_{n+3} の3つの区間は、それぞれ、図2(a)に示したライン HL_{n+1} 、 HL_{n+2} 、および図示していないライン HL_{n+3} にある画素電極PXに書き込むための映像信号が加えられている区間である。

30

【0048】

またこのとき、ライン HL_{n+2} 、列 R_u にある画素電極PX2に、赤色における100階調に相当する電圧 V_{100} の映像信号が書き込まれるときの、走査信号 Vg の波形、共通電圧 $Vcom$ の波形、および画素電極PX2の電圧 Vpx の波形と、映像信号線 DL_{m+1} に加わっている映像信号 $DATAm+1$ の波形との関係は、たとえば、図2(b)の下側に示したような関係になっている。すなわち、画素電極PX2の電圧 Vpx は、走査信号線 GL_{n+2} の走査信号 Vg がオンになった直後、たとえば、画素電極PX2の前段の画素電極PX4に書き込む映像信号の電圧 V_{100} の影響によりゆるやかに上昇し、その状態から本来の電圧 V_{100} の映像信号が書き込まれる。その結果、走査信号 Vg の立ち下がりが始まる時点での、映像信号 $DATAm+1$ における画素電極PX2に対する階調電圧 V_{100} と、実際に画素電極PX2に書き込まれた電圧との電位差 $V2$ は、映像信号 $DATAm$ における画素電極PX1に対する階調電圧 V_{100} と、実際に画素電極

40

50

P X 1 に書き込まれた電圧との電位差 V_1 よりも大きくなる。

【0049】

2つの画素電極 P X 1, P X 2 は、ともに列 R_u にある画素電極であるため、赤色における 100 階調に相当する電圧 V_{100} が書き込まれなければならない。しかしながら、実際には、図 2 (b) に示したように、映像信号線 DL_m に加わっている映像信号 $DAT A_m$ における階調電圧 V_{100} と画素電極 P X 1 に実際に書き込まれた電圧との電位差 V_1 と、映像信号線 DL_{m+1} に加わっている映像信号 $DAT A_{m+1}$ における階調電圧 V_{100} と画素電極 P X 2 に実際に書き込まれた電圧との電位差 V_2 との大きさが異なる。すなわち、T F T 素子を介して映像信号線 DL_m に接続している画素電極 P X 1 と、T F T 素子を介して映像信号線 DL_{m+1} に接続している画素電極 P X 2 とでは、書き込み不足の不足量が異なる。

10

【0050】

そのため、従来の T F T 液晶表示装置では、画素電極 P X 1 を有する画素の階調（輝度）と、画素電極 P X 2 を有する画素の階調（輝度）が異なる値になり、横筋と呼ばれる現象が発生し、画質が劣化するという問題が発生していた。

【0051】

なお、図 2 (a) に示した各画素電極の階調数は、横筋と呼ばれる現象が目立ちやすい組み合わせの一例であり、ほかの階調数の組み合わせであっても、横筋と呼ばれる現象は発生する。また、図 2 (a) では、同じ色の表示を担う複数の列にある複数の画素電極、たとえば、列 B_{u-1} にある画素電極と列 B_u にある画素電極が、すべて同じ階調数である場合を例に挙げているが、各列における画素電極の階調数が任意の組み合わせであっても、横筋と呼ばれる現象は発生する。またさらに、図 2 (a) では、同じ列にある複数の画素電極、たとえば、列 R_u にある画素電極が、すべて同じ階調数である場合を例に挙げているが、各画素電極の階調数が任意の組み合わせであっても、横筋と呼ばれる現象は発生する。

20

【0052】

以下、図 1 (b) に示したような構成の液晶表示パネル 1 を有する T F T 液晶表示装置において、横筋と呼ばれる現象の発生を抑え、画質の劣化を防ぐ方法について説明する。

【実施例 1】

【0053】

図 3 (a) および図 3 (b) は、本発明による実施例 1 の T F T 液晶表示装置の駆動方法の一例を説明するための模式図である。

30

図 3 (a) は、実施例 1 の液晶表示装置の駆動方法の概要を説明するための模式回路図である。図 3 (b) は、図 3 (a) に示した 2 つの画素電極 P X 1, P X 2 に書き込まれる階調電圧の一例を示す模式波形図である。

【0054】

実施例 1 では、たとえば、図 2 (a) に示した画素電極 P X 1 に書き込まれた階調電圧の書き込み不足量 V_1 と、画素電極 P X 2 に書き込まれた階調電圧の書き込み不足量 V_2 との差を小さくするために、たとえば、画素電極 P X 1 が T F T 素子を介して接続している映像信号線 DL_m に接続している前段の画素電極、すなわち、ライン HL_n , 列 B_{u-1} にある画素電極 P X 3 に対する映像信号と、画素電極 P X 1 に対する映像信号との階調差に基づいて、画素電極 P X 1 に書き込む映像信号の階調を補正する。

40

【0055】

すなわち、T F T 素子を介して、ある 1 本の映像信号線 DL に接続している複数の画素電極 P X のうちの 1 つの画素電極 P X に書き込む映像信号（階調電圧）を、当該 1 つの画素電極 P X の前段（信号入力端側）にある画素電極 P X に書き込む映像信号との階調差に応じて補正する。このとき、注目する 1 つの画素電極 P X の階調は、たとえば、下記表 1 のような補正テーブルに基づいて補正する。

【表1】

表1. 補正テーブルの一例

$\Delta K = K_{n+1} - K_n$	K_{n+1}'
$\Delta K \geq 100$	$K_{n+1} + 2$
$100 > \Delta K \geq 50$	$K_{n+1} + 1$
$50 > \Delta K > -50$	K_{n+1}
$-50 \geq \Delta K > -100$	$K_{n+1} - 1$
$-100 \geq \Delta K$	$K_{n+1} - 2$

10

【0056】

なお、表1において、 K_{n+1} は注目する1つの画素電極PXに書き込む映像信号の補正前の階調であり、 K_{n+1}' は補正後の階調である。また、 K_n は、注目する画素電極PXの前段の画素電極PXに書き込む映像信号線の補正前の階調である。

【0057】

表1に示した例では、注目する1つの画素電極PXに書き込む映像信号の補正前の階調 K_{n+1} と、その前段の画素電極PXに書き込む映像信号の補正前の階調 K_n との差 K が、たとえば、 -100 以下である場合、注目する1つの画素電極PXに書き込ませる映像信号を $(K_{n+1} - 2)$ 階調に補正する。図2(a)に示したような階調で表示する場合、ライン HL_{n+1} 、列 R_u にある画素電極PX1に書き込ませる映像信号の階調と、その前段の画素電極であるライン HL_n 、列 B_{u-1} にある画素電極PX3に書き込ませる映像信号の階調との差 K は、 $K = 100 - 250 = -150$ である。そのため、表1に示した補正テーブルに基づいて階調を補正する場合、画素電極PX1に書き込ませる映像信号の階調は、図3(a)に示すように、 100 階調から 98 階調に補正する。なお、図3(a)において、各映像信号線 DL_{m-2} 、 DL_{m-1} 、 DL_m 、 DL_{m+1} 、 DL_{m+2} 、 DL_{m+3} の上端にある三角形の印は、信号入力端であることを示している。

20

【0058】

このようにすると、図3(a)に示した2つの画素電極PX1、PX2に書き込まれる階調電圧 V_{px} の波形と、走査信号 V_g の波形、共通電圧 V_{com} の波形、および画素電極に書き込まれる電圧 V_{px} の波形と、映像信号線 DL_m に加わっている映像信号DATA $_m$ の波形との関係は、それぞれ、図3(b)に示したような関係になる。

30

【0059】

このとき、画素電極PX1に書き込まれた電圧 V_{px} と映像信号DATA $_m$ における階調電圧との電位差 V_1' (すなわち書き込み不足量)は、 98 階調に相当する電圧 V_{98} の映像信号を書き込ませたときの電位差である。そのため、図3(b)に点線で示した 100 階調に相当する電圧 V_{100} のとき映像信号と、 98 階調の映像信号で画素電極PX1に書き込まれた電圧 V_{px} との電位差は、図2(b)に示した電位差 V_1 よりも大きくなる。

40

【0060】

一方、画素電極PX2に書き込む補正前の映像信号の階調と、その前段の画素電極PX4に書き込む補正前の映像信号の階調とは、ともに 100 階調であるため、表1に示した補正テーブルに基づく、画素電極PX2の映像信号の階調は 100 階調のままである。そのため、画素電極PX2に書き込まれる階調電圧 V_{px} の波形は、図2(b)の下側に示した波形と同じ波形になり、映像信号DATA $_{m+1}$ における階調電圧 V_{100} と画素電極PX2に書き込まれた電圧 V_{px} との電位差は、図2(b)に示した電位差 V_2 と同じである。

【0061】

50

したがって、実施例1のTFT液晶表示装置の駆動方法では、走査信号Vgの立ち下がりが始まる時点での映像信号DATA_mの階調電圧と実際に画素電極PX1に書き込まれた電圧との電位差V1'と、走査信号Vgの立ち下がりが始まる時点での映像信号DATA_{m+1}の階調電圧と実際に画素電極PX2に書き込まれた電圧との電位差V2との差(V2 - V1')が、V2 - V1よりも小さくなる。そのため、画素電極PX1を有する画素の階調(輝度)と、画素電極PX2を有する画素の階調(輝度)との差が小さくなり、横筋と呼ばれる現象の発生による画質が劣化を回避できる。

【0062】

図4(a)乃至図4(b)は、実施例1の駆動方法を実現するTFT液晶表示装置の概略構成の一例を示す模式図である。

10

図4(a)は、実施例1のTFT液晶表示装置の補正回路の一構成例を示す模式ブロック図である。図4(b)は、補正回路に入力される映像データの一例を示す模式図である。図4(c)は、補正回路のデータ並替手段で並べ替えを行った映像データの一例を示す模式図である。

【0063】

実施例1のようなTFT液晶表示装置の駆動方法を実現するためには、たとえば、図1(a)に示した制御回路4に、たとえば、図4(a)に示すような構成の補正回路401を設ければよい。補正回路401は、たとえば、データ並替手段401aと、階調補正手段401bと、ラインメモリ401cとを有する。

【0064】

20

TFT液晶表示装置に入力される映像データ501は、たとえば、図4(b)に示すような形式になっており、各映像信号線DLの映像信号は、2本の隣接する映像信号線の間にある複数個の画素電極PXに対して書き込む階調電圧で構成されている。すなわち、映像信号線DL_mに加える映像信号は、2本の映像信号線DL_m, DL_{m+1}の間にある各画素電極PXに対して書き込む階調データKc_{n,m}(cはR, G, Bのいずれか1つ。n = 1, 2, 3, ..., N)で構成されている。そのため、まず、データ並替手段401aにおいて、たとえば、図4(c)に示すような形式の映像データ502に並べ替える。なお、映像信号線DL₁に対する階調データのうちの、KD_{2,1}およびKD_{4,1}は、ダミーの映像信号であり、たとえば、KD_{2,1}はKR_{1,1}と同じ階調データにし、KD_{4,1}はKR_{3,1}と同じ階調データにする。

30

【0065】

データ並替手段401で並べ替えた映像データ502は、ラインHL_n毎に、階調補正手段401bおよびラインメモリ401cに転送される。階調補正手段401bは、ラインHL_nの各画素電極に対して書き込む階調データと、ラインメモリ401cで保持しているラインHL_{n-1}の各画素電極に対して書き込む階調データとを比較し、たとえば、前記表1のような補正テーブルと、極性制御手段402からの極性識別子(正極性または負極性)に基づいてラインHL_nの各画素電極に対して書き込む階調データを補正する。その後は、補正された映像データ503をデータドライバ2に転送し、各映像信号線DLに加える映像信号(階調電圧信号)を生成し、たとえば、制御回路4などで制御されているタイミング(クロック信号)に基づいて、各映像信号線DLに映像信号を加えるととも

40

【0066】

なお、図4(a)に示した補正回路401は、実施例1の駆動方法を実現するための回路構成の一例である。すなわち、図3(a)および図3(b)ならびに表1を参照して説明したような方法で、各画素電極PXに書き込む映像信号の階調を補正することができれば、別の構成であってもよいことはもちろんである。

【0067】

以上説明したように、本実施例1のTFT液晶表示装置およびその駆動方法によれば、横筋と呼ばれる現象の発生を抑え、TFT液晶表示装置の画質の劣化を防ぐことができる

50

【0068】

なお、実施例1では、たとえば、前記表1のように、2つの画素電極の階調差 K について、 $K = 100$ の場合、 $100 > K = 50$ の場合、 $50 > K > -50$ の場合、 $-50 < K < -100$ の場合、 $-100 < K$ の場合の5段階に分けた補正テーブルを用いて補正する例を挙げたが、補正テーブルは、別の数値で5段階に分けてもよいことはもちろんである。またさらに、6段階以上に分けてもよいことも、もちろんである。

【0069】

図5(a)乃至図5(c)は、実施例1の応用例を説明するための模式図である。

図5(a)は、横筋と呼ばれる現象の傾向を説明するための模式図である。図5(b)は、階調の補正方法の第1の応用例を説明するための模式グラフ図である。図5(c)は、階調の補正方法の第2の応用例を説明するための模式グラフ図である。

【0070】

図1(b)に示した構成のTF T液晶表示装置を、従来の方法で駆動させたときに発生する横筋と呼ばれる現象は、たとえば、図5(a)に示すように、映像信号線DLの信号入力端に近いラインHL₂、映像信号線DLの信号入力端から最も遠いラインHL_N、そしてそれらの間にあるラインHL_iおよびラインHL_jのそれぞれでレベル(見え方)が異なり、一般的には、映像信号線DLの信号入力端に近いラインHL₂の近傍ではあまり目立たず、映像信号線DLの信号入力端から遠ざかるにつれて目立つようになってくる。なお、図5(a)において、各映像信号線DL₁、DL_m、DL_{M+1}の上端にある三角形の印は、信号入力端であることを示している。

【0071】

このように、映像信号線DLの信号入力端からの距離が長いラインHLほど横筋が目立つ原因の1つとして、たとえば、各映像信号線DLに加えられた映像信号の遅延量が関係している。

【0072】

そのため、実施例1で説明した駆動方法でTF T液晶表示装置を駆動させるときには、たとえば、図5(b)に示すように、映像信号の遅延時間DTが閾値DT_{th}よりも長くなるラインHL_{th}からラインHL_Nまでの画素についてのみ、上記のような階調データの補正を行うようにしてもよい。なお、図5(b)に示したグラフ図において、横軸はラインHL_nであり、映像信号線の信号入力端に最も近いラインをHL₁とし、映像信号線の信号入力端から最も遠いラインをHL_Nとしている。また、縦軸は映像信号の遅延時間DT(sec)であり、上に行くほど遅延時間が長くなる。

【0073】

なお、このような方法でTF T液晶表示装置を駆動させる場合、遅延時間の閾値DT_{th}、すなわち補正を開始するラインHL_{th}を適宜変更可能であることはもちろんである。

【0074】

また、このような方法でTF T液晶表示装置を駆動させる場合、たとえば、遅延時間が閾値DT_{th}よりも短いラインHL₁からラインHL_{th-1}までの画素についても、階調データの補正を行うことが可能である。その場合、たとえば、ラインHL₁からラインHL_{th-1}までの画素に対する補正テーブルと、ラインHL_{th}からラインHL_Nまでの画素に対する補正テーブルとを用意すればよい。

【0075】

また、映像信号の遅延時間DTに対して閾値を設定するときには、たとえば、図5(c)に示すように、第1の閾値DT_{th1}、第2の閾値DT_{th2}、および第3の閾値DT_{th3}の3つの閾値を設定し、当該3つの閾値で分けられた区間毎に、異なる補正テーブルT₁、T₂、T₃、T₄に基づいて各ラインHL_nの画素の階調データを補正してもよい。

【0076】

10

20

30

40

50

なお、図5(c)に示した例では、3つの閾値 DT_{th1} 、 DT_{th2} 、 DT_{th3} を設定しているが、これに限らず、2つの閾値、または4つ以上の閾値を設定してもよいことはもちろんである。

【実施例2】

【0077】

図6(a)および図6(b)は、本発明による実施例2のTF T液晶表示装置の駆動方法の一例を説明するための模式図である。

図6(a)は、実施例2の液晶表示装置の駆動方法の概要を説明するための模式回路図である。図6(b)は、図6(a)に示した2つの画素電極 $PX1$ 、 $PX2$ に書き込まれる階調電圧の一例を示す模式波形図である。

10

【0078】

実施例2では、たとえば、図2(a)に示した画素電極 $PX1$ に書き込まれた階調電圧の書き込み不足量と、画素電極 $PX2$ に書き込まれた階調電圧の書き込み不足量との差を小さくするために、たとえば、画素電極 $PX2$ がTF T素子を介して接続している映像信号線 DL_{m+1} に接続している前段の画素電極、すなわち、ライン HL_{n+1} 、列 GU にある画素電極 $PX4$ に対する映像信号と、画素電極 $PX2$ に対する映像信号との階調差に基づいて、画素電極 $PX2$ に書き込む映像信号をオーバーシュートまたはアンダーシュートさせる。

【0079】

液晶表示パネル1の各画素を、たとえば、図6(a)に示したような階調で表示する場合、ライン HL_{n+1} 、列 RU にある画素電極 $PX1$ に書き込まれる階調電圧 V_{px} の波形と、走査信号 V_g の波形、共通電圧 V_{com} の波形、および画素電極 $PX1$ に書き込まれる階調電圧 V_{px} の波形と、映像信号線 DL_m に加えられている映像信号 $DATA_m$ の波形との関係は、それぞれ、図6(b)の上側に示したような関係になっている。この波形の関係は、図2(b)の上側に示した関係と同じであり、走査信号 V_g の立ち下がりが始まる時点での、映像信号 $DATA_m$ における画素電極 $PX1$ に対する階調電圧と、実際に画素電極 $PX1$ に書き込まれた電圧との電位差 V_1 は小さい。

20

【0080】

一方、ライン HL_{n+2} 、列 GU にある画素電極 $PX2$ に書き込まれる階調電圧 V_{px} の波形と、走査信号 V_g の波形、共通電圧 V_{com} の波形、および画素電極 $PX2$ に書き込まれる階調電圧 V_{px} の波形と、映像信号線 DL_{m+1} に加わっている映像信号 $DATA_{m+1}$ の波形との関係は、従来の駆動方法の場合、図2(b)の下側に示したような関係になる。その結果、走査信号 V_g の立ち下がりが始まる時点での、映像信号 $DATA_{m+1}$ における画素電極 $PX2$ に対する階調電圧と、実際に画素電極 $PX2$ に書き込まれた電圧との電位差 V_2 は、映像信号 $DATA_m$ における画素電極 $PX1$ に対する階調電圧と、実際に画素電極 $PX1$ に書き込まれた電圧との電位差 V_1 よりも大きくなる。

30

【0081】

そこで、実施例2の駆動方法では、たとえば、図6(b)の下側に示すように、映像信号 $DATA_{m+1}$ のうちの区間 HL_{n+2} 、すなわち画素電極 $PX2$ に書き込む映像信号の先頭に、時間 t だけ、書き込む映像信号の電圧 V_{100} よりも電位が V だけ高い電圧 V_{os} を加えて、画素電極 $PX2$ に書き込まれる電圧 V_{px} をオーバーシュートさせる。このようにすると、走査信号 V_g の立ち下がりが始まる時点での、映像信号 $DATA_{m+1}$ における画素電極 $PX2$ に対する階調電圧と、実際に画素電極 $PX2$ に書き込まれた電圧との電位差 V_2' が、図2(b)に示した電位差 V_2 よりも小さくなる。

40

【0082】

したがって、実施例2のTF T液晶表示装置の駆動方法では、走査信号 V_g の立ち下がりが始まる時点での、映像信号 $DATA_m$ の階調電圧 V_{100} と実際に画素電極 $PX1$ に書き込まれた電圧との電位差 V_1 と、走査信号 V_g の立ち下がりが始まる時点での、映像信号 $DATA_{m+1}$ の階調電圧 V_{100} と実際に画素電極 $PX2$ に書き込まれた電圧との電位差 V_2' との差($V_2' - V_1$)が、 $V_2 - V_1$ よりも小さくなる。そ

50

のため、画素電極 $PX1$ を有する画素の階調（輝度）と、画素電極 $PX2$ を有する画素の階調（輝度）との差が小さくなり、横筋と呼ばれる現象の発生による画質が劣化を回避できる。

【0083】

なお、実施例2において、画素電極 $PX(PX2)$ に書き込む電圧 V_{px} をオーバーシュートさせるための電圧 V_{os} を加える時間 t および電位差 V は、任意の値に設定することができ、適宜変更可能であることはもちろんである。

【0084】

また、実施例2の駆動方法を実現させるためには、たとえば、実施例1で説明した補正回路401と同様の構成の補正回路を制御回路4に設ければよい。なお、実施例2の駆動方法の場合、補正回路401の階調補正手段401bにおいて、階調データそのものを補正する代わりに、電圧 V_{os} の電位や付加する時間などを決定して階調データ（映像信号）に付加する。

10

【0085】

また、実施例2のTFT液晶表示装置の駆動方法においても、たとえば、図5(b)に示したように、映像信号の遅延時間が閾値よりも長くなるラインの画素に対する映像信号のみを補正してもよいことはもちろんである。またさらに、たとえば、図5(c)に示したように、いくつかの閾値を設定し、その区間毎に、映像信号に付加する電圧 V_{os} の電位や付加する時間などの組み合わせを変えた補正テーブルを用意して、各画素の映像信号を補正してもよいことはもちろんである。

20

【実施例3】

【0086】

図7(a)乃至図7(d)は、本発明による実施例3のTFT液晶表示装置の駆動方法の一例を説明するための模式図である。

図7(a)は、従来の液晶表示装置の駆動方法の一例を説明するための模式図である。図7(b)は、実施例1および実施例2とは別の視点から見た横筋が発生する原因を説明するための模式波形図である。図7(c)は、実施例3の液晶表示装置の駆動方法の一例を説明するための模式図である。図7(d)は、実施例3の液晶表示装置の駆動方法による作用効果を説明するための模式波形図である。

なお、図7(b)および図7(d)は、図2(a)に示した2つの画素 $PX1$, $PX2$ に書き込まれる階調電圧の一例を示している。

30

【0087】

実施例1および実施例2で説明した液晶表示装置を含む従来の一般的な液晶表示装置において、各走査信号線 GL に加わる走査信号 V_g の波形は、たとえば、図7(a)に示すようになっている。なお、図7(a)には、1枚の液晶表示パネルに設けられたすべて (N 本)の走査信号線のうちの、映像信号線の信号入力端に最も近い位置に配置された4本の走査信号線 GL_1 , GL_2 , GL_3 , GL_4 と、映像信号線の信号入力端から最も遠い位置に配置された2本の走査信号線 GL_{N-1} , GL_N に加わる走査信号の波形を示している。また、図7(a)には、上記の各走査信号線に加わる走査信号の波形とともに、映像信号線 DL_m に加わる映像信号 $DATA_m$ および映像信号線 DL_{m+1} に加わる映像信号 $DATA_{m+1}$ 、ならびに共通電極の電位（共通電位） V_{com} を示している。

40

【0088】

従来の一般的な液晶表示装置において、各走査信号線 GL に加わる走査信号 V_g は、あらかじめ定められた時間周期 T_f ごとに、当該走査信号線 GL に接続しているTFT素子がオンになるような信号である。このとき、各走査信号線 GL の走査信号 V_g において、TFT素子をオンにする時間 T_{on} は、一般に、前記時間周期 T_f を走査信号線 GL の総数 N で除した値 (T_f / N) である。

【0089】

なお、実際の液晶表示装置において、各走査信号線 GL に加わる走査信号 V_g の波形は、たとえば、図7(b)に示すような、なまりのある波形である。このような波形の走査

50

信号 V_g においては、一般に、走査信号 V_g が立ち上がる時刻を T F T 素子がオフからオンに切り替える時刻とし、走査信号 V_g が立ち下がる時刻を T F T 素子がオンからオフに切り替える時刻として定義されている。すなわち、走査信号 V_g において T F T 素子をオンにする時間 T_{on} は、走査信号 V_g が立ち上がる時刻から立ち下がる時刻までの時間間隔で定義される。

【 0 0 9 0 】

また、実際の液晶表示装置では、たとえば、図 7 (b) に示すように、走査信号 V_g において T F T 素子をオフからオンに切り替える時刻と、映像信号線 D L に加えられた信号が、当該 T F T 素子を介して画素電極 P X に書き込まれる信号に変化する時刻に時間差 T がある。そのため、T F T 素子がオフからオンに切り替わった直後の T 秒間は、当該 T F T 素子を介して接続された画素電極に、前段の画素電極に書き込む信号が書き込まれる。そのため、同じ階調電圧 V_{100} が書き込まれる画素 P X 1 , P X 2 の画素電極に実際に書き込まれた階調電圧 V_{px} の差 V_1 , V_2 に違いが生じ、横筋レベルが発生する。

10

【 0 0 9 1 】

上記のような観点から、実施例 1 や実施例 2 とは別の駆動方法として、たとえば、T F T 素子がオフからオンに切り替わった直後に、当該 T F T 素子を介して接続された画素電極に、前段の画素電極に書き込む信号が書き込まれる時間を短くすればよいことを、本願発明者らは見いだした。すなわち、実施例 3 の液晶表示装置の駆動方法では、走査信号 V_g において T F T 素子をオフからオンに切り替える時刻と、映像信号線 D L に加えられた信号が、当該 T F T 素子を介して画素電極 P X に書き込まれる信号に変化する時刻の時間差 T を短くする。

20

【 0 0 9 2 】

実施例 3 の液晶表示装置の駆動方法は、たとえば、各走査信号線 G L に加える走査信号 V_g の波形を、たとえば、図 7 (c) に示すような波形にする。なお、図 7 (c) には、1 枚の液晶表示パネルに設けられたすべて (N 本) の走査信号線のうちの、映像信号線の信号入力端に最も近い位置に配置された 4 本の走査信号線 $G L_1$, $G L_2$, $G L_3$, $G L_4$ と、映像信号線の信号入力端から最も遠い位置に配置された 2 本の走査信号線 $G L_{N-1}$, $G L_N$ に加わる走査信号の波形を示している。また、図 7 (c) には、上記の各走査信号線に加わる走査信号の波形とともに、映像信号線 D L $_m$ に加わる映像信号 D A T A $_m$ および映像信号線 D L $_{m+1}$ に加わる映像信号 D A T A $_{m+1}$ 、ならびに共通電極の電位 (共通電位) V_{com} を示している。

30

【 0 0 9 3 】

実施例 3 の液晶表示装置の駆動方法では、各走査信号線に加わる走査信号 V_g において、当該走査信号線 G L に接続している T F T 素子をオンにする時間 T_{on}' を、前記時間周期 T_f を走査信号線 G L の総数 N で除した値 (T_f / N) よりも短くする。

【 0 0 9 4 】

またこのとき、T F T 素子をオンにする時間 T_{on}' は、たとえば、図 7 (d) に示すように、各走査信号 V_g において T F T 素子をオフからオンに切り替える時刻 (立ち上がりの時刻) を時間 T_b だけ遅らせることで、従来 の時間 T_{on} よりも短くする。

40

【 0 0 9 5 】

このようにすると、走査信号 V_g において T F T 素子をオフからオンに切り替える時刻と、映像信号線に加えられた映像信号が、当該 T F T 素子を介して画素電極に書き込む信号に変化する時刻との時間差 T が短くなる。そのため、T F T 素子がオンになった直後に、当該 T F T 素子に接続された画素電極に、前段の画素電極に書き込む信号が書き込まれることを防げる。その結果、たとえば、図 7 (d) に示したように、同じ階調電圧 V_{100} が書き込まれる画素 P X 1 , P X 2 の画素電極に実際に書き込まれた階調電圧 V_{px} の差 V_1 , V_2 に差が小さくなり、横筋の発生による画質の劣化を低減できる。

【 0 0 9 6 】

また、実施例 3 の液晶表示装置の駆動方法は、すべての走査信号線 G L に加える走査信

50

号Vgに対し、TFT素子をオンにする時間をTonからTon'に一律に変化させる。そのため、たとえば、走査信号GLの生成や加えるタイミングを制御するゲートドライバ3や、タイミングコントローラと呼ばれるプリント回路基板において、TFT素子をオンにする時間がTon'になるようにあらかじめ調節しておくことができる。すなわち、実施例3で説明した駆動方法を実現する液晶表示装置は、実施例1や実施例2で説明したような補正回路401を設けなくても横筋の発生を抑えることができ、画質の劣化を低減できる。

【0097】

以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更可能であることはもちろんである。

10

【0098】

たとえば、実施例1乃至実施例3では、1本の映像信号線DLに対する映像信号の信号入力端が、当該映像信号線DLの両端のうち的一方であり、かつ、表示領域の上端側（走査信号線GL1側）に設けられている場合を例に挙げているが、近年のTFT液晶表示装置には、たとえば、表示領域DAの下端側（走査信号線GLN側）に信号入力端が設けられているものもある。また、近年のTFT液晶表示装置には、たとえば、表示領域DAの上端側および下端側の両端に信号入力端が設けられているものもある。そのようなTFT液晶表示装置の場合も、実施例1乃至実施例3で説明したような考え方に基づいて、液晶表示パネルを駆動させることで、横筋と呼ばれる現象の発生を抑え、画質の劣化を防ぐことができる。

20

【図面の簡単な説明】

【0099】

【図1(a)】本発明に係わる液晶表示装置の概略構成の一例を示す模式ブロック図である。

【図1(b)】図1(a)に示した液晶表示パネルにおける表示領域の概略構成の一例を示す模式回路図である。

【図2(a)】本発明に係わるTFT液晶表示装置における各画素の階調の一例を示す模式回路図である。

【図2(b)】図2(a)に示した2つの画素電極PX1, PX2に書き込まれる階調電圧の一例を示す模式波形図である。

30

【図3(a)】実施例1の液晶表示装置の駆動方法の概要を説明するための模式回路図である。

【図3(b)】図3(a)に示した2つの画素電極PX1, PX2に書き込まれる階調電圧の一例を示す模式波形図である。

【図4(a)】実施例1のTFT液晶表示装置の補正回路の一構成例を示す模式ブロック図である。

【図4(b)】補正回路に入力される映像データの一例を示す模式図である。

【図4(c)】補正回路のデータ並替手段で並べ替えを行った映像データの一例を示す模式図である。

40

【図5(a)】横筋と呼ばれる現象の傾向を説明するための模式図である。

【図5(b)】階調の補正方法の第1の応用例を説明するための模式グラフ図である。

【図5(c)】階調の補正方法の第2の応用例を説明するための模式グラフ図である。

【図6(a)】実施例2の液晶表示装置の駆動方法の概要を説明するための模式回路図である。

【図6(b)】図6(a)に示した2つの画素電極PX1, PX2に書き込まれる階調電圧の一例を示す模式波形図である。

【図7(a)】従来の液晶表示装置の駆動方法の一例を説明するための模式図である。

【図7(b)】実施例1および実施例2とは別の視点から見た横筋が発生する原因を説明するための模式波形図である。

50

【図7(c)】実施例3の液晶表示装置の駆動方法の一例を説明するための模式図である。

【図7(d)】実施例3の液晶表示装置の駆動方法による作用効果を説明するための模式波形図である。

【符号の説明】

【0100】

1...液晶表示パネル

2...データドライバ

3...ゲートドライバ

4...制御回路

401...補正回路

401a...データ並替手段

401b...階調補正手段

401c...ラインメモリ

402...極性制御手段

$GL, GL_2, GL_i, GL_j, GL_{n-1}, GL_n, GL_{n+1}, GL_{n+2}, GL_N$...走査信号線

$DL, DL_1, DL_2, DL_3, DL_4, DL_5, DL_{m-2}, DL_{m-1}, DL_m, DL_{m+1}, DL_{m+2}, DL_{m+3}, DL_{M+1}$...映像信号線

$PX, PX1, PX2, PX3, PX4$...画素電極

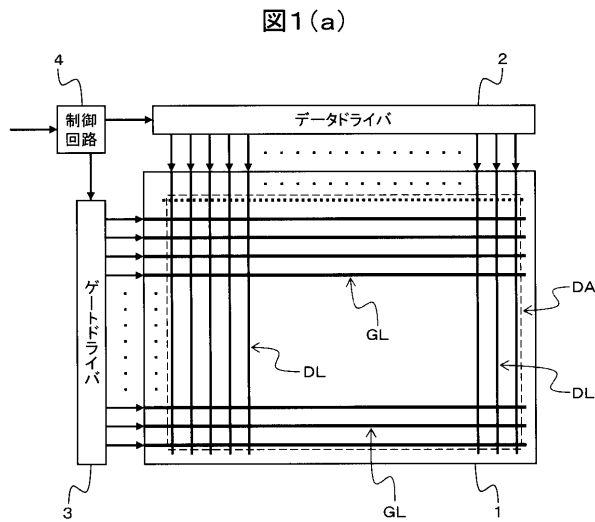
$HL_1, HL_2, HL_3, HL_4, HL_5, HL_n, HL_{n+1}, HL_{n+2}, HL_{n+3}, HL_N, HL_i, HL_j, HL_{th}, HL_{th-1}, HL_{th1}, HL_{th2}, HL_{th3}$...画素電極のライン(行)

$G_{u-1}, B_{u-1}, R_u, G_u, B_u$...画素電極の列

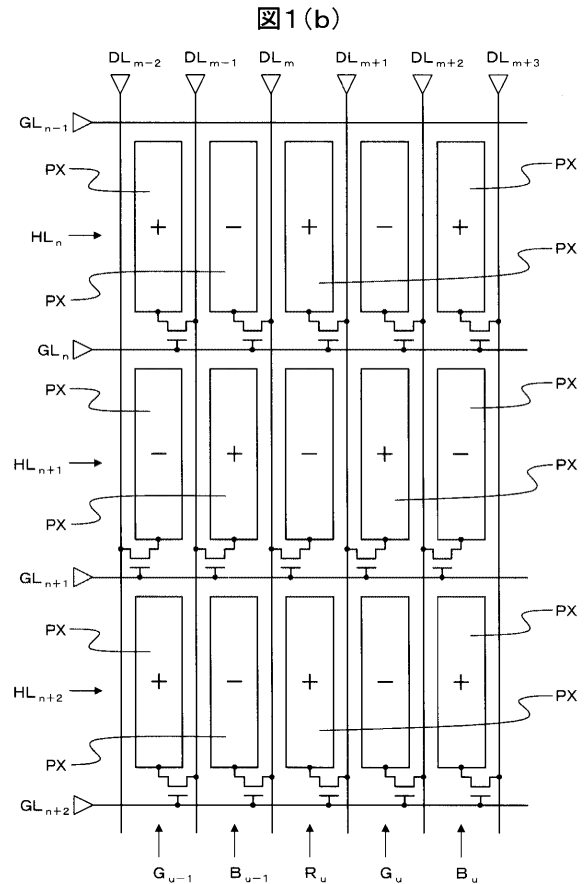
10

20

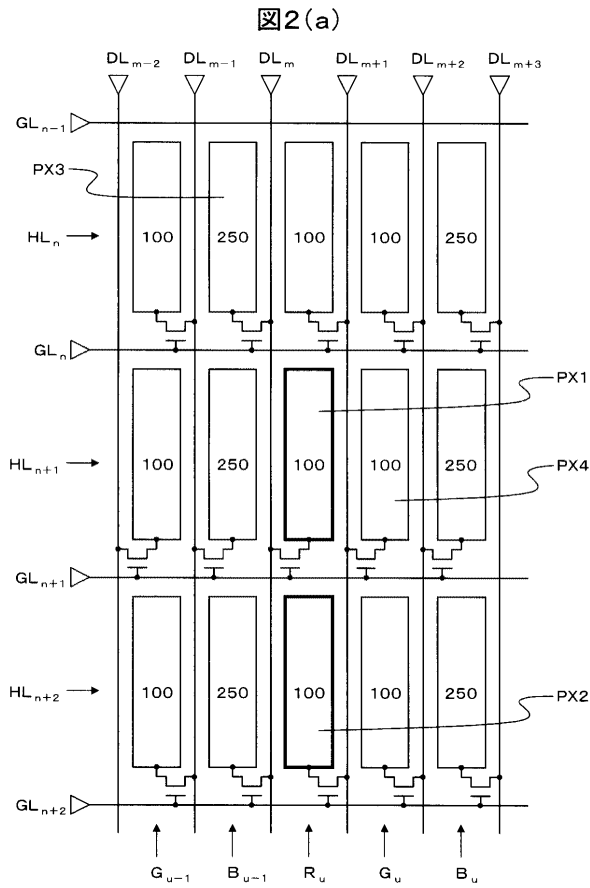
【図1(a)】



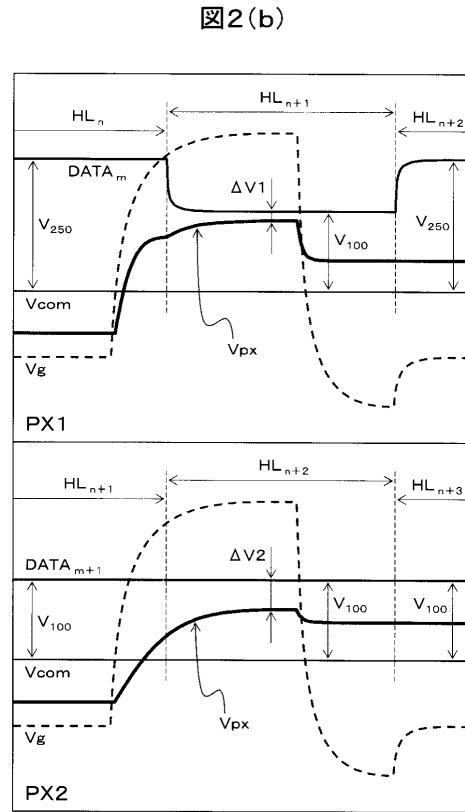
【図1(b)】



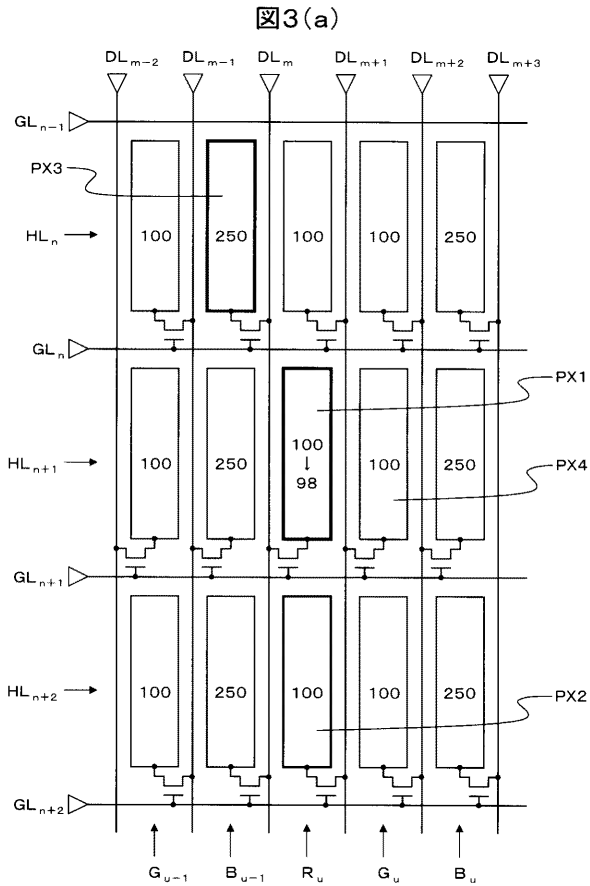
【図2(a)】



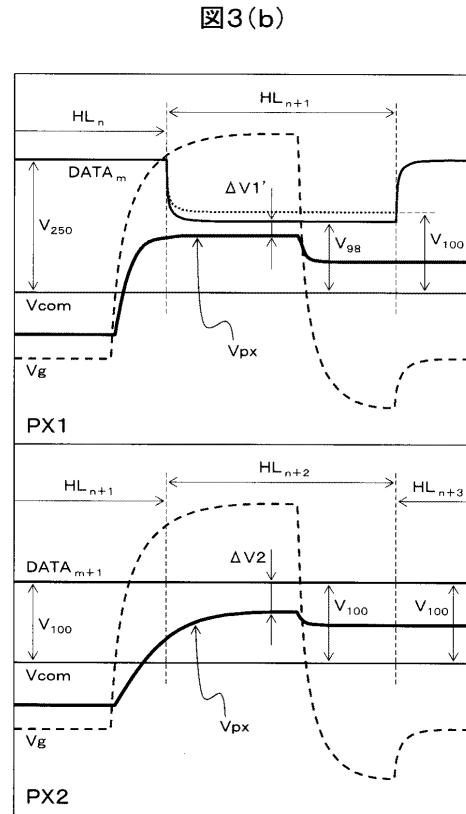
【図2(b)】



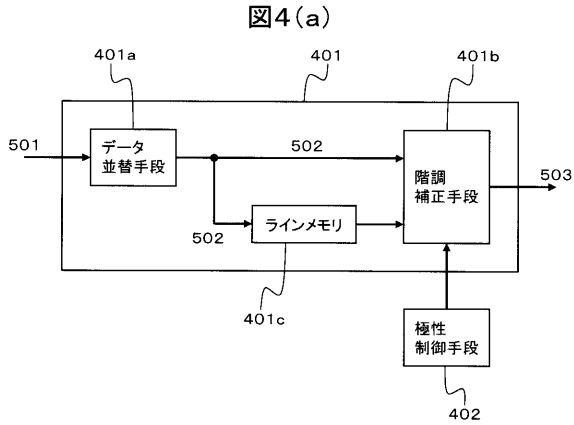
【図3(a)】



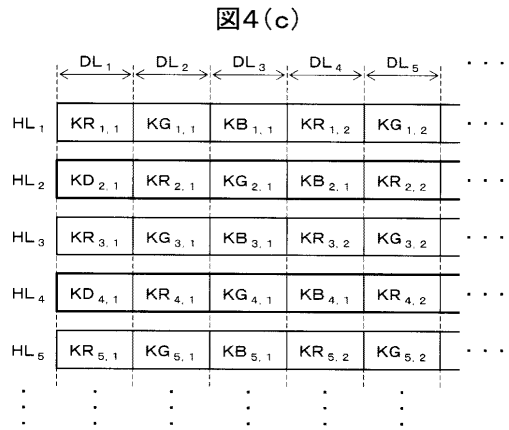
【図3(b)】



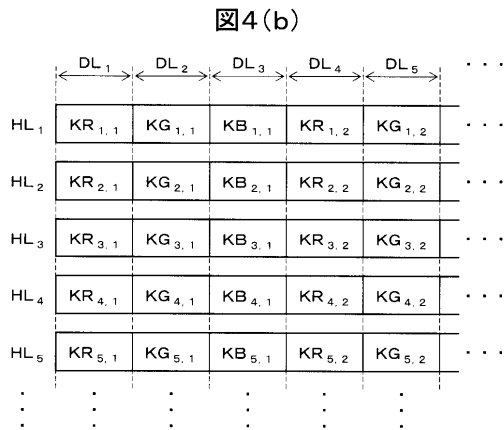
【図4(a)】



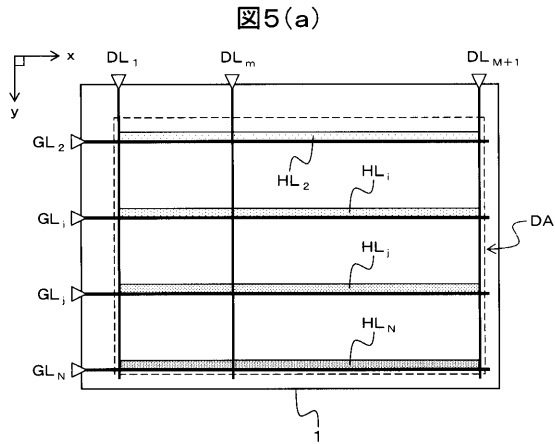
【図4(c)】



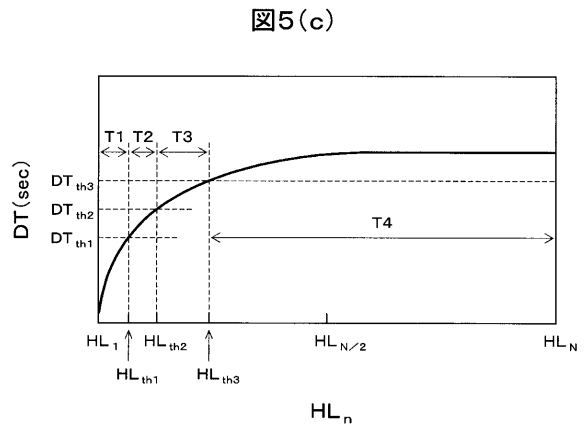
【図4(b)】



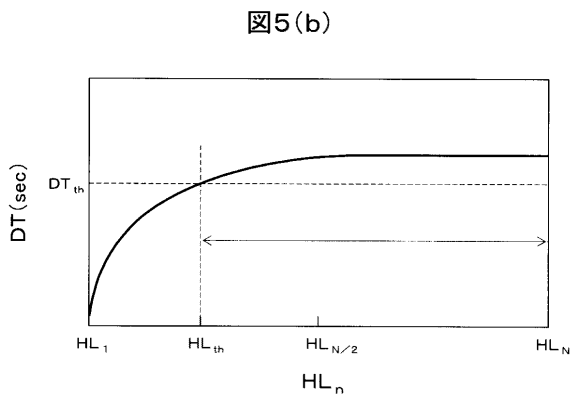
【図5(a)】



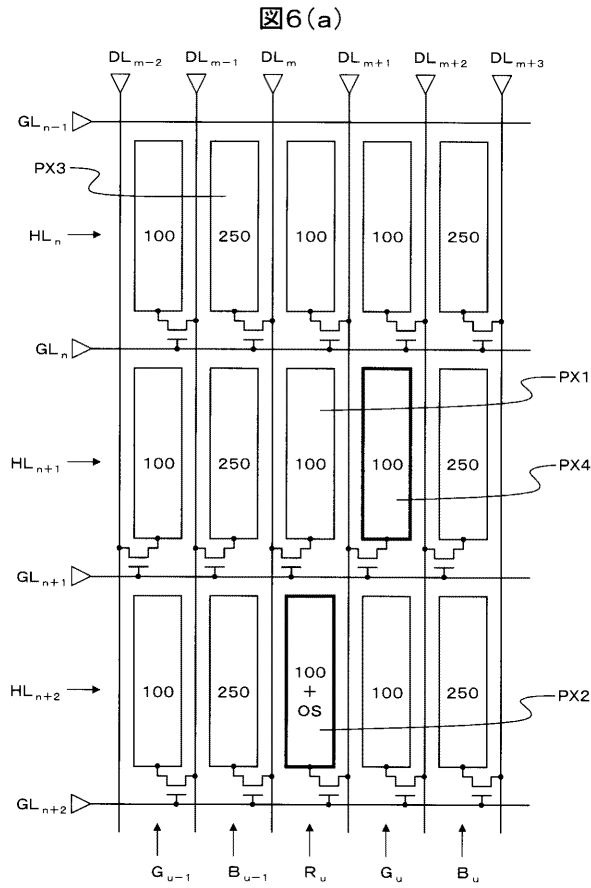
【図5(c)】



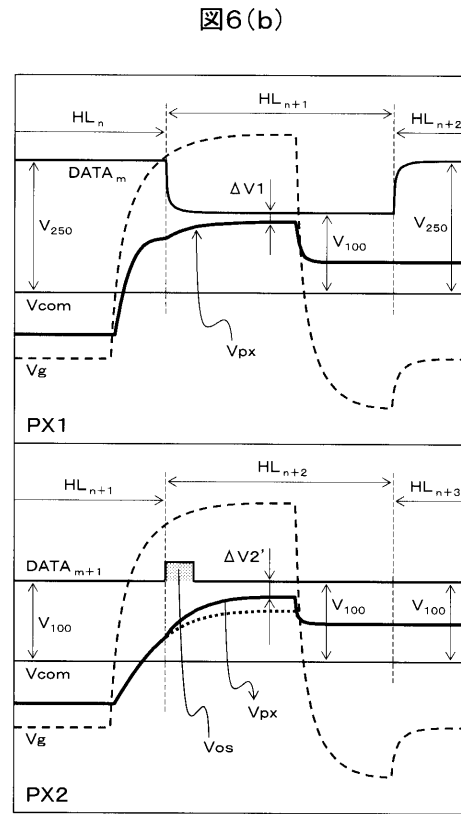
【図5(b)】



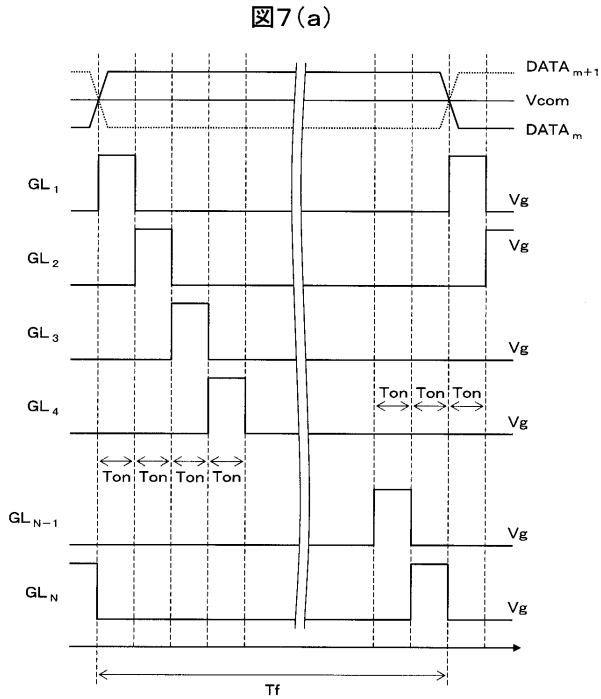
【図6(a)】



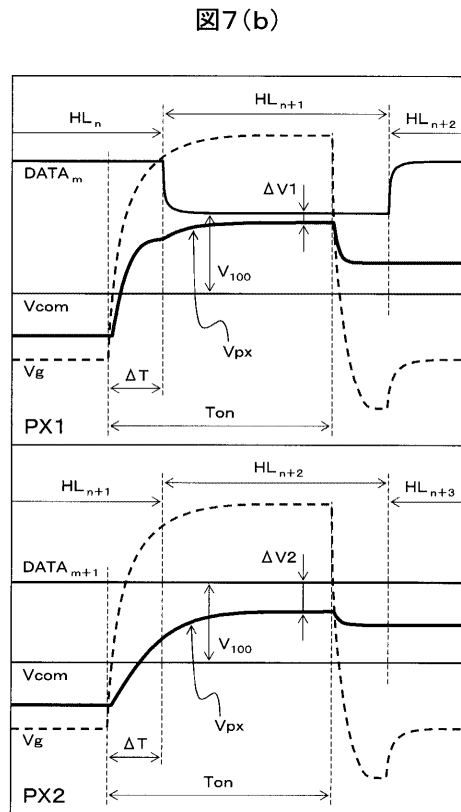
【図6(b)】



【図7(a)】

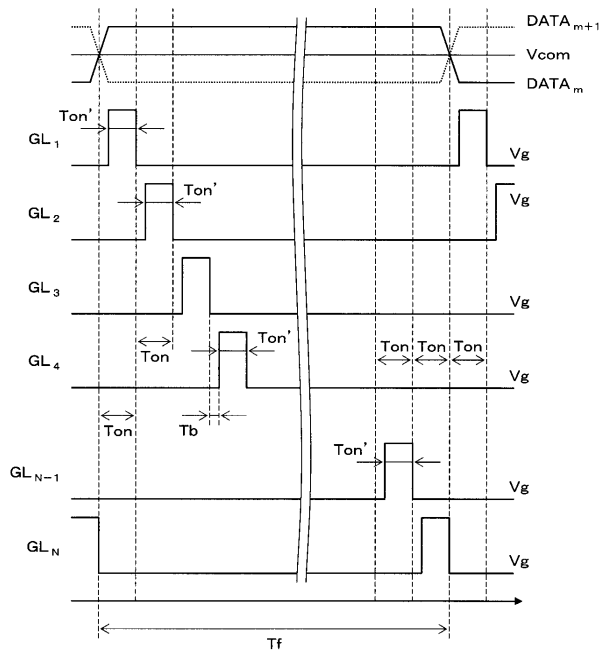


【図7(b)】



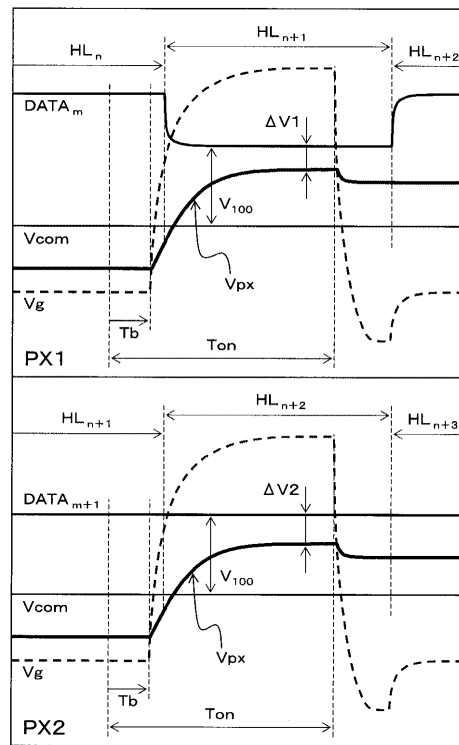
【図7(c)】

図7(c)



【図7(d)】

図7(d)



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 1 V
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 4 2 K
G 0 2 F 1/133 5 7 5
G 0 2 F 1/133 5 5 0

(72)発明者 加藤 至誠
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内

(72)発明者 川口 千春
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内

審査官 西島 篤宏

(56)参考文献 特開平04-223428(JP,A)
特開2005-140883(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	表示装置		
公开(公告)号	JP5229713B2	公开(公告)日	2013-07-03
申请号	JP2007197650	申请日	2007-07-30
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司 IPS阿尔法科技有限公司		
当前申请(专利权)人(译)	有限公司日本东显示器 松下液晶显示器有限公司		
[标]发明人	桶隆太郎 平田将史 加藤至誠 川口千春		
发明人	桶隆太郎 平田将史 加藤至誠 川口千春		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G2300/0426 G09G2320/0233 G09G2320/0271 G09G2360/16		
FI分类号	G09G3/36 G09G3/20.641.P G09G3/20.612.U G09G3/20.631.B G09G3/20.631.C G09G3/20.631.V G09G3/20.642.A G09G3/20.642.K G02F1/133.575 G02F1/133.550 G09G3/20.611.E G09G3/20.621.B G09G3/20.622.D G09G3/20.623.C G09G3/20.623.D G09G3/20.631.M G09G3/20.680.H		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NB01 2H093/NB07 2H093/NB12 2H093/NC21 2H093 /NC29 2H093/NC34 2H093/NC49 2H093/NC66 2H093/ND06 2H093/ND58 2H093/NE10 2H193/ZA04 2H193/ZD23 2H193/ZH40 2H193/ZH43 2H193/ZP20 5C006/AA22 5C006/AC26 5C006/AF13 5C006 /AF42 5C006/AF45 5C006/AF46 5C006/BB16 5C006/BF05 5C006/FA22 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD01 5C080/EE29 5C080/FF11 5C080/FF12 5C080/GG12 5C080/JJ02 5C080 /JJ03 5C080/JJ04 5C080/JJ05 5C080/KK43		
优先权	2007017375 2007-01-29 JP		
其他公开文献	JP2008209890A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止由于TFT元件的写入不充分导致的TFT液晶显示装置的图像质量的劣化。ZOLUTION：显示装置包括沿两条相邻图像信号线之间的图像信号线的延伸方向并排布置的多个像素电极，其中像素电极连接到通过TFT相邻的两条图像信号线的一侧图像信号线元件和连接到经由TFT元件邻接的两条图像信号线的另一侧图像信号线的像素电极交替地并排布置。该显示装置还包括校正电路，该校正电路将要写入多个像素电极中的一个像素电极的图像数据的灰度与要写入前一步骤的像素电极的图像数据的灰度进行比较。在比图像信号线的信号输入端侧更靠近一个像素电极的位置上，并且，校正要写入一个像素电极的图像数据的灰度。Z

$\Delta K = K_{n+1} - K_n$	K_{n+1}'
$\Delta K \geq 100$	$K_{n+1} + 2$
$100 > \Delta K \geq 50$	$K_{n+1} + 1$
$50 > \Delta K > -50$	K_{n+1}
$-50 \geq \Delta K > -100$	$K_{n+1} - 1$
$-100 \geq \Delta K$	$K_{n+1} - 2$