

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5206178号
(P5206178)

(45) 発行日 平成25年6月12日 (2013. 6. 12)

(24) 登録日 平成25年3月1日 (2013. 3. 1)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G09F 9/30 (2006.01)

G02F 1/133 (2006.01)

G02F 1/1345 (2006.01)

G09G 3/36

G09G 3/20 641E

G09G 3/20 624B

G09G 3/20 611F

G09G 3/20 641R

請求項の数 4 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2008-179522 (P2008-179522)
 (22) 出願日 平成20年7月9日 (2008. 7. 9)
 (65) 公開番号 特開2010-20023 (P2010-20023A)
 (43) 公開日 平成22年1月28日 (2010. 1. 28)
 審査請求日 平成23年5月2日 (2011. 5. 2)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 吉永 朋朗
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

審査官 中村 直行

(56) 参考文献 特開2003-255912 (JP, A)
)
 特開昭61-020091 (JP, A)

最終頁に続く

(54) 【発明の名称】 映像表示装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

1 フレームを、映像表示用のメインフレームと、映像表示以外の電位を与えるサブフレームとで時間分割する駆動方式が採用された映像表示装置であって、

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、表示すべき映像情報に応じたデータ信号が供給されるメインフレーム用データ線と、

上記映像表示以外の電位が与えられるサブ電位部と、

上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、

上記画素回路のマトリクス配列の行配列に対応するように配線された第2の制御線と、
 を有し、

上記各画素回路は、

画素電極と、

上記画素電極と上記メインフレーム用データ線との間に接続され、上記第1の制御線によりオンオフされるメイン用スイッチングトランジスタと、

上記画素電極と上記サブ電位部との間に接続され、上記第2の制御線によりオンオフされるサブ用スイッチングトランジスタと、を含み、

上記サブ電位部および上記第2の制御線のうちの少なくともサブ電位部が、隣接する画素回路間で共用され、

上記サブ電位部は、

10

20

上記画素回路のマトリクス配列の列配列に対応するように配線されたサブ電位線として形成され、

上記サブ電位線が、上記データ線と並行に隣り合う少なくとも2画素以上の複数画素回路の上記サブ用スイッチングトランジスタにより共用され、かつ、上記メインフレーム用データ線と上記画素電極との間に配線されている

映像表示装置。

【請求項2】

1フレームを、映像表示用のメインフレームと、映像表示以外の電位を与えるサブフレームとで時間分割する駆動方式が採用された映像表示装置であって、

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、表示すべき映像情報に応じたデータ信号が供給されるメインフレーム用データ線と、

上記映像表示以外の電位が与えられるサブ電位部と、

上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、

上記画素回路のマトリクス配列の行配列に対応するように配線された第2の制御線と、を有し、

上記各画素回路は、

画素電極と、

上記画素電極と上記メインフレーム用データ線との間に接続され、上記第1の制御線によりオンオフされるメイン用スイッチングトランジスタと、

上記画素電極と上記サブ電位部との間に接続され、上記第2の制御線によりオンオフされるサブ用スイッチングトランジスタと、を含み、

上記サブ電位部および上記第2の制御線のうちの少なくともサブ電位部が、隣接する画素回路間で共用され、

上記サブ電位部は、

上記画素回路のマトリクス配列に対応するように配線されたサブ電位線として形成され、

上記サブ電位線が、上記データ線と並行に隣り合う少なくとも2画素以上の複数画素回路の上記サブ用スイッチングトランジスタにより共用され、かつ、上記第1の制御線と上記画素電極との間に配線されている

映像表示装置。

【請求項3】

1フレームを、映像表示用のメインフレームと、映像表示以外の電位を与えるサブフレームとで時間分割する駆動方式が採用された映像表示装置を有する電子機器であって、

上記映像表示装置は、

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、表示すべき映像情報に応じたデータ信号が供給されるメインフレーム用データ線と、

上記映像表示以外の電位が与えられるサブ電位部と、

上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、

上記画素回路のマトリクス配列の行配列に対応するように配線された第2の制御線と、を有し、

上記各画素回路は、

画素電極と、

上記画素電極と上記メインフレーム用データ線との間に接続され、上記第1の制御線によりオンオフされるメイン用スイッチングトランジスタと、

上記画素電極と上記サブ電位部との間に接続され、上記第2の制御線によりオンオフされるサブ用スイッチングトランジスタと、を含み、

上記サブ電位部および上記第2の制御線のうちの少なくともサブ電位部が、隣接する画素回路間で共用され、

上記サブ電位部は、

上記画素回路のマトリクス配列の列配列に対応するように配線されたサブ電位線として形成され、

上記サブ電位線が、上記データ線と並行に隣り合う少なくとも2画素以上の複数画素回路の上記サブ用スイッチングトランジスタにより共用され、かつ、上記メインフレーム用データ線と上記画素電極との間に配線されている

電子機器。

【請求項4】

1フレームを、映像表示用のメインフレームと、映像表示以外の電位を与えるサブフレームとで時間分割する駆動方式が採用された映像表示装置を有する電子機器であって、

上記映像表示装置は、

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、表示すべき映像情報に応じたデータ信号が供給されるメインフレーム用データ線と、

上記映像表示以外の電位が与えられるサブ電位部と、

上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、

上記画素回路のマトリクス配列の行配列に対応するように配線された第2の制御線と、を有し、

上記各画素回路は、

画素電極と、

上記画素電極と上記メインフレーム用データ線との間に接続され、上記第1の制御線によりオンオフされるメイン用スイッチングトランジスタと、

上記画素電極と上記サブ電位部との間に接続され、上記第2の制御線によりオンオフされるサブ用スイッチングトランジスタと、を含み、

上記サブ電位部および上記第2の制御線のうちの少なくともサブ電位部が、隣接する画素回路間で共用され、

上記サブ電位部は、

上記画素回路のマトリクス配列に対応するように配線されたサブ電位線として形成され、

上記サブ電位線が、上記データ線と並行に隣り合う少なくとも2画素以上の複数画素回路の上記サブ用スイッチングトランジスタにより共用され、かつ、上記第1の制御線と上記画素電極との間に配線されている

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1フレームを、映像表示用のメインフレームと、映像表示以外の電位を与えるサブフレームとで時間分割する駆動機能をもつ映像表示装置および電子機器に関するものである。

【背景技術】

【0002】

近年、テレビジョンやパーソナルコンピュータ（パソコン）、プロジェクションシステムなどの映像システムにおいて、よりリアリティのある表示をするべく、映像表示システムの高精細化、大型化、高輝度化、高動画特性化が求められている。

【0003】

この中で、薄膜トランジスタ（Thin Film Transistor：TFT）型液晶表示装置、フィールドエミッション（Field Emission）型映像表示装置（FED）、有機EL（Electroluminescence）型表示装置（O-LED：Organic-Light Emitting Diode）などのいわゆる直視型の映像表示装置や、プロジェクションシステムの映像素子として用いる高温ポリシリコンTFT型液晶ディスプレイ素子や、単結晶Siを用いた反射型液晶ディスプレイ

10

20

30

40

50

素子などいわゆるマイクロディスプレイなどの大型化、高精細化が進んでいる。

【0004】

前述の映像表示装置は、いずれも垂直方向に走査する駆動方式を備えており、走査駆動方式は、画素電極への電圧書き込みは行方向のゲート線と列方向のデータ線によって、交点に組み込まれた画素駆動回路の制御によって行われる。

一般的には、表示領域の上下端どちらか任意の場所から1ラインずつあるいは複数ラインずつ順次走査を行う。

【0005】

液晶表示装置などのいわゆるホールド型映像表示装置の書き込み電圧は、次の書き込みまでの1フレーム間、たとえばフレームレートが60Hzの場合は約16.7msの間、画素駆動回路内にある補助容量Csによって保持される。

10

また、FEDなどのいわゆるインパルス型表示装置は、一般的に1フレーム期間内において各画素の発光、消光を繰り返す。

【0006】

上述した映像表示装置の中で、たとえば、反射型液晶マイクロディスプレイ素子は、小型高精細が可能であり、なおかつ高い光利用効率が期待できる映像デバイスとして注目され、実用化されている。

この反射型液晶ディスプレイ映像素子は、一方に透明電極の形成されたガラス基板、もう一方にたとえばC-MOS半導体回路からなるシリコン基板を駆動素子基板として活用し、これら一対の基板間に液晶を注入したアクティブマトリクス型の反射型液晶表示装置である。

20

【0007】

シリコン駆動基板の上には、光の反射と液晶への電圧印加を行うための画素電極が配置されており、この画素電極は一般にはLSIプロセスで用いられているアルミニウムを主成分とした金属材料で構成される。

これらの素子では、対向電極上に設けられた透明電極と画素電極に電圧を加えることで液晶に対して電圧を印加する。このとき、液晶はそれらの電極間の電位差に応じて光学的な特性が変化し、入射した光を変調することで階調表示を行う。

【0008】

ところで、これらの映像表示装置では近年、動画特性を向上させるため、あるいは画素トランジスタ(Tr)にプリチャージを行うために、1フレームを映像を表示するメインフレームと、黒挿入あるいはキッキングあるいは画素Trプリチャージを行うサブフレームとで時間分割する駆動方法が知られている(特許文献1, 2, 3参照)。

30

【0009】

図1は、サブフレーム駆動機能を持つ通常の画素アレイ構造を示す図である。

1画素に対して、一つの補助容量Cs、2つ(2本)のトランジスタTr1, Tr2、ゲート線LGT1、LGT2、データ線LDT1, LDT2が設けられている。

【特許文献1】特開昭61-20091号公報

【特許文献2】特開平2-141725号公報

【特許文献3】特開2004-318072号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0010】

1フレームをメインフレームとサブフレームに時間分割する駆動方法を実現する構造は、1画素につき2個の画素Trを設ける必要があるが、このとき、1画素毎に、各2対のトランジスタTrのゲート線とデータ線を独立して設けるとメインフレームを持たない構造の約2倍の配線が必要となり、また、配線レイアウトが煩雑になり実現が困難となる。

このため、配線レイアウトの制約が少ない構造が求められている。

【0011】

本発明は、配線レイアウト増を抑えつつ、サブフレーム駆動が可能となる映像表示装置

50

および電子機器を提供することにある。

【課題を解決するための手段】

【0012】

本発明の第1の観点は、1フレームを、映像表示用のメインフレームと、映像表示以外の電位を与えるサブフレームとで時間分割する駆動方式が採用された映像表示装置であって、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、表示すべき映像情報に応じたデータ信号が供給されるメインフレーム用データ線と、上記映像表示以外の電位が与えられるサブ電位部と、上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、上記画素回路のマトリクス配列の行配列に対応するように配線された第2の制御線と、を有し、上記各画素回路は、画素電極と、上記画素電極と上記メインフレーム用データ線との間に接続され、上記第1の制御線によりオンオフされるメイン用スイッチングトランジスタと、上記画素電極と上記サブ電位部との間に接続され、上記第2の制御線によりオンオフされるサブ用スイッチングトランジスタと、を含み、上記サブ電位部および上記第2の制御線のうちの少なくともサブ電位部が、隣接する画素回路間で共用され、上記サブ電位部は、上記画素回路のマトリクス配列の列配列に対応するように配線されたサブ電位線として形成され、上記サブ電位線が、上記データ線と並行に隣り合う少なくとも2画素以上の複数画素回路の上記サブ用スイッチングトランジスタにより共用され、かつ、上記メインフレーム用データ線と上記画素電極との間に配線されている。

10

【0013】

好適には、上記サブ電位部は、上記画素回路のマトリクス配列の列配列に対応するように配線されたサブ電位線として形成され、上記サブ電位線が、上記データ線と並行に隣り合う少なくとも2画素以上の複数画素回路の上記サブ用スイッチングトランジスタにより共用されている。

20

【0014】

好適には、上記サブ電位部のサブ電位は、上記画素電極の周辺に形成されるシールド電位であり、上記サブ電位部が、上記データ線と並行に隣り合う少なくとも2画素以上の複数画素回路の上記サブ用スイッチングトランジスタにより共用されている。

【0016】

また、本発明の第1の観点は、1フレームを、映像表示用のメインフレームと、映像表示以外の電位を与えるサブフレームとで時間分割する駆動方式が採用された映像表示装置であって、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、表示すべき映像情報に応じたデータ信号が供給されるメインフレーム用データ線と、上記映像表示以外の電位が与えられるサブ電位部と、上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、上記画素回路のマトリクス配列の行配列に対応するように配線された第2の制御線と、を有し、上記各画素回路は、画素電極と、上記画素電極と上記メインフレーム用データ線との間に接続され、上記第1の制御線によりオンオフされるメイン用スイッチングトランジスタと、上記画素電極と上記サブ電位部との間に接続され、上記第2の制御線によりオンオフされるサブ用スイッチングトランジスタと、を含み、上記サブ電位部および上記第2の制御線のうちの少なくともサブ電位部が、隣接する画素回路間で共用され、上記サブ電位部は、上記画素回路のマトリクス配列に対応するように配線されたサブ電位線として形成され、上記サブ電位線が、上記データ線と並行に隣り合う少なくとも2画素以上の複数画素回路の上記サブ用スイッチングトランジスタにより共用され、かつ、上記第1の制御線と上記画素電極との間に配線されている。

30

40

【0017】

好適には、上記第2の制御線が、上記第1の制御線と並行して隣り合う少なくとも2画素回路のサブ用スイッチングトランジスタで共用されている。

【0018】

本発明の第2の観点は、1フレームを、映像表示用のメインフレームと、映像表示以外

50

の電位を与えるサブフレームとで時間分割する駆動方式が採用された映像表示装置を有する電子機器であって、上記映像表示装置は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、表示すべき映像情報に応じたデータ信号が供給されるフレーム用データ線と、上記映像表示以外の電位が与えられるサブ電位部と、上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、上記画素回路のマトリクス配列の行配列に対応するように配線された第2の制御線と、を有し、上記各画素回路は、画素電極と、上記画素電極と上記フレーム用データ線との間に接続され、上記第1の制御線によりオンオフされるメイン用スイッチングトランジスタと、上記画素電極と上記サブ電位部との間に接続され、上記第2の制御線によりオンオフされるサブ用スイッチングトランジスタと、を含み、上記サブ電位部および上記第2の制御線のうちの少なくとも一方が、隣接する画素回路間で共用され、上記サブ電位部は、上記画素回路のマトリクス配列の列配列に対応するように配線されたサブ電位線として形成され、上記サブ電位線が、上記データ線と並行に隣り合う少なくとも2画素以上の複数画素回路の上記サブ用スイッチングトランジスタにより共用され、かつ、上記メインフレーム用データ線と上記画素電極との間に配線されている。

10

また、本発明の第2の観点は、1フレームを、映像表示用のメインフレームと、映像表示以外の電位を与えるサブフレームとで時間分割する駆動方式が採用された映像表示装置を有する電子機器であって、上記映像表示装置は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、表示すべき映像情報に応じたデータ信号が供給されるメインフレーム用データ線と、上記映像表示以外の電位が与えられるサブ電位部と、上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、上記画素回路のマトリクス配列の行配列に対応するように配線された第2の制御線と、を有し、上記各画素回路は、画素電極と、上記画素電極と上記メインフレーム用データ線との間に接続され、上記第1の制御線によりオンオフされるメイン用スイッチングトランジスタと、上記画素電極と上記サブ電位部との間に接続され、上記第2の制御線によりオンオフされるサブ用スイッチングトランジスタと、を含み、上記サブ電位部および上記第2の制御線のうちの少なくともサブ電位部が、隣接する画素回路間で共用され、上記サブ電位部は、上記画素回路のマトリクス配列に対応するように配線されたサブ電位線として形成され、上記サブ電位線が、上記データ線と並行に隣り合う少なくとも2画素以上の複数画素回路の上記サブ用スイッチングトランジスタにより共用され、かつ、上記第1の制御線と上記画素電極との間に配線されている。

20

30

【0019】

本発明によれば、サブフレーム構造を持つ駆動機能であり、サブフレーム表示を行うトランジスタの一端子の電位がデータ線と並行に隣り合う少なくとも2画素以上の複数画素回路で共通な構造が採用される。この場合、サブフレーム駆動機能を持っても、配線レイアウトは単純に2倍とならず、配線レイアウト増が抑止される。

【発明の効果】

【0020】

本発明によれば、配線レイアウト増を抑えつつ、サブフレーム駆動が可能となる。

【発明を実施するための最良の形態】

40

【0021】

以下、本発明の実施形態を図面に関連付けて説明する。

【0022】

以下に、本実施形態に係る液晶表示装置10の構成について詳細に説明する。

【0023】

図2は、本実施形態に係るアクティブマトリクス型液晶表示装置の概略構成を示す断面図である。

【0024】

本実施形態に係る液晶表示装置10は、図2に示すように、TFTアレイ基板(アクティブ素子が形成される基板)11と、TFTアレイ基板11に対向配置される対向基板1

50

2 とを備えている。

TFTアレイ基板 11 は、たとえば透過型の場合、画素電極 14 が設けられている。画素電極 14 は、たとえばITO膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜、あるいはアルミニウム等の金属膜により形成される。

対向基板 12 には、前述した全面ITO膜（対向電極）15 が前面に設けられている。

TFTアレイ基板 11 と対向基板 12 とには、液晶を所定方向に配向させるための図示しない配向膜が形成されており、配向膜が所定間隙で対向するようにシール材 16 で貼り合わせた一対の基板間に、たとえば液晶層 13 が挟持されている（封入されている）。

【0025】

そして、本実施形態に係る液晶表示装置 10 は、動画特性を向上させるため、あるいは画素トランジスタ（Tr）にプリチャージを行うために、1 フレームを映像を表示するメインフレームと、黒挿入あるいはキッキングあるいは画素Trのプリチャージを行うサブフレームとで時間分割する駆動方法が採用されている。

【0026】

以下に説明するように、本実施形態に係る各画素回路は、画素電極と、画素電極とメインフレーム用データ線との間に接続され、第1のゲート線（第1の制御線）によりオンオフされるメイン用スイッチングトランジスタと、画素電極とサブ電位線との間に接続され、第2のゲート線（第2の制御線）によりオンオフされるサブ用スイッチングトランジスタと、画素電極に接続された補助容量と、を含み、サブ電位線および第2のゲート線のうちの少なくとも一方が、隣接する画素間で共用されて、配線レイアウト増を抑えつつ、サブフレーム駆動が可能ないように構成されている。

【0027】

< 第1実施形態 >

図3は、本第1の実施形態に係るアクティブマトリクス型液晶表示装置のアレイ基板（液晶パネル部）における配置例を示す図である。

【0028】

本第1の実施形態に係る液晶表示装置 20 は、図3に示すように、複数の画素回路 PXL11 ~ PXLmn がアレイ状に配列された画素表示領域 21、水平駆動回路（HDRV）22、サブ電位駆動回路（SBD RV）23、第1の垂直駆動回路（VDRV1）24、および第2の垂直駆動回路（VDRV2）25を含んで形成されている。

【0029】

なお、画素表示領域 21 において、画素回路 PXL は $m \times n$ のマトリクス状に配列されるが、図3においては図面の簡単化のために $3 (= m) \times 4 (= n)$ のマトリクス状に配列した例を示している。

すなわち、図3における画素表示領域 21 は、12個の画素回路 PXL11 ~ PXL34 が3行4列のマトリクス状に配列されている。

1行目には画素回路 PXL11 ~ PXL14 が配列され、2行目には画素回路 PXL21 ~ PXL24 が配列され、3行目には画素回路 PXL31 ~ PXL34 が配列されている。

【0030】

図3の画素表示領域 21 には、画素回路のマトリクス配列に対して列毎に配線され、表示すべき映像情報に応じたデータ信号が供給されるメインフレーム用データ線 LDT11 ~ LDT14 と、画素回路のマトリクス配列の列配列に対応するように配線され、映像表示以外の電位が与えられるサブ電位線 LSB11, LSB12 と、画素回路のマトリクス配列に対して行毎に配線された第1の制御線としての第1のゲート線 LGT11 ~ LGT13、画素回路のマトリクス配列の行配列に対応するように配線された第2の制御線としての第2のゲート線 LGT21 ~ LGT23 とが格子状に配線されている。

そして、各データ線 LDT11 ~ LDT14 の一端側が水平駆動回路 22 に接続され、サブ電位線 LSB11, LSB12 の一端側がサブ電位駆動回路 23 に接続され、第1のゲート線 LGT11 ~ LGT13 の一端側が第1の垂直駆動回路 24 に接続され、第2の

10

20

30

40

50

ゲート線 $LGT21 \sim LGT23$ の一端側が第2の垂直駆動回路25に接続されている。

【0031】

液晶表示装置20の画素表示領域21を構成するマトリクス状に複数形成された画素回路 $PXL(11 \sim 34)$ には、画素電極31(図2の画素電極14に相当)と、第1のゲート線 $LGT11 \sim LGT14$ によりスイッチング制御される TFT により形成されたメイン用スイッチングトランジスタ32と、第2のゲート線 $LGT21, LGT22$ によりスイッチング制御される TFT により形成されたサブ用スイッチングトランジスタ33と、補助容量(蓄積容量)34が設けられている。なお、画素電極31には液晶セルが接続される。

【0032】

10

1行目に配列された画素回路 $PXL11 \sim PXL14$ のトランジスタ32のゲートが同一行に配線された第1のゲート線 $LGT11$ に共通に接続されている。

2行目に配列された画素回路 $PXL21 \sim PXL24$ のトランジスタ32のゲートが同一行に配線された第2のゲート線 $LGT12$ に共通に接続されている。

3行目に配列された画素回路 $PXL31 \sim PXL34$ のトランジスタ32のゲートが同一行に配線された第3のゲート線 $LGT13$ に共通に接続されている。

【0033】

1列目に配列された画素回路 $PXL11, PXL21, PXL31$ のトランジスタ32のソースが同一列に配線されたデータ線 $LDT11$ に共通に接続されている。

2列目に配列された画素回路 $PXL12, PXL22, PXL32$ のトランジスタ32のソースが同一列に配線されたデータ線 $LDT12$ に共通に接続されている。

20

3列目に配列された画素回路 $PXL13, PXL23, PXL33$ のトランジスタ32のソースが同一列に配線されたデータ線 $LDT13$ に共通に接続されている。

4列目に配列された画素回路 $PXL14, PXL24, PXL34$ のトランジスタ32のソースが同一列に配線されたデータ線 $LDT14$ に共通に接続されている。

各画素回路 $PXL11 \sim PXL34$ のトランジスタ32のドレインは自画素回路の画素電極31に接続されている。

【0034】

そして、本第1の実施形態に係るマトリクス状に複数形成された画素回路 $PXL(11 \sim 34)$ を有する液晶表示装置20の画素表示領域21において、データ線 LDT に並行に隣接する2つの画素回路 $PXL11$ と $PXL12$ 、 $PXL21$ と $PXL22$ 、 $PXL31$ と $PXL32$ によりサブ電位線 $LSB11$ が共用され、隣接する2つの画素回路 $PXL13$ と $PXL14$ 、 $PXL23$ と $PXL24$ 、 $PXL33$ と $PXL34$ によりサブ電位線 $LSB12$ が共用されている。

30

【0035】

具体的には、画素回路 $PXL11$ と $PXL12$ がサブ電位線 $LSB11$ を共用している。すなわち、画素回路 $PXL11$ のトランジスタ33のドレインと隣接する画素回路 $PXL12$ のトランジスタ33のドレインが1つのサブ電位線 $LSB11$ に共通に接続されている。また、画素回路 $PXL11$ のトランジスタ33のゲートと隣接する画素回路 $PXL12$ のトランジスタ33のゲートが1つの第2のゲート線 $LGT21$ に共通に接続されている。そして、画素回路 $PXL11, PXL12$ のトランジスタ33のソースは自画素回路の画素電極31に接続されている。

40

【0036】

同様に、画素回路 $PXL13$ と $PXL14$ がサブ電位線 $LSB12$ を共用している。すなわち、画素回路 $PXL13$ のトランジスタ33のドレインと隣接する画素回路 $PXL14$ のトランジスタ33のドレインが1つのサブ電位線 $LSB12$ に共通に接続されている。また、画素回路 $PXL13$ のトランジスタ33のゲートと隣接する画素回路 $PXL14$ のトランジスタ33のゲートが1つの第2のゲート線 $LGT21$ に共通に接続されている。そして、画素回路 $PXL13, PXL14$ のトランジスタ33のソースは自画素回路の画素電極31に接続されている。

50

【 0 0 3 7 】

画素回路 P X L 2 1 と P X L 2 2 がサブ電位線 L S B 1 1 を共用している。すなわち、画素回路 P X L 2 1 のトランジスタ 3 3 のドレインと隣接する画素回路 P X L 2 2 のトランジスタ 3 3 のドレインが 1 つのサブ電位線 L S B 1 1 に共通に接続されている。また、画素回路 P X L 2 1 のトランジスタ 3 3 のゲートと隣接する画素回路 P X L 2 2 のトランジスタ 3 3 のゲートが 1 つの第 2 のゲート線 L G T 2 2 に共通に接続されている。そして、画素回路 P X L 2 1 , P X L 2 2 のトランジスタ 3 3 のソースは自画素回路の画素電極 3 1 に接続されている。

【 0 0 3 8 】

画素回路 P X L 2 3 と P X L 2 4 がサブ電位線 L S B 1 2 を共用している。すなわち、画素回路 P X L 2 3 のトランジスタ 3 3 のドレインと隣接する画素回路 P X L 2 4 のトランジスタ 3 3 のドレインが 1 つのサブ電位線 L S B 1 2 に共通に接続されている。また、画素回路 P X L 2 3 のトランジスタ 3 3 のゲートと隣接する画素回路 P X L 2 4 のトランジスタ 3 3 のゲートが 1 つの第 2 のゲート線 L G T 2 2 に共通に接続されている。そして、画素回路 P X L 2 3 , P X L 2 4 のトランジスタ 3 3 のソースは自画素回路の画素電極 3 1 に接続されている。

【 0 0 3 9 】

画素回路 P X L 3 1 と P X L 3 2 がサブ電位線 L S B 1 1 を共用している。すなわち、画素回路 P X L 3 1 のトランジスタ 3 3 のドレインと隣接する画素回路 P X L 3 2 のトランジスタ 3 3 のドレインが 1 つのサブ電位線 L S B 1 1 に共通に接続されている。また、画素回路 P X L 3 1 のトランジスタ 3 3 のゲートと隣接する画素回路 P X L 3 2 のトランジスタ 3 3 のゲートが 1 つの第 2 のゲート線 L G T 2 3 に共通に接続されている。そして、画素回路 P X L 3 1 , P X L 3 2 のトランジスタ 3 3 のソースは自画素回路の画素電極 3 1 に接続されている。

【 0 0 4 0 】

画素回路 P X L 3 3 と P X L 3 4 がサブ電位線 L S B 1 2 を共用している。すなわち、画素回路 P X L 3 3 のトランジスタ 3 3 のドレインと隣接する画素回路 P X L 3 4 のトランジスタ 3 3 のドレインが 1 つのサブ電位線 L S B 1 2 に共通に接続されている。また、画素回路 P X L 3 3 のトランジスタ 3 3 のゲートと隣接する画素回路 P X L 3 4 のトランジスタ 3 3 のゲートが 1 つの第 2 のゲート線 L G T 2 3 に共通に接続されている。そして、画素回路 P X L 3 3 , P X L 3 4 のトランジスタ 3 3 のソースは自画素回路の画素電極 3 1 に接続されている。

【 0 0 4 1 】

このように、本第 1 の実施形態においては、サブフレーム構造を持つ駆動構成であり、サブフレーム電位表示を行うトランジスタ 3 3 のドレイン電位がデータ線と並行に隣り合う少なくとも 2 画素以上の複数画素で共通な構成が採用されている。

この場合、サブフレーム駆動機能を持って、配線レイアウトは単純に 2 倍とならず、配線レイアウト増を抑えつつ、サブフレーム駆動が可能となる。

【 0 0 4 2 】

なお、本第 1 の実施形態においては、サブ電位線および第 2 のゲート線、特にサブ電位線の共用化を容易にするために、同一行の奇数列に配置される画素回路と、偶数列に配列された画素回路との隣接する 2 つの画素回路を、列方向の軸に対称な配置とした、いわゆるミラー型回路配置とし構成している。

【 0 0 4 3 】

液晶表示装置 2 0 においては、メインフレーム駆動の場合、水平駆動回路 2 2 によりデータ線 L D T 1 1 ~ L D T 1 4 に画素電極部書き込む映像信号（画素信号）が供給される。また、第 1 の垂直駆動回路 2 4 により選択的に駆動される第 1 のゲート線 L G T 1 1 ~ L G T 1 3 に所定のタイミングで走査パルスが印加される。

これにより、スイッチング素子であるトランジスタ 3 2 が一定時間だけオンし、データ線 L D T 1 1 ~ L D T 1 4 から映像信号が所望の画素回路に書き込まれる。

【 0 0 4 4 】

画素電極 3 1 を介して液晶に書き込まれた所定レベルの映像信号（画素信号）は、対向基板 1 2 に形成された対向電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。

ノーマリホワイト表示であれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶表示装置から画素信号に応じたコントラストを持つ光が射出する。

ここで、保持された画素信号がリークされるのを防ぐために、画素電極と対向電極との間に形成される液晶容量と並列に補助容量（蓄積容量）3 0 を付加してある。これにより、保持特性はさらに改善され、コントラスト比の高い液晶表示装置が実現できる。

10

また、このような保持容量（蓄積容量）3 0 を形成するために、抵抗化されたコモン配線が設けられる。

【 0 0 4 5 】

また、メインフレーム期間外におけるサブフレーム動作においては、サブ電位駆動回路 2 4 によりサブ電位線 L S B 1 1 , L S B 1 2 が所定の電位、たとえば接地電位に設定される。

また、第 2 の垂直駆動回路 2 5 により選択的に駆動される第 2 のゲート線 L G T 2 1 ~ L G T 2 3 に所定のタイミングで走査パルスが印加される。

これにより、スイッチング素子であるトランジスタ 3 3 が一定時間だけオンし、サブ電位線 L S B 1 1 , L S B 1 2 の所定の電位が画素電極 3 1 に伝達される。

20

【 0 0 4 6 】

< 第 2 実施形態 >

図 4 は、本第 2 の実施形態に係るアクティブマトリクス型液晶表示装置のアレイ基板（液晶パネル部）における配置例を示す図である。

【 0 0 4 7 】

本第 2 の実施形態に係る液晶表示装置 2 0 A が、上述した第 1 の実施形態に係る液晶表示装置 2 0 と異なる点は、データ線に並行に隣接する 2 つの画素回路によりサブ電位線は共用せずに、第 1 のゲート線と並行して隣り合う少なくとも 2 つの画素で第 2 のゲート線を共用するようにしたことにある。

30

【 0 0 4 8 】

具体的には、画素回路 P X L 1 1 と P X L 2 1 が第 2 のゲート線 L G T 2 1 を共用している。すなわち、画素回路 P X L 1 1 のトランジスタ 3 3 のゲートと隣接する画素回路 P X L 2 1 のトランジスタ 3 3 のゲートが 1 つの第 2 のゲート線 L G T 2 1 に共通に接続されている。また、画素回路 P X L 1 1 のトランジスタ 3 3 のドレインと隣接する画素回路 P X L 2 1 のトランジスタ 3 3 のドレインはサブ電位線 L S B 1 1 に共通に接続されている。そして、画素回路 P X L 1 1 , P X L 2 1 のトランジスタ 3 3 のソースは自画素回路の画素電極 3 1 に接続されている。

【 0 0 4 9 】

同様に、画素回路 P X L 1 2 と P X L 2 2 が第 2 のゲート線 L G T 2 1 を共用している。すなわち、画素回路 P X L 1 2 のトランジスタ 3 3 のゲートと隣接する画素回路 P X L 2 2 のトランジスタ 3 3 のゲートが 1 つの第 2 のゲート線 L G T 2 1 に共通に接続されている。また、画素回路 P X L 1 2 のトランジスタ 3 3 のドレインと隣接する画素回路 P X L 2 2 のトランジスタ 3 3 のドレインはサブ電位線 L S B 1 2 に共通に接続されている。そして、画素回路 P X L 1 2 , P X L 2 2 のトランジスタ 3 3 のソースは自画素回路の画素電極 3 1 に接続されている。

40

【 0 0 5 0 】

画素回路 P X L 1 3 と P X L 2 3 が第 2 のゲート線 L G T 2 1 を共用している。すなわち、画素回路 P X L 1 3 のトランジスタ 3 3 のゲートと隣接する画素回路 P X L 2 3 のトランジスタ 3 3 のゲートが 1 つの第 2 のゲート線 L G T 2 1 に共通に接続されている。ま

50

た、画素回路 P X L 1 3 のトランジスタ 3 3 のドレインと隣接する画素回路 P X L 2 3 のトランジスタ 3 3 のドレインはサブ電位線 L S B 1 3 に共通に接続されている。そして、画素回路 P X L 1 3 , P X L 2 3 のトランジスタ 3 3 のソースは自画素回路の画素電極 3 1 に接続されている。

【 0 0 5 1 】

画素回路 P X L 1 4 と P X L 2 4 が第 2 のゲート線 L G T 2 1 を共用している。すなわち、画素回路 P X L 1 4 のトランジスタ 3 3 のゲートと隣接する画素回路 P X L 2 4 のトランジスタ 3 3 のゲートが 1 つの第 2 のゲート線 L G T 2 1 に共通に接続されている。また、画素回路 P X L 1 4 のトランジスタ 3 3 のドレインと隣接する画素回路 P X L 2 4 のトランジスタ 3 3 のドレインはサブ電位線 L S B 1 4 に共通に接続されている。そして、画素回路 P X L 1 4 , P X L 2 4 のトランジスタ 3 3 のソースは自画素回路の画素電極 3 1 に接続されている。

10

【 0 0 5 2 】

第 2 のゲート線 L G T 2 2 についても同様に共用される。

【 0 0 5 3 】

この場合も、サブフレーム駆動機能を持っても、配線レイアウトは単純に 2 倍とならず、配線レイアウト増を抑えつつ、サブフレーム駆動が可能となる。

【 0 0 5 4 】

< 第 3 実施形態 >

図 5 は、本第 3 の実施形態に係るアクティブマトリクス型液晶表示装置のアレイ基板 (液晶パネル部) における配置例を示す図である。

20

【 0 0 5 5 】

本第 3 の実施形態に係る液晶表示装置 2 0 B は、上述した第 1 および第 2 の実施形態に係る液晶表示装置 2 0 , 2 0 B を組み合わせたような構成、すなわち、データ線に並行に隣接する 2 つの画素回路により、サブ電位線 L S B 1 1 , L S B 1 2 が共用され、かつ、データ線に並行に隣接する 2 つの画素回路および第 1 のゲート線と並行して隣り合う 2 つの画素回路の 4 画素回路で第 2 のゲート線が共用されている。

【 0 0 5 6 】

具体的には、画素回路 P X L 1 1 と P X L 1 2 と P X L 2 1 と P X L 2 2 がサブ電位線 L S B 1 1 と第 2 のゲート線 L G T 2 1 を共用している。すなわち、画素回路 P X L 1 1 のトランジスタ 3 3 のドレインと画素回路 P X L 1 2 のトランジスタ 3 3 のドレインと画素回路 P X L 2 1 のトランジスタ 3 3 のドレインと画素回路 P X L 2 2 のトランジスタ 3 3 のドレインが 1 つのサブ電位線 L S B 1 1 に共通に接続されている。

30

また、画素回路 P X L 1 1 のトランジスタ 3 3 のゲートと画素回路 P X L 1 2 のトランジスタ 3 3 のゲートと画素回路 P X L 2 1 のトランジスタのゲートと画素回路 P X L 2 2 のトランジスタ 3 3 のゲートが 1 つの第 2 のゲート線 L G T 2 1 に共通に接続されている。そして、画素回路 P X L 1 1 , P X L 1 2 , P X L 2 1 , P X L 2 2 のトランジスタ 3 3 のソースは自画素回路の画素電極 3 1 に接続されている。

【 0 0 5 7 】

同様に、画素回路 P X L 1 3 と P X L 1 4 と P X L 2 3 と P X L 2 4 がサブ電位線 L S B 1 2 と第 2 のゲート線 L G T 2 1 を共用している。すなわち、画素回路 P X L 1 3 のトランジスタ 3 3 のドレインと画素回路 P X L 1 4 のトランジスタ 3 3 のドレインと画素回路 P X L 2 3 のトランジスタ 3 3 のドレインと画素回路 P X L 2 4 のトランジスタ 3 3 のドレインが 1 つのサブ電位線 L S B 1 2 に共通に接続されている。

40

また、画素回路 P X L 1 3 のトランジスタ 3 3 のゲートと画素回路 P X L 1 4 のトランジスタ 3 3 のゲートと画素回路 P X L 2 3 のトランジスタのゲートと画素回路 P X L 2 4 のトランジスタ 3 3 のゲートが 1 つの第 2 のゲート線 L G T 2 1 に共通に接続されている。そして、画素回路 P X L 1 3 , P X L 1 4 , P X L 2 3 , P X L 2 4 のトランジスタ 3 3 のソースは自画素回路の画素電極 3 1 に接続されている。

【 0 0 5 8 】

50

第2のゲート線LGT22についても同様に共用される。

【0059】

この場合も、サブフレーム駆動機能を持っても、通常の画素回路と比べて配線レイアウトはほとんど増えず、配線レイアウト増を抑えつつ、サブフレーム駆動が可能となる。

【0060】

<第4実施形態>

図6は、本第4の実施形態に係るアクティブマトリクス型液晶表示装置の画素表示領域のパターンレイアウトを模式的に示す図である。

【0061】

本第4の実施形態に係る液晶表示装置20Cは、サブフレーム表示を行うためのトランジスタ33のドレイン電位がデータ線と並行に隣り合う少なくとも2画素以上の複数画素で共通であり、かつこのドレイン電位が画素電位の周辺のシールド電位部、たとえば周辺の配線電位40である構造を有している。

この場合、サブフレーム駆動機能を持っても、配線レイアウトはほとんど増えない。

【0062】

<第5実施形態>

図7は、本第5の実施形態に係るアクティブマトリクス型液晶表示装置の画素表示領域のパターンレイアウトを模式的に示す図である。

【0063】

本第5の実施形態に係る液晶表示装置20Dは、サブフレーム表示を行うためのトランジスタのドレイン電位を設定するためのサブ電位線LSBがメインフレーム用データ線LDTと並行に隣り合う少なくとも2画素以上の複数画素で共通であり、かつこのドレイン電位が設定されるサブ電位線LSBが画素電極31とメインフレーム用データ線LDT間に配線されている構造を有している。

この場合もサブフレーム駆動機能を持っても、配線レイアウトはほとんど増えない。

【0064】

<第6実施形態>

図8は、本第6の実施形態に係るアクティブマトリクス型液晶表示装置の画素表示領域のパターンレイアウトを模式的に示す図である。

【0065】

本第5の実施形態に係る液晶表示装置20Eは、サブフレーム表示を行うためのトランジスタのドレイン電位を設定するためのサブ電位線LSBがメインフレーム用データ線LDTと並行に隣り合う少なくとも2画素以上の複数画素で共通であり、かつこのドレイン電位が設定されるサブ電位線LSBが画素電極31とメインフレーム用第1のゲート線LGT11、・・・との間に配線されている構造を有している。

この場合も、サブフレーム駆動機能を持っても、配線レイアウトはほとんど増えない。

【0066】

以上説明したように、本実施形態によれば、データ線と並行に隣り合う複数画素で共通である構造の場合、あるいはサブフレーム表示動作を行うためのトランジスタ33のゲート電位が、メインフレーム用第1のゲート線と並行して隣り合う複数画素で共通である構造の場合、配線を共通化できるため、レイアウトの自由度が増す。

さらに、サブフレーム表示用トランジスタ33のドレイン電位を設定するためのサブ電位線LSBがデータ線LDTと並行に隣り合う複数画素で共通であり、かつこのドレイン電位が設定されるサブ電位線LSBが画素電極31の周辺のシールド電位である構造の場合、あるいはサブフレーム表示を行うためのトランジスタ33のドレイン電位が設定されるメインフレーム用データ線LDTと並行に隣り合う少なくとも2画素以上の複数画素で共通であり、かつこのドレイン電位が設定されるサブ電位線LSBが画素電極31とメインフレーム用第1のゲート線間に配線されている構造の場合、あるいはサブフレーム表示を行うためのトランジスタのドレイン電位が設定されるサブ電位線LSBがメインフレーム用データ線LDTと並行に隣り合う少なくとも2画素以上の複数画素で共通であり、か

10

20

30

40

50

つこのドレイン電位が設定せれるサブ電位線LSBが画素電位とメインフレーム用データ線との間に配線されている構造の場合、サブフレーム駆動がなくても必要な配線をサブフレーム用トランジスタ33のドレイン電位に使用するため、サブフレーム駆動がない構造の配線をほぼ保ったまま、サブフレーム駆動機能を実現できる。

【0067】

このように、本実施形態によれば、サブフレーム駆動機能を持つ構造であっても、配線レイアウトの自由度を従来例に比べて高めることができる。

また、本発明は反射型液晶表示装置以外にも、TFT型液晶表示装置、FED、OLED、等全ての走査型アナログ変調映像表示装置に対して有効である。

【0068】

以上説明した本実施形態に係る表示装置は、図9～図13に示す様々な電子機器、たとえば、テレビジョン、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

以下に、本実施形態が適用される電子機器の一例について説明する。

【0069】

図9は、本実施形態が適用されるテレビジョンを示す斜視図である。

本適用例に係るテレビジョン100は、フロントパネル120やフィルタガラス130等から構成される映像表示画面部110を含み、その映像表示画面部110として本実施形態に係る表示装置を用いることにより作製される。

【0070】

図10は、本実施形態が適用されるデジタルカメラを示す斜視図であり、図10(A)は表側から見た斜視図、図10(B)は裏側から見た斜視図である。

本適用例に係るデジタルカメラ100Aは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本実施形態に係る表示装置を用いることにより作製される。

【0071】

図11は、本実施形態が適用されるノート型パーソナルコンピュータを示す斜視図である。

本適用例に係るノート型パーソナルコンピュータ100Bは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本実施形態に係る表示装置を用いることにより作製される。

【0072】

図12は、本実施形態が適用されるビデオカメラを示す斜視図である。

本適用例に係るビデオカメラ100Cは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本実施形態に係る表示装置を用いることにより作製される。

【0073】

図13は、本実施形態が適用される携帯端末装置、たとえば携帯電話機を示す図であり、図13(A)は開いた状態での正面図、図13(B)はその側面図、図13(C)は閉じた状態での正面図、図13(D)は左側面図、図13(E)は右側面図、図13(F)は上面図、図13(G)は下面図である。

本適用例に係る携帯電話機100Dは、上側筐体141、下側筐体142、連結部(ここではヒンジ部)143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含み、そのディスプレイ144やサブディスプレイ145として本実施形態に係る表示装置を用いることにより作製される。

【図面の簡単な説明】

【0074】

【図1】サブフレーム駆動機能を持つ通常の画素アレイ構造を示す図である。

10

20

30

40

50

【図 2】本実施形態に係るアクティブマトリクス型液晶表示装置の概略構成を示す断面図である。

【図 3】本第 1 の実施形態に係るアクティブマトリクス型液晶表示装置のアレイ基板（液晶パネル部）における配置例を示す図である。

【図 4】本第 2 の実施形態に係るアクティブマトリクス型液晶表示装置のアレイ基板（液晶パネル部）における配置例を示す図である。

【図 5】本第 3 の実施形態に係るアクティブマトリクス型液晶表示装置のアレイ基板（液晶パネル部）における配置例を示す図である。

【図 6】本第 4 の実施形態に係るアクティブマトリクス型液晶表示装置の画素表示領域のパターンレイアウトを模式的に示す図である。

10

【図 7】本第 5 の実施形態に係るアクティブマトリクス型液晶表示装置の画素表示領域のパターンレイアウトを模式的に示す図である。

【図 8】本第 6 の実施形態に係るアクティブマトリクス型液晶表示装置の画素表示領域のパターンレイアウトを模式的に示す図である。

【図 9】本実施形態が適用されるテレビを示す斜視図である。

【図 10】本実施形態が適用されるデジタルカメラを示す斜視図である。

【図 11】本実施形態が適用されるノート型パーソナルコンピュータを示す斜視図である。

。

【図 12】本実施形態が適用されるビデオカメラを示す斜視図である。

【図 13】本実施形態が適用される携帯端末装置、たとえば携帯電話機を示す図である。

20

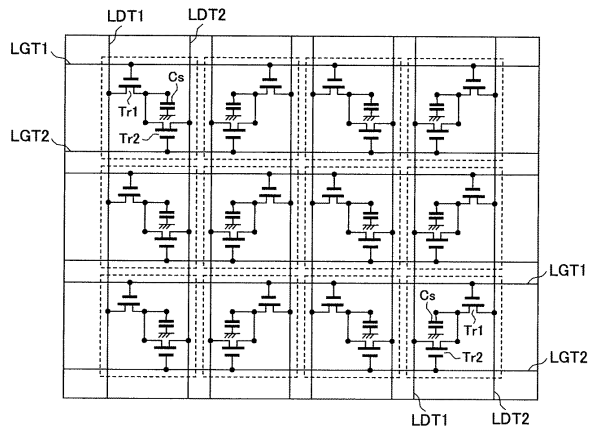
【符号の説明】

【0075】

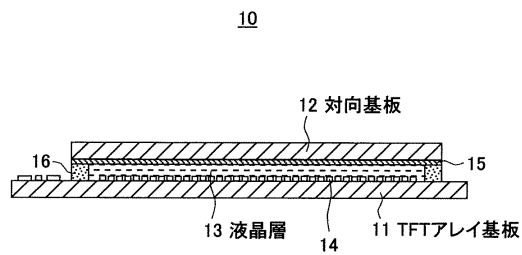
10, 20, 20A ~ 20E・・・液晶表示装置、21・・・画素表示領域、22・・・水平駆動回路（HDRV）、23・・・サブ電位駆動回路（SBDV）、24・・・第 1 の垂直駆動回路（VDRV1）、25・・・第 2 の垂直駆動回路（VDRV2）25、LDT11 ~ LDT14・・・メインフレーム用データ線、LSB11, LSB12, LSB13, LSB14・・・サブ電位線、LGT11 ~ LGT13・・・第 1 のゲート線（第 1 の制御線）、LGT21, LGT22, LGT23・・・第 2 のゲート線（第 2 の制御線）、31・・・画素電極、32・・・メイン用スイッチングトランジスタ、33・・・サブ用スイッチングトランジスタ、34・・・補助容量（蓄積容量）、PXL11 ~ PXL34・・・画素回路。

30

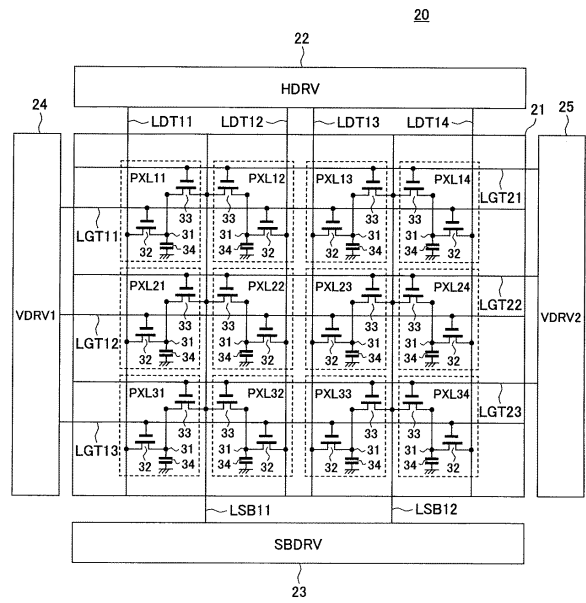
【図 1】



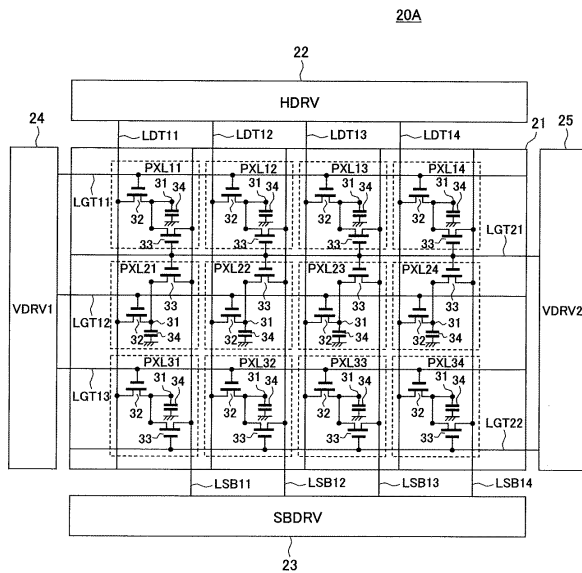
【図 2】



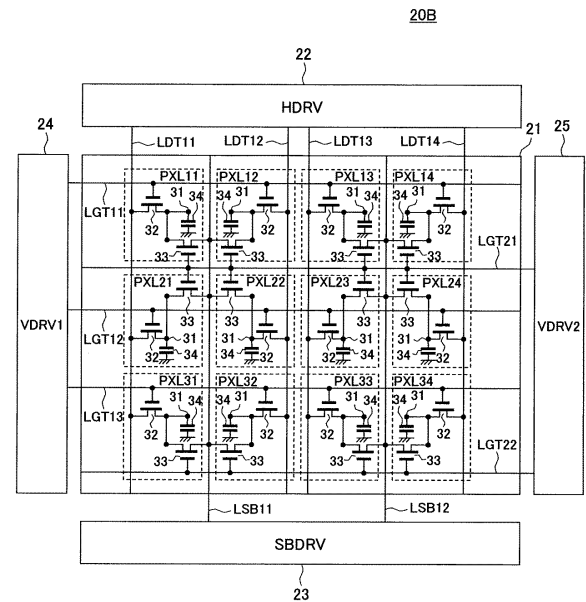
【図 3】



【図 4】

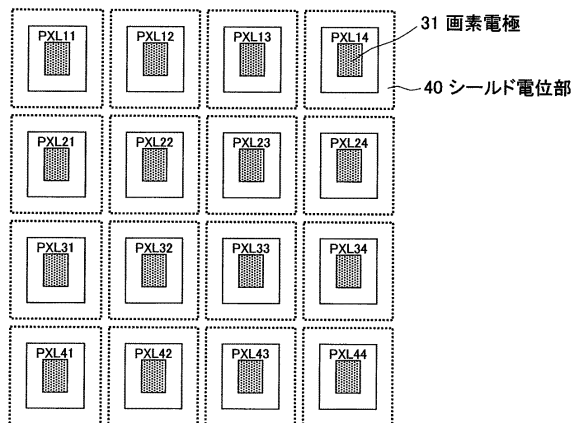


【図 5】



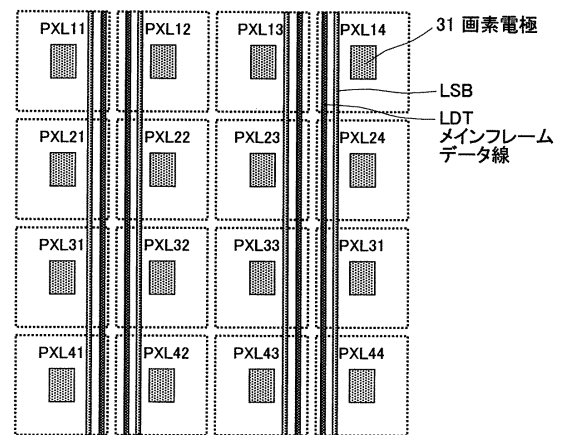
【図 6】

20C



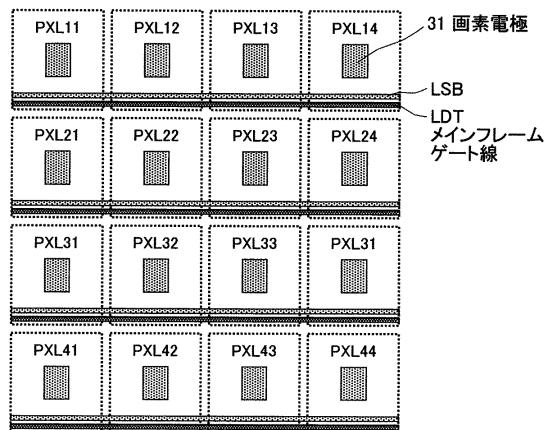
【図 7】

20D

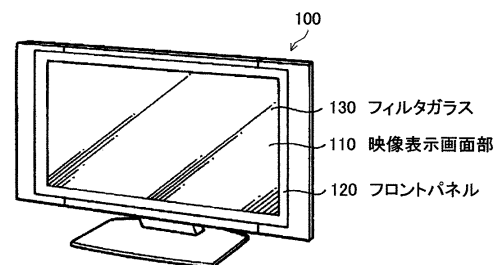


【図 8】

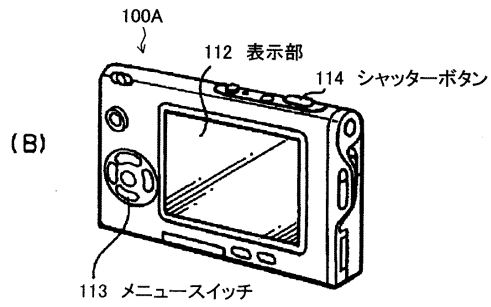
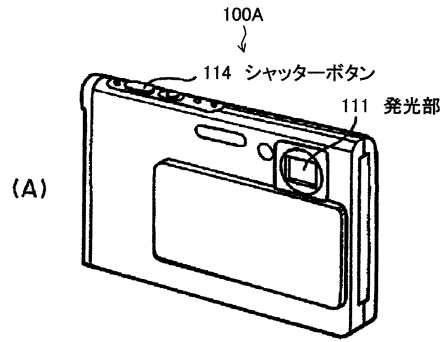
20E



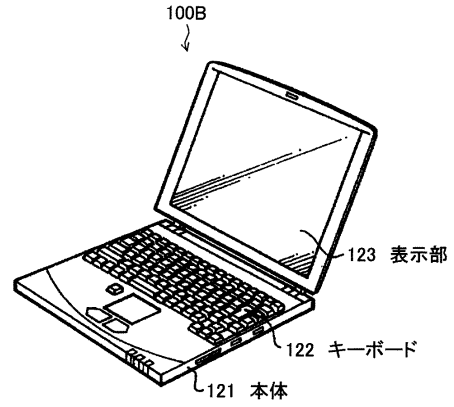
【図 9】



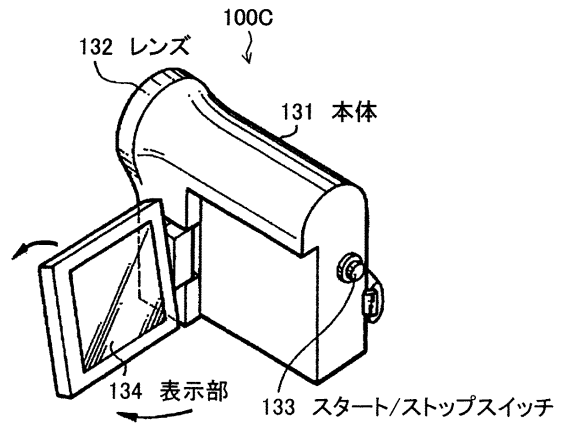
【図 10】



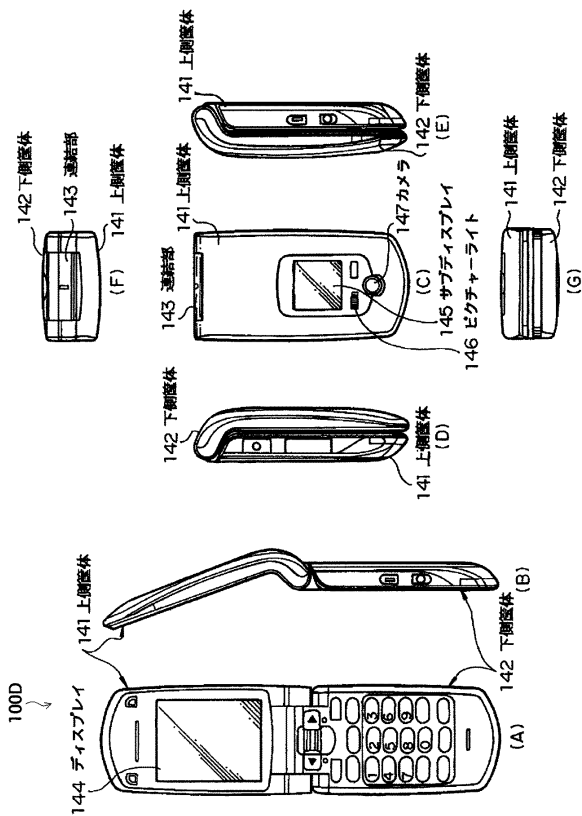
【図 11】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 F 9/30 3 3 8

G 0 2 F 1/133 5 5 0

G 0 2 F 1/1345

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 9 F 9 / 3 0

G 0 2 F 1 / 1 3 3

G 0 2 F 1 / 1 3 4 5

专利名称(译)	图像显示设备和电子设备		
公开(公告)号	JP5206178B2	公开(公告)日	2013-06-12
申请号	JP2008179522	申请日	2008-07-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	吉永朋朗		
发明人	吉永 朋朗		
IPC分类号	G09G3/36 G09G3/20 G09F9/30 G02F1/133 G02F1/1345		
FI分类号	G09G3/36 G09G3/20.641.E G09G3/20.624.B G09G3/20.611.F G09G3/20.641.R G09F9/30.338 G02F1/133.550 G02F1/1345		
F-TERM分类号	2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB42 2H092/NA25 2H093/NA16 2H093/NA43 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC35 2H093/NC81 2H093/ND49 2H093/NE03 2H093/NG20 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZC39 2H193/ZD01 2H193/ZD23 2H193/ZE01 2H193/ZE02 2H193/ZE06 2H193/ZF22 2H193/ZF24 2H193/ZF36 2H193/ZF37 2H193/ZJ11 2H193/ZP03 5C006/AA16 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BB28 5C006/BC02 5C006/BC06 5C006/BC22 5C006/BC23 5C006/BF42 5C006/FA12 5C006/FA29 5C006/FA31 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD08 5C080/DD12 5C080/DD23 5C080/EE19 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/KK04 5C080/KK07 5C080/KK43 5C094/AA21 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB04 5C094/EA10 5C094/HA08 5C094/HA10		
代理人(译)	佐藤隆久		
审查员(译)	中村直之		
其他公开文献	JP2010020023A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够驱动子帧的图像显示装置和电子装置，同时抑制布线布局的增加。ŽSOLUTION：在具有以矩阵形式形成的多个像素电路PXL (11-34) 的液晶显示器20的像素显示区域21中，子电位线LSB11由两个像素电路PXL11和PXL12，PXL21和PXL22共享。并且，PXL31和PXL32全部并联连接数据线LDT，子电位线LSB12由两个像素电路PXL13和PXL14，PXL23和PXL24以及PXL33和PXL34共用，它们全部相互连接。Ž

【 图 5 】

