

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5115001号
(P5115001)

(45) 発行日 平成25年1月9日 (2013.1.9)

(24) 登録日 平成24年10月26日 (2012.10.26)

(51) Int.Cl.	F I
G O 9 G 3/20 (2006.01)	G O 9 G 3/20 6 2 2 D
G O 9 G 3/36 (2006.01)	G O 9 G 3/20 6 2 2 R
G O 2 F 1/1362 (2006.01)	G O 9 G 3/20 6 2 1 K
G O 9 F 9/30 (2006.01)	G O 9 G 3/20 6 2 1 M
	G O 9 G 3/20 6 8 O H
請求項の数 6 (全 22 頁) 最終頁に続く	

(21) 出願番号	特願2007-89666 (P2007-89666)	(73) 特許権者	000001443
(22) 出願日	平成19年3月29日 (2007.3.29)		カシオ計算機株式会社
(65) 公開番号	特開2008-249895 (P2008-249895A)		東京都渋谷区本町 1 丁目 6 番 2 号
(43) 公開日	平成20年10月16日 (2008.10.16)	(74) 代理人	100088683
審査請求日	平成22年1月6日 (2010.1.6)		弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		最終頁に続く	

(54) 【発明の名称】 表示パネル及びそれを用いたマトリックス表示装置

(57) 【特許請求の範囲】

【請求項 1】

マトリックス状に配置された複数の信号線と複数の走査線と、1本の前記信号線を挟んで隣接する2つの画素が前記信号線を共用するように配置された複数の画素と、前記各画素に対応する前記信号線及び前記走査線の選択状態により当該画素を制御するための、前記各画素に対応して設けられた複数のスイッチング素子と、前記信号線を挟まずに前記走査線の延在方向に沿って隣接する2つの前記画素間に配線された複数のダミー線と、を有する表示パネルと、

前記複数の走査線を選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、
を具備し、

10

前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を順次選択する第1の駆動と、前記2本の走査線の選択順を前記第1の駆動と逆にする第2の駆動と、を所定期間毎に交互に行うことを特徴とするマトリックス表示装置。

【請求項 2】

前記複数のダミー線は、前記複数の画素には接続されていないことを特徴とする請求項 1 に記載のマトリックス表示装置。

【請求項 3】

前記複数のダミー線は、固定電位に設定されていることを特徴とする請求項 1 又は 2 に

20

記載のマトリックス表示装置。

【請求項 4】

前記複数の画素はデルタ状に配列されていることを特徴とする請求項 1 乃至 3 の何れかに記載のマトリックス表示装置。

【請求項 5】

前記所定期間毎はフィールド毎であることを特徴とする請求項 1 乃至 4 の何れかに記載のマトリックス表示装置。

【請求項 6】

前記信号線駆動回路は、前記走査線駆動回路による前記走査線の選択順に応じた信号を前記複数の信号線に出力することを特徴とする請求項 1 乃至 5 の何れかに記載のマトリックス表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1本の信号線を隣接する2画素が共用するタイプの表示パネル及びそれを用いたマトリックス表示装置に関する。

【背景技術】

【0002】

近年、スイッチング素子として薄膜トランジスタ（TFT）を用いたアクティブマトリックス方式の液晶表示装置などのマトリックス表示装置が開発されている。

20

【0003】

このマトリックス表示装置は、画素マトリックスの各行を順次に走査する走査信号を発生する走査線駆動回路（以下、ゲートドライバと称する）を有する。ゲートドライバは、マトリックスの各列に映像信号を与える信号線駆動回路（以下、ソースドライバと称する）に比べると動作周波数が低いため、画素マトリックス内のアクティブ素子である TFT と同一工程で一体形成することも可能である。

【0004】

このようなマトリックス表示装置における各画素は、前記 TFT に接続された画素電極と、共通電圧 V_{com} が印加される共通電極と、を持ち、一方向の電界が長く印加されることによって発生する劣化現象を防止するために、ソースドライバからの映像信号 V_{sig} の極性を共通電圧 V_{com} に対して、フレーム毎、ライン毎、又はドット毎に反転させる反転駆動が一般に行われている。

30

【0005】

ところで、マトリックス表示装置の実装においては、多数の画素を配列した表示パネル（表示画面）の周囲に前記ゲートドライバやソースドライバ等を配置し、表示パネルの走査線（以下、ゲートラインと称する）及び信号線（以下、ソースラインと称する）への配線は、各ドライバから表示パネルの外側を引き回されている。これら配線の引き回し面積を少なくすること、即ち、表示パネル以外の面積縮小（狭額縁）を成し遂げることが、該マトリックス表示装置を組み込む情報機器の小型化の観点から強く望まれている。

【0006】

40

そのため、特に表示パネルの上下方向の狭額縁化の要求に対して、ソースラインの占有面積を小さくできることから、ソースラインを半分にした画素結線の構成が考えられている。（例えば、特許文献 1 の図 5）。

【0007】

図 12 は、そのような狭額縁を達成するための一手法として考えられた表示パネルの画素結線例の概略図である。これは、1本のソースラインを隣接する2つの画素 100 で共用するものである。この場合、それら2つの画素 100 の TFT 102 は、それぞれ異なるゲートラインに接続されている。例えば、図 12 において、左上の赤（R）の画素 100 の TFT 102 は、ゲートライン G1 とソースライン S1 に接続され、その右隣の緑（G）の画素 100 の TFT 102 は、ゲートライン G2 とソースライン S1 に接続されて

50

いる。

【0008】

図13は、このような画素結線において、複数のソースラインS1, S2, S3, …に出力される、表示すべき情報に従った映像信号Vsigの組み合わせの出力順と、複数のゲートラインG1, G2, G3, …の選択順とからなるタイミングチャートを示す図である。同図に示すように、ゲートラインが画素の行数の2倍あるので、複数のゲートラインG1, G2, G3, …は、その順番通りに1/2水平期間(1/2H)毎に1つのゲートラインが選択されていく(H信号になっていく)。そして、その選択されたゲートラインに対応する画素100それぞれに書き込むべき映像信号Vsigの組み合わせが、1/2水平期間に複数のソースラインS1, S2, S3, …に一度に出力される。例えば、ゲートラインG1が選択されている1/2水平期間中には“S-1”なる映像信号Vsigの組み合わせが複数のソースラインS1, S2, S3, …に出力され、次の、ゲートラインG2が選択されている1/2水平期間中には“S-2”なる映像信号Vsigの組み合わせが複数のソースラインS1, S2, S3, …に出力される、という具合である。

10

【0009】

図14は、各画素100に映像信号Vsigを書き込む順番を示す図である。前記画素結線において、各画素100への映像信号Vsigの書き込みは、図13に示すようにゲートラインの順番通りに実行されるので、図14に示すようなものとなる。

【特許文献1】特開2004-185006号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0010】

上述したようなソースラインを半分にした画素結線では、画素間にソースラインがある箇所とない箇所があり、ソースラインのない箇所には、ソースラインのある箇所に比べて画素間の寄生容量が大きく存在する。図15は、このときの等価回路を示す図である。この画素間寄生容量104が存在する画素間では、電圧リークが発生し、これにより、先に書かれた画素100の電位が、後に書かれた画素100の電位の影響を受けて変化する。この電位の変化は、画面上では表示ムラとなって現れる。図14に示したように画素書き込み順番は固定であるので、このリーク発生による表示ムラは、常に同じ箇所が発生することになる。

30

【0011】

図16は、この表示ムラの例を示す図である。同図は、分かり易くするためにGの画素100についてのみ示したものである。黒塗りした他の色の画素100においても、先に書かれた画素100の電位が変化してしまうことは同様である。(詳細は後述する。)

以下、この画素電位変動について、更に詳細に説明する。図17は、表示パネルをTF T L C Dパネルとした場合の各画素の構成を示す図である。各画素100は、ゲートラインに接続されるTF T 102を介してソースラインに接続された画素電極と、共通電圧Vcomが印加される共通電極(図示せず)との間に液晶(図示せず)が挟持されて構成されている。そして、液晶容量C1cに電荷をフィールド期間(ノンインターレース方式の場合にはフレーム期間)にわたって保持することで対応する表示を実現する。液晶容量C1cやTF Tを介しての電流リークの対策のために、液晶容量C1cと並列に補助容量Csを設けている。

40

【0012】

図18(A)は、図17におけるゲートドライバによるゲートラインG1~G4の走査タイミングチャートを示す図であり、図18(B)は、1/2水平期間(1/2H)毎に共通電圧Vcomの極性を反転する水平ライン反転駆動を行う場合における、先に書き込まれる図15の例えばソースラインS3に接続される緑の画素F(以下、G先の画素と称する)及び後に書き込まれる図15の例えばソースラインS2に接続される赤の画素L(以下、R後の画素と称する)の画素電位波形を示す図である。

【0013】

50

以下、画素にかかる電圧大きい程、透過率が下がる（暗くなる）ノーマリーホワイトモードの液晶表示装置の場合について述べる。なお、図18（B）は、共通電圧 V_{com} の振幅が5.0V、G先の画素Fの書き込み電圧（映像信号 V_{sig} ）は共通電圧 V_{com} に対して2.0V（中間調）、R後の画素Lの書き込み電圧（映像信号 V_{sig} ）は共通電圧 V_{com} に対して4.0V（黒、暗）、とした場合を示している。また、TF T102がオンからオフになる際に発生する引き込み電圧（フィードスルー電圧） ΔV の影響は、共通電圧 V_{com} の調整（ V_{com} を ΔV 分下方にシフトする）によりキャンセルできるので、図18（B）の波形には記載していない（以下に説明する他の画素電位波形の図においても同様）。

【0014】

10

図18（A）に示すように、各フィールドにおいて、1/2水平期間に2本のゲートラインが順次選択され、その選択される2本のゲートラインが水平期間毎に順次走査されていく。そして、図18（B）に示すように、選択されたゲートラインに接続されたTF T102がオンして、対応する画素100にソースラインから印加される映像信号 V_{sig} が書き込まれる。従って、G先の画素Fの書き込みタイミングは、図18（B）における W_G となり、R後の画素Lの書き込みタイミングは W_R となる。これらの書き込みタイミングで書き込まれた画素電位が、次フィールドで書き換えられるまで維持される。

【0015】

図18（B）は、前記画素間寄生容量104が0の場合の理想的な状態における画素電位波形である。しかしながら、上述したように、ソースラインのない箇所には画素間寄生容量104が存在してしまう。図19（A）は、画素間寄生容量104を考慮した場合の図18（B）と同じ電圧条件での画素電位波形を示す図である。また、図19（B）は画素間寄生容量104を考慮した場合の共通電圧 V_{com} の振幅が5.0V、G先の画素Fの書き込み電圧は共通電圧 V_{com} に対して2.0V、R後の画素Lの書き込み電圧は共通電圧 V_{com} に対して1.0V（白、明）、とした場合の画素電位波形を示す図である。

20

【0016】

即ち、図19（A）及び図19（B）に示すように、G先の画素Fにおいては、ゲートラインG1の選択によって書き込まれた画素電位が、ゲートラインG2の選択によるR後の画素Lの書き込みの際に、 V_c 分、共通電圧 V_{com} に対して遠ざかる向き（暗くなる向き）にシフトしてしまう。この V_c の大きさは、

30

$$V_c = (V_{sig}(F_{n-1}) + V_{sig}(F_n)) \times C_{pp} / (C_s + C_{lc} + C_{pp}) \times \alpha \quad \dots (1)$$

のように表せる。この（1）式において、 $V_{sig}(F_n)$ は現フィールドのR後の画素Lの書き込み電圧、 $V_{sig}(F_{n-1})$ は前フィールドのR後の画素Lの書き込み電圧である。従って、図19（A）の場合には $V_{sig}(F_{n-1}) + V_{sig}(F_n) = 8.0V$ 、図19（B）の場合には $V_{sig}(F_{n-1}) + V_{sig}(F_n) = 2.0V$ となる。また、 C_{pp} は画素間寄生容量104の容量値、 C_s は補助容量 C_s の容量値、 C_{lc} は液晶容量 C_{lc} の容量値、 α は比例係数であり、パネル構造等によって決まる値である。

40

【0017】

このように、 $V_{sig}(F_{n-1}) + V_{sig}(F_n)$ が大きい程、電位変動の値 V_c は大きくなり、 V_{com} の振幅の大きさにはよらない。

【0018】

以上は、共通電圧 V_{com} の極性を隣接するゲートライン毎、即ち図14の、ゲートラインG2とゲートラインG3の間、ゲートラインG4とゲートラインG5の間、ゲートラインG6とゲートラインG7の間、に反転する水平ライン反転駆動の場合である。共通電極 V_{com} の極性反転には、隣接する画素間で反転するドット反転駆動という駆動方法も存在する。前記ソースラインを半分にした画素結線では、隣接するゲートライン毎ではなく、隣接する画素間で共通電圧 V_{com} の極性が反転するように、図14の、ゲートライ

50

ンG1とゲートラインG2の間、ゲートラインG3とゲートラインG4の間、ゲートラインG5とゲートラインG6の間、ゲートラインG7とゲートラインG8の間、に共通電圧Vcomの極性を反転させる。

【0019】

このようなドット反転駆動を行う場合には、図20(A)及び図20(B)に示すようになる。ここで、図20(A)は画素間寄生容量104を考慮した場合の共通電圧Vcomの振幅が5.0V、G先の画素Fの書き込み電圧は共通電圧Vcomに対して2.0V(中間調)、R後の画素Lの書き込み電圧は共通電圧Vcomに対して4.0V(黒)、とした場合の画素電位波形を示す図であり、図20(B)は画素間寄生容量104を考慮した場合の共通電圧Vcomの振幅が5.0V、G先の画素Fの書き込み電圧は共通電圧Vcomに対して2.0V、R後の画素Lの書き込み電圧は共通電圧Vcomに対して1.0V(白)、とした場合の画素電位波形を示す図である。

10

【0020】

即ち、図20(A)及び図20(B)に示すように、ドット反転駆動を行う場合にも、前記ライン反転駆動を行う場合と同様に、G先の画素Fにおいては、ゲートラインG1の選択によって書き込まれた画素電位が、ゲートラインG2の選択によるR後の画素Lの書き込みの際に、Vc分、シフトするが、ドット反転駆動の場合には、シフトする方向は共通電圧Vcomに対して近づく向き(明るくなる向き)になる。

【0021】

この場合も、Vsig(Fn-1)+Vsig(Fn)が大きい程、電位変動の値Vcは大きくなり、Vcomの振幅の大きさにはよらないことは、水平ライン反転駆動の場合と同様である。

20

【0022】

以上のようなVc分の変動により、G先の画素は、ライン反転駆動の場合は実際の表示よりも暗くなってしまう。またドット反転駆動の場合は実際の表示よりも明るくなってしまう。これに対して、G後の画素の画素電位は正常な電圧が書き込まれるので、Gラスタのような表示にすると、どちらの反転駆動の場合も縦方向に1本おきに明暗の緑が表示されることとなってしまう。

【0023】

同様のVc分の変動が、R先の画素及びB先の画素においても発生する。

30

【0024】

また、前記のことは、画素100をストライプ配列とした場合に限らず、デルタ配列とした場合も同様である。

【0025】

前記特許文献1に開示された手法では、このような画素間寄生容量104に起因して先に書き込まれた画素に発生する電位変動による表示ムラの問題に対処できない。

【0026】

本発明は、前記の点に鑑みてなされたもので、表示ムラを低減できる表示パネル及びそれを用いたマトリクス表示装置を提供することを目的とする。

【課題を解決するための手段】

40

【0031】

請求項1に記載のマトリクス表示装置は、

マトリクス状に配置された複数の信号線と複数の走査線と、1本の前記信号線を挟んで隣接する2つの画素が前記信号線を共用するように配置された複数の画素と、前記各画素に対応する前記信号線及び前記走査線の選択状態により当該画素を制御するための、前記各画素に対応して設けられた複数のスイッチング素子と、前記信号線を挟まずに前記走査線の延在方向に沿って隣接する2つの前記画素間に配線された複数のダミー線と、を有する表示パネルと、

前記複数の走査線を選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、

50

を具備し、

前記走査線駆動回路は、前記複数の走査線を順次選択する第1の駆動と、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を選択順を逆にする第2の駆動と、を所定期間毎に交互に行うことを特徴とする。

【0032】

請求項2に記載のマトリックス表示装置は、請求項1に記載のマトリックス表示装置において、前記複数のダミー線は、前記複数の画素には接続されていないことを特徴とする。

請求項3に記載のマトリックス表示装置は、請求項1又は2に記載のマトリックス表示装置において、前記複数のダミー線は、固定電位に設定されていることを特徴とする。

10

請求項4に記載のマトリックス表示装置は、請求項1乃至3の何れかに記載のマトリックス表示装置において、前記複数の画素はデルタ状に配列されていることを特徴とする。

請求項5に記載のマトリックス表示装置は、請求項1乃至4の何れかに記載のマトリックス表示装置において、前記所定期間毎はフィールド毎であることを特徴とする。

【0033】

請求項6に記載のマトリックス表示装置は、請求項1乃至5の何れかに記載のマトリックス表示装置において、前記信号線駆動回路は、前記走査線駆動回路による前記走査線を選択順に応じた信号を前記複数の信号線に出力することを特徴とする。

【発明の効果】

【0034】

20

本発明によれば、信号線の無い側の2画素間に、複数のダミー線を配線することにより、表示ムラを低減できる表示パネル及びそれを用いたマトリックス表示装置を提供することができる。

【発明を実施するための最良の形態】

【0035】

以下、本発明を実施するための最良の形態を、図面を参照して説明する。

【0036】

〔第1実施形態〕

図1(A)は、本発明の第1実施形態に係る表示パネルを用いたマトリックス表示装置の全体構成を示す概略構成図であり、図1(B)は、図1(A)中の本発明の第1実施形態に係る表示パネルであるLCDパネル(液晶表示パネル)の画素結線の概略図である。

30

【0037】

即ち、本実施形態に係るマトリックス表示装置は、図1(A)に示すように、複数の画素が配置されたLCDパネル(表示パネル)10と、該LCDパネル10の各画素を駆動制御するドライバ回路12と、LCDパネル10に共通電圧Vcomを印加するVcom回路14と、から構成されている。

【0038】

LCDパネル10は、図1(B)に示すように、複数のソースライン(信号線)S1～S480と複数のゲートライン(走査線)G1～G480とをマトリックス状に配置し、1本のソースラインを隣接する2つの画素16が共用するように、複数の画素16が配置されているものである。この場合、それら2つの画素16のTFT18は、それぞれ異なるゲートラインに接続されている。例えば、図1(B)において、左上のRの画素16のTFT18は、ゲートラインG1とソースラインS1に接続され、その右隣のGの画素16のTFT18は、ゲートラインG2とソースラインS1に接続されている。なお、ここでは、画素16がストライプ配列で並べられた場合を示している。

40

【0039】

そして、本実施形態においては、前記ソースラインS1～S480の無い2画素間に、前記ソースラインS1～S480と同一の半導体製造工程で、ダミーのドレインラインD(ダミー線)が配線形成されている。即ち、ソースラインS1に接続された左から2列目の画素16と、ソースラインS2に接続された左から3列目の画素16との間に、ソース

50

ラインS 1～S 4 8 0と同様の形態でダミーのドレインラインDが配線され、ソースラインS 2に接続された左から4列目の画素1 6と、ソースラインS 3に接続された左から5列目の画素1 6との間に、ソースラインS 1～S 4 8 0と同様の形態でダミーのドレインラインDが配線される、という具合である。

【0 0 4 0】

これらダミーのドレインラインDは、複数の画素には接続されない。

【0 0 4 1】

また、これらダミーのドレインラインDは、ソースラインS 1～S 4 8 0と同様の材質、寸法関係で形成されることが望ましい。

【0 0 4 2】

そして、これらダミーのドレインラインDは、GND、電源、又は他のドレインライン等に接続され、電位が固定されることが望ましい。このようなダミーのドレインラインDを配線することで、前記ソースラインS 1～S 4 8 0の無い2画素間で寄生容量の発生を抑えることができる。

【0 0 4 3】

つまり、ダミー線は、間にソースライン（信号線）の無い2画素間の大きな寄生容量を、間にソースライン（信号線）がある2画素間の小さな寄生容量と均等化する役割がある。

【0 0 4 4】

また、寄生容量による電氣的なムラだけでなく、ソースラインの2本毎の構造上の周期性からくる縦縞も、ダミー線を設けることで、より認識しづらくなるという効果もある。

【0 0 4 5】

なお、LCDパネル1 0の複数のソースラインS 1～S 4 8 0及び複数のゲートラインG 1～G 4 8 0は、該LCDパネル1 0の基板（図示せず）上を引き回された配線2 0によりドライバ回路1 2に接続されている。

【0 0 4 6】

このような表示パネルを用いることにより、ダミーのドレインラインDのない従来の表示パネルに比べて寄生容量の発生を抑えることができるので、表示ムラを低減できるが、その表示パネルを駆動するより好ましい駆動装置（方法）を下記に述べる。

【0 0 4 7】

図2は、図1（A）中のドライバ回路のブロック構成図である。このドライバ回路1 2は、同図に示すように、ゲートドライバブロック（走査線駆動回路）2 2、ソースドライバブロック（信号線駆動回路）2 4、レベルシフタ回路2 6、タイミングジェネレータ（以下、TGと略記する）部ロジック回路2 8、ガンマ（以下、 γ と略記する）回路ブロック3 0、チャージポンプ／レギュレータブロック3 2、アナログブロック3 4、その他のブロックから構成されている。

【0 0 4 8】

ここで、ゲートドライバブロック2 2は、LCDパネル1 0の複数のゲートラインG 1～G 4 8 0を選択するものであり、ソースドライバブロック2 4は、LCDパネル1 0の複数の信号線S 1～S 4 8 0に、表示すべき情報に従った映像信号V s i gを出力するものである。

【0 0 4 9】

レベルシフタ回路2 6は、外部から供給される信号のレベルを所定レベルにシフトするものである。TG部ロジック回路2 8は、このレベルシフタ回路2 6によって所定レベルにシフトされた信号及び外部から供給された信号に基づいて必要なタイミング信号や制御信号を生成して、該ドライバ回路1 2内の各部に供給するものである。

【0 0 5 0】

γ 回路ブロック3 0は、前記ソースドライバブロック2 4から出力する映像信号V s i gを良好な階調特性とするように γ 補正をかけるためのものである。

【0 0 5 1】

10

20

30

40

50

チャージポンプ／レギュレータブロック 32 は、外部電源から必要な論理レベルの各種電圧を発生するものであり、アナログブロック 34 は、このチャージポンプ／レギュレータブロック 32 で発生された電圧から更に各種の電圧を発生するものである。前記 V c o m 回路 14 は、このアナログブロック 34 で発生した電圧 V V C O M から前記共通電圧 V c o m を発生する。その他のブロックについては、直接本願発明とは直接の関係がないので、その説明を省略する。

【0052】

図 3 は、本第 1 実施形態における、複数のソースライン S 1 ～ S 480 に出力される、表示すべき情報に従った映像信号 V s i g の組み合わせの出力順と、複数のゲートライン G 1 ～ G 480（図では簡略化のためにゲートライン G 1 ～ G 8 のみを取り出して示す）の選択順とからなるタイミングチャートを示す図である。また、図 4 A 及び図 4 B は、各画素 16 に映像信号 V s i g を書き込む順番を示す図である。ここで、図 4 A は、便宜的に、1 s t フィールド（奇数フィールド）を、図 4 B は 2 n d フィールド（偶数フィールド）をそれぞれ示している。（1 s t フィールドと 2 n d フィールドは入れ替わってもよい。）

本第 1 実施形態においては、図 3 に示すように、複数のゲートライン G 1 ～ G 480 の選択順番を、フィールド毎に変化させている。

【0053】

即ち、第 1 フィールド（1 s t フィールド）では、従来と同様、ゲートドライバブロック 22 は、複数のゲートライン G 1 ～ G 480 を、その順番通りに 1 / 2 水平期間（1 / 2 H）毎に順次選択する（H 信号にする）第 1 の駆動を行う。そして、ソースドライバブロック 24 は、その選択されたゲートラインに対応する画素 16 それぞれに書き込むべき映像信号 V s i g の組み合わせを、1 / 2 水平期間に複数のソースライン S 1 ～ S 480 に一度に出力する。例えば、ゲートライン G 1 が選択されている 1 / 2 水平期間中には“S 1 - 1”なる映像信号 V s i g の組み合わせが複数のソースライン S 1 ～ S 480 に出力され、次の、ゲートライン G 2 が選択されている 1 / 2 水平期間中には“S 1 - 2”なる映像信号 V s i g の組み合わせが複数のソースライン S 1 ～ S 480 に出力される、という具合である。

【0054】

つまり、2 本ずつのゲートラインの組の出力順に対応して、ソースドライバブロック 24 は、奇数列のデータ→偶数列のデータの順で出力する。

【0055】

従って、1 s t フィールドでは、上述したようなソースラインを半分にした画素結線において、各画素 16 への映像信号 V s i g の書き込みは、図 3 に示すようにゲートラインの順番通りに実行されるので、図 4 A に示すようなものとなる。

【0056】

また、第 2 フィールド（2 n d フィールド）では、図 3 に示すように、ゲートドライバブロック 22 は、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートラインの組の選択順を第 1 フィールドとは逆にする第 2 の駆動を行う。即ち、まず、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートライン G 1、G 2 について、1 s t フィールドとは逆の順番であるゲートライン G 2、ゲートライン G 1 の順に選択し、次に、異なるソースラインに接続され隣接配置された 2 つの画素 16 に対応する 2 本のゲートライン G 3、G 4 について、1 s t フィールドとは逆の順番であるゲートライン G 4、ゲートライン G 3 の順に選択する、というように、2 本ずつのゲートラインの組において、その選択順を入れ替える。そしてそのゲートラインの選択順の入れ替えに伴って、ソースドライバブロック 24 は、その選択順に応じて、その選択されたゲートラインに対応する画素 16 それぞれに書き込むべき映像信号 V s i g の組み合わせを、1 / 2 水平期間に複数のソースライン S 1 ～ S 480 に一度に出力する。

【0057】

つまり、2本ずつのゲートラインの組の出力順に対応して、ソースドライバブロック24は、偶数列のデータ→奇数列のデータの順で出力する。

【0058】

これにより、例えば、1stフィールドでは、“S1-1”→“S1-2”→“S1-3”→“S1-4”→“S1-5”→“S1-6”→…という映像信号Vsigの組み合わせ順で出力していたものを、2ndフィールドでは、S1-2”→“S1-1”→“S1-4”→“S1-3”→“S1-6”→“S1-5”→…という映像信号Vsigの組み合わせ順で出力することになる。

【0059】

従って、2ndフィールドでは、上述したようなソースラインを半分にした画素結線において、各画素16への映像信号Vsigの書き込みは、図3に示すように、異なるソースラインに接続され隣接配置された2つの画素16に対応する2本のゲートラインの選択順が逆にされた順番で実行されるので、図4Bに示すようなものとなる。

【0060】

前述したように、本第1実施形態では、ソースラインの無い2画素間に、電位が固定された複数のダミーのドレインラインDを配線することにより、画素間寄生容量104の発生を抑制している。

【0061】

そして、更に、例え画素間寄生容量104が発生して画素間で電圧リークが発生したとしても、このような駆動方法を採用することで、1stフィールドにおいて電位が変化する画素16と、2ndフィールドにおいて電位が変化する画素16とを異ならせることができる。即ち、この2ndフィールドにおいては、1stフィールドとは映像信号Vsigの書き込み順が反対にされているので、1stフィールドと2ndフィールドで、隣り合う画素16への書き込み順番が入れ替わることになる。このため、1stフィールドと2ndフィールドで電位差の発生する画素の位置が反対になり、結果として画素電位のずれが時間的に平均化されて表示ムラがより軽減される。

【0062】

図5は、前記のような駆動を行うためのゲートドライバブロック22の具体的な構成を示す図である。なお、説明及び図示の簡単化のため、ここでは、ゲートラインを8本として説明する。この場合、該ゲートドライバブロック22は、3ビットカウンタ36と、24個のANDゲート38～84と、4個のNOTゲート86～92と、で構成される。

【0063】

即ち、3ビットカウンタ36には、TG部ロジック回路28からゲートクロックとアップ/ダウン（以下、U/Dと略記する）信号とが供給される。U/D信号は、通常表示である非反転シフト時には「1」、上下が反転した表示を行う上下反転シフト時には「0」となるものである。これは、非反転シフト時と上下反転シフト時では、ゲートラインの走査方向が上下逆になり、その結果、先に書き込まれる画素と後に書き込まれる画素とが反対になるため、それに応じて動作を切り替える必要があるからである。

【0064】

この3ビットカウンタ36のQ1出力は、デコードされる偶数番目のラインX2，X4，X6，X8用のANDゲート40，44，48，52に与えられると共に、NOTゲート86を介して、デコードされる奇数番目のラインX1，X3，X5，X7用のANDゲート38，42，46，50に与えられる。また、前記3ビットカウンタ36のQ2出力は、前記ラインX3，X4，X7，X8用のANDゲート42，44，50，52に与えられると共に、NOTゲート88を介して、前記ラインX1，X2，X5，X6用のANDゲート38，40，46，48に与えられる。そして、前記3ビットカウンタ36のQ3出力は、前記ラインX5，X6，X7，X8用のANDゲート46，48，50，52に与えられると共に、NOTゲート90を介して、前記ラインX1，X2，X3，X4用のANDゲート38，40，42，44に与えられる。

【0065】

10

20

30

40

50

前記ラインX 1用のANDゲート38の出力は、ゲートラインG 1, G 2用第1ANDゲート54, 56に与えられる。前記ゲートラインG 1用第1ANDゲート54には、TG部ロジック回路28からフィールド切替え（以下、FIと略記する）信号が供給され、前記ゲートラインG 2用第1ANDゲート56には、前記FI信号がNOTゲート92を介して供給される。

【0066】

前記ラインX 2用のANDゲート40の出力は、ゲートラインG 1, G 2用第2ANDゲート58, 60に与えられる。これらゲートラインG 1, G 2用第2ANDゲート58, 60には、前記ゲートラインG 1, G 2用第1ANDゲート54, 56とは反対に、前記ゲートラインG 1用第2ANDゲート58には前記FI信号が前記NOTゲート92を介して供給され、前記ゲートラインG 2用第2ANDゲート60には前記FI信号が供給されるようになっている。

10

【0067】

以下、同様にして、前記ラインX 3用, X 5用, X 7用のANDゲート42, 46, 50の出力は、ゲートラインG 3, G 4用第1ANDゲート62, 64, ゲートラインG 5, G 6用第1ANDゲート70, 72, ゲートラインG 7, G 8用第1ANDゲート78, 80に与えられ、前記ゲートラインG 3用, G 5用, G 7用第1ANDゲート62, 70, 78には前記FI信号が供給され、前記ゲートラインG 4用, G 6用, G 8用第1ANDゲート64, 72, 80には前記FI信号が前記NOTゲート92を介して供給される。また、前記ラインX 4用, X 6用, X 8用のANDゲートの出力44, 48, 52は、ゲートラインG 3, G 4用第2ANDゲート66, 68, ゲートラインG 5, G 6用第2ANDゲート74, 76, ゲートラインG 7, G 8用第2ANDゲート82, 84に与えられ、前記ゲートラインG 3用, G 5用, G 7用第2ANDゲート66, 74, 82には前記FI信号が前記NOTゲート92を介して供給され、前記ゲートラインG 4用, G 6用, G 8用第2ANDゲート68, 76, 84には前記FI信号が供給される。

20

【0068】

図6Aは、このような構成のゲートドライバブロック22における非反転シフト時の1stフィールドのタイミングチャートを示す図であり、図6Bは、同じく2ndフィールドのタイミングチャートを示す図である。

【0069】

30

非反転シフト時に、1stフィールドでは、図6Aに示すように、ラインX 1～X 8には、ゲートクロック1発分に相当する期間、それぞれ順番にH信号が出力されることとなる。即ち、タイミング的には、ラインX 1が選択状態（H信号）→ラインX 2が選択状態→ラインX 3が選択状態→ラインX 4が選択状態→ラインX 5が選択状態→ラインX 6が選択状態→ラインX 7が選択状態→ラインX 8が選択状態、となっていく。

【0070】

ここで、該1stフィールドでは、前記FI信号としてH信号が供給されている。従って、ラインX 1が選択状態となっている期間には、前記ゲートラインG 1用第1ANDゲート54のみが選択状態となって、ゲートラインG 1が選択状態となる。また、ラインX 2が選択状態となっている期間には、前記ゲートラインG 2用第2ANDゲート58のみが選択状態となって、ゲートラインG 2が選択状態となる。以下、同様にして、ゲートラインG 3～G 8が順次選択状態となっていく。

40

【0071】

そして、2ndフィールドになると、図6Bに示すように、ラインX 1～X 8には、前記1stフィールドと同様に、ラインX 1→ラインX 2→ラインX 3→ラインX 4→ラインX 5→ラインX 6→ラインX 7→ラインX 8の順で選択状態となっていく。

【0072】

ここで、該2ndフィールドでは、前記FI信号としてL信号が供給されている。従って、ラインX 1が選択状態となっている期間には、前記ゲートラインG 2用第1ANDゲートのみが選択状態となって、ゲートラインG 2が選択状態となる。また、ラインX 2が

50

選択状態となっている期間には、前記ゲートラインG1用第2ANDゲート58のみが選択状態となって、ゲートラインG1が選択状態となる。以下、同様にして、ゲートラインG4→ゲートラインG3→ゲートラインG6→ゲートラインG5→ゲートラインG8→ゲートラインG7の順で選択状態となっていく。

【0073】

また、図7Aは、図5の構成のゲートドライバブロック22における上下反転シフト時の1stフィールドのタイミングチャートを示す図であり、図7Bは、同じく2ndフィールドのタイミングチャートを示す図である。また、図8A及び図8Bは、この上下反転シフト時に各画素16に映像信号Vsigを書き込む順番を示す図である。ここで、図8Aは1stフィールドを、図8Bは2ndフィールドをそれぞれ示している。

10

【0074】

上下反転シフト時に、1stフィールドでは、図7Aに示すように、ラインX1～X8には、ゲートクロック1発分に相当する期間、それぞれ逆方向に順番にH信号が出力されることとなる。即ち、タイミング的には、ラインX8が選択状態→ラインX7が選択状態→ラインX6が選択状態→ラインX5が選択状態→ラインX4が選択状態→ラインX3が選択状態→ラインX2が選択状態→ラインX1が選択状態、となっていく。

【0075】

ここで、該1stフィールドでは、前記FI信号としてH信号が供給されている。従って、ラインX8が選択状態となっている期間には、前記ゲートラインG8用第2ANDゲート84のみが選択状態となって、ゲートラインG8が選択状態となる。また、ラインX7が選択状態となっている期間には、前記ゲートラインG7用第1ANDゲート78のみが選択状態となって、ゲートラインG7が選択状態となる。以下、同様にして、ゲートラインG6～G1が順次選択状態となっていく。

20

【0076】

従って、1stフィールドでは、各画素16への映像信号Vsigの書き込みは、図7Aに示すようにゲートラインの逆方向の順番通りに実行されるので、図8Aに示すようなものとなる。

【0077】

そして、2ndフィールドになると、図7Bに示すように、ラインX1～X8には、前記1stフィールドと同様に、ラインX8→ラインX7→ラインX6→ラインX5→ラインX4→ラインX3→ラインX2→ラインX1の順で選択状態となっていく。

30

【0078】

ここで、該2ndフィールドでは、前記FI信号としてL信号が供給されている。従って、ラインX8が選択状態となっている期間には、前記ゲートラインG7用第2ANDゲート82のみが選択状態となって、ゲートラインG7が選択状態となる。また、ラインX7が選択状態となっている期間には、前記ゲートラインG8用第1ANDゲート80のみが選択状態となって、ゲートラインG8が選択状態となる。以下、同様にして、ゲートラインG5→ゲートラインG6→ゲートラインG3→ゲートラインG4→ゲートラインG1→ゲートラインG2の順で選択状態となっていく。

【0079】

従って、2ndフィールドでは、上述したようなソースラインを半分にした画素結線において、各画素16への映像信号Vsigの書き込みは、図7Bに示すように、異なるソースラインに接続され隣接配置された2つの画素16に対応する2本のゲートラインの選択順が逆にされた逆方向の順番で実行されるので、図8Bに示すようなものとなる。

40

【0080】

このように、上下反転シフト時においても、非反転シフト時と同様に、2ndフィールドにおいては、1stフィールドとは映像信号Vsigの書き込み順が反対にされているので、1stフィールドと2ndフィールドで、隣り合う画素16への書き込み順番が入れ替わることになるため、1stフィールドと2ndフィールドで電位差の発生する画素の位置が反対になり、結果として画素電位のずれが時間的に平均化されて表示ムラをより

50

軽減することができる。

【0081】

以上のように、本第1実施形態によれば、前記ソースラインS1～S480の無い2画素間にダミーのドレインラインDを配線しているので、それら前記ソースラインS1～S480の無い2画素間で寄生容量が発生することを防止できる。よって、画素間寄生容量104に起因して先に書き込まれた画素に発生する電位変動を抑制することができ、結果として表示ムラを低減することができる。

【0082】

更に、ゲートドライバブロック22によって複数のゲートラインを順次選択する際の、異なるソースラインに接続され隣接配置された2つの画素に対応する2本のゲートラインの選択順を、フィールド毎に入れ替えることで、画素の電位差を平均化するようにしているので、表示ムラを更に低減することができる。

【0083】

そして、ソースドライバブロック24より前記複数のソースラインに出力する表示すべき情報に従った映像信号Vsigの組み合わせを、2ndフィールドでは図3に示すように、ゲートラインの選択順の入れ替えに応じて奇数列と偶数列のデータの順番を入れ替えて出力しているので、乱れなく表示を行うことができる。なお、この2ndフィールドでの映像信号Vsigの組み合わせの出力順の変更は、特に回路構成詳細を図示はしないが、例えばTG部ロジック回路28で少なくとも1ライン分の映像信号Vsigの組み合わせを保持し、奇数列と偶数列のデータの順番を入れ替えてソースドライバブロック24に供給するようにしても良いし、或いは、ソースドライバブロック24内で奇数列と偶数列のデータの順番を入れ替えるようにしても良いし、又は、当該マトリクス表示装置に映像信号を供給する側で、2ndフィールドにおいては映像信号の奇数列と偶数列のデータの順序を入れ替えて供給するようにしても良い。（これは上下反転シフト時に行なう操作と基本的に同様のものである。）

〔第2実施形態〕

次に、本発明の第2実施形態を説明する。

【0084】

マトリクス表示装置においては、図1（B）に示すように画素16を縦横に整列させたストライプ配列以外に、RGBの3種類の画素をデルタ状に配置したデルタ配列が知られている。

【0085】

図9は、本発明の第2実施形態に係るデルタ配列を採用したLCDパネル（表示パネル）の画素結線の概略図である。このデルタ配列では、図1（B）に示すように複数のソースラインS1～S480がストライプ配列のように直線状に形成されるのではなく、図9に示すように、画素16間を縫うようにジグザグに形成され、奇数番目の行に対応する画素と偶数番目の行に対応する画素が、それぞれ列方向の隣接画素ピッチの半分ずつずれるように配置される。そして、本第2実施形態においても、前記ソースラインS1～S480の無い2画素間に、前記ソースラインS1～S480と同一の半導体製造工程で、ダミーのドレインラインDが配線形成されている。即ち、ソースラインS1に接続された左から2列目の画素16と、ソースラインS2に接続された左から3列目の画素16との間に、ソースラインS1～S480と同様にそれらの画素間を縫うようにダミーのドレインラインDが配線され、ソースラインS2に接続された左から4列目の画素16と、ソースラインS3に接続された左から5列目の画素16との間に、それら画素間を縫うようにダミーのドレインラインDが配線される、という具合である。

【0086】

これらダミーのドレインラインDは、GND、電源、又は他のドレインライン等に接続され、電位が固定されることが望ましい。このようなダミーのドレインラインDを配線することで、前記ソースラインS1～S480の無い2画素間で寄生容量の発生を抑えることができる。

【0087】

その他の特徴は、ストライプ配列の場合と同様である。

【0088】

図10Aは、本第2実施形態における非反転シフト時の1stフィールドにおいて各画素16に映像信号Vsigを書き込む順番を示す図であり、図10Bは、同じく2ndフィールドにおいて各画素16に映像信号Vsigを書き込む順番を示す図である。

【0089】

本第2実施形態においても、図3に示すように、複数のゲートラインG1～G480の選択順番を、フィールド毎に変化させる。

【0090】

10

即ち、1stフィールドでは、ゲートドライバブロック22は、複数のゲートラインG1～G480を、その順番通りに1/2水平期間毎に順次選択する第1の駆動を行う。そして、ソースドライバブロック24は、その選択されたゲートラインに対応する画素16それぞれに書き込むべき映像信号Vsigの組み合わせを、1/2水平期間に複数のソースラインS1～S480に一度に出力する。従って、該1stフィールドでは、各画素16への映像信号Vsigの書き込みは、図3に示すようにゲートラインの順番通りに実行されるので、図10Aに示すようなものとなる。

【0091】

また、2ndフィールドでは、図3に示すように、ゲートドライバブロック22は、異なるソースラインに接続され隣接配置された2つの画素16に対応する2本のゲートラインの組の選択順を1stフィールドとは逆にする第2の駆動を行う。そしてそのゲートラインの選択順の入れ替えに伴って、ソースドライバブロック24は、その選択順に応じて、その選択されたゲートラインに対応する画素16それぞれに書き込むべき映像信号Vsigの組み合わせを、1/2水平期間に複数のソースラインS1～S480に一度に出力する。従って、該2ndフィールドでは、各画素16への映像信号Vsigの書き込みは、図3に示すように、異なるソースラインに接続され隣接配置された2つの画素16に対応する2本のゲートラインの選択順が逆にされた順番で実行されるので、図10Bに示すようなものとなる。

20

【0092】

このように、本第2実施形態においても前述の第1実施形態と同様、2ndフィールドにおいては、1stフィールドとは映像信号Vsigの書き込み順が反対にされているので、1stフィールドと2ndフィールドで、隣り合う画素16への書き込み順番が入れ替わることになるため、1stフィールドと2ndフィールドで電位差の発生する画素の位置が反対になり、結果として画素電位のずれが時間的に平均化されて表示ムラをより軽減することができる。

30

【0093】

また、図11Aは、図5の構成のゲートドライバブロック22における上下反転シフト時の1stフィールドにおいて各画素16に映像信号Vsigを書き込む順番を示す図であり、図11Bは、同じく上下反転シフト時の2ndフィールドにおいて各画素16に映像信号Vsigを書き込む順番を示す図である。

40

【0094】

上下反転シフト時に、1stフィールドでは、各画素16への映像信号Vsigの書き込みは、図7Aに示すようにゲートラインの逆方向の順番通りに実行されるので、図11Aに示すようなものとなる。

【0095】

そして、2ndフィールドになると、各画素16への映像信号Vsigの書き込みは、図7Bに示すように、異なるソースラインに接続され隣接配置された2つの画素16に対応する2本のゲートラインの選択順が逆にされた逆方向の順番で実行されるので、図11Bに示すようなものとなる。

【0096】

50

このように、上下反転シフト時においても、非反転シフト時と同様に、2ndフィールドにおいては、1stフィールドとは映像信号Vsigの書き込み順が反対にされているので、1stフィールドと2ndフィールドで、隣り合う画素16への書き込み順番が入れ替わることになるため、1stフィールドと2ndフィールドで電位差の発生する画素の位置が反対になり、結果として画素電位のずれが時間的に平均化されて表示ムラをより軽減することができる。

【0097】

以上のように、デルタ配列を採用しても、前記第1実施形態と同様の駆動を行うことで、同様に表示ムラを低減できる。

【0098】

更に、画素16をデルタ配列とした場合の方が、前記第1実施形態のようなストライプ配列とした場合よりも表示ムラ（例えば、図16に対応する縦縞）が蛇行するので、ストライプ配列に比べて目立ちにくいという効果もある。

【0099】

以上、実施形態に基づいて本発明を説明したが、本発明は上述した実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形や応用が可能なことは勿論である。

【0100】

例えば、画素書き込みの順番は、隣り合う画素間の順番がフィールド毎に切り替わるのであれば、前述した実施形態の順番どおりでなくても良い。

【0101】

また、前述した実施形態では、1フィールド毎に書き込み順番を切り替えたが、2フィールド毎（1フレーム毎）の切り替えであっても、ほぼ同様の効果が得られる。

【0102】

さらに、kフィールド（kは3以上の整数）毎の切り替えであってもよいが、周期は短い方が好ましい。

【0103】

ここでは、画素にかかる電圧大きい程、透過率が下がる（暗くなる）ノーマリーホワイトモードの液晶表示装置の場合について述べたが、画素にかかる電圧大きい程、透過率が上がる（明るくなる）ノーマリーブラックモードの液晶表示装置の場合についても適用可能なことは勿論である。

【0104】

上記各実施形態において、ダミーのドレインラインDは、GND、電源、又は他のドレインライン等に接続され、電位が固定されることが望ましいとしたが、微小に電位変動するラインに接続されていても多少の効果はある。

【0105】

また、上記各実施形態において、図13で説明したような従来の駆動を行なっても、ダミーのドレインラインDが配線されていることで、ソースラインS1～S480の無い2画素間で寄生容量の発生を抑えられているので、ダミーのドレインラインDのない表示パネルに比較して、表示ムラが抑えられることは勿論である。

【0106】

さらに、スイッチング素子はTFTに限らず、ダイオード等でも良いことはいうまでもない。また、ゲートライン及びソースラインの数は、図1の例に限定されないことは勿論である。

【0107】

また、表示パネルの画素は液晶に限らず容量性素子であれば、画素間寄生容量が発生するので、本発明により同様に表示ムラを低減することができる。

【図面の簡単な説明】

【0108】

【図1】（A）は本発明の第1実施形態に係るマトリックス表示装置の全体構成を示す概略構成図であり、（B）は（A）中の本発明の第1実施形態に係る表示パネルであるLC

10

20

30

40

50

Dパネルの画素結線の概略図である。

【図2】図1 (A) 中のドライバ回路のブロック構成図である。

【図3】複数のソースラインに出力される表示すべき情報に従った映像信号の組み合わせの出力順と複数のゲートラインの選択順とからなるタイミングチャートを示す図である。

【図4A】1stフィールドに各画素に映像信号を書き込む順番を示す図である。

【図4B】2ndフィールドに各画素に映像信号を書き込む順番を示す図である。

【図5】図2中のゲートドライバブロックの具体的な構成を示す図である。

【図6A】図5のゲートドライバブロックにおける非反転シフト時の1stフィールドのタイミングチャートを示す図である。

【図6B】図5のゲートドライバブロックにおける非反転シフト時の2ndフィールドのタイミングチャートを示す図である。

【図7A】図5のゲートドライバブロックにおける上下反転シフト時の1stフィールドのタイミングチャートを示す図である。

【図7B】図5のゲートドライバブロックにおける上下反転シフト時の2ndフィールドのタイミングチャートを示す図である。

【図8A】上下反転シフト時の1stフィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図8B】上下反転シフト時の2ndフィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図9】本発明の第2実施形態に係るデルタ配列を採用したLCDパネル（表示パネル）の画素結線の概略図である。

【図10A】本発明の第2実施形態における非反転シフト時の1stフィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図10B】本発明の第2実施形態における非反転シフト時の2ndフィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図11A】本発明の第2実施形態における上下反転シフト時の1stフィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図11B】本発明の第2実施形態における上下反転シフト時の2ndフィールドにおいて各画素に映像信号を書き込む順番を示す図である。

【図12】従来のマトリクス表示装置におけるソースラインを半分にした表示パネルの画素結線を示す概略図である。

【図13】図12の画素結線における走査タイミングチャートを示す図である。

【図14】図12の画素結線において各画素に映像信号を書き込む順番を示す図である。

【図15】図12の表示パネルの等価回路を示す図である。

【図16】図12の表示パネルでの表示ムラの例を示す図である。

【図17】表示パネルをTFTLCDパネルとした場合の各画素の構成を示す図である。

【図18】(A)は走査タイミングチャートを示す図であり、(B)は画素間寄生容量が無い場合の水平ライン反転駆動での画素電位波形を示す図である。

【図19】画素間寄生容量を考慮した場合の水平ライン反転駆動での画素電位波形を示す図で、特に、(A)は共通電圧の振幅が5.0V、G先の画素の書き込み電圧は共通電圧に対して2.0V、R後の画素の書き込み電圧は共通電圧に対して4.0Vとした場合を示す図であり、(B)は共通電圧の振幅が5.0V、G先の画素の書き込み電圧は共通電圧に対して2.0V、R後の画素の書き込み電圧は共通電圧に対して1.0Vとした場合の画素電位波形を示す図である。

【図20】画素間寄生容量を考慮した場合のドット反転駆動での画素電位波形を示す図で、特に、(A)は共通電圧の振幅が5.0V、G先の画素の書き込み電圧は共通電圧に対して2.0V、R後の画素の書き込み電圧は共通電圧に対して4.0Vとした場合の画素電位波形を示す図であり、(B)は共通電圧の振幅が5.0V、G先の画素の書き込み電圧は共通電圧に対して2.0V、R後の画素の書き込み電圧は共通電圧に対して1.0Vとした場合の画素電位波形を示す図である。

10

20

30

40

50

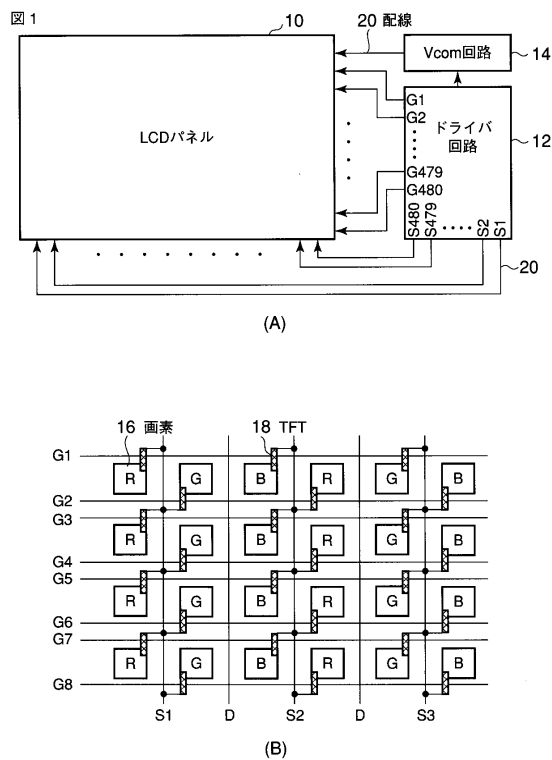
【符号の説明】

【 0 1 0 9 】

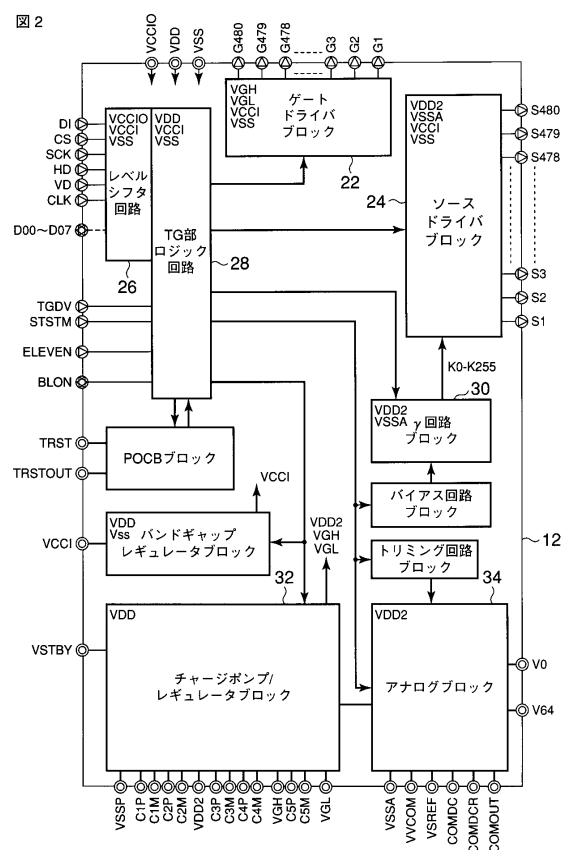
10…LCDパネル（表示パネル）、 12…ドライバ回路、 14…Vcom回路、
 16…画素、 18…TFT、 20…配線、 22…ゲートドライバブロック（走査線駆動回路）、
 24…ソースドライバブロック（信号線駆動回路）、 26…レベルシフト回路、
 28…タイミングジェネレータ（TG）部ロジック回路、 30…ガンマ（ γ ）回路ブロック、
 32…レギュレータブロック、 34…アナログブロック、 36…3ビットカウンタ、
 38～84…ANDゲート、 86～92…NOTゲート、 S1～S480…ソースライン（信号線）、
 G1～G480…ゲートライン（走査線）、 D…ダミーのドレインライン（ダミー線）。

10

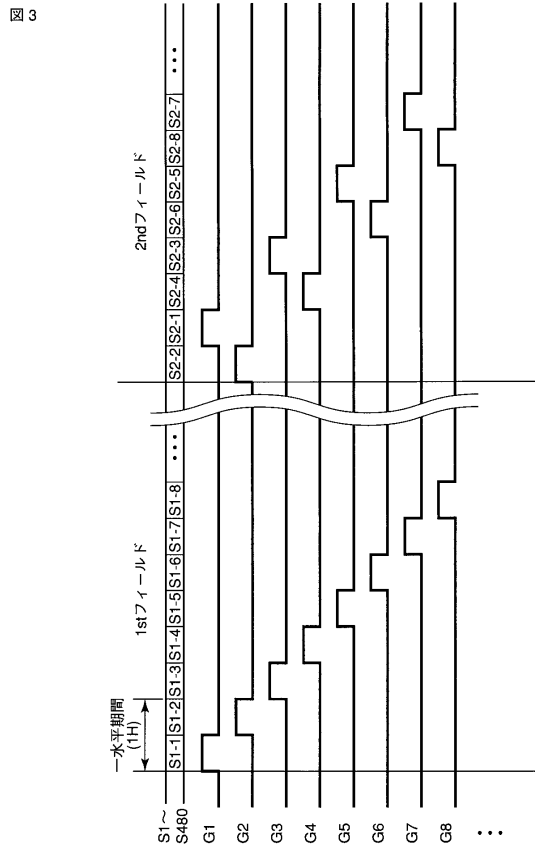
【図 1】



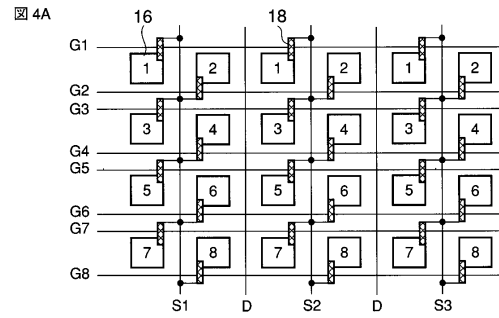
【図 2】



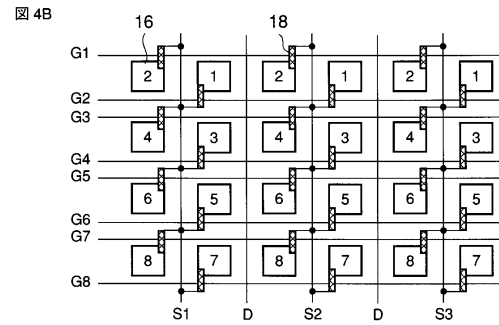
【図 3】



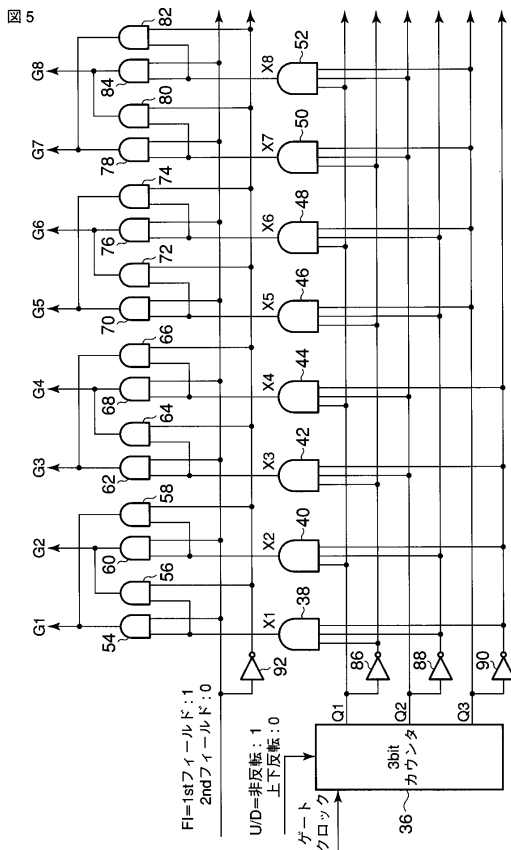
【図 4 A】



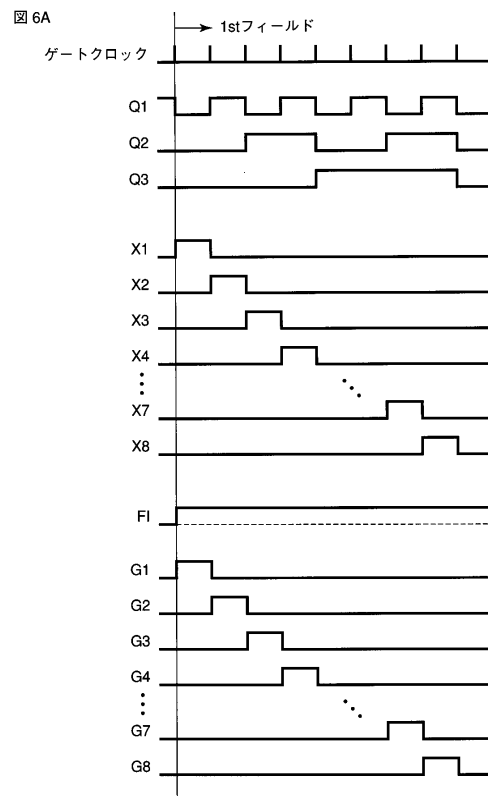
【図 4 B】



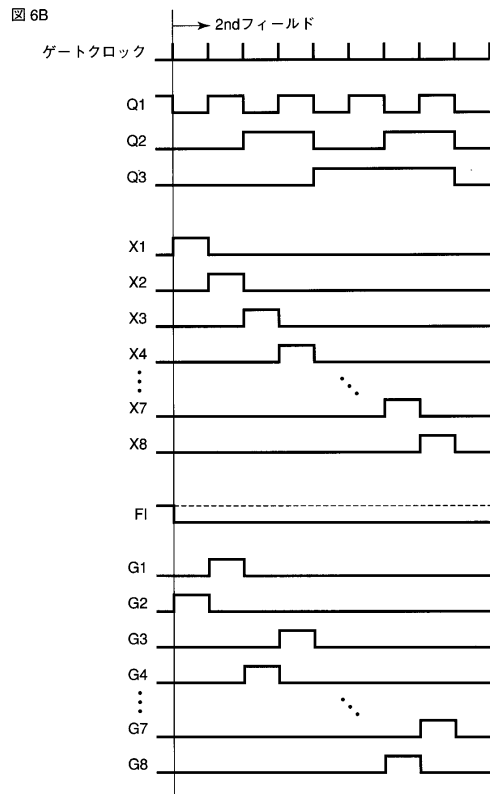
【図 5】



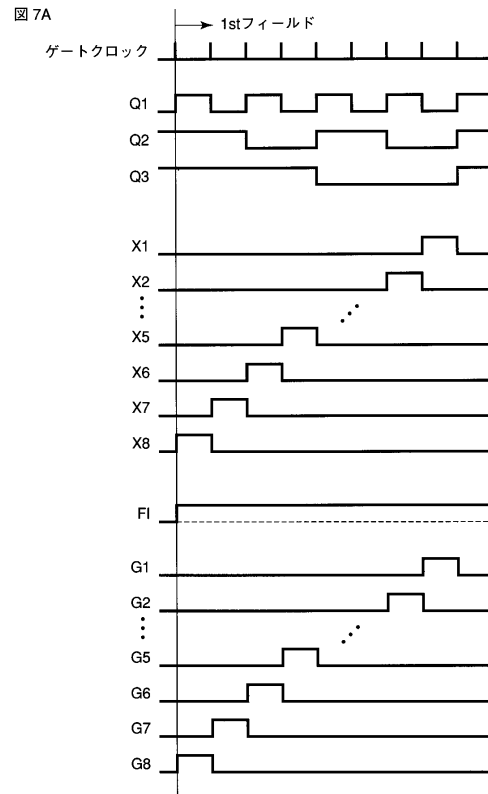
【図 6 A】



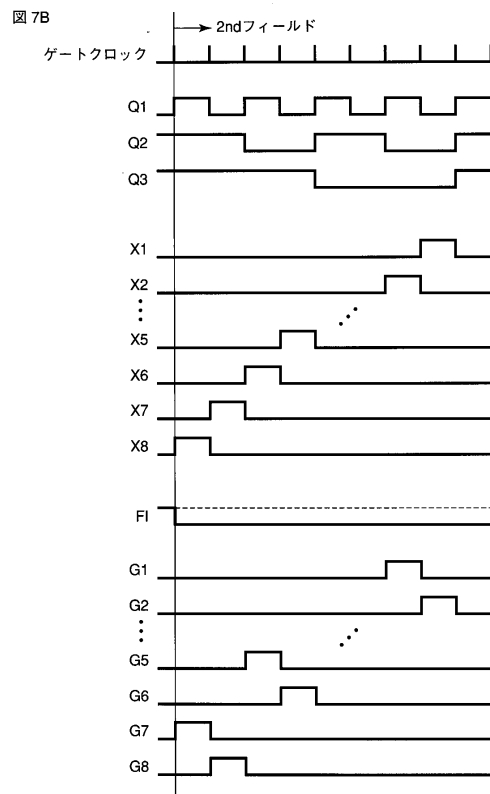
【図 6 B】



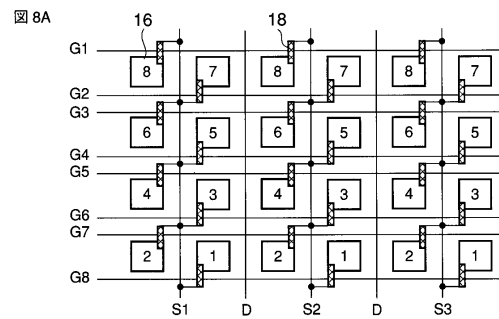
【図 7 A】



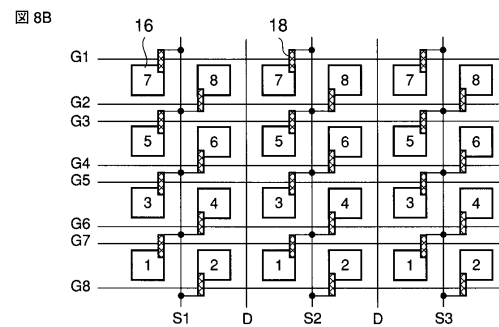
【図 7 B】



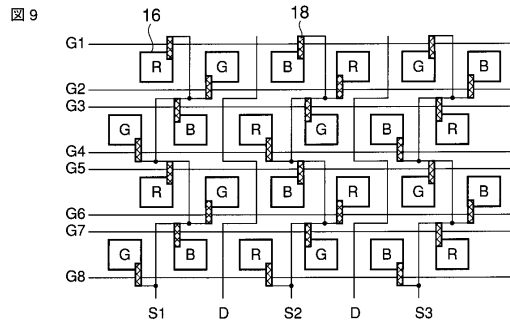
【図 8 A】



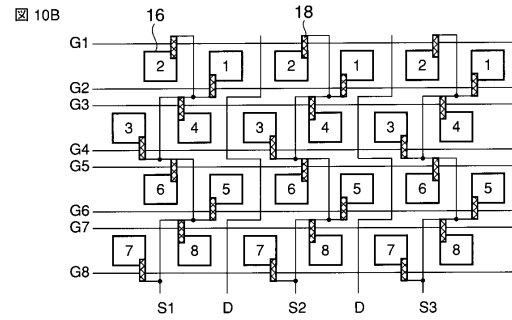
【図 8 B】



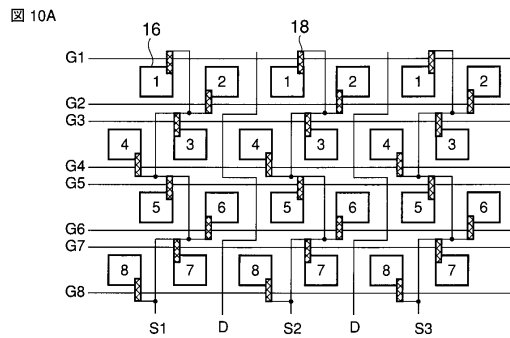
【図 9】



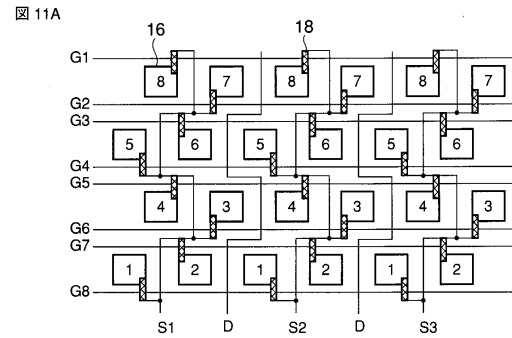
【図 10 B】



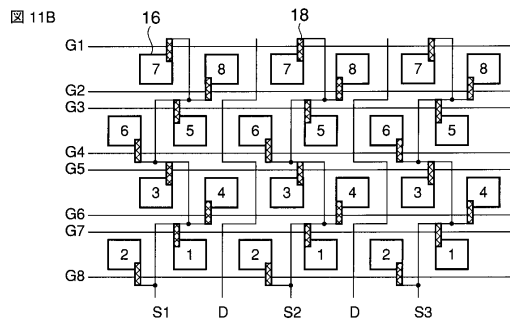
【図 10 A】



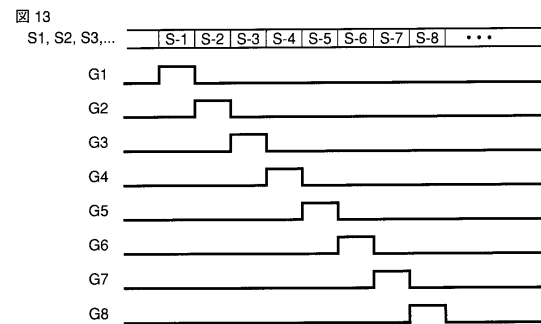
【図 11 A】



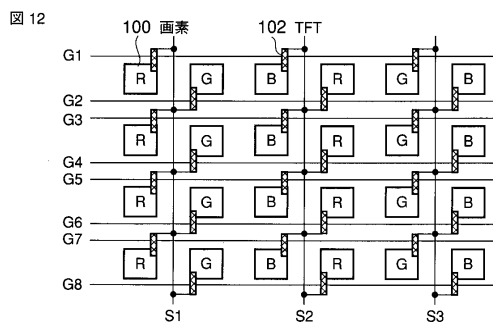
【図 11 B】



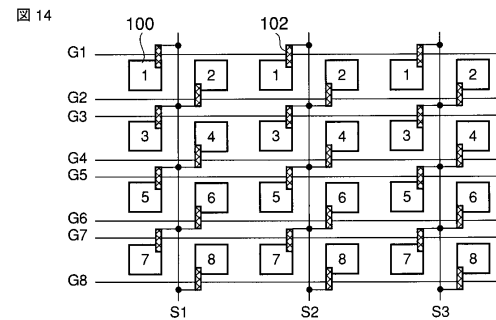
【図 13】



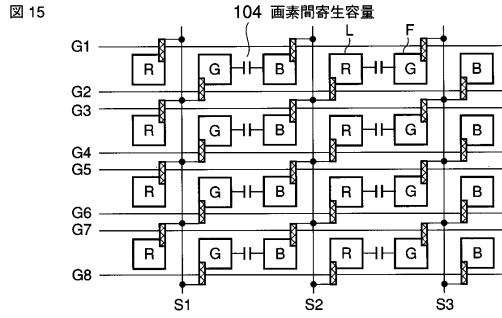
【図 12】



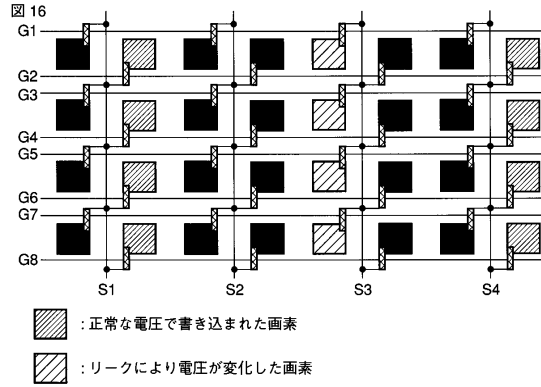
【図 14】



【図 15】

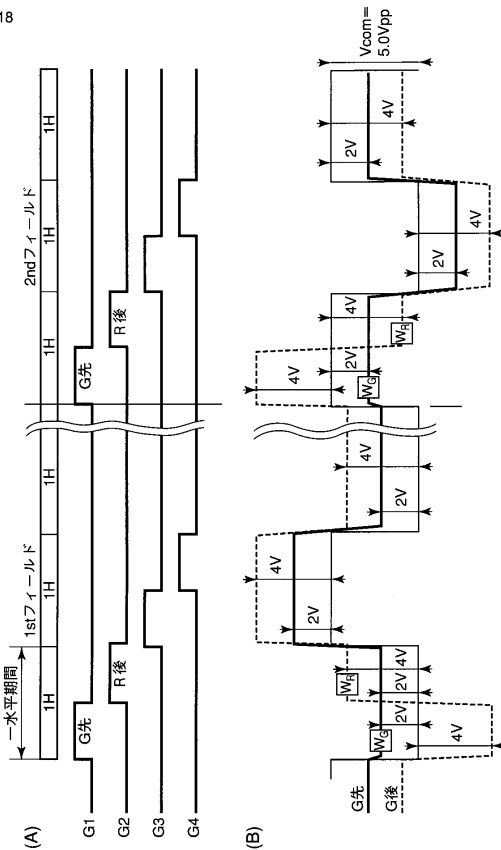


【図 16】



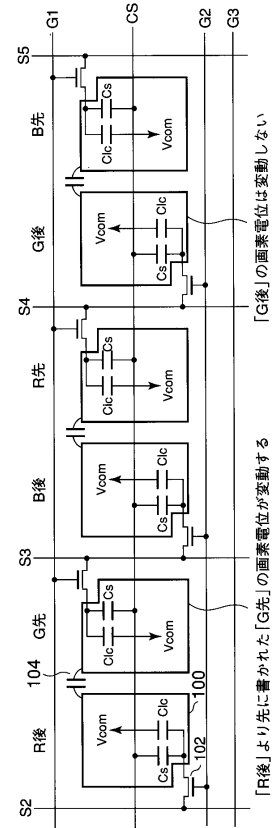
【図 18】

図 18



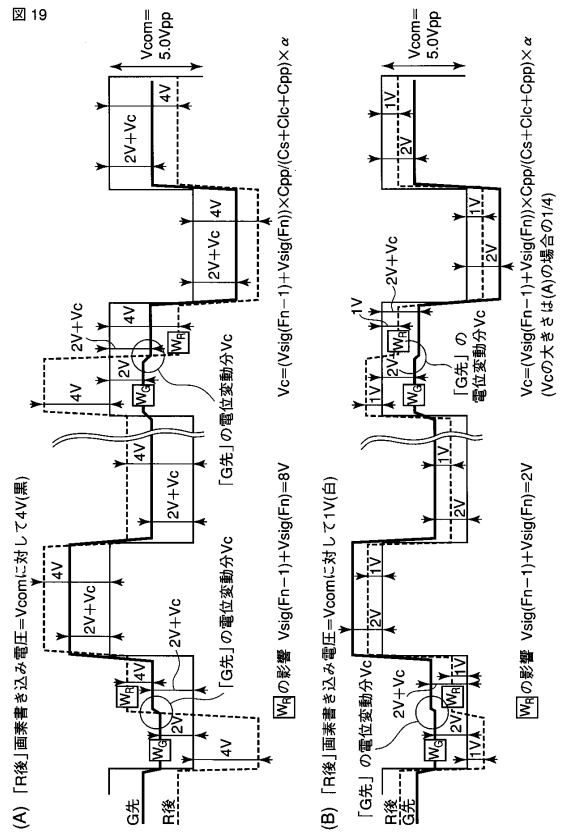
【図 17】

図 17



【図 19】

図 19



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 3 U

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 1 1 D

G 0 9 G 3/20 6 4 2 K

G 0 9 G 3/36

G 0 2 F 1/1362

G 0 9 F 9/30 3 3 8

(72)発明者 山中 茂

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子技術センター内

(72)発明者 平山 隆一

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子技術センター内

審査官 居島 一仁

(56)参考文献 特開平10-206869 (JP, A)

特開2006-017897 (JP, A)

特開平08-171373 (JP, A)

特開平09-016131 (JP, A)

特開平11-316568 (JP, A)

特開平10-073843 (JP, A)

特開平10-142578 (JP, A)

特開2004-185006 (JP, A)

特開2006-178461 (JP, A)

特開2006-189846 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3/20-3/38

G 0 2 F 1/133

专利名称(译)	显示面板和使用其的矩阵显示设备		
公开(公告)号	JP5115001B2	公开(公告)日	2013-01-09
申请号	JP2007089666	申请日	2007-03-29
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	山中茂 平山隆一		
发明人	山中 茂 平山 隆一		
IPC分类号	G09G3/20 G09G3/36 G02F1/1362 G09F9/30		
FI分类号	G09G3/20.622.D G09G3/20.622.R G09G3/20.621.K G09G3/20.621.M G09G3/20.680.H G09G3/20.623.U G09G3/20.642.A G09G3/20.611.D G09G3/20.642.K G09G3/36 G02F1/1362 G09F9/30.338 G09G3/20.622.M		
F-TERM分类号	2H092/HA06 2H092/JA24 2H092/JB23 2H092/JB32 2H092/JB61 2H092/JB64 2H092/JB65 2H092/JB67 2H092/JB69 2H092/NA01 2H092/NA05 2H092/NA25 2H092/NA26 2H092/NA27 2H092/NA30 2H192/AA24 2H192/BC02 2H192/CC24 2H192/CC62 2H192/DA72 2H192/GA03 2H192/GD61 5C006/AA22 5C006/AF22 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BB27 5C006/BC03 5C006/BC16 5C006/BC22 5C006/BF22 5C006/BF26 5C006/FA04 5C006/FA16 5C006/FA22 5C006/FA37 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD05 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/AA15 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA20 5C094/CA24 5C094/EA10 5C094/GA10		
代理人(译)	中村 诚		
其他公开文献	JP2008249895A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少显示面板上的显示不规则性。解决方案：LCD面板10包括：多个像素16，其中多条源极线S1，S2，.....和多条栅极线G1，G2，.....像矩阵一样排列，一条源极线是被安排成由两个相邻像素共享；根据各个像素排列的多个TFT18根据源极线和与每个像素对应的栅极线的选择状态控制每个像素，其中具有固定电位的多个虚设漏极线D连接在两个像素之间通过类似于源极线的形式在它们之间没有源极线，从而抑制了像素之间的寄生电容的产生并且减少了显示不规则性。Ž

【 図 2 】

