

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5086692号
(P5086692)

(45) 発行日 平成24年11月28日(2012.11.28)

(24) 登録日 平成24年9月14日(2012.9.14)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 670L
	G09G 3/20 621F
	G09G 3/20 641R
請求項の数 11 (全 17 頁) 最終頁に続く	

(21) 出願番号 特願2007-136462 (P2007-136462)
 (22) 出願日 平成19年5月23日(2007.5.23)
 (65) 公開番号 特開2008-134589 (P2008-134589A)
 (43) 公開日 平成20年6月12日(2008.6.12)
 審査請求日 平成22年5月11日(2010.5.11)
 (31) 優先権主張番号 10-2006-0118529
 (32) 優先日 平成18年11月28日(2006.11.28)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 gtong-gu, Suwon-si, G
 yeonggi-do, Republic
 of Korea

(74) 代理人 100121382
 弁理士 山下 託嗣
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

ゲートオン電圧、第1ゲートオフ電圧、及び、第1ゲートオフ電圧とはレベルの異なる第2ゲートオフ電圧をそれぞれ出力する電圧生成部、

ゲートオン電圧と第1ゲートオフ電圧との間で各レベルが切り換わる、互いに逆位相の第1クロック信号と第2クロック信号、を出力するクロック生成部、

第1クロック信号と第2クロック信号とで駆動され、ゲートオン電圧と第2ゲートオフ電圧との間でレベルが切り換わるゲート信号を出力するゲート駆動部、並びに、

ゲート信号に従って所定の輝度で発光する画素を備えている表示部、
 を有し、

前記電圧生成部が、

周辺温度に応じて異なるレベルの温度可変電圧を出力する温度感知部、

温度可変電圧に応じた割合で第1入力電圧を昇圧して駆動電圧に変換し、かつ、温度可変電圧に応じて異なるレベルのパルス信号を出力するブーストコンバータ、

前記駆動電圧を前記パルス信号の電圧レベルだけシフトしてゲートオン電圧として出力するゲートオン電圧生成部、

第2入力電圧を前記パルス信号の電圧レベルだけシフトして第1ゲートオフ電圧として出力する第1ゲートオフ電圧生成部、及び、

第1ゲートオフ電圧を分圧して第2ゲートオフ電圧として出力する第2ゲートオフ電圧生成部、

を含む液晶表示装置。

【請求項 2】

前記電圧生成部が第 1 ゲートオフ電圧を第 2 ゲートオフ電圧より低く設定する、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記電圧生成部が、周辺温度の上昇に応じて第 1 ゲートオフ電圧を上昇させ、周辺温度の下降に応じて第 1 ゲートオフ電圧を下降させる、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記電圧生成部が、周辺温度の変化に関わらず、第 2 ゲートオフ電圧を実質的に一定のレベルに維持する、請求項 1 に記載の液晶表示装置。

10

【請求項 5】

前記温度感知部が、周辺温度の上昇に応じて温度可変電圧を下降させ、周辺温度の下降に応じて温度可変電圧を上昇させる、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記温度感知部が、周辺温度の変化に実質的に反比例して順方向電圧降下を変化させるダイオードを含む、請求項 5 に記載の液晶表示装置。

【請求項 7】

前記ブーストコンバータが、周辺温度の上昇に応じて前記パルス信号の電圧レベルを下降させ、周辺温度の下降に応じて前記パルス信号の電圧レベルを上昇させる、請求項 1 に記載の液晶表示装置。

20

【請求項 8】

前記第 2 ゲートオフ電圧生成部が、第 1 ゲートオフ電圧を分圧する分圧器、及び、前記分圧器の出力電圧を一定のレベル以上に維持するツェナーダイオード、を含む、請求項 1 に記載の液晶表示装置。

【請求項 9】

前記ゲート駆動部が、非晶質シリコン薄膜トランジスタを含み、ゲート信号を順番に出力する複数のステージを有する、請求項 1 に記載の液晶表示装置。

30

【請求項 10】

前記液晶表示装置が、外部から入力される制御信号に応じてスキャン開始信号を生成する信号制御部、を更に有し、

前記ゲート駆動部がスキャン開始信号に動作のタイミングを合わせる、請求項 1 に記載の液晶表示装置。

【請求項 11】

前記ゲート駆動部が、ゲート信号を順番に出力する複数のステージを含み、前記ステージのそれぞれが、スキャン開始信号、または前段のステージから入力されるキャリア信号によって充電される充電部、

前記充電部が充電された場合、第 1 クロック信号または第 2 クロック信号をゲート信号として出力するプルアップ部、

40

スキャン開始信号、または前段のステージから入力されるキャリア信号に応じ、第 1 クロック信号または第 2 クロック信号をキャリア信号として出力するキャリア信号生成部、

次段のステージから入力されるゲート信号に応じて第 2 ゲートオフ電圧をゲート信号として出力するプルダウン部、及び、

次段のステージから入力されるゲート信号に応じて前記充電部を放電させる放電部、を含む、請求項 10 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は液晶表示装置に関し、特に液晶パネルの駆動装置に関する。

【背景技術】

【0002】

液晶表示装置では、ゲートラインとデータラインとが液晶パネルの各画素に接続され、ゲート駆動部がゲートラインを通して各画素のスイッチング素子にゲート信号を出力し、データ駆動部がデータラインを通して各画素の画素電極にデータ電圧を出力する。

ゲート駆動部は、カスケード接続された複数のステージを含む。各ステージには、互いに逆位相である一对のクロック信号が入力される。各ステージは一つずつゲートラインに接続されている。ステージは先頭から順番に、一对のクロック信号のいずれかをゲート信号として出力する。特に、奇数番目のステージはクロック信号の一方をゲート信号として出力し、偶数番目のステージはクロック信号の他方をゲート信号として出力する。従って、ゲートラインの電圧はクロック信号の電圧レベルの範囲で変化する。クロック信号の上限がゲートオン電圧に設定され、下限がゲートオフ電圧に設定されているので、ゲートラインに接続された各画素のスイッチング素子がゲート信号に応じてオンオフする。

10

【0003】

近年、液晶表示装置の更なる小型化や生産性の更なる向上を目的として、ゲート駆動部を液晶パネルの基板に直接集積化させた構造が開発されている。そのゲート駆動部では好ましくは、各ステージが、液晶パネルの各画素と同様に、非晶質シリコン薄膜トランジスタ (amorphous Silicon Thin Film Transistor: a-Si TFT) を含む。a-Si TFT は上記の一对のクロック信号によって駆動される。ここで、a-Si TFT の駆動能力は周辺温度に応じて変化する。特に周辺温度が低いほど、その駆動能力が低下する。従って、周辺温度が過剰に低ければ、各画素のスイッチング素子をオンオフさせるために必要な電圧レベルまでゲート信号の電圧レベルを昇降させることができない。

20

【0004】

低温で a-Si TFT の駆動能力を向上させるための技術としては、例えば次のような液晶表示装置が知られている (特許文献 1 参照)。その液晶表示装置は、周辺温度の低下に応じて一对のクロック信号の各振幅を増加させる。特に周辺温度が低いほど、ゲートオフ電圧が下降する。こうして、低温では、各クロック信号の振幅、すなわちゲートオン電圧とゲートオフ電圧との間の差が十分に増大するので、低温に起因する a-Si TFT の駆動能力の低下が相殺される。

30

【特許文献 1】韓国特許出願公開第 2005 - 0083003 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、上記のような従来の技術では、ゲートオフ電圧の下降に伴い、画素電極とゲートラインとの間の電位差、すなわち、データ電圧とゲートオフ電圧との間の差が増大する。その結果、各画素電極の電圧を十分に速く変化させることが困難であるので、画面に残像現象が発生しやすい。従って、液晶パネルの表示品質を更に高く維持することが困難である。

本発明の技術的課題は、周辺温度に関わらず、ゲート駆動部の駆動能力を高く維持すると共に、液晶パネルの表示品質を更に向上させることができる液晶表示装置、を提供することにある。

40

【課題を解決するための手段】

【0006】

本発明による液晶表示装置は、電圧生成部、クロック生成部、ゲート駆動部、及び表示部を有する。電圧生成部は、ゲートオン電圧、第 1 ゲートオフ電圧、及び第 2 ゲートオフ電圧をそれぞれ出力する。第 2 ゲートオフ電圧は第 1 ゲートオフ電圧とはレベルが異なる。クロック生成部は第 1 クロック信号と第 2 クロック信号とを出力する。各クロック信号のレベルはゲートオン電圧と第 1 ゲートオフ電圧との間で切り換わる。第 1 クロック信号と第 2 クロック信号とは位相が反対である。ゲート駆動部は第 1 クロック信号と第 2 クロ

50

ック信号とで駆動され、ゲート信号を出力する。ゲート駆動部は特に、ゲート信号のレベルをゲートオン電圧と第2ゲートオフ電圧との間で切り換える。表示部は、ゲート信号に従って所定の輝度で発光する画素を複数備えている。

【0007】

好ましくは、電圧生成部が、周辺温度の上昇に応じてゲートオン電圧を下降させ、周辺温度の下降に応じてゲートオン電圧を上昇させる。それにより、周辺温度の上昇に応じてゲート信号の振幅が減少し、周辺温度の下降に応じてゲート信号の振幅が増加する。更に好ましくは、電圧生成部が、周辺温度の上昇に応じて第1ゲートオフ電圧を上昇させ、周辺温度の下降に応じて第1ゲートオフ電圧を下降させる。それにより、周辺温度の上昇に応じて各クロック信号の振幅が減少し、周辺温度の下降に応じて各クロック信号の振幅が増加する。一方、電圧生成部が、周辺温度の変化に関わらず、第2ゲートオフ電圧を実質的に一定のレベルに維持する。更に好ましくは、電圧生成部が第1ゲートオフ電圧を第2ゲートオフ電圧より低く設定する。

10

【0008】

好ましくは、電圧生成部が、温度感知部、ブーストコンバータ、ゲートオン電圧生成部、第1ゲートオフ電圧生成部、及び、第2ゲートオフ電圧生成部を含む。温度感知部は、周辺温度に応じて異なるレベルの温度可変電圧を出力する。更に好ましくは、温度感知部が、周辺温度の上昇に応じて温度可変電圧を下降させ、周辺温度の下降に応じて温度可変電圧を上昇させる。ブーストコンバータは、温度可変電圧に応じた割合で第1入力電圧を昇圧して駆動電圧に変換し、かつ、温度可変電圧に応じて異なるレベルのパルス信号を出力する。更に好ましくは、ブーストコンバータが、周辺温度の上昇に応じてパルス信号の電圧レベルを下降させ、周辺温度の下降に応じてパルス信号の電圧レベルを上昇させる。ゲートオン電圧生成部は、上記の駆動電圧を上記のパルス信号の電圧レベルだけシフトしてゲートオン電圧として出力する。第1ゲートオフ電圧生成部は、第2入力電圧を上記のパルス信号の電圧レベルだけシフトして第1ゲートオフ電圧として出力する。第2ゲートオフ電圧生成部は、第1ゲートオフ電圧を分圧して第2ゲートオフ電圧として出力する。更に好ましくは、第2ゲートオフ電圧生成部が、第1ゲートオフ電圧を分圧する分圧器に加え、その分圧器の出力電圧を一定のレベル以上に維持するツェナーダイオードを含む。

20

【発明の効果】

【0009】

本発明による液晶表示装置では、ゲート駆動部（特に、それに含まれているスイッチング素子）の駆動に利用される電圧が、第1クロック信号及び第2クロック信号の各電圧レベルの振幅、すなわち、ゲートオン電圧と第1ゲートオフ電圧との間の範囲で変動する。ここで、ゲートオン電圧、更に第1ゲートオフ電圧の各レベルが周辺温度に応じて変化し、特に周辺温度の低下に伴って各クロック信号の振幅が増大する。それにより、周辺温度の低下に関わらず、ゲート駆動部の駆動能力が高く維持される。

30

一方、ゲート信号の電圧レベルはゲートオン電圧と第2ゲートオフ電圧との間で切り換えられる。特に、第2ゲートオフ電圧が実際のゲートオフ電圧としてゲートラインに対して印加される。従って、第1クロック信号及び第2クロック信号のローレベルの下降に関わらず、画素電極とゲートラインとの間の電位差が所定の範囲に維持されるので、画素電極の電圧が十分に速く変化する。それ故、残像現象を抑制したまま、クロック信号のローレベルの下降によるゲート駆動部の駆動能力を高く維持できる。こうして、本発明による液晶表示装置は従来装置より高画質である。

40

【発明を実施するための最良の形態】

【0010】

以下、添付された図面を参照しながら、本発明の好適な実施形態を説明する。

図1に、本発明の実施形態による液晶表示装置のブロック図を示す。図1に示されているように、液晶表示装置10は、液晶パネル300、電圧生成部800、信号制御部500、クロック生成部600、ゲート駆動部400、及びデータ駆動部700を含む。

【0011】

50

液晶パネル300は、第1基板と第2基板とで液晶層を挟んだ構造をしている。第1基板は第2基板より大きい。液晶パネル300は、映像が表示される表示部DAと、その周囲を囲む非表示部PAとに分けられる。表示部DAは第1基板と第2基板とが対向している部分であり、 n 本のゲートライン $G1 \sim Gn$ 、 m 本のデータライン $D1 \sim Dm$ 、及び画素PXを含む。ゲートライン $G1 \sim Gn$ は液晶パネル300の横方向に対してほぼ平行に延びている。データライン $D1 \sim Dm$ は液晶パネル300の縦方向に対してほぼ平行に延びている。画素PXは、ゲートライン $G1 \sim Gn$ とデータライン $D1 \sim Dm$ とで仕切られた領域毎に形成されている。非表示部PAは、第2基板より外側にはみ出している第1基板の周辺部分から成る。

【0012】

図2に一つの画素PXの構造を模式的に示す。第1基板100の上には画素電極PEが形成されている。第2基板200の上には共通電極CE及びカラーフィルタCFが形成されている。第1基板100と第2基板200との間には液晶層150が挟まれている。液晶層150を隔てて対向する画素電極PEと共通電極CEとが液晶キャパシタ C_{lc} を構成している。 i 番目($i=1 \sim n$)のゲートライン G_i と j 番目($j=1 \sim m$)のデータライン D_j とに連結された画素PXでは、スイッチング素子 $Q1$ がそれらのゲートライン G_i とデータライン D_j とに連結され、液晶キャパシタ C_{lc} 及びストレージキャパシタ C_{st} がそのスイッチング素子 $Q1$ に連結されている。尚、ストレージキャパシタ C_{st} は必要に応じて省略することができる。

【0013】

電圧生成部800は液晶表示装置10の動作に必要な電圧を生成する。その電圧は特に、ゲートオン電圧 V_{on} 、第1ゲートオフ電圧 V_{off1} 、及び第2ゲートオフ電圧 V_{off2} を含む。ゲートオン電圧 V_{on} 及び第1ゲートオフ電圧 V_{off1} はクロック生成部600に提供され、第2ゲートオフ電圧 V_{off2} はゲート駆動部400に提供される。電圧生成部800はゲートオン電圧 V_{on} のレベルを周辺温度に応じて変化させる。具体的には、ゲートオン電圧 V_{on} のレベルを低温では上昇させ、高温では下降させる。好ましくは、電圧生成部800は第1ゲートオフ電圧 V_{off1} のレベルも周辺温度に応じて変化させる。具体的には、第1ゲートオフ電圧 V_{off1} のレベルを、低温では下降させ、高温では上昇させる。一方、電圧生成部800は第2ゲートオフ電圧 V_{off2} を、好ましくは第1ゲートオフ電圧 V_{off1} の変動範囲より高いレベルに一定に維持する。尚、第1ゲートオフ電圧 V_{off1} のレベルは周辺温度とは無関係に一定に維持されても良い。

【0014】

信号制御部500は外部のグラフィックコントローラ(図示せず)から入力映像信号R、G、B、及び入力制御信号を受信する。入力制御信号は好ましくは、垂直同期信号 V_{sync} 、水平同期信号 H_{sync} 、メインクロック信号 M_{clk} 、及びデータイネーブル信号DEを含む。

信号制御部500は入力映像信号R、G、Bと入力制御信号とに基づいてデータ制御信号CONTと映像データDATとを生成し、データ駆動部700に送る。データ制御信号CONTはデータ駆動部700の動作を制御するための信号であり、動作開始のタイミングを示す水平開始信号、及びデータ電圧の出力タイミングを示すロード信号を含む。

データ駆動部700は、データ制御信号CONTに従い、映像データDATをデータ電圧に変換して各データライン $D1 \sim Dm$ に提供する。

【0015】

信号制御部500は更に、入力制御信号に基づき、第1クロック生成制御信号OE、第2クロック生成制御信号CPV、及びスキャン開始信号STVを生成し、クロック生成部600に提供する。第1クロック生成制御信号OEは、ゲート駆動部400にゲート信号をイネーブルさせるためのゲートイネーブル信号である。第2クロック生成制御信号CPVは、ゲート信号のデューティ比を示すゲートクロック信号である。スキャン開始信号STVは、各フレームの開始を示す信号である。

【0016】

クロック生成部600は、第1クロック生成制御信号OE、第2クロック生成制御信号CPV、及びスキャン開始信号STVに応じてゲートオン電圧 V_{on} 及び第1ゲートオフ電圧 V_{off1} を利用し、第1クロック信号CKVと第2クロック信号CKVBとを出力する。第1クロック信号CKV

10

20

30

40

50

及び第2クロック信号CKVBは互いに逆位相であり、各レベルがゲートオン電圧Vonと第1ゲートオフ電圧Voff1との間で切り換わる(図3参照)。クロック生成部600はまた、スキャン開始信号STVを第2スキャン開始信号STVPに変換してゲート駆動部400に提供する。第2スキャン開始信号STVPは、スキャン開始信号STVの振幅を増加させた信号である。

【0017】

図3に、第1クロック信号CKV及び第2クロック信号CKVBの各波形を示す。上述したように、ゲートオン電圧が、低温では高いレベルVon_Lに維持され、高温では低いレベルVon_Hに維持されている。一方、第1ゲートオフ電圧が、低温では低いレベルVoff1_Lに維持され、高温では高いレベルVoff1_Hに維持されている。従って、第1クロック信号CKV及び第2クロック信号CKVBはいずれも、高温では大きい振幅Von_H - Voff1_Hでスイングし(図3に丸印で示されている波形参照)、低温では小さい振幅Von_L - Voff1_Lでスイングする(図3に×印で示されている波形参照)。

【0018】

ゲート駆動部400は液晶パネル300の非表示部PAに実装され、好ましくはa-Si TFTを含む。ゲート駆動部400は、第1クロック信号CKV、第2クロック信号CKVB、第2スキャン開始信号STVP、及び第2ゲートオフ電圧Voff2に基づいてゲート信号を生成し、各ゲートラインG1~Gnに順番に提供する。

図4にゲート駆動部400のブロック図の一例を示す。ゲート駆動部400は(ゲートラインの総数nより1多い)n+1個のステージST₁~ST_{n+1}を含む。それらのステージST₁~ST_{n+1}はカスケード接続され、前段から順番にゲート信号Gout(1)~Gout(n+1)を出力する。最終ステージST_{n+1}を除き、各ステージST₁~ST_nの出力端子が一つずつ、ゲートラインに接続されているので、各ゲート信号Gout(1)~Gout(n)が対応するゲートラインに順番に出力される。

【0019】

各ステージST₁~ST_{n+1}は、第1クロック信号CKV、第2クロック信号CKVB、及び第2ゲートオフ電圧Voff2を入力し、それらに基づいて各ゲート信号Gout(1)~Gout(n+1)を次のように生成する(図6参照)。まず、ゲート信号Gout(1)~Gout(n+1)をハイレベルに維持すべき区間では、第1クロック信号CKVまたは第2クロック信号CKVBのいずれか高いレベルの方をゲート信号として出力する。一方、ゲート信号をローレベルに維持すべき区間では、第2ゲートオフ電圧Voff2をゲート信号として出力する。それにより、各ゲート信号Gout(1)~Gout(n+1)のレベルはゲートオン電圧Vonと第2ゲートオフ電圧Voff2との間で切り換わる。

【0020】

好ましくは、各ステージST₁~ST_{n+1}が、第1クロック端子CK1、第2クロック端子CK2、電源電圧端子GV、フレームリセット端子FR、セット端子S、リセット端子R、ゲート出力端子OUT1、及びキャリア出力端子OUT2を含む。好ましくは、奇数番目のステージST_j(j=1, 3, 5, ...)では、第1クロック端子CK1に第1クロック信号CKVが入力され、第2クロック端子CK2に第2クロック信号CKVBが入力され、偶数番目のステージST_{j+1}ではその逆である。電源電圧端子GVには第2ゲートオフ電圧Voff2が入力され、フレームリセット端子FRには初期化信号INTが入力される。例えばj番目(j=2~n+1)のステージST_jでは、セット端子Sに前段のステージST_{j-1}のキャリア出力端子OUT2が連結され、リセット端子Rに後段のステージST_{j+1}のゲート出力端子OUT1が連結されている。ゲート出力端子OUT1からはゲート信号Gout(1)~Gout(n+1)が出力され、キャリア出力端子OUT2からはキャリア信号Cout(1)~Cout(n+1)が出力される。ここで、初期化信号INTは好ましくは、最終ステージST_{n+1}のキャリア出力端子OUT2から出力されるキャリア信号Cout(n+1)である。尚、1番目のステージST₁のセット端子Sと最終ステージST_{n+1}のリセット端子Rとは第2スキャン開始信号STVPが入力される。

【0021】

図5に、j番目(j:奇数)のステージST_jの等価回路を示す。j番目のステージST_jは、バッファ部410、充電部420、プルアップ部430、キャリア信号生成部470、プルダウン部44

10

20

30

40

50

0、放電部450、及び保持部460を含む。但し、ゲート信号Gout(j)がキャリア信号Cout(j)として兼用される場合、キャリア信号生成部470が省略され、プルアップ部430がキャリア信号生成部として兼用されても良い。

【0022】

バッファ部410では、ダイオード接続された第4トランジスタT4がセット端子Sに連結されている。バッファ部410は、前段のステージST_{n-1}からセット端子Sに入力されたキャリア信号Cout(j-1)を、充電部420、キャリア信号生成部470、放電部450、及び保持部460に提供する。

【0023】

充電部420では、第1キャパシタC6の一端が第4トランジスタT4のソースと放電部450とに連結され、他端がゲート出力端子OUT1と第5トランジスタT5のドレインとに連結されている。ここで、前段のステージST_{n-1}から入力されるキャリア信号Cout(j-1)は第2クロック信号CKVBである。従って、キャリア信号Cout(j-1)のレベルの上昇に伴い、第5トランジスタT5が後述のようにターンオンするので、第1キャパシタC6がキャリア信号Cout(j-1)のハイレベルと第2ゲートオフ電圧Voff2との差により充電される。

【0024】

プルアップ部430では、第1トランジスタT1のドレインが第1クロック端子CK1に連結され、ゲートが第1キャパシタC6の一端に連結され、ソースが第1キャパシタC6の他端及びゲート出力端子OUT1に連結されている。前段のステージST_{n-1}からのキャリア信号Cout(j-1)のレベルが上昇により第1キャパシタC6が充電されれば、そのキャリア信号Cout(j-1)のレベルが下がった後も、第1トランジスタT1がオン状態を維持する。従って、第1キャパシタC6が放電するまで、第1クロック端子CK1に入力される第1クロック信号CKVがゲート信号Gout(j)としてゲート出力端子OUT1から出力される。

【0025】

キャリア信号生成部470は第15トランジスタT15と第2キャパシタC7とを含む。第15トランジスタT15のドレインが第1クロック端子CK1に連結され、ソースがゲート出力端子OUT1に連結され、ゲートがバッファ部710に連結されている。第2キャパシタC7は第15トランジスタT15のゲートとソースとの間に連結されている。第2キャパシタC7は第1キャパシタC6と同じく、前段のステージST_{n-1}からのキャリア信号Cout(j-1)のレベルの上昇により充電される。それにより、第2キャパシタC7が放電するまで第15トランジスタT15がオン状態を維持するので、第1クロック信号CKVがキャリア出力端子OUT2からキャリア信号Cout(j)として出力される。

【0026】

保持部460では、第3トランジスタT3のドレインがゲート出力端子OUT1に連結され、ソースが電源電圧端子GVに連結されている。一方、第7トランジスタT7と第8トランジスタT8との対、及び第12トランジスタT12と第13トランジスタT13との対がそれぞれ、第1クロック端子CK1と電源電圧端子GVとの間に直列に連結されている。第3トランジスタT3のゲートは第7トランジスタT7と第8トランジスタT8との間の連結点に連結されている。第7トランジスタT7のゲートは、第12トランジスタT12と第13トランジスタT13との間の連結点、及び第1トランジスタT1のゲートに連結されている。第8トランジスタT8と第13トランジスタT13との各ゲートはいずれも、ゲート出力端子OUT1に連結されている。第7トランジスタT7のゲートとドレインとの間には第3キャパシタC8が連結され、ゲートとソースとの間には第4キャパシタC9が連結されている。

【0027】

保持部460では更に、第11トランジスタT11、第10トランジスタT10、及び第5トランジスタT5がセット端子Sと電源電圧端子GVとの間に直列に連結されている。第11トランジスタT11のドレインがセット端子Sに連結され、ゲートが第2クロック端子CK2に連結されている。第11トランジスタT11のソースと第10トランジスタT10のドレインとの間の連結点第1トランジスタT1のゲートに連結されている。第10トランジスタT10のゲートが第1クロック端子CK1に連結されている。第10トランジスタT10のソースと第5ト

10

20

30

40

50

ランジスタT5のドレインとの間の連結点がゲート出力端子OUT1に連結されている。第5トランジスタT5のゲートが第2クロック端子CK2に連結され、ソースが電源電圧端子GVに連結されている。

【0028】

セット端子Sの電位、すなわち、前段のステージ ST_{n-1} からのキャリア信号 $Cout(j-1)$ のレベルが低く維持されている間は第1キャパシタC6には電荷が蓄積されていない。その場合、第1クロック信号CKVがハイレベルである間は第10トランジスタT10がオン状態を維持するので、第1トランジスタT1のゲートとソースとの間が短絡し、第1トランジスタT1がオフ状態を維持する。更に、ゲート出力端子OUT1がフローティング状態に維持されているので、第7トランジスタT7と第12トランジスタT12とはいずれもオフ状態を維持する。一方、第1クロック信号CKVがローレベルである間は第2クロック信号CKVBがハイレベルであるので、第5トランジスタT5がオン状態を維持し、ゲート出力端子OUT1の電位、すなわちゲート信号 $Gout(j)$ のレベルを第2ゲートオフ電圧 $Voff2$ に保持する。

10

【0029】

前段のステージ ST_{n-1} からのキャリア信号 $Cout(j-1)$ のレベルが上昇すれば第1キャパシタC6が充電されるので、上述のとおり、第1キャパシタC6が放電するまで第1トランジスタT1がオン状態を維持する。その場合、第1クロック信号CKVがローレベルである間は第2クロック信号CKVBがハイレベルであるので、第5トランジスタT5がオン状態を維持し、ゲート出力端子OUT1の電位、すなわち、ゲート信号 $Gout(j)$ のレベルを第2ゲートオフ電圧 $Voff2$ に保持する。尚、第8トランジスタT8と第13トランジスタT13とはいずれもオフ状態を維持している。

20

【0030】

第2クロック信号CKVBがローレベルに切り換わり、第1クロック信号CKVがハイレベルに切り換わると、第5トランジスタT5がターンオフする。一方、第1トランジスタT1がオン状態を維持しているので、第10トランジスタT10のゲートとソースとの間が短絡し、第10トランジスタT10がオフ状態を維持する。それにより、第1トランジスタT1のゲートがフローティング状態に維持されるので、第1トランジスタT1がオン状態を維持したまま、ゲート出力端子OUT1の電位、すなわち、ゲート信号 $Gout(j)$ のレベルが第1クロック信号CKVのレベルと共に上昇する。更に、第7トランジスタT7、第8トランジスタT8、第12トランジスタT12、及び第13トランジスタT13がいずれもターンオンする。従って、第3トランジスタT3のゲート電位が第2ゲートオフ電圧 $Voff2$ に降下するので、第3トランジスタT3がターンオフし、ゲート信号 $Gout(j)$ がハイレベル Von_H または Von_L に安定に保持される。

30

【0031】

その期間では、第8トランジスタT8と第13トランジスタT13との間のオン電圧の差により第4キャパシタC9が充電される。従って、後述のプルダウン部440の動作により他のトランジスタT8、T12、T13がターンオフした後でも、第3キャパシタC8と第4キャパシタC9とが第7トランジスタT7のゲート電位を十分に高く維持し、第7トランジスタT7にオン状態を維持させる。その結果、第3トランジスタT3が第1クロック信号CKVに応じてオンオフを繰り返す。一方、第5トランジスタT5は第2クロック信号CKVBに応じてオンオフを繰り返す。こうして、第3トランジスタT3と第5トランジスタT5とが交互にゲート出力端子OUT1を電源電圧端子GVに連結し、ゲート信号 $Gout(j)$ を第2ゲートオフ電圧 $Voff2$ に安定に保持する。

40

【0032】

プルダウン部440では、第2トランジスタT2のドレインが、第1トランジスタT1のソース、第1キャパシタC6の他端、及びゲート出力端子OUT1に連結され、ソースが電源電圧端子GVに連結され、ゲートがリセット端子Rに連結されている。第2トランジスタT2は、次段のステージ ST_{j+1} からリセット端子Rに入力されたゲート信号 $Gout(j+1)$ のレベルの上昇によりターンオンし、ゲート出力端子OUT1の電位、すなわちゲート信号 $Gout(j)$ のレベルを第2ゲートオフ電圧 $Voff2$ まで下げる(図6参照)。それにより、トランジスタT8、T1

50

2、T13がターンオフする。

【0033】

放電部450は第9トランジスタT9と第6トランジスタT6とを含む。

第9トランジスタT9のゲートはリセット端子Rに連結され、ドレインは第1キャパシタC6の一端と第2キャパシタC7の一端とに連結され、ソースは電源電圧端子GVに連結されている。第9トランジスタT9は次段のステージ ST_{j+1} からのゲート信号Gout(j+1)のレベルの上昇に応じてターンオンし、第1キャパシタC6と第2キャパシタC7とを放電させる。それにより、第1トランジスタT1と第15トランジスタT15とがいずれもオフ状態を維持する。ここで、次段のステージ ST_{j+1} からのゲート信号Gout(j+1)は第2クロック信号CKVBである。従って、第2ゲートオフ電圧Voff2が第1ゲートオフ電圧Voff1(すなわち、第1クロック信号CKVのローレベル)より十分に高く設定されている場合、ゲート信号Gout(j+1)によって第9トランジスタT9がターンオンしても、第3キャパシタC8と第4キャパシタC9とには放電させないようにできる。

10

【0034】

第6トランジスタT6のゲートはフレイムリセット端子FRに連結され、ドレインは第1キャパシタC6の一端に連結され、ソースは電源電圧端子GVに連結されている。第6トランジスタT6は初期化信号INTのレベルの上昇に応じてターンオンし、第1キャパシタC6と第2キャパシタC7とを完全に放電させる。更に好ましくは、第1クロック端子CK1の電位を電源電圧端子GVの電位に一致させ、第3キャパシタC8と第4キャパシタC9とを完全に放電させる。こうして、各ステージの状態が初期化される。

20

【0035】

各トランジスタT1~T15は好ましくはa-Si TFTであるので、低温ではそれぞれの駆動能力が低下する。しかし、低温では、第1クロック信号CKVと第2クロック信号CKVBとの各振幅、すなわちゲートオン電圧と第1ゲートオフ電圧との間の差Von_L-Voff_Lが十分に増大する(図6参照)。それにより、低温に起因する各トランジスタT1~T15の駆動能力の低下が相殺される。すなわち、低温でもゲート駆動部400が高い能力を維持する。更に、低温ではゲートオン電圧が上昇するので、各ゲートラインG1~Gnに連結された複数のスイッチング素子(図2に示されているトランジスタQ1参照)がゲート信号Gout(1)~Gout(n)により確実にオンオフする。こうして、低温でも液晶パネル300の表示品質が高く維持される。

30

【0036】

各ゲートラインG1~Gnに対しては、第1ゲートオフ電圧Voff1ではなく、第2ゲートオフ電圧Voff2が提供される。ここで、第2ゲートオフ電圧Voff2は好ましくは、第1ゲートオフ電圧Voff1とは独立に調節される。特に周辺温度に関わらず、第2ゲートオフ電圧Voff2は一定に維持される。それにより、第1ゲートオフ電圧Voff1を周辺温度に応じて変化させても、画素電極とゲートラインとの間の電位差、すなわち、データ電圧と第2ゲートオフ電圧Voff2との間の差は周辺温度に関わらず所定の範囲内に維持できる。従って、画素電極の電圧を十分に速く変化させることができるので、残像現象を抑えることができる。

【0037】

以下、図7~図11を参照しながら、電圧生成部の詳細を具体的に説明する。まず、図7に、電圧生成部のブロック図を示す。電圧生成部800は、ブーストコンバータ810、温度感知部820、ゲートオン電圧生成部830、第1ゲートオフ電圧生成部840、及び第2ゲートオフ電圧生成部850を含む。温度感知部820は周辺温度に応じて出力電圧(以下、温度可変電圧という)VARVのレベルを変化させる。ブーストコンバータ810は第1入力電圧Vin1を昇圧して駆動電圧AVDDに変換する。特に温度可変電圧VARVに応じて駆動電圧AVDDのレベルを変化させる。ブーストコンバータ810は更にパルス信号PULSEを出力する。ゲートオン電圧生成部830は、駆動電圧AVDDのレベルをパルス信号PULSEのレベルだけシフトさせ、ゲートオン電圧Vonとして出力する。第1ゲートオフ電圧生成部840は、第2入力電圧Vin2をパルス信号PULSEのレベルだけシフトさせ、第1ゲートオフ電圧Voff2として出力する。第2ゲ-

40

50

トオフ電圧生成部850は、第1ゲートオフ電圧 V_{off1} を分圧して第2ゲートオフ電圧 V_{off2} に変換する。

【0038】

ブーストコンバータ810の等価回路を図8に示す。ブーストコンバータ810では、第1入力電圧 V_{in1} がインダクタLの一端に対して印加される。インダクタLの他端は第1ダイオードD1のアノードに連結され、第1ダイオードD1のカソードは駆動電圧AVDDの出力端子に連結されている。第1ダイオードD1のカソードと接地端子との間には第1キャパシタC1が連結されている。第1ダイオードD1のアノードと接地端子との間にはスイッチング素子Q2が連結されている。スイッチング素子Q2は、そのゲートにPWM(Pulse Width Modulation)信号発生器812から入力される制御信号PWMに従ってオンオフする。尚、ブーストコンバータ810は、図8に示されているものとは別の種類のコンバータであっても良い。

10

【0039】

制御信号PWMがハイレベルである期間ではスイッチング素子Q2がオン状態を維持するので、インダクタLの両端に対して第1入力電圧 V_{in1} と接地電圧との間の差が印加される。そのとき、その差に比例した割合で、インダクタLを流れる電流 I_L が増加する。その状態から制御信号PWMがローレベルに切り換えられると、スイッチング素子Q2がターンオフするので、インダクタLに電流 I_L を維持する方向に起電力が生じる。それにより、第1ダイオードD1がターンオンし、インダクタLを流れる電流 I_L が第1ダイオードD1を流れる。更に、第1キャパシタC1が充電される。特に第1キャパシタC1の両端電圧が、(接地電圧に対して)第1入力電圧 V_{in1} より高い電圧に一定に維持される。こうして、その電圧が駆動電圧AVDDとして出力される。ここで、ブーストコンバータ810の昇圧比(第1入力電圧 V_{in1} に対する駆動電圧AVDDの比)は制御信号PWMのデューティ比によって決まる。

20

【0040】

PWM信号発生器812は制御信号PWMのデューティ比を、次のように温度可変電圧VARVのレベルに応じて変化させる。PWM信号発生器812のブロック図を図9に示す。オシレータ814は一定周波数の基準クロック信号RCLKを発生させる。ここで、基準クロック信号RCLKの各パルスはレベルに応じて幅が変化する形状であり、好ましくは三角形である。比較器816はその基準クロック信号RCLKと温度可変電圧VARVとの間でレベルを比較し、その比較結果に応じて制御信号PWMのレベルを二値的に変化させる。例えば、温度可変電圧VARVのレベルが基準クロック信号RCLKのレベルより高い場合には制御信号PWMをハイレベルにし、低い場合にはローレベルにする。基準クロック信号RCLKの周波数は一定であるので、温度可変電圧VARVのレベルに応じて制御信号PWMのデューティ比が変わる。尚、PWM信号発生器812が、図9に示されているものとは別のタイプのもの、例えば制御電圧信号に応じてデューティ比の異なるクロック信号を発生させるのもであっても良い。

30

【0041】

図8には温度感知部820の等価回路も示されている。温度感知部820は二つの抵抗器R1、R2の直列接続と三つのダイオードD2、D3、D4の直列接続とを含む。二つの抵抗器R1、R2はブーストコンバータ810の出力端子と接地端子との間に直列に連結され、分圧器を構成している。ダイオードD2、D3、D4の直列接続のアノードは二つの抵抗器R1、R2の間の連結点に連結され、カソードはPWM信号発生器812に連結されている。すなわち、ダイオードD2~D4の直列接続のカソードの電圧が温度可変電圧VARVとして利用される。駆動電圧AVDDが二つの抵抗器R1、R2によって一定の割合で分圧され、ダイオードD2~D4の直列接続のアノードに対して印加される。そのとき、各ダイオードD2~D4には順方向に電流が流れ、電圧降下が生じる。それにより、温度可変電圧VARVは、ダイオードD2~D4の直列接続のアノードに対して印加される電圧よりダイオードD2~D4の順方向電圧降下の和だけ低い。各ダイオードD2~D4の順方向電圧降下は周辺温度に応じて変化する。特に、各順方向電圧降下の変化量は周辺温度の変化量に実質的に反比例する。従って、周辺温度が上昇すればダイオードD2~D4の順方向電圧降下が減少するので、温度可変電圧VARVが上昇する。逆に、周辺温度が下降すればダイオードD2~D4の順方向電圧降下が増大するので、温度可変電圧VARVが下降する。このように、温度感知部820は周辺温度に応じて温度可変電圧VARVのレベ

40

50

ルを変化させる。

【 0 0 4 2 】

図10に、ゲートオン電圧生成部830の等価回路の一例を示す。図10の例では、ゲートオン電圧生成部830がチャージポンプ回路で構成されている。

ゲートオン電圧生成部830は、第5ダイオードD5、第6ダイオードD6、第2キャパシタC2、及び第3キャパシタC3を含む。第5ダイオードD5のアノードに対しては駆動電圧AVDDが印加される。第5ダイオードD5のカソードは第1ノードN1に連結されている。第2キャパシタC2は第1ノードN1と第2ノードN2との間に連結されている。第2ノードN2に対してはパルス信号PULSEが印加される。第6ダイオードD6のアノードは第1ノードN1に連結されている。第6ダイオードD6のカソードの電圧がゲートオン電圧Vonとして出力される。第3キャパシタC3は第5ダイオードD5のアノードと第6ダイオードD6のカソードとの間に連結されている。

10

【 0 0 4 3 】

ゲートオン電圧生成部830は次のように動作する。第1ノードN1の電圧は第5ダイオードD5により駆動電圧AVDD以上に維持されている。パルス信号PULSEが立ち上がると、第2キャパシタC2を通して第1ノードN1に正のパルス電圧が生じる。そのパルス電圧が第6ダイオードD6をターンオンさせ、更に第6ダイオードD6を通して第3キャパシタC3を充電する。その結果、第3キャパシタC3の両端電圧がパルス信号PULSEの電圧レベルと等しく維持され、第6ダイオードD6のカソードの電圧、すなわち、ゲートオン電圧Vonが、駆動電圧AVDDよりパルス信号PULSEの電圧レベルだけ高いレベルにクランプされる。

20

【 0 0 4 4 】

図10には、第1ゲートオフ電圧生成部840の等価回路の一例も示されている。図10の例では、第1ゲートオフ電圧生成部840もチャージポンプ回路で構成されている。

第1ゲートオフ電圧生成部840は、第7ダイオードD7、第8ダイオードD8、第4キャパシタC4、及び第5キャパシタC5を含む。第7ダイオードD7のカソードに対しては第2入力電圧Vin2が印加される。第7ダイオードD7のアノードは第3ノードN3に連結されている。第4キャパシタC4は第3ノードN3と第2ノードN2との間に連結されている。第8ダイオードD8のカソードは第3ノードN3に連結されている。第8ダイオードD8のアノードの電圧が第1ゲートオフ電圧Voff1として出力される。第5キャパシタC5は第7ダイオードD7のカソードと第8ダイオードD8のアノードとの間に連結されている。

30

【 0 0 4 5 】

第1ゲートオフ電圧生成部840は次のように動作する。第3ノードN3の電圧は第5ダイオードD5により第2入力電圧Vin2以下に維持されている。パルス信号PULSEが立ち下がると、第4キャパシタC4を通して第3ノードN3に負のパルス電圧が生じる。そのパルス電圧が第8ダイオードD8をターンオンさせ、更に第8ダイオードD8を通して第5キャパシタC5を充電する。その結果、第5キャパシタC5の両端電圧がパルス信号PULSEの電圧レベルと等しく維持され、第8ダイオードD8のアノードの電圧、すなわち、第1ゲートオフ電圧Voff1が、第2入力電圧Vin2よりパルス信号PULSEの電圧レベルだけ低いレベルにクランプされる。

【 0 0 4 6 】

駆動電圧AVDD及びパルス信号PULSEの電圧レベルは上述したように、周辺温度に応じて変化する。従って、図3に示されているように、ゲートオン電圧Vonは、低温では高いレベルVon_Lに維持され、高温では低いレベルVon_Hに維持される。一方、第1ゲートオフ電圧Voff1は、低温では低いレベルVoff1_Lに維持され、高温では高いレベルVoff1_Hに維持される。

40

【 0 0 4 7 】

図11に、第2ゲートオフ電圧生成部850の等価回路の一例を示す。第2ゲートオフ電圧生成部850は二つの抵抗器R3、R4の直列接続とツェナーダイオードZを含む。二つの抵抗器R3、R4は第1ゲートオフ電圧生成部840の出力端子と接地端子との間に直列に連結され、分圧器を構成している。二つの抵抗器R1、R2の間の連結点は第2ゲートオフ電圧生成部

50

850の出力端子に連結されている。すなわち、二つの抵抗器R3、R4の間の連結点の電圧が第2ゲートオフ電圧Voff2として出力される。ツェナーダイオードZのアノードは第2ゲートオフ電圧生成部850の出力端子に連結され、カソードは接地されている。ツェナーダイオードZは第2ゲートオフ電圧Voff2のレベルをその降伏電圧以上に安定に維持する。例えばツェナーダイオードZの降伏電圧が-5Vである場合、第2ゲートオフ電圧Voff2のレベルが-5Vを下回らない。

【0048】

第1ゲートオフ電圧Voff1は二つの抵抗器R3、R4によって一定の割合で分圧される。好ましくは、高温では、その分圧された電圧がそのまま、第2ゲートオフ電圧Voff2として出力される。従って、第2ゲートオフ電圧Voff2が第1ゲートオフ電圧Voff1より高い。更に、第1ゲートオフ電圧Voff1のレベルの変化に応じて第2ゲートオフ電圧Voff2のレベルは変化する。しかし、第2ゲートオフ電圧Voff2のレベルの変化は二つの抵抗器R3、R4による分圧比だけ、第1ゲートオフ電圧Voff1のレベルの変化より小さい。周辺温度の低下に伴い、第1ゲートオフ電圧Voff1が下降するので、第2ゲートオフ電圧Voff2も下降する。しかし、第2ゲートオフ電圧Voff2がツェナーダイオードZの降伏電圧に達すれば、ツェナーダイオードZが逆方向に電流を流すので、第2ゲートオフ電圧Voff2がツェナーダイオードZの降伏電圧にクランプされる。このように、分圧器R3、R4とツェナーダイオードZとの併用により、第2ゲートオフ電圧Voff2の温度変化が第1ゲートオフ電圧Voff1の温度変化に対して十分に無視できる程度に抑えられる。

尚、分圧器R3、R4の出力電圧の温度変化が第1ゲートオフ電圧Voff1の温度変化に対して既に十分に小さい場合は、ツェナーダイオードZが省略されても良い。

【0049】

図12に、クロック生成部600のブロック図の一例を示す。クロック生成部600は、論理和回路OR、Dフリップフロップ610、第1クロック電圧印加部620、第2クロック電圧印加部630、及び電荷共有部640を含む。

論理和回路ORは、第1クロック生成制御信号OEと第2クロック生成制御信号CPVとの論理和を演算し、その結果を第3クロック生成制御信号CPVXとしてDフリップフロップ610に提供する(図14参照)。

【0050】

図13に、Dフリップフロップ610の一例を示す。Dフリップフロップ610では、第3クロック生成制御信号CPVXがクロック端子CLKに入力される。更に、入力端子Dと反転出力端子Qbarとが連結されている。第3クロック生成制御信号CPVXの立ち上がり毎に、出力端子Qでは第2クロックイネーブル信号ECSのレベルが反転し、反転出力端子Qbarでは第1クロックイネーブル信号OCSのレベルが反転する(図14参照)。第1クロックイネーブル信号OCSは第2クロックイネーブル信号ECSとは位相が反対である。第1クロックイネーブル信号OCSは第1クロック電圧印加部620に提供され、第2クロックイネーブル信号ECSは第2クロック電圧印加部630に提供される。

【0051】

第1クロック電圧印加部620は、第1クロックイネーブル信号OCS、ゲートオン電圧Von、及び第1ゲートオフ電圧Voff1を入力し、それらに基づいて第1クロック信号CKVを生成する。第1クロックイネーブル信号OCSがハイレベルである期間では、第1クロック信号CKVのレベルがゲートオン電圧Vonに維持され(図14に示されている第1区間参照)、第1クロックイネーブル信号OCSがローレベルである期間では、第1クロック信号CKVのレベルが第1ゲートオフ電圧Voff1に維持される(図14に示されている第2区間参照)。

【0052】

第2クロック電圧印加部630は、第2クロックイネーブル信号ECS、ゲートオン電圧Von、及び第1ゲートオフ電圧Voff1を入力し、それらに基づいて第2クロック信号CKVBを生成する。第2クロックイネーブル信号ECSがハイレベルである期間では、第2クロック信号CKVBのレベルがゲートオン電圧Vonに維持され(図14に示されている第1区間参照)、第2クロックイネーブル信号ECSがローレベルである期間では、第2クロック信号CKVBの

レベルが第1ゲートオフ電圧 V_{off1} に維持される(図14に示されている第2区間参照)。

【0053】

電荷共有部640は、第1クロック信号CKVを伝達する信号線と、第2クロック信号CKVを伝達する信号線との間に連結されている。ここで、各信号線の寄生容量(又は、各信号線に接続されたキャパシタ。以下同様。)は各クロック信号CKV、CKVBのレベル変化に応じて充放電する。電荷共有部640は第3クロック生成制御信号CPVXに応じ、各信号線の寄生容量の充放電時に、それらの寄生容量の間で電荷を共有させる。

具体的に説明すれば次のとおりである。図14に示されているように、第1区間では、第1クロック信号CKVのレベルはゲートオン電圧 V_{on} に維持され、第2クロック信号CKVBのレベルは第1ゲートオフ V_{off1} に維持されている。第1区間と第2区間の間には、第3クロック生成制御信号CPVXのレベルがローレベルに維持される期間(第3区間)が設けられている。第3クロック生成制御信号CPVXのレベルがローレベルであるとき、電荷共有部640は、第1クロック信号CKVを伝達する信号線の寄生容量と、第2クロック信号CKVを伝達する信号線の寄生容量との間で電荷を共有させる。従って、第3区間では、第1クロック信号CKVを伝達する信号線の寄生容量が徐々に放電し、第2クロック信号CKVBを伝達する信号線の寄生容量が徐々に充電される。すなわち、第3区間では、第1クロック信号CKVのレベルが徐々に第1ゲートオフ電圧 V_{off1} に遷移し、第2クロック信号CKVBのレベルが徐々にゲートオン電圧 V_{on} に遷移する。

このように、両方の信号線の寄生容量の間で電荷を共有させることにより、第3区間での電力消費を減らすことができる。尚、その電力消費が十分に小さい場合、電荷共有部640は省略されても良い。

【0054】

以上、本発明の好ましい実施形態を説明した。しかし、当業者は、本発明の技術的思想や必須な特徴を変更することなく、本発明を上記とは異なる形態で実施できるであろう。それゆえ、上記の実施形態は全ての面で例示的なものに過ぎず、本発明の実施形態を限定するものではない。

【図面の簡単な説明】

【0055】

【図1】本発明の実施形態による液晶表示装置のブロック図

【図2】図1に示されている液晶パネルの画素の構造を示す模式図

【図3】図1に示されているクロック生成部によって生成される第1クロック信号CKV及び第2クロック信号CKVBの各波形図

【図4】図1に示されているゲート駆動部のブロック図

【図5】図4に示されているj番目のステージの等価回路図

【図6】図5に示されているj番目のステージから出力される信号 $G_{out}(j)$ の波形図

【図7】図1に示されている電圧生成部のブロック図

【図8】図7に示されているブーストコンバータと温度感知部との等価回路図

【図9】図8に示されているPWM発生器のブロック図

【図10】図7に示されているゲートオン電圧生成部及び第1ゲートオフ電圧生成部の等価回路図

【図11】図7に示されている第2ゲートオフ電圧生成部の等価回路図

【図12】図1に示されているクロック生成部のブロック図

【図13】図12に示されているDフリップフロップの回路図

【図14】図12に示されているクロック生成部で利用される各信号の波形図

【符号の説明】

【0056】

10 液晶表示装置

300 液晶パネル

400 ゲート駆動部

500 信号制御部

10

20

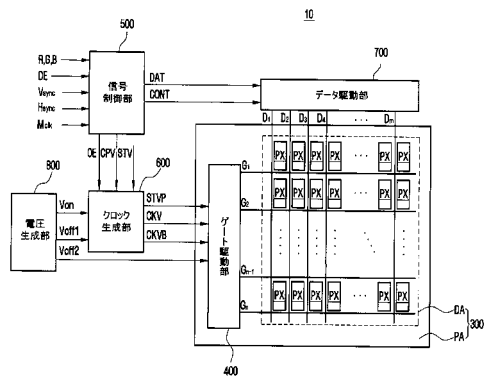
30

40

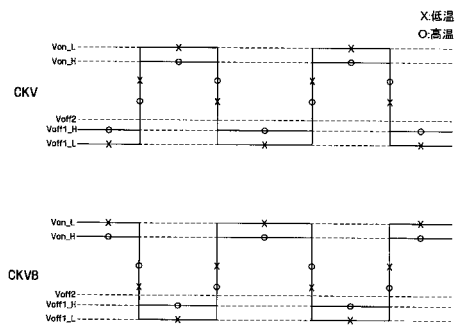
50

- 600 クロック生成部
- 700 データ駆動部
- 800 電圧生成部
- 810 ブーストコンバータ
- 820 温度感知部
- 830 ゲートオン電圧生成部
- 840 第1ゲートオフ電圧生成部
- 850 第2ゲートオフ電圧生成部

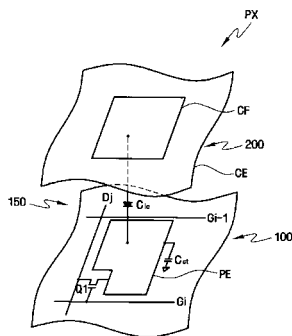
【図1】



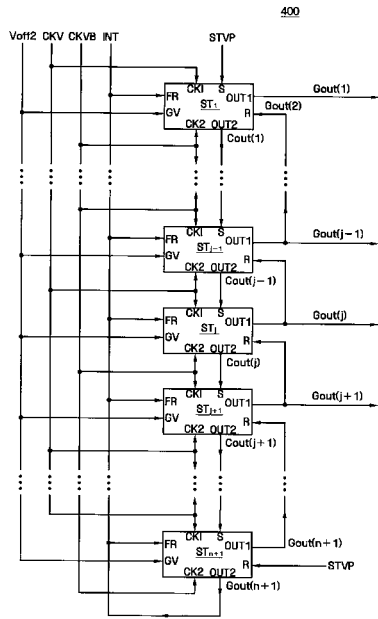
【図3】



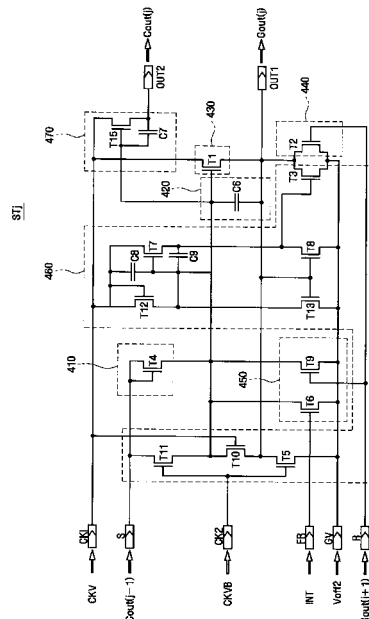
【図2】



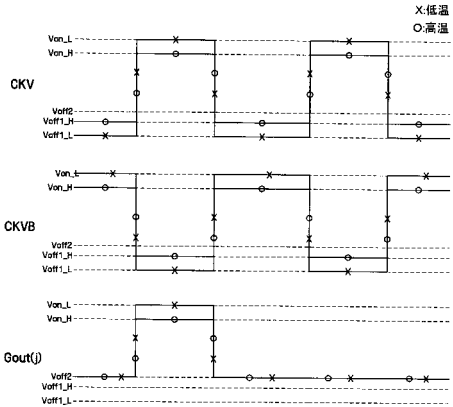
【図4】



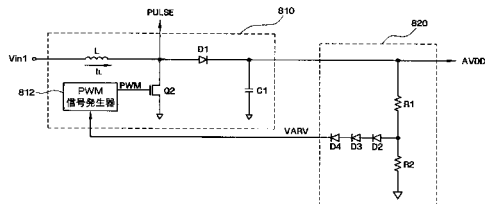
【図5】



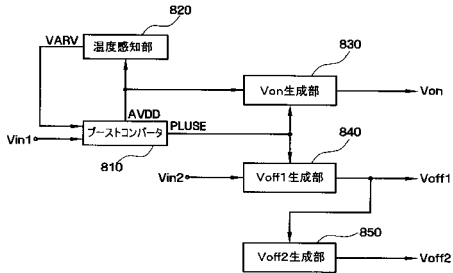
【図6】



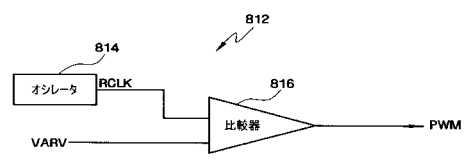
【図8】



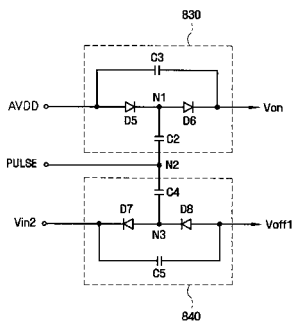
【図7】



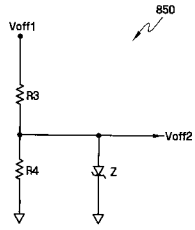
【図9】



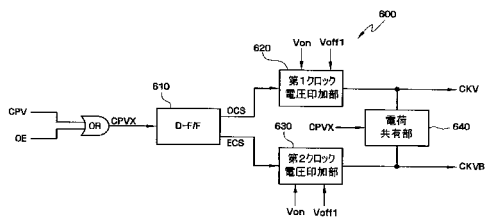
【図10】



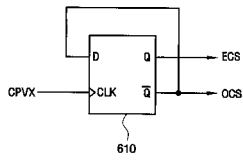
【図11】



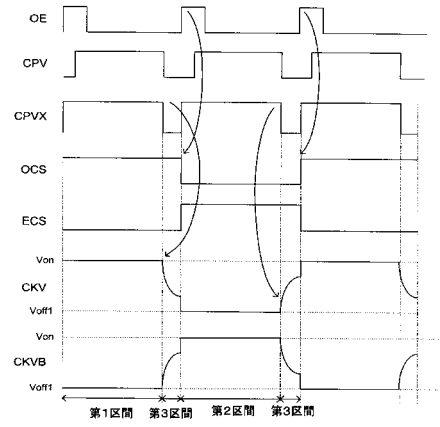
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 6 0 V
G 0 9 G	3/20	6 1 2 K
G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 4 1 C

(72)発明者 朴 鐘 國

大韓民国忠清南道天安市雙龍洞1914番地住公9團地アパート409棟204號

審査官 西島 篤宏

(56)参考文献 特開2005-234580(JP,A)

特開2006-079041(JP,A)

特開2005-222688(JP,A)

特開2005-176589(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5086692B2	公开(公告)日	2012-11-28
申请号	JP2007136462	申请日	2007-05-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	朴鐘國		
发明人	朴鐘國		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G2320/041		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.670.L G09G3/20.621.F G09G3/20.641.R G09G3/20.660.V G09G3/20.612.K G09G3/20.622.B G09G3/20.641.C G11C19/00 G11C19/00.J		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NC03 2H093/NC09 2H093/NC16 2H093/NC34 2H093/NC35 2H093/NC46 2H093/NC57 2H093/NC63 2H093/ND01 2H193/ZA04 2H193/ZE31 2H193/ZF03 2H193/ZH17 2H193/ZH33 5B074/AA10 5B074/CA01 5B074/DB01 5B074/EA01 5C006/AA16 5C006/BB16 5C006/BF06 5C006/BF14 5C006/BF26 5C006/BF34 5C006/FA14 5C006/FA19 5C006/FA34 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD20 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	山下大沽嗣		
优先权	1020060118529 2006-11-28 KR		
其他公开文献	JP2008134589A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其保持栅极驱动部分的驱动能力高，并且不管环境温度如何都改善液晶面板的显示质量。解决方案：在液晶显示装置中，电压产生部分输出栅极导通电压和一对栅极截止电压。栅极导通电压根据环境温度的升高而下降，并且随着环境温度的下降而上升。第一栅极截止电压根据环境温度的升高而上升，并根据环境温度的下降而下降。另一方面，不管环境温度如何变化，第二栅极截止电压基本保持在特定水平。时钟生成部分在栅极导通电压和第一栅极截止电压之间切换一对相反相位的时钟信号的电压电平。栅极驱动部分由时钟信号驱动。另一方面，栅极信号的电压电平在栅极导通电压和第二栅极截止电压之间切换。

【图 2】

