

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5035973号
(P5035973)

(45) 発行日 平成24年9月26日 (2012. 9. 26)

(24) 登録日 平成24年7月13日 (2012. 7. 13)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)**G09G 3/20 (2006.01)****G02F 1/133 (2006.01)**

G09G 3/36

G09G 3/20 641Q

G09G 3/20 631V

G09G 3/20 623F

G09G 3/20 632C

請求項の数 22 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2007-178493 (P2007-178493)
 (22) 出願日 平成19年7月6日 (2007. 7. 6)
 (65) 公開番号 特開2009-15136 (P2009-15136A)
 (43) 公開日 平成21年1月22日 (2009. 1. 22)
 審査請求日 平成22年3月12日 (2010. 3. 12)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 降旗 弘史
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内
 (72) 発明者 能勢 崇
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示装置、その液晶表示装置のコントロールドライバ

(57) 【特許請求の範囲】

【請求項 1】

液晶表示パネルのコントロールドライバであって、
 外部から入力される入力画像データに対して所定の演算を実行して演算データを生成する演算回路と、

前記液晶表示パネルの V-T (電圧-透過率) 特性が記述された LUT (Look-up Table) と、

前記 LUT から供給される表示データに応答して、前記液晶表示パネルに供給する出力電圧を生成する線形補間 D/A コンバータと

を具備し、

前記演算回路は、前記演算データの上位ビットデータと下位ビットデータとを特定し、前記上位ビットデータを前記 LUT に供給し、

前記 LUT は、

前記上位ビットデータに基づいて第 1 出力データと第 2 出力データとを前記表示データとして前記線形補間 D/A コンバータに供給し、

前記線形補間 D/A コンバータは、

前記第 1 出力データと前記第 2 出力データと前記下位ビットデータとに対応して、線形補間演算と D/A 変換とを行って前記出力電圧を生成する

コントロールドライバ。

【請求項 2】

- 請求項 1 に記載のコントロールドライバにおいて、
前記線形補間 D/A コンバータは、
入力される二つのデータを線形補間する線形補間部と、
入力されるデジタルデータと出力する出力電圧とが直線的に対応するリニア DAC 部と
を含み、
前記線形補間部は、
前記下位ビットデータに基づいて、前記第 1 出力データと前記第 2 出力データとを線形
補間して得られたデジタル線形補間データを前記リニア DAC 部に供給し、
前記リニア DAC 部は、
前記デジタル線形補間データを受け、前記デジタル線形補間データに対して D/A 変換 10
を実行して、前記出力電圧を生成する
コントロールドライバ。
- 【請求項 3】
請求項 2 に記載のコントロールドライバにおいて、
前記演算回路は、
特定の表示ガンマ値に対応する前記入力画像データを、他の表示ガンマ値に対応する画
像データに変換するガンマ演算を実行し、前記ガンマ演算により得られたガンマ演算デー
タを前記演算データとして出力する
コントロールドライバ。 20
- 【請求項 4】
請求項 3 に記載のコントロールドライバにおいて、
前記演算回路は、
前記コントロールドライバの外部から供給されるガンマ選択信号に応答して、前記他の
表示ガンマ値を切り換える
コントロールドライバ。 20
- 【請求項 5】
請求項 4 に記載のコントロールドライバにおいて、
前記 LUT は、書き換え可能なメモリに記憶され、前記コントロールドライバの外部か
ら供給される命令に応答して更新される
コントロールドライバ。 30
- 【請求項 6】
請求項 5 に記載のコントロールドライバにおいて、
前記 LUT は、
第 1 LUT と第 2 LUT とを含み、
前記第 1 LUT と前記第 2 LUT との各々は、前記上位ビットデータのビット数に対応
する数のアドレスを有し、
前記第 1 LUT は、
第 n (n : 任意の自然数) アドレスに第 n 補正データを保持し、
前記第 2 LUT は、
第 $n+1$ アドレス、または、第 $n-1$ アドレスに、前記第 n 補正データを保持する 40
コントロールドライバ。
- 【請求項 7】
請求項 5 に記載のコントロールドライバにおいて、さらに、
前記 LUT から出力されるデータを受ける信号比較部
を具備し、
前記 LUT は、
前記上位ビットデータの最下位ビットデータを除く値に対応する補正データを保持する
奇数用 LUT と、
前記上位ビットデータの最下位ビットデータを除く値に対応する補正データを保持する
偶数用 LUT と 50

を含み、
 前記奇数用 LUT は、
 前記上位ビットデータの最下位ビットデータを除く値に対応するアドレスのデータを前記第 1 出力データとして出力し、
 前記偶数用 LUT は、
 前記上位ビットデータに 1 を加えたデータから最下位ビットデータを除く値に対応するアドレスのデータを前記第 2 出力データとして出力し、
 前記信号比較部は、
 前記上位ビットデータの最下位ビットデータに基づいて、前記第 1 出力データと前記第 2 出力データとを入れ替えて前記線形補間 D/A コンバータに供給する
 コントロールドライバ。

10

【請求項 8】

請求項 5 に記載のコントロールドライバにおいて、
 前記 LUT は、
 前記上位ビットデータのデータ数に対応する個数のアドレスを有し、
 前記上位ビットデータに応答して前記 LUT に保持されているデータを参照し、その参照によって得られた前記上位ビットデータに対応する第一アドレスのデータを第 1 出力データとし、前記第一アドレスに隣接する第二アドレスに対応するデータを第 2 出力データとして前記線形補間 D/A コンバータに供給する
 コントロールドライバ。

20

【請求項 9】

請求項 6 から 8 の何れか 1 項に記載のコントロールドライバにおいて、
 前記入力画像データのビット数を N とし、前記上位ビットデータのビット数を J とし、前記下位ビットデータのビット数を K とし、前記第 1 出力データのビット数を J + L とし、前記第 2 出力データのビット数を J + L とし、前記デジタル線形補間データのビット数を M としたときに、各変数 (N、J、K、L および M) が、下記 (1) 式、(2) 式および (3) 式

$$N < M \quad \cdots \quad (1)$$

$$(K + J) < M \quad \cdots \quad (2)$$

$$(K + J + L) = M \quad \cdots \quad (3)$$

30

を満たす値である

コントロールドライバ。

【請求項 10】

請求項 1 に記載のコントロールドライバにおいて、
 前記線形補間 D/A コンバータは、
 前記第 1 出力データに응答して第 1 アナログ信号を出力する第 1 リニア DAC と、前記第 1 リニア DAC は、入力されるデジタルデータと出力する出力電圧とを直線的に対応させて前記第 1 アナログ信号を生成し、
 前記第 2 出力データに응答して第 2 アナログ信号を出力する第 2 リニア DAC と、前記第 2 リニア DAC は、入力されるデジタルデータと出力する出力電圧とを直線的に対応させて前記第 2 アナログ信号を生成し、
 前記下位ビットデータに基づいて、前記第 1 アナログ信号と前記第 2 アナログ信号とを線形補間して前記出力電圧を生成するアナログ線形補間部
 具備する

40

コントロールドライバ。

【請求項 11】

請求項 10 に記載のコントロールドライバにおいて、
 前記演算回路は、
 特定の表示ガンマ値に対応する前記入力画像データを、他の表示ガンマ値に対応する画像データに変換するガンマ演算を実行し、前記ガンマ演算により得られたガンマ演算デー

50

タを前記演算データとして出力する
コントロールドライバ。

【請求項 1 2】

請求項 1 1 に記載のコントロールドライバにおいて、
前記演算回路は、
前記コントロールドライバの外部から供給されるガンマ選択信号に応答して、前記他の
表示ガンマ値を切り換える
コントロールドライバ。

【請求項 1 3】

請求項 1 2 に記載のコントロールドライバにおいて、
前記 L U T は、書き換え可能なメモリに記憶され、前記コントロールドライバの外部か
ら供給される命令に応答して更新される
コントロールドライバ。

【請求項 1 4】

請求項 1 3 に記載のコントロールドライバにおいて、
前記 L U T は、
第 1 L U T と第 2 L U T とを含み、
前記第 1 L U T と前記第 2 L U T との各々は、前記上位ビットデータのビット数に対応
する数のアドレスを有し、
前記第 1 L U T は、
第 n (n : 任意の自然数) アドレスに第 n 補正データを保持し、
前記第 2 L U T は、
第 $n + 1$ アドレス、または、第 $n - 1$ アドレスに、前記第 n 補正データを保持する
コントロールドライバ。

【請求項 1 5】

請求項 1 から 4 の何れか一項に記載のコントロールドライバにおいて、
前記演算回路は、組み合わせ回路で構成される
コントロールドライバ。

【請求項 1 6】

液晶表示パネルと、前記液晶表示パネルを駆動するコントロールドライバとを具備する
液晶表示装置であって、
前記コントロールドライバは、
外部から入力される入力画像データの画像を、前記液晶表示パネルに適切に表示させる
ための演算を実行して演算データを生成する演算回路と、
前記液晶表示パネルの $V - T$ (電圧 - 透過率) 特性をあらわす補正データが記述された
L U T (L o o k - u p T a b l e) と、
前記 L U T から供給される表示データに応答して、前記液晶表示パネルに供給する出力
電圧を生成する線形補間 D / A コンバータと
を具備し、
前記演算回路は、前記演算データの上位ビットデータと下位ビットデータとを特定し、
前記上位ビットデータを前記 L U T に供給し、
前記 L U T は、
前記上位ビットデータに基づいて第 1 出力データと第 2 出力データとを前記表示データ
として前記線形補間 D / A コンバータに供給し、
前記線形補間 D / A コンバータは、
前記第 1 出力データと前記第 2 出力データと前記下位ビットデータとに対応して、線形
補間演算と D / A 変換とを行って前記出力電圧を生成する
液晶表示装置。

【請求項 1 7】

請求項 1 6 に記載の液晶表示装置において、

前記線形補間 D/A コンバータは、
線形補間部とリニア DAC 部と
を含み、
前記線形補間部は、
前記下位ビットデータに基づいて、前記第 1 出力データと前記第 2 出力データとを線形
補間して得られたデジタル線形補間データを前記リニア DAC 部に供給し、
前記リニア DAC 部は、
前記デジタル線形補間データを受け、前記デジタル線形補間データをアナログ信号に変
換し、前記アナログ信号に対応する前記出力電圧を生成する
液晶表示装置。 10

【請求項 18】

請求項 17 に記載の液晶表示装置において、
前記演算回路は、
特定の表示ガンマ値に対応する前記入力画像データを、他の表示ガンマ値に対応する画
像データに変換するガンマ演算を実行し、前記ガンマ演算により得られたガンマ演算デー
タを前記演算データとして出力する
液晶表示装置。

【請求項 19】

請求項 18 に記載の液晶表示装置において、
前記演算回路は、 20
前記液晶表示装置の外部から供給されるガンマ選択信号に応答して、前記他の表示ガン
マ値を切り換える
液晶表示装置。

【請求項 20】

請求項 19 に記載の液晶表示装置において、
前記 LUT は、書き換え可能なメモリに記憶され、前記液晶表示装置の外部から供給さ
れる命令に応答して更新される
液晶表示装置。

【請求項 21】

請求項 20 に記載の液晶表示装置において、 30
前記 LUT は、
第 1 LUT と第 2 LUT とを含み、
前記第 1 LUT と前記第 2 LUT との各々は、前記上位ビットデータのビット数に対応
する数のアドレスを有し、
前記第 1 LUT は、
第 n (n : 任意の自然数) アドレスに第 n 補正データを保持し、
前記第 2 LUT は、
第 $n+1$ アドレス、または、第 $n-1$ アドレスに、前記第 n 補正データを保持する
液晶表示装置。

【請求項 22】

請求項 16 から 21 の何れか一項に記載の液晶表示装置において、 40
前記演算回路は、組み合わせ回路で構成される
液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置および液晶表示装置のコントロールドライバに関する。

【背景技術】

【0002】

マンマシンインターフェースとして、フラットパネルディスプレイが広く普及してきて 50

いる。なかでも液晶表示装置は、製造技術、歩留り、コストの観点で他のフラットパネルディスプレイ（例えば、プラズマディスプレイパネルなど）に優っていることから、さまざまな分野に適用されている。

液晶表示装置に備えられた液晶パネルには、V-T（電圧-透過率）特性と呼ばれる特性がある。液晶パネルの画素の液晶分子は、一定以上の電圧にตอบสนองしてその液晶分子の配向が変化する。V-T特性とは、その液晶分子の配向を変化させるための電圧と、その電圧に対応してその画素を透過する光の量との関係性である。液晶パネルは、パネルごとに固有で、かつ非線形なV-T特性を有している。そのため、一般的な液晶表示装置において、液晶パネル固有のV-T特性に合わせて入力階調データの値に対して非線形な駆動電圧を生成するD/Aコンバータを備えたコントローラドライバによって、液晶パネルへの印加電圧が決定されている。例えば、外部から液晶表示装置に供給される入力画像データは、CRTに対応したガンマ値（ $\gamma = 2.2$ ）のデータであることが多いため、コントローラドライバに内蔵されるD/Aコンバータは一般的に $\gamma = 2.2$ の表示特性になるように設定されている。

10

【0003】

また、従来の液晶表示装置において、ガンマ値の変更や、更に表示画像の色調を向上させるために、R（赤）、G（緑）、B（青）のそれぞれについて異なるガンマ値を表示するといった処理（以下、ガンマ補正処理と呼ぶ。）が行われることもある。そのガンマ補正処理を行うために、従来の液晶表示装置には、コントローラドライバの前段にガンマ特性（階調補正特性）データを記憶したLUT（Look-up Table：参照表）が備えられており、LUTによって入力画像データを変換した画像データをコントローラドライバに転送していた。

20

【0004】

液晶表示装置のLUTは、例えば、入力画像データが8ビットで構成されている場合、10ビットなどの拡張されたビット数であることが要求される。これは、LUTを参照してガンマ補正処理を行った場合に、データが潰れることを防ぐためである。そのため、従来の液晶表示装置では、入力画像データのビット数よりも大きいビット数のデータを保持することができるメモリでLUTを構成している。

【0005】

このような液晶表示装置において、LUTに割り当てるメモリ容量の増大を抑制する技術が知られている（例えば、特許文献1、2および3参照。）。特許文献1（特開平5-64110号公報）には、表示画面をブロックに分け、いくつかのブロック毎のガンマ補正データを複数のLUTに格納している。A/D変換器でディジタル変換された映像信号を、上記の複数のLUTに入力し、係数付加回路と加算回路からなる補間処理回路により、ガンマ補正データの無いブロックの映像信号を形成する技術が開示されている。

30

【0006】

また、特許文献2（特開2001-238227号公報）には、液晶表示装置のような信号-輝度特性が非線形な素子を利用して画像表示を行う際に、そのガンマ特性やホワイトバランス調整において、デジタルデータによる補正後のダイナミックレンジを、アナログ系の回路によるゲイン調整、及びオフセット調整によって設定する技術が開示されている。これによって、デジタルデータによる補正をルックアップテーブルによって行う場合に、その補正データの全てを有効に利用することで、補正用のデータに要するメモリ容量の増大を抑制している。

40

【0007】

さらに、特許文献3（特開2005-135157号公報）には、補正特性データの記憶容量を低減することが可能な階調補正のための画像処理回路、画像表示装置及び画像処理方法に関する技術が開示されている。特許文献3に開示される技術では、入力される画像データの階調数より少ない階調数に対応する階調補正特性データを第1及び第2のLUT記憶部に記憶している。そして、階調補正処理の対象となる画素の階調値を入力階調値として、第1及び第2のLUT記憶部を参照し、その入力階調値に対応する出力階調値、

50

及び、それと隣接する入力階調値に対応する出力階調値を取得している。ここで、隣接する階調値とは、ある入力階調値の1つ上の階調値又は1つ下の階調値を指している。そして、それら2つの隣接する出力階調値の間の出力階調値を線形補間により求めて、全入力階調値に対応する出力階調値を得ている。そして、入力された画像データの各画素に対して階調補正を行い、補正後の画像データを出力している。

【0008】

【特許文献1】特開平5-64110号公報

【特許文献2】特開2001-238227号公報

【特許文献3】特開2005-135157号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0009】

液晶表示装置では、ガンマ演算処理を実行する場合に、表示させる画像のコントラストや表示装置周辺の明るさなどに応じて、変更後のデータのガンマ値を切り換えたい場合がある。そのため、入力画像データに対するガンマ演算処理において、複数のガンマ値に応じてデータ変換ができることが求められている。したがって、変更対象のガンマ値が複数の場合、変更対象のガンマ値の数のLUTを備える必要がある。複数のLUTを備えるためには、その複数のLUTを保持することができるメモリ容量が必要となる。コントローラドライバに、ガンマ補正処理を行うための複数のLUTを備える場合、チップサイズが増大するという問題が発生する。

20

【0010】

また、コントローラドライバで、チップサイズの増大を抑制しつつ、複数の変更対象のガンマ値に対応させるには、内蔵するLUTを1つとし、表示させる画像のガンマ値を変化させるごとに、LUTを書き換える必要がある。しかしながら、LUTの書き換えには多くの時間がかかる。そのため、電子機器を使用する環境の変化に対して、リアルタイムでLUTを書き換えることが困難な場合がある。

【0011】

また、従来のLUTは、非線形な駆動電圧を生成するコントローラドライバにより決定されるV-T特性の補正処理（以下、V-T補正処理と呼ぶ）にも対応することが可能である。

30

【0012】

しかし、LUTによるガンマ補正処理または、V-T補正処理は、データが潰れることを防ぐため、入力画像データのビット数よりも大きいビット数で構成されているため、LUTによる補正処理を実行するときに、コントローラドライバに変換画像データを入力する前に減色処理を行う必要がある。

【0013】

また、従来の液晶表示装置において上記のような1つのLUTを用いた補正処理では、ガンマ演算処理（または、その他の画像演算処理）のような、入力画像データを液晶表示装置に適した画像データに変換する処理と、その変換された画像データを、さらに表示パネルの個々のV-T特性に対応させるためのV-T補正処理とを同時に行うことができない。加えて、従来のコントローラドライバでは、減色処理をすることなくデータを表示パネルに供給することができなかった。

40

【課題を解決するための手段】

【0014】

以下に、〔発明を実施するための最良の形態〕で使用される番号を用いて、課題を解決するための手段を説明する。これらの番号は、〔特許請求の範囲〕の記載と〔発明を実施するための最良の形態〕との対応関係を明らかにするために付加されたものである。ただし、それらの番号を、〔特許請求の範囲〕に記載されている発明の技術的範囲の解釈に用いてはならない。

【0015】

50

上記課題を解決するために、外部から入力される入力画像データ（３１）の画像を、液晶表示パネル（２）に適切に表示させるための演算を実行して演算データを生成する演算回路（１１）と、前記液晶表示パネル（２）のV-T（電圧-透過率）特性をあらわす補正データが記述されたLUT（Look-up Table）（１２）と、前記LUT（１２）から供給される表示データ（３４、３５）にตอบสนองして、前記液晶表示パネル（２）に供給する出力電圧を生成する線形補間D/Aコンバータ（１３）とを具備する液晶表示パネルのコントロールドライバ（３）を構成する。

【００１６】

ここにおいて、前記演算回路（１１）は、前記演算データの上位ビットデータ（３２）と下位ビットデータ（３３）とを特定し、前記上位ビットデータ（３２）を前記LUT（１２）に供給する。また、前記LUT（１２）は、前記上位ビットデータ（３２）に基づいて第１出力データ（３４）と第２出力データ（３５）とを前記表示データとして前記線形補間D/Aコンバータ（１３）に供給する。さらに、前記線形補間D/Aコンバータ（１３）は、第１出力データ（３４）と第２出力データ（３５）と前記下位ビットデータとに対応しての線形補間演算とD/A変換とを行って前記出力電圧を生成する。

10

【００１７】

そのコントロールドライバ（３）は、入力された画像データ（３１）を、表示パネル（２）に対応したデータにするための補正を行う。この場合に、演算式を用いて実行できる補正に関しては、演算回路（１１）を用いてその補正を実行している。また、演算式を用いて補正することが困難な補正（V-T特性の補正など）に対しては、書き換え可能なメモリに保持されたLUT（１２）を参照している。つまり、本願発明のコントロールドライバでは、演算回路（１１）による補正を行った後、LUT（１２）によるV-T特性に対応させる補正を行っている。なお、本願発明のコントロールドライバでは、LUT（１２）を書き換えることができるので、V-T特性の異なる複数の表示パネル（２）に対し、コントロールドライバを複数用意する必要が無い。また、演算回路（１１）は、外部から入力される制御信号にตอบสนองして、実行する演算を切り換える。

20

【発明の効果】

【００１８】

本願発明は、入力された画像データを、表示パネルに対応したデータにするための補正を行っている。この場合において、演算式を用いて実行できる補正に関しては、演算回路を用いてその補正を実行している。また、演算式を用いて補正することが困難な補正（例えば、V-T特性に関する補正）に対しては、書き換え可能なメモリに保持されたLUTを用いてその補正を実行している。そのため、上記の演算回路で行われるような補正に対応するLUTを構成する必要が無く、回路規模の小さいコントロールドライバを構成することが可能となる。

30

【００１９】

つまり、本願発明のコントロールドライバは、表示パネルのV-T特性に対応した一つのLUTと、演算式を用いたガンマ演算のような、複数種類の値に対応して切り換え可能な演算との掛け合わせによって、入力された画像データを表示パネルに対応した表示データに補正している。演算式を用いて実行できる補正とLUTを用いて行う補正は独立している。そのため、たとえば、１種類のLUTを用いて複数種類の演算を行う事により、複数種類の演算ごとのLUTを備えることなく複数種類の補正を行うことが出来る。

40

【００２０】

また、本願発明のコントロールドライバは、入力される画像データに対して、その演算回路が実行する演算を変更したい場合に、切り換え信号にตอบสนองして、リアルタイムで切り換えることができる構成を備えている。そのため、液晶表示装置の周辺環境の変化などに対応して速やかに画像が表示される状態（例えば、コントラストなど）を変更することが可能である。

【００２１】

また、本願発明のLUTは、表示パネルごとのV-T特性に対応している。したがって

50

LUTを書き換えることで、一つのコントロールドライバで、複数の表示パネルに対応した出力電圧の出力をすることが可能となる。

【0022】

また、上述の実施形態において、演算回路から出力されるデータ（ガンマ演算結果データ）は、入力画像データのビット数よりも拡張されている。LUTでの補正処理では、拡張されたビット数に対応する二つのデータに対して線形補間を行っている。したがって、本願発明では、減色処理を行うことなく表示データをデータ線駆動回路に供給することができる。

【発明を実施するための最良の形態】

【0023】

10

以下に、図面を参照して本願発明を実施するための形態について説明を行う。以下に述べる実施形態においては、ある特定のガンマ値に対応している入力画像データを、他のガンマ値に対応するデータに変換して液晶表示パネルに画像を表示させる場合を例示して、本願発明に関する説明を行う。なお、これは本願発明がガンマ補正処理のみに適用可能であることを意味するものではない。

【0024】

〔第1の実施形態〕

図1は、本実施形態の液晶表示装置1の構成を例示するブロック図である。図1を参照すると、本実施形態の液晶表示装置1は、液晶表示パネル2と、コントロールドライバ3と、ゲートドライバ4と、処理装置5とを含んで構成されている。液晶表示パネル2は、複数のデータ線（図示されず）と、その複数のデータ線に交差する複数のゲート線（図示されず）と、それらの交点に備えられた複数の画素とを含んで構成されている。また、液晶表示パネル2は透過光を提供するバックライト（図示されず）を備えている。

20

【0025】

液晶表示パネル2の複数の画素の各々は、2枚の偏光板と、その間に備えられた液晶とを含んで構成されている。液晶表示パネル2の画素に備えられた液晶分子は、加えられる電界の強さに応じて液晶分子の配向が変化する。画素は、液晶分子の配向方向に応じた光を透過する。したがって、液晶表示装置では、画素に加えられる電界と、画素を透過する透過光との関係（以下、V-T特性と呼ぶ。）に応じて入力画像データを補正してから、液晶表示パネル2に画像を表示させている。液晶表示パネル2のV-T特性は、液晶表示パネルの個体ごとに異なっている。

30

【0026】

コントロールドライバ3は、データ線に出力電圧を提供している。コントロールドライバ3の詳細に関しては後述する。ゲートドライバ4は、ゲート線（走査線）のスキャンを実行している。例えば、液晶表示パネル2を線順次駆動で駆動する場合、ゲートドライバ4は1番上のラインから順に走査する。そして、一番下のラインの走査が完了すると、一番上のラインに戻る。ゲートドライバ4は、この動作を繰り返し実行している。

【0027】

処理装置5は、液晶表示パネル2に表示させる画像を、入力画像データ31として提供している。処理装置5は、CPU（図示されず）とメモリ（図示されず）と画像メモリ（図示されず）と表示コントローラ（図示されず）とを含んで構成されている。また、それらはバス（図示されず）を介して接続されている。図1に示されているように、処理装置5は、入力画像データ31と、ガンマ設定信号37と、ドライバ制御信号38とをコントロールドライバ3に提供している。

40

【0028】

図1を参照すると、第1の実施形態のコントロールドライバ3は、制御装置6と、ガンマ変換部7と、データ線駆動回路8と、電源電圧生成回路9とを含んで構成されている。また、そのガンマ変換部7は、ガンマ演算回路11と、LUT（Look-up Table）12と、線形補間D/Aコンバータ13とを含んで構成されている。制御装置6は、処理装置5から供給される入力画像データ31を受け取る。また制御装置6は、ゲート

50

ドライバ４の駆動タイミングを制御する駆動タイミング制御信号を出力している。また、制御装置６は、ゲートドライバ４の動作タイミングに対応するように、入力画像データ３１をガンマ変換部７に供給している。データ線駆動回路８は、ガンマ変換部７から提供される出力電圧に応じて液晶表示パネル２のデータ線を駆動している。図１を参照すると、線形補間Ｄ／Ａコンバータ１３は、線形補間回路２３と、複数のリニアＤＡＣ２４とを備えている。複数のリニアＤＡＣ２４は、液晶表示パネル２のデータ線の数に対応して構成されている。図１に示されているように、電源電圧生成回路９は、線形補間Ｄ／Ａコンバータ１３に備えられた複数のリニアＤＡＣ２４に電源電圧を供給している。

【００２９】

ガンマ演算回路１１は、あるガンマ値に対応している入力画像データ３１を、他のガンマ値（以下、変更後ガンマ値と呼ぶ）に対応するデータ（以下、演算結果データと呼ぶ。）に変換している。ＬＵＴ１２は、ガンマ演算回路１１から提供される演算結果データに基づいて、テーブル内のデータを参照している。本実施形態のＬＵＴ１２は、液晶表示パネル２のＶ－Ｔ特性を表すように記述されている。なお、以下の説明においては、本願発明の理解を容易にするために、ＬＵＴ１２がＲＧＢのどれかに対応したものとして説明を行う。線形補間Ｄ／Ａコンバータ１３は、電源電圧生成回路９から供給される電源電圧に対応して、データを電圧に変換している。より具体的には、線形補間Ｄ／Ａコンバータ１３は、線形補間演算とＤ／Ａ変換とを行って前記出力電圧を生成している。

【００３０】

以下に、図面を参照して、本実施形態におけるガンマ変換部７の構成に関して説明を行う。図２は、第１の実施形態のガンマ変換部７の構成を例示するブロック図である。上述のように、ガンマ変換部７は、ガンマ演算回路１１と、ＬＵＴ１２と、線形補間Ｄ／Ａコンバータ１３とを備えている。また、第１の実施形態の線形補間Ｄ／Ａコンバータ１３は、線形補間部２３と、リニアＤＡＣ部２４とを含んで構成されている。

【００３１】

図２を参照すると、入力画像データ３１は、コントロールドライバ３の外部から供給される複数ビットの画像データである。入力画像データ３１は、所定のガンマ値に対応して構成されている。図２に示されているように、本実施形態のガンマ演算回路１１は、 n ビットの入力画像データ３１にตอบสนองして j ビットの上位ビットデータ３２と、 k ビットの下位ビットデータ３３とを出力している。また、ガンマ演算回路１１は、その上位ビットデータ３２をＬＵＴ１２に提供している。さらに、ガンマ演算回路１１は、下位ビットデータ３３を線形補間部２３に提供している。

図２に示されているように、ＬＵＴ１２は、上位ビットデータ３２にตอบสนองして $j+1$ ビットの第１出力データ３４と、 $j+1$ ビットの第２出力データ３５とを線形補間部２３に提供している。線形補間部２３は、その下位ビットデータ３３、第１出力データ３４および第２出力データ３５に基づいて m ビットの線形補間データ３６をリニアＤＡＣ部２４に出力している。リニアＤＡＣ部２４は、電源電圧生成回路９から供給される電源電圧に基づいて、入力されるデータ（線形補間データ）を電圧値に変換している。

【００３２】

本実施形態において、入力画像データ３１のビット数" n "、上位ビットデータ３２のビット数" j "、下位ビットデータ３３のビット数" k "、第１出力データ３４のビット数" $j+1$ "、第２出力データ３５のビット数" $j+1$ "および線形補間データ３６のビット数" m "は、下記条件を満たす限り制限は無い。その条件は、

$$n < m$$

$$(k + j) < m$$

$$(k + j + 1) = m$$

である。

【００３３】

本実施形態において、ガンマ演算回路１１は、液晶表示パネル２のＶ－Ｔ特性に依存せずに、上記のデータ変換（以下、ガンマ演算処理と呼ぶ。）を実行している。ガンマ演算

回路 1 1 が、液晶表示パネル 2 の V-T 特性に依存することなくガンマ演算処理を行うので、演算結果データは、変更後ガンマ値が決まれば一義的に決定する。したがって、本実施形態のガンマ演算回路 1 1 は、データを読み替える機能を有する回路（例えば、組み合わせ回路）で構成することができる。

【0034】

図 2 に示されているように、ガンマ演算回路 1 1 は、外部から供給される入力画像データ 3 1 を受け取る。ガンマ演算回路 1 1 は、入力画像データ 3 1 を受けたときに、その入力画像データ 3 1 を演算結果データに変換するガンマ演算処理を実行する。以下に、ガンマ演算回路 1 1 が実行するガンマ演算処理に関して説明する。ガンマ演算回路 1 1 は、下記（1）式に基づいて入力画像データ 3 1 に対するガンマ演算処理を実行している。

10

出力データ = 出力階調最大値（入力データ ÷ 入力データ最大値）^{ガンマ値 γ} …（1）

ただし、

$$\text{出力階調最大値} = 2^{k+j-2} \left((k+j) - n \right)$$

（ $k+j$ ：LUT 1 2 の出力ビット数、 $(k+j) - n$ ：拡張するビット数）

とする。

【0035】

ここにおいて、入力データのガンマを変更する際、入力データと出力データが同じビット数の場合、変換後のデータは潰れてしまい、入力データよりも少ない種類の出力データになってしまう。よって、出力データを b i t 拡張することで、データが潰れることを防ぐ。たとえば、2 b i t 拡張すると、出力データは入力データの 4 倍のデータを持つことが出来るため、データが潰れずに持つ事ができる。

20

また、出力データの値は入力データのうち 2 値の間の値を補間するため、256 階調を補間する場合、255 個の補間箇所となる。2 b i t 拡張する場合 4 倍のデータで補間する事ができるので、出力データ数は $255 \times 4 = 1020$ 種類のデータを持つことができる。そのため、出力階調最大値の式は、上述の式で表される。

【0036】

以下に、具体的な数値を用いて説明を行う。例えば、入力画像データ 3 1、上位ビットデータ 3 2 および下位ビットデータ 3 3 のビット数が、8 ビット、6 ビットおよび 4 ビットであるとする。この場合において、ガンマ演算回路 1 1 は、入力画像データ 3 1 をガンマ演算処理した結果として以下のような演算結果データを得る。

30

演算結果データ = $(2^{(4+6)} - 2^{(4+6-8)}) \left(\text{入力画像データ} \div 2^8 \right)^{\text{ガンマ値 } \gamma}$

$$= (2^{10} - 2^2) \left(\text{入力画像データ} \div 2^8 \right)^{\text{ガンマ値 } \gamma}$$

$$= 1020 \left(\text{入力画像データ} \div 255 \right)^{\text{ガンマ値 } \gamma}$$

なお、ガンマ演算回路 1 1 は、そのガンマ演算結果データの上位 6 ビットを、上位ビットデータ 3 2 として LUT 1 2 出力する。さらに、ガンマ演算回路 1 1 は、ガンマ演算結果データの低位 4 ビットを下位ビットデータ 3 3 として LUT 1 2 出力する。

【0037】

LUT 1 2 は、コントールドライバ 3 の外部から供給される命令に応じて、保持しているデータの書き換えが可能なメモリで構成されている。以下の述べる実施形態では、LUT 1 2 が RAM で構成されている場合を例示して説明を行う。LUT 1 2 には、液晶表示パネル 2 の固有の V-T 特性を表すような補正データが格納されている。また、入力画像データ 3 1 が、RGB それぞれである場合、LUT 1 2 は、RGB ごとに備えられ、それぞれで独立した補正を行うように構成されている。図 2 を参照すると、本実施形態における LUT 1 2 は、第 1 LUT 2 1 と第 2 LUT 2 2 とを含んで構成されている。LUT 1 2 に関する詳細は、後述するものとする。

40

【0038】

線形補間部 2 3 は、下記（2）式に基づいて第 1 出力データ 3 4 と第 2 出力データ 3 5 とに対する線形補間を実行する回路である。その（2）式は、

50

線形補間データ 3 6

= 第 1 出力データ 3 4 + { (第 2 出力データ 3 5 - 第 1 出力データ 3 4)
× 下位ビットデータ 3 3} / 2^{γ 変換 下 位 ビ ッ ト . . . (2)}

ただし、

第 1 出力データ 3 4 < 第 2 出力データ 3 5

である。また、

γ 変換 下 位 ビ ッ ト

= ガンマ演算回路 1 1 から出力される下位ビットデータ 3 3 のビット数
とする。

例えば、下位ビットデータ 3 3 のビット数が 4 ビットの場合、下位ビットデータ 3 3 は
0 ~ 1 5 (“ 0 0 0 0 ” ~ “ 1 1 1 1 ”) の 1 5 個の何れかの値となり、2^{γ 変換 下 位 ビ ッ ト}
は 1 6 になる。

10

【0039】

線形補間部 2 3 は、この線形補間データ 3 6 をリニア D A C 部 2 4 に供給している。リ
ニア D A C 部 2 4 では、電源電圧生成回路 9 から供給される電源電圧に基づいて、入力さ
れるデータ（線形補間データ）を電圧値に変換している。リニア D A C 部 2 4 は、入力さ
れる線形補間データ 3 6 と出力する電圧値との重み付けが一定（リニア）である。つまり
、リニア D A C 部 2 4 に入力されるデータの重みと、リニア D A C 部 2 4 が出力する電圧
の重みとは一定であり、リニア D A C 部 2 4 は、入力データと出力電圧との対応が線形的
である。したがって、リニア D A C 部 2 4 は、ガンマ演算回路 1 1 から提供される下位ビ
ットデータ 3 3 と、線形補間部 2 3 から提供される線形補間データ 3 6 とに基づいて、液
晶表示パネル 2 の V - T 特性に依存することなく、一義的に D / A 変換して、線形補間デ
ータ 3 6 を出力電圧に変換している。リニア D A C 部 2 4 は、入力される線形補間データ
3 6 を電圧値に変換した後、その電圧値をデータ線駆動回路 8 へ供給する。

20

【0040】

以下に、L U T 1 2 に格納されるデータについて説明を行う。図 3 は、本実施形態の L
U T 1 2 に格納される補正データ（以下 V T データと呼ぶ。）における、入力と出力の対
応を示すグラフである。図 3 を参照すると、本実施形態における L U T 1 2 は、入力され
る上位ビットデータ 3 2 に対応する 0 ~ 2^j - 1 個のアドレスが備えられている。それぞ
れのアドレスには、j + 1 ビットの V T データが格納されている。

30

【0041】

L U T 1 2 は、ガンマ演算回路 1 1 から供給される上位ビットデータ 3 2 のビット数に
対応する個数のアドレスを備えている。例えば、ガンマ演算回路 1 1 が、6 ビットの上位
ビットデータ 3 2 を出力する場合、L U T 1 2 は、そのビット数である 6 ビットに対応す
る 6 4 個のアドレスを備えている。また、本実施形態の L U T 1 2 は、そのアドレスごと
に、入力される上位ビットデータ 3 2 よりも大きいビット値の V T データを備えている。
本実施形態では、6 4 個のアドレスごとに 8 ビットの V T データを備えているものとする
。したがって、一個の L U T の大きさは、

6 4 階調 × 8 ビット = 5 1 2 ビット

となる。

40

【0042】

以下に、具体的な値を用いて V T データについて説明を行う。図 4 は、本実施形態にお
いて、上位ビットデータ 3 2 のビット数 “ j ” が 6 であり、第 1 出力データ 3 4 のビット
数 “ j + 1 ” と第 2 出力データ 3 5 のビット数 “ j + 1 ” とが 8 （つまり 1 が 2 ）である
場合における、入力と出力の対応を示すグラフである。

図 4 を参照すると、L U T 1 2 は、入力される上位ビットデータ 3 2 が “ 0 ” を示す場
合に第 0 V T データを出力している。同様に、入力される上位ビットデータ 3 2 が “ 1 ”
を示す場合に第 1 V T データを出力し、上位ビットデータ 3 2 が “ 2 ” を示す場合に第 0
V T データを出力している。以降、入力される上位ビットデータ 3 2 が示す値に対応した
アドレスに格納されている第 4 V T データ ~ 第 6 3 V T データまでのデータが出力される

50

。

【0043】

上述のように、本実施形態におけるLUT12は、第1LUT21と第2LUT22とを含んで構成されている。第1LUT21と第2LUT22の各々は、ガンマ演算回路11から供給される上位ビットデータ32にตอบสนองして、それぞれのテーブル内に保持されているVTデータを参照する。第2LUT22は、第1LUT21の第 n (n : 任意の整数) アドレスに保持されているデータと同じデータを、第 $n+1$ アドレス (または、第 $n-1$ アドレス) に保持している。

【0044】

第1LUT21は、上位ビットデータ32が示すアドレスに保持されているVTデータを第1出力データ34として出力している。第2LUT22の同じアドレスには、第1LUT21のアドレスより1大きい (または、1小さい) アドレスのVTデータが保持されている。例えば、第1LUT21の第1アドレスのVTデータが“00000001”である場合。第2LUT22の第0アドレスに“00000001”が保持される。したがって、第2LUT22は、上位ビットデータ32に基づいて、第 n アドレスのVTデータ (第1LUT21の第 $n+1$ アドレス、または、第 $n-1$ アドレスに対応するVTデータ) を第2出力データ35として出力している。

【0045】

以下に、図面を参照して上述の第1LUT21と第2LUT22の構成について説明を行う。図5は、第1LUT21と第2LUT22とを有するLUT12に格納されるVTデータを示す図である。図5を参照すると、LUT12の第1LUT21は、アドレス“0”に対応して第0VTデータを保持している。図5に示されているように、LUT12の第2LUT22は、アドレス“0”に対応して第1VTデータを保持している。以降、第0アドレスから第 2^j-1 アドレスに対応するVTデータは、図5に示されるように、

アドレス	: 第1LUT21	: 第2LUT22
“0”	: 第0VTデータ	: 第1VTデータ
“1”	: 第1VTデータ	: 第2VTデータ
“2”	: 第2VTデータ	: 第3VTデータ

...

“ 2^j-2 ” : 第 2^j-2 VTデータ : 第 2^j-1 VTデータ

“ 2^j-1 ” : 第 2^j-1 VTデータ : 第 2^j-1 VTデータ

となる。LUT12は、上位 j bitのデータに応じて格納されているデータを出力する。

。

【0046】

なお、LUT12が一つのテーブルで構成される場合、LUT12は、上位ビットデータ32で示されるアドレスに対応するVTデータを参照し、第1出力データ34を得る。このとき、LUT12は、上位ビットデータ32が示すアドレスに隣り合うアドレスのVTデータを第2出力データ35とする。そして、LUT12は、第1出力データ34と第2出力データ35とを線形補間部23に供給する。

【0047】

上記の構成を有するガンマ変換部7の動作に関し、以下に図面を参照して説明する。図6は、ガンマ変換部7に入力画像データ31が供給されたときの動作を例示する図である。図6の(a)は、ガンマ演算回路11の動作を例示している。図6の(b)は、LUT12の動作を例示している。図6の(c)は、線形補間D/Aコンバータ13の線形補間部23の動作を例示している。図6の(a)に示されているように、ガンマ演算回路11は、ガンマ演算結果データの上位6ビットを上位ビットデータ32としてLUT12に出力し、下位4ビットを下位ビットデータ33として線形補間部23に出力する。

【0048】

図6の(b)に示されているように、LUT12は、上述のように、ガンマ演算回路11から供給される上位ビットデータ32にตอบสนองして、保持しているVTデータを参照する

10

20

30

40

50

。このとき、LUT12の第1LUT21は、入力される上位ビットデータ32が示すアドレスに保持されているVTデータを第1出力データ34として線形補間部23に供給する。また、LUT12の第2LUT22は、入力される上位ビットデータ32が示すアドレスに保持されているVTデータを第2出力データ35として線形補間部23に供給する。

【0049】

図6の(c)に示されているように、線形補間部23は、下位ビットデータ33に基づいて、LUT12から供給される第1出力データ34と第2出力データ35との間の線形補間を実行する。線形補間部23は、その実行結果である線形補間データ36を、リニアDAC部24に供給する。リニアDAC部24は、その線形補間データ36を電圧値に変換してデータ線駆動回路8に供給する。

10

【0050】

上述のように、本実施形態のガンマ演算回路11は、あるガンマ値に対応している入力画像データ31を、他のガンマ値に対応するデータ(ガンマ演算結果データ)に変換している。そして、ガンマ演算回路11はガンマ演算結果データの上位jビットを上位ビットデータ32としてLUT12に出力している。LUT12では、その上位ビットデータ32は、第1LUT21と第2LUT22とに供給されている。第1LUT21は、その上位ビットデータ32にตอบสนองして第1出力データ34を出力する。同様に、第2LUT22は、上位ビットデータ32にตอบสนองして第2出力データ35を出力する。この二つのデータ(34、35)は線形補間が可能である。そのため、この二つのデータ(34、35)は、線形補間D/Aコンバータ13の線形補間部23に供給される。線形補間部23は、下位ビットデータ33を用いてその二つのデータ(34、35)に対する線形補間を行っている。

20

【0051】

この場合において、ガンマ演算回路11は、液晶表示装置1を使用している環境に応じて、変更後ガンマ値を切りかえる機能を備えている。ガンマ演算回路11は、ガンマ選択信号37にตอบสนองして、複数のガンマ特性に対応させるガンマ演算を実行する。図7および図8は、上述の動作を具体的に例示する図である。以下に、本願発明に関する理解を容易にするために、入力画像データ31のガンマ値を変更しない場合と、入力画像データ31のガンマ値を変更する場合とに場合分けして、本実施形態に関する説明を行っていく。

30

【0052】

[ガンマ値を変更しない場合]

図7の(a)は、ガンマ演算回路11によるガンマ補正を行わない場合における、入力画像データ31ーガンマ演算結果データの関係を示すグラフである。ガンマ演算回路11は、図7の(a)のグラフ41に示されるような演算式を満たすようにガンマ演算結果データを生成する。図7の(a)を参照すると、ガンマ演算回路11は、入力画像データ31にตอบสนองしてグラフ41に対応する演算を実行してガンマ演算結果データを出力する。ガンマ演算回路11は、その上位jビットを上位ビットデータ32としてLUT12に供給する。

【0053】

40

図7の(b)は、ガンマ演算結果データーLUT出力の関係を示すグラフである。グラフ42は、LUT12に保持されているVTデータに対応している。図7の(b)を参照すると、LUT12は、ガンマ演算回路11から供給される上位ビットデータ32にตอบสนองして、対応するアドレスのVTデータを参照する。LUT12は、その参照によって得られたデータと、その対応するアドレスに隣り合うアドレスのVTデータとを、LUT出力として線形補間D/Aコンバータ13に供給する。図7の(b)に示されているように、LUT12は液晶表示パネル2のV-T特性に対応するVTデータを保持している。そのため、そのVTデータをプロットすると、グラフ42に示されるような曲線を描く。したがって、LUT12から出力されるLUT出力は、液晶表示パネル2のV-T特性を含むデータとして出力される。

50

【0054】

[ガンマ値を変更する場合]

図8の(a)は、ガンマ演算回路11が、入力画像データ31に対するガンマ補正を実行する場合における、入力画像データ31－ガンマ演算結果データの関係を示すグラフである。本実施形態のガンマ演算回路11は、ガンマ選択信号37に応答して、ガンマ補正演算を変更する。例えば、図7の(a)では、入力画像データ31のガンマ値が $\gamma = 2.2$ に対応する画像データであった場合、上位ビットデータ32のガンマ値も $\gamma = 2.2$ となる。ガンマ選択信号37によって、上位ビットデータ32のガンマ値を変更する命令を受けたとき、ガンマ演算回路11は、その命令に応答して、下記(3)式に対応するようなガンマ値 γ を算出し、上記(1)式に代入する。

10

ガンマ値 $\gamma = \text{変更後のガンマ値} / \text{基準ガンマ値} \cdots (3)$

ここで、基準ガンマ値は、LUT12に設定されているガンマ値である。

【0055】

例えば、基準ガンマ値として入力画像データ31に対応する $\gamma = 2.2$ が設定され、変更後のガンマ値を2.4にしたい場合、

$$\begin{aligned} \text{ガンマ値 } \gamma &= 2.4 / 2.2 \\ &= 1.090909 \cdots \end{aligned}$$

となる。入力画像データ31が8ビットデータであり、ガンマ演算結果データが10ビットデータである場合、このガンマ値 γ を(1)式に代入することによって、

$$\text{ガンマ演算結果データ} = 1020 \text{ (入力画像データ} \div 255) \cdot 1.090909 \cdots$$

20

となる。

【0056】

図8の(a)を参照すると、ガンマ演算回路11は、グラフ51に示されるような演算式を満たすようにガンマ演算結果データを生成する。ガンマ演算回路11は、ガンマ演算回路11は、入力画像データ31に応答してグラフ51に対応する演算を実行してガンマ演算結果データを出力する。図8の(a)に示されているように、ガンマ演算回路11は、入力画像データ31と異なるガンマ値に対応する画像データをガンマ演算結果データとしている。ガンマ演算回路11は、その上位jビットを上位ビットデータ32としてLUT12に供給する。

【0057】

30

図8の(b)は、図7の(b)と同様のガンマ演算結果データ－LUT出力の関係を示すグラフである。グラフ42は、LUT12に保持されているVTデータに対応している。図8の(b)を参照すると、LUT12は、ガンマ演算回路11から供給される上位ビットデータ32に応答して、対応するアドレスのVTデータを参照する。上述のように、上位ビットデータ32は、入力画像データ31と異なるガンマ値に対応する画像データの上位jビットデータである。そのため、図7に示される場合に比較して、偏りを持ったデータが上位ビットデータ32として供給される。LUT12は、その上位ビットデータ32を、液晶表示パネル2のV－T特性に対応するように補正している。

【0058】

上述のように、本実施形態のコントロールドライバ3には、ガンマ演算回路11とLUT12と線形補間回路23とリニアDAC24とが備えられている。そのコントロールドライバ3は、ガンマ演算回路11とLUT12とによって入力画像データの補正を行っている。その後、線形補間回路23とリニアDACとにより、補正後のデータに対し線形補間を行ってデータ線を駆動するための出力電圧を生成している。上述のように、本実施形態のコントロールドライバ3は、減色処理を行うことなく出力電圧を生成している。

40

【0059】

以下に、8ビット画像データに対してガンマ補正を行い、10ビット画像データに拡張する場合を例示して本実施形態のコントロールドライバ3の動作に関して説明を行う。図9は、本実施形態のコントロールドライバ3を適用可能な液晶表示パネルの階調－電圧特性を示すテーブルである。この場合において、たとえば、入力される階調データが10の

50

場合で、ガンマ＝2.2からガンマ＝2.4に補正を行うときには、上記（1）式および（3）式より、

$$\begin{aligned}\text{出力データ} &= 1020 \times (10 / 255)^{2.4 / 2.2} \\ &= 29.8\end{aligned}$$

を得る。

【0060】

この値に対し、四捨五入などの処理をして10ビット階調における30階調データを出
力する。本実施形態のLUT12は、この上位6ビットでデータを参照する。図9の6ビ
ット階調65に示されているように、LUT12は、その参照によって6ビット1階調と
6ビット2階調を選択する。線形補間回路24は、この値と下位4ビットのデータとに基
づいて線形補間を行う。図9に参照すると、この場合における出力電圧（線形補間デー
タ36）は、上述の（2）式より、

$$\begin{aligned}\text{出力電圧} &= (3.7 - 3.2) \times (16 - 14) / 16 + 3.2 \\ &= 3.2625\text{V}\end{aligned}$$

となる。

【0061】

ここにおいて、上記の条件におけるガンマ補正を実行する場合、従来の液晶表示装置で
は、コントールドライバに入力される前も8ビット画像データに対し、10ビット画像
データに拡張する処理を実行している。そして、従来のコントールドライバが8ビット
入力の場合、10ビットまで拡張したデータに対して減色処理を行ってからコントールド
ライバにデータを供給している。具体的には、従来の液晶表示装置において、入力され
る階調データが10の場合で、ガンマ＝2.2からガンマ＝2.4に補正する場合、

$$\begin{aligned}1023 \times (10 / 255)^{2.4 / 2.2} \\ = 29.9\end{aligned}$$

という演算をおこない、四捨五入などの処理をして、10ビット階調における30階調
データを得ている。ここで、その後実行される減色処理が単純に下位2ビットを削る処理
であるとする、10ビット階調における30階調データは、8ビット階調の7階調デー
タ（3.4V）に変換される。（ $30 \gg 2 = 7$ ）。

【0062】

図9を参照すると、実際には、8ビット階調で7.5階調（3.3V）を出力することが
ガンマ2.2からガンマ2.4に補正していることになる。しかしながら、上述したよ
うに、この場合には、3.4Vが従来のコントールドライバに供給される。そのため、
0.1Vの誤差が生じてしまう。また、FRCや、ディザといった減色処理をおこなうと
、減色による画像劣化が生じる（FRCならフリッカが生じ、ディザなら粒状感が生じて
しまう）。

【0063】

しかしながら、本実施形態のコントールドライバは、ガンマ2.2からガンマ2.4
に補正したときの出力電圧として、

$$\begin{aligned}\text{出力電圧} &= (3.7 - 3.2) \times (16 - 14) / 16 + 3.2 \\ &= 3.2625\text{V}\end{aligned}$$

を得ている。このように、従来の液晶表示装置におけるガンマ補正では、8ビット階調
の段階でガンマ補正を行っているのに対し、本実施形態のコントールドライバは、10
ビット階調の精度で電圧を出力することができる。そのため、本実施形態のコントールド
ライバは、従来よりも誤差を小さくすることが出来る。

【0064】

さらに、上述のように、ガンマ演算回路11は、ガンマ選択信号37に応答して、実行
するガンマ演算処理を切り換えている。また、LUT12は、ガンマ演算回路11がどの
ようなガンマ演算処理を実行しても、その処理結果に依存することなく、V-T特性の補
正を行っている。上述のように、ガンマ演算回路11は、組み合わせ回路（または順序回
路）などのデータを読み替える機能を有する回路で構成されている。したがって、ガンマ

10

20

30

40

50

演算回路は、特定のガンマ値に対応している入力画像データを、他のガンマ値に対応するデータに変換するときに、その他のガンマ値をリアルタイムに切り換えることができる。

【0065】

また、LUT12は、液晶表示パネル2のV-T特性に対応して構成されている。本実施形態のLUT12は、書き換え可能なメモリに保持されている。したがって、本実施形態のコントロールドライバ3は、LUT12の内容を更新することで、異なるV-T特性の液晶表示パネル2に対応することができる。

【0066】

また本実施形態のコントロールドライバ3は、例えば、入力画像データ31が8ビットデータのデータであり、上位ビットデータ32が6ビット、LUT12は、その6ビットデータの上位ビットデータ32で、データの読み替えを行う。このとき（LUT12へ入力されるデータが6ビットデータであるとき）、LUT12の第1LUT21と第2LUT22とを、8ビットで構成することによって、そのデータが潰れることを防止することができる。本実施形態の線形補間部23は、この後、第1出力データ34と第2出力データ35とを、4ビットデータである下位ビットデータ33を用いて線形補間をしている。上記の場合（第1LUT21と第2LUT22とが8ビットで構成されている場合）、

$8 \text{ ビット} \times 64 \text{ 階調} \times 2 = 1024 \text{ ビット}$
でLUT12を構成することができる。

【0067】

従来のLUTで上記の入力画像データ31を処理する場合には、

$256 \text{ 階調} \times 10 \text{ ビット} = 2560 \text{ ビット}$

が必要となる。したがって、本実施形態のコントロールドライバ3は、従来のコントロールドライバに比較して、LUTに要するメモリ容量を削減することが可能となる。

【0068】

〔第2の実施形態〕

以下に、図面を参照して、本願発明の第2の実施形態について説明を行う。図10は、本願発明の第2の実施形態の構成を例示するブロック図である。図10を参照すると、第2の実施形態の線形補間D/Aコンバータ13は、第1リニアDAC25と、第2リニアDAC26と、アナログ線形補間回路27とを含んで構成されている。

【0069】

第1リニアDAC25と第2リニアDAC26は、電源電圧生成回路9から供給される電源電圧に基づいて、入力されるデータ（線形補間データ）を電圧値に変換する回路である。第1リニアDAC25と第2リニアDAC26は、リニアDAC部24と同様に、入力されるデータと出力する電圧値との重み付けが一定（リニア）である。したがって、第1リニアDAC25は、第1出力データ34に対応して、線形的に第1アナログ信号61を出力する。同様に、第2リニアDAC26は、第2出力データ35に対応して、線形的に第2アナログ信号62を出力する。アナログ線形補間回路27は、第1アナログ信号61と第2アナログ信号62の中間の電圧を特定する回路である。

なお、第2の実施形態において、電源電圧生成回路9から線形補間D/Aコンバータ13に供給される電源電圧は 2^{j+1} 個である。第1リニアDAC25は、 2^{j+1} 個の電源電圧の中から第1出力データ34により選択された第1アナログ信号61をアナログ線形補間回路27に供給している。同様に第2リニアDAC26は、 2^{j+1} 個の電源電圧の中から第2出力データ35により選択された第2アナログ信号62をアナログ線形補間回路27に供給している。

図10に示されているように、アナログ線形補間回路27は、ガンマ演算回路11から出力される下位ビットデータ33に基づいて、第1アナログ信号61と第2アナログ信号62を直線補間することによってデータ線駆動回路8に供給するアナログ電圧値を生成する。

【0070】

本実施形態におけるLUT12は、V-T特性に対応した第1出力データ34と第2出

10

20

30

40

50

力データ35とを、線形補間D/Aコンバータ13に出力している。つまり、LUT12から出力される第1出力データ34と第2出力データ35とは、階調データの重みと電圧の重みとが比例している。第2の実施形態の線形補間D/Aコンバータ13では、第1リニアDAC25と第2リニアDAC26が、共に特性がリニアであり、アナログ線形補間回路27が、演算によって二つの電圧の中間の電圧を算出している。したがって、第2の実施形態の線形補間D/Aコンバータ13は、V-T特性に依存することなく、LUT12から出力される第1出力データ34と第2出力データ35とに基づいて、アナログ演算によって出力電圧を生成することが可能となる。

【0071】

[第3の実施形態]

以下に、図面を参照して、本願発明の第3の実施形態について説明を行う。上述の実施形態では、第1LUT21と第2LUT22とが、VTデータを上位ビットデータ32のビット数“j”に対応するデータを1セットずつ(=上位j×2セット)備えている。上述の実施形態では、第1LUT21と第2LUT22との各々から出力されるデータの間に補間している。第3の実施形態におけるガンマ変換部7は、LUT12を小さくするため、上位ビットデータ32のビット数“j”に対応する1セットのVTデータによって、適切な線形補間を行なう構成である。

【0072】

図11は、本願発明の第3の実施形態の構成を例示するブロック図である。第3の実施形態のLUT12は、偶数用LUT21aと奇数用LUT22aと信号比較部28と加算器29とを含んで構成されている。加算器29は、上位ビットデータ32に+1した値を、第1LUT21aに供給している。偶数用LUT21aのアドレスには、その上位ビットデータ32に+1した値から、下位1bitを切り捨てた値が入力される。また、奇数用LUT22aのアドレスには上位ビットデータ32のデータから下位1bitを切り捨てた値が入力される。

【0073】

また、第3の実施形態において、偶数用LUT21aと奇数用LUT22aの後段には、信号比較部28が備えられている。図11に示されているように、信号比較部28には上位ビットデータ最下位ビット39が供給されている。信号比較部28は、上位ビットデータ最下位ビット39に基づいて偶数用LUT21aから出力される第1出力データ34と奇数用LUT22aから出力される第2出力データ35との大きさを比較する。信号比較部28は、上位ビットデータ最下位ビット39が“1”(上位ビットデータ32が奇数)の場合、

偶数用LUT出力>奇数用LUT出力

と判断する。同様に、信号比較部28は上位ビットデータ最下位ビット39が“0”の場合、

偶数用LUT出力<奇数用LUT出力

と判断する。

【0074】

このとき、信号比較部28は、偶数用LUT出力と奇数用LUT出力との入れ替えが必要な場合、上位ビットデータ最下位ビット39に基づいて偶数用LUT出力と奇数用LUT出力とを入れ替えて線形補間部23に供給する。つまり、信号比較部28は、適切な線形補間が実行できるように、偶数用LUT出力、または、奇数用LUT出力のどちらか一方を第1出力データ34として線形補間部23に供給する。そして信号比較部28は、他方を第2出力データ35として線形補間部23に供給する。線形補間部23は信号比較部28から出力される第1出力データ34と第2出力データ35に対して、線形補間を行う。

【0075】

本実施形態において、上位ビットデータ32のビット数“j”に対応する1セットのVTデータで線形補間を実現するためには、たとえば、

第0 VTデータと第1 VTデータ、
 第1 VTデータと第2 VTデータ、
 第2 VTデータと第3 VTデータ、
 といった組み合わせの出力が必要となる。以下に、図面を参照して、本実施形態の詳細な構成と動作について説明を行う。

【0076】

図12は、第3の実施形態におけるLUT12の構成と、そのLUT12を構成する偶数用LUT21aおよび奇数用LUT22aに保持されるVTデータの構成を例示するテーブルである。図12に示されているように、上位ビットデータ32のビット数“j”に対応するデータを、2つのLUT（偶数用LUT21a、奇数用LUT22a）に分けて格納すると、

アドレス	奇数用LUT	偶数用LUT
0	第1 VTデータ	第0 VTデータ
1	第3 VTデータ	第2 VTデータ
	...	
$2^{(j-1)} - 2$	第 2^{j-3} VTデータ	第 2^{j-4} VTデータ
$2^{(j-1)} - 1$	第 2^{j-1} VTデータ	第 2^{j-2} VTデータ

となる。

【0077】

ここにおいて、図12に示されているように、第3の実施形態のLUT12では、偶数用LUT21aに入力するアドレスとして、

$(\text{上位ビットデータ} + 1) \gg 1$

が与えられる。また、奇数用LUT22aに入力するアドレスとして、

$(\text{上位ビットデータ}) \gg 1$

が与えられる。これによって、第3の実施形態のLUT12は、第0 VTデータと第1 VTデータとの組や第2 VTデータと第3 VTデータとの組だけでなく、第1 VTデータと第2 VTデータの組を出力させることが可能になる。

【0078】

信号比較部28は、出力された2つのVTデータをガンマ演算後のデータの下位bit（上位ビットデータ最下位ビット39）を用いて補間を行う。第3の実施形態のコントロールドライバ3は、このような構成・動作によって、ガンマ演算によるbit拡張のデータを、液晶のVT特性に沿った値を用いて補間することができる。つまり、第3の実施形態のコントロールドライバ3は、様々な液晶パネルのVT特性に沿ったガンマ演算が可能で、かつ、bit拡張データを液晶に印加する電圧として出力することが可能である。

【0079】

以下に、具体的な数値を用いて第3の実施形態について説明を行う。図13は、上位ビットデータ32として2（“6'b000010”）が入力された場合の動作を例示する図である。図13を参照すると、上位ビットデータ32として2が入力された場合、偶数用LUT21aのアドレスには、

$$\begin{aligned} & (6'b000010 + 6'b000001) \gg 1 \\ & = 5'b00001 \\ & = 1 \end{aligned}$$

が入力される。

【0080】

図13に示されているように、偶数用LUT21aのアドレスに1が入力されるとき、偶数用LUT21aは第2 VTデータを出力する。同様に、上位ビットデータ32として2が入力された場合、奇数用LUT22aのアドレスには、

$$\begin{aligned} & (6'b000010) \gg 1 \\ & = 5'b00001 \\ & = 1 \end{aligned}$$

10

20

30

40

50

が入力される。したがって、図 13 に示されているように、奇数用 LUT 22a のアドレスには 2 が入力された場合、奇数用 LUT 22a は第 3 VT データを出力する。

【0081】

図 13 を参照すると、このとき上位ビットデータ最下位ビット 39 が 0 なので、信号比較部 28 は、奇数用 LUT のデータと偶数用 LUT のデータとを入れ替えることなく、第 2 VT データを第 1 出力データ 34 (第 1 LUT 出力) とし、第 3 VT データを第 2 出力データ 35 (第 2 LUT 出力) として線形補間 D/A コンバータ 13 に供給する。

【0082】

図 14 は、上位ビットデータ 32 として 3 (“6'b000011”) が入力された場合の動作を例示する図である。図 14 を参照すると、上位ビットデータ 32 として 3 が入力された場合、偶数用 LUT 21a のアドレスには $(3+1)/2=2$ が入力される。偶数用 LUT 21a のアドレスに 2 が入力されるとき、偶数用 LUT 21a は、第 4 VT データを出力する。このとき奇数用 LUT 22a のアドレスには 1 が入力され、それによって奇数用 LUT 22a は第 3 VT データを出力する。

ここで、図 14 を参照すると、上位ビットデータ最下位ビット 39 は 1 である。したがって、信号比較部 28 は奇数用 LUT 出力と偶数用 LUT 出力を入れ替えて、第 3 VT データを第 1 出力データ 34 (第 1 LUT 出力) とし、第 4 VT データを第 2 出力データ 35 (第 2 LUT 出力) として線形補間 D/A コンバータ 13 に供給する。

【0083】

これにより、第 3 の実施形態の LUT 12 は、1 セットの VT データで、その VT データの補間を行うために必要なデータを出力する事ができる。また、LUT 12 の大きさを

8 ビット $\times$ 偶数 32 階調 + 8 ビット $\times$ 奇数 32 階調 = 512 ビット
とすることが可能になる。

なお、信号比較部 28 が、上位ビットデータ最下位ビット 39 を用いることなく偶数用 LUT 出力と奇数用 LUT 出力の大きさそのものを比較する構成であっても良い。この場合において、信号比較部 28 は、大きい方を第 1 出力データ 34 として出力し、小さい方を第 2 出力データ 35 として出力する。

【0084】

[第 4 の実施形態]

以下に、図面を参照して、本発明の第 4 の実施形態について説明を行う。図 15 は、第 4 の実施形態におけるガンマ変換部 7 の構成を例示するブロック図である。第 4 の実施形態のガンマ変換部 7 は、上位ビットデータ 32 のビット数 “j” に対応する 1 セットの VT データによって、適切な線形補間を行なう構成である。図 15 を参照すると、第 4 の実施形態におけるガンマ変換部 7 の LUT 12 は、第 3 の実施形態の LUT 12 と同様の構成である。また、第 4 の実施形態におけるガンマ変換部 7 の線形補間 D/A コンバータ 13 は、第 2 の実施形態と同様の構成である。

【0085】

本実施形態において、上述の第 3 の実施形態と同様の動作によって第 1 出力データ 34 と第 2 出力データ 35 とを線形補間 D/A コンバータ 13 に供給している。線形補間 D/A コンバータ 13 の第 1 リニア DAC 25 は、 2^{j+1} 個の電源電圧の中から第 1 出力データ 34 により選択された第 1 アナログ信号 61 をアナログ線形補間回路 27 に供給している。同様に第 2 リニア DAC 26 は、 2^{j+1} 個の電源電圧の中から第 2 出力データ 35 により選択された第 2 アナログ信号 62 をアナログ線形補間回路 27 に供給している。

【0086】

これにより、第 4 の実施形態のガンマ変換部 7 は、上位ビットデータ 32 のビット数 “j” に対応する 1 セットの VT データで線形補間を実現することが可能となる。ここにおいて、線形補間 D/A コンバータ 13 は、V-T 特性に依存することなく、LUT 12 から出力される第 1 出力データ 34 と第 2 出力データ 35 とに基づいて、アナログ演算によって出力電圧を生成することが可能となる。

【0087】

上述してきた複数の実施形態において、ガンマ演算回路11は、ある特定のガンマ値に対応する入力画像データ31を、他のガンマ値に対応するデータ（演算結果データ）に変換する演算処理（ガンマ演算処理）を行っている。ガンマ演算回路11は、液晶表示パネル2のV-T特性に依存することなくガンマ演算処理を行うので、変更後ガンマ値に対応するデータである演算結果データは、変更後ガンマ値が決まれば一義的に決定する。そのため、変更後ガンマ値が決定している場合、ガンマ演算回路11を組み合わせ回路（または、順序回路）で構成することができ、LUTを有することなく回路規模の小さいガンマ演算回路11を構成することができる。

【0088】

また、上述してきた複数の実施形態において、ガンマ演算回路11は、ガンマ選択信号37に応答して変更後ガンマ値をリアルタイムで切り換えることができる構成を備えている。そのため、液晶表示装置1の周辺環境の変化などに対応して、速やかに画像が表示される状態を変更することが可能である。

【0089】

また、上述の複数の実施形態において、ガンマ演算回路11から出力されるデータ（ガンマ演算結果データ）は、入力画像データ31のビット数よりも拡張されている。上述のように、LUT12での補正処理では、拡張されたビット数に対応する二つのデータに対して線形補間を行っている。したがって、本実施形態のコントロールドライバ3では、減色処理を行うことなく出力電圧をデータ線駆動回路8に供給することができる。

【0090】

なお、本実施形態において、減色処理を行っても良い。従来の液晶表示装置のコントロールドライバでは、減色処理を行った後にV-T特性の補正を行っていた。したがって、従来のコントロールドライバでは、LUTに内蔵されている値に対応する誤差が生じてしまっていた。上述してきた実施形態において、コントロールドライバ3が減色処理を行う場合には、線形補間を行った後に減色処理を実行することになる。この場合、減色処理後の誤差は、LUTから出力されるデータに対し線形補間を行った後の値に対応する誤差となる。したがって、従来のコントロールドライバよりも小さい誤差にすることが可能である。

【図面の簡単な説明】

【0091】

【図1】図1は、液晶表示装置1の構成を例示するブロック図である。

【図2】図2は、第1の実施形態におけるガンマ変換部7の構成を例示するブロック図である。

【図3】図3は、LUT12における入力と出力との対応を示すグラフである。

【図4】図4は、LUT12における入力と出力との対応を示すグラフである。

【図5】図5は、LUT12に格納されるVTデータを示す図である。

【図6】図6は、ガンマ変換部7に入力画像データ31が供給されたときの動作を例示する図である。

【図7】図7は、ガンマ変換部7の動作を具体的に例示する図である。

【図8】図8は、ガンマ変換部7の動作を具体的に例示する図である。

【図9】図9は、液晶表示パネルの階調－電圧特性を示すテーブルである。

【図10】図10は、第2の実施形態の構成を例示するブロック図である。

【図11】図11は、第3の実施形態の構成を例示するブロック図である。

【図12】図12は、第3の実施形態におけるLUT12に保持されるVTデータの構成を例示するテーブルである。

【図13】図13は、第3の実施形態におけるLUT12の動作を例示する図である。

【図14】図14は、第3の実施形態におけるLUT12の動作を例示する図である。

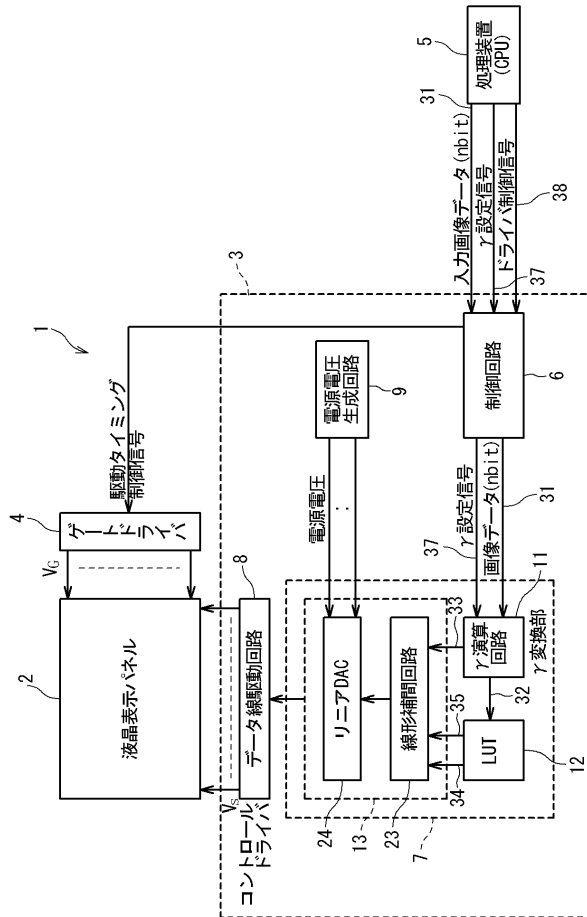
【図15】図15は、第4の実施形態の構成を例示するブロック図である。

【符号の説明】

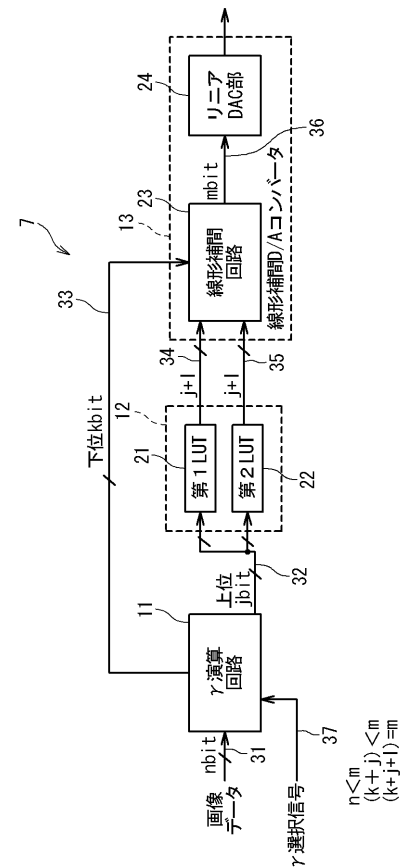
【0092】

1…液晶表示装置	
2…液晶表示パネル	
3…コントロールドライバ	
4…ゲートドライバ	
5…処理装置	
6…制御回路	
7…ガンマ変換部	
8…データ線駆動回路	
9…電源電圧生成回路	10
11…ガンマ演算回路	
12…LUT (Look-up Table)	
13…線形補間D/Aコンバータ	
21…第1LUT	
22…第2LUT	
21a…偶数用LUT	
22a…奇数用LUT	
23…線形補間部	
24…リニアDAC部	
25…第1リニアDAC	20
26…第2リニアDAC	
27…アナログ線形補間回路	
28…信号比較部	
29…加算器	
31…入力画像データ	
32…上位ビットデータ	
33…下位ビットデータ	
34…第1出力データ	
35…第2出力データ	
36…出力電圧	30
37…ガンマ選択信号	
38…ドライバ制御信号	
39…上位ビットデータ最下位ビット	
41…グラフ	
42…グラフ	
51…グラフ	
61…第1アナログ信号	
62…第2アナログ信号	

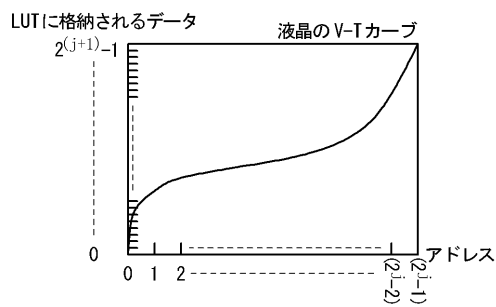
【図 1】



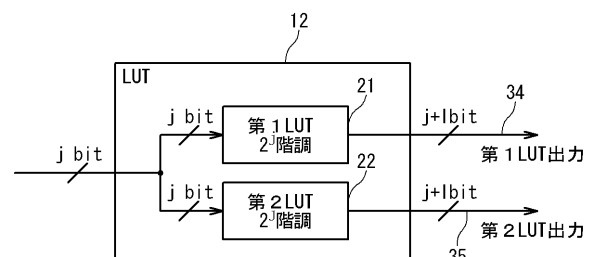
【図 2】



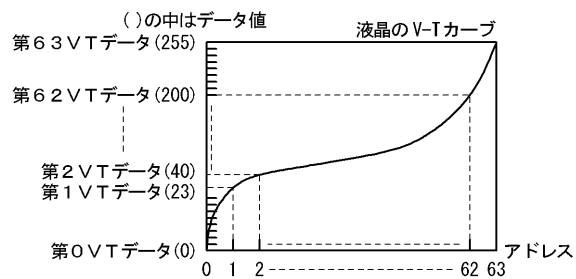
【図 3】



【図 5】

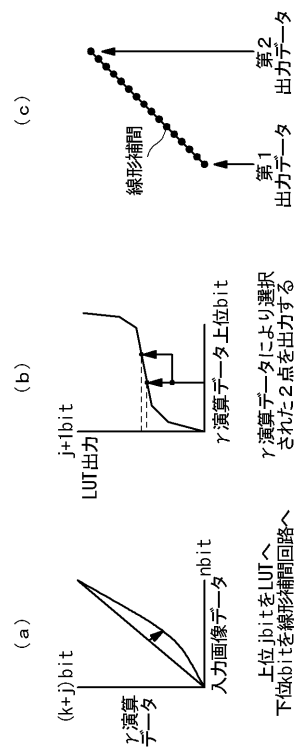


【图 4】

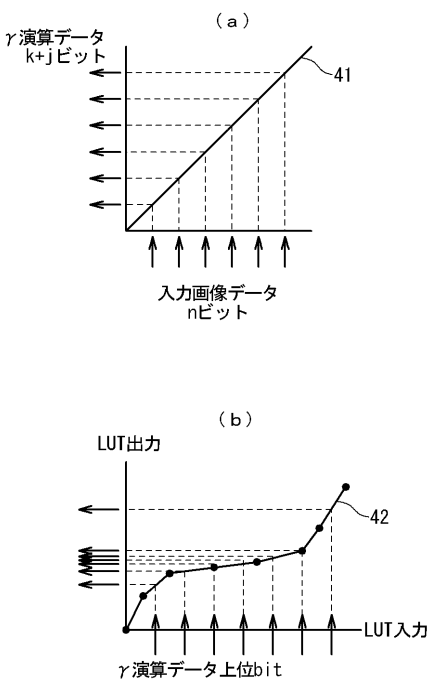


アドレス	第1LUT (j + 1 bit)	第2LUT (j + 1 bit)
0	第0VTデータ	第1VTデータ
1	第1VTデータ	第2VTデータ
...	...	...
$2^j - 2$	第 $2^j - 2$ VTデータ	第 $2^j - 1$ VTデータ
$2^j - 1$	第 $2^j - 1$ VTデータ	第 $2^j - 1$ VTデータ

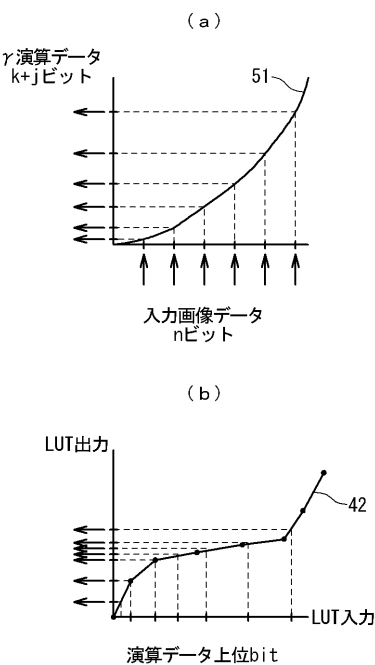
【図 6】



【図 7】



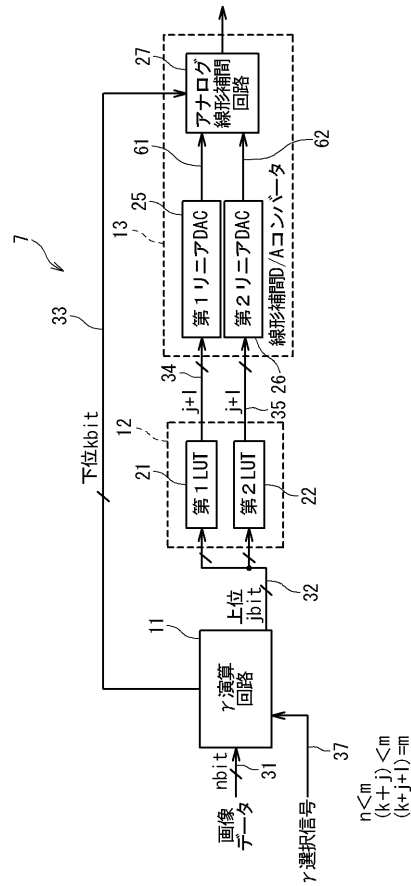
【図 8】



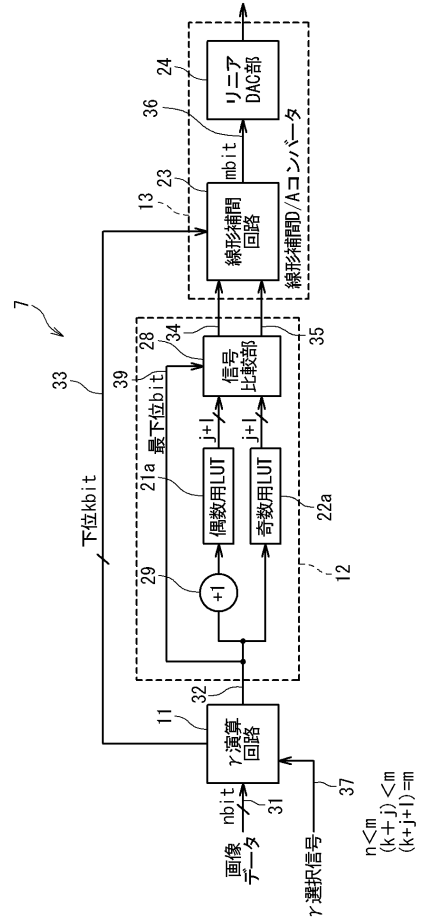
【図 9】

63		64		65	
10bit階調		8bit階調		6bit階調	
階調	電圧	階調	電圧	階調	電圧
16	3.7	4	3.7	1	3.7
20	3.6	5	3.6		
24	3.5	6	3.5		
28	3.4	7	3.4		
30	3.3	7.5	3.3		
32	3.2	8	3.2	2	3.2

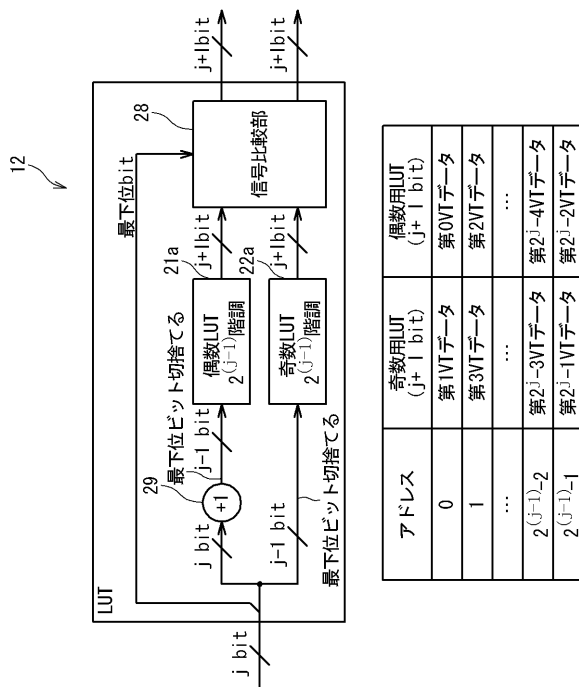
【図 10】



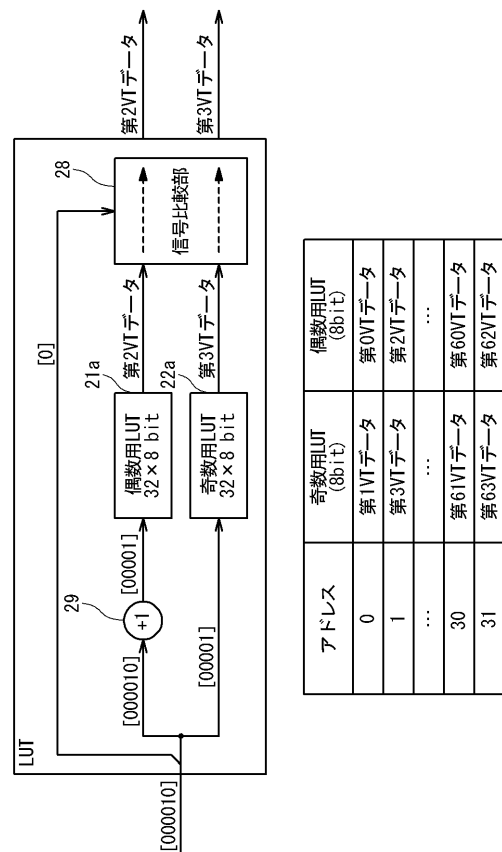
【図 11】



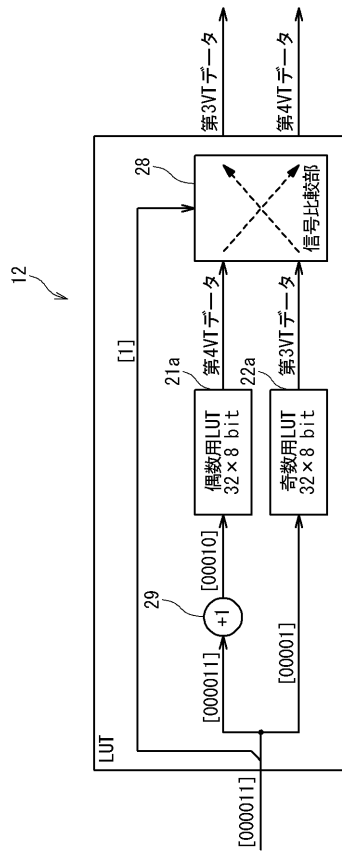
【図 12】



【図 13】

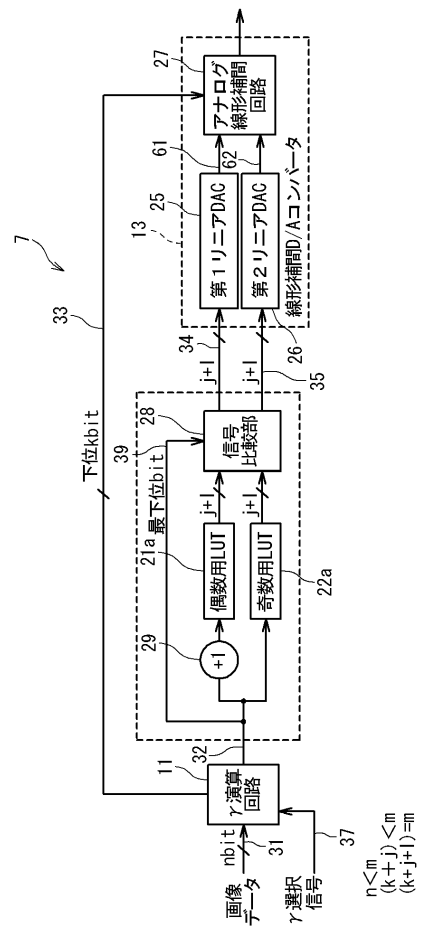


【図 14】



アドレス	奇数用LUT (8bit)	偶数用LUT (8bit)
0	第1VTデータ	第0VTデータ
1	第3VTデータ	第2VTデータ
...	...	...
30	第61VTデータ	第60VTデータ
31	第63VTデータ	第62VTデータ

【図 15】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 1 R
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/20 6 5 0 M
G 0 2 F 1/133 5 0 5
G 0 2 F 1/133 5 7 5

(56)参考文献 特開 2 0 0 9 - 0 2 0 4 7 9 (J P, A)
特開平 0 2 - 1 3 0 5 8 6 (J P, A)
特開 2 0 0 7 - 2 4 8 7 2 3 (J P, A)
特開 2 0 0 7 - 1 3 9 8 4 2 (J P, A)
特開平 0 7 - 0 5 6 5 4 5 (J P, A)
特開平 1 1 - 0 6 4 8 2 5 (J P, A)

(58)調査した分野(Int.Cl., D B名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置，用于液晶显示装置的控制驱动器		
公开(公告)号	JP5035973B2	公开(公告)日	2012-09-26
申请号	JP2007178493	申请日	2007-07-06
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	降旗弘史 能勢崇		
发明人	降旗 弘史 能勢 崇		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3685 G09G2310/027 G09G2320/0673		
FI分类号	G09G3/36 G09G3/20.641.Q G09G3/20.631.V G09G3/20.623.F G09G3/20.632.C G09G3/20.631.R G09G3/20.641.C G09G3/20.650.M G02F1/133.505 G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NA57 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC28 2H093/ND06 2H093/ND42 2H093/ND49 2H093/NH18 2H193/ZD23 2H193/ZF12 2H193/ZF13 2H193/ZF17 2H193/ZF18 2H193/ZF22 2H193/ZF36 2H193/ZH07 2H193/ZH23 2H193/ZH52 5C006/AA16 5C006/AF06 5C006/AF11 5C006/AF45 5C006/AF46 5C006/AF47 5C006/AF83 5C006/AF84 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF28 5C006/BF43 5C006/EB05 5C006/FA04 5C006/FA12 5C006/FA18 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD04 5C080/DD21 5C080/DD22 5C080/DD25 5C080/DD28 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ05		
代理人(译)	工藤稔		
其他公开文献	JP2009015136A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其控制驱动器，能够响应输入的图像数据显示适当的图像。ŽSOLUTION：该液晶显示装置的控制驱动器具有操作电路11，该操作电路11执行用于在液晶显示面板2上正确显示从外部输入的输入图像数据31的图像以产生操作数据的操作，LUT（查找表12），其中描述了表示液晶显示板2的VT（电压 - 透射率）特性的VT数据，以及产生输出电压的线性插值D / A转换器13，该输出电压被输入到液晶显示板2中。响应从LUT 12馈送的显示数据34和35

アドレス	第1LUT (j+ 1 bit)	第2LUT (j+ 1 bit)
0	第0VTデータ	第1VTデータ
1	第1VTデータ	第2VTデータ
...	...	...
2 ^j -2	第2 ^j -2VTデータ	第2 ^j -1VTデータ
2 ^j -1	第2 ^j -1VTデータ	第2 ^j -1VTデータ