

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5022009号
(P5022009)

(45) 発行日 平成24年9月12日 (2012. 9. 12)

(24) 登録日 平成24年6月22日 (2012. 6. 22)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 621F

G09G 3/20 642B

G09G 3/20 623X

G09G 3/20 623M

請求項の数 3 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2006-324834 (P2006-324834)
 (22) 出願日 平成18年11月30日 (2006. 11. 30)
 (65) 公開番号 特開2007-156473 (P2007-156473A)
 (43) 公開日 平成19年6月21日 (2007. 6. 21)
 審査請求日 平成21年7月28日 (2009. 7. 28)
 (31) 優先権主張番号 10-2005-0115197
 (32) 優先日 平成17年11月30日 (2005. 11. 30)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 gtong-gu, Suwon-si, G
 yeonggi-do, Republic
 of Korea

(74) 代理人 110000051

特許業務法人共生国際特許事務所

(72) 発明者 文 國 哲

大韓民国 京畿道 龍仁市 新鳳洞 現代
アパート 404棟 301号

最終頁に続く

(54) 【発明の名称】 液晶パネルのデータ駆動装置

(57) 【特許請求の範囲】

【請求項 1】

n (n は任意の自然数) 個のデータラインから構成された複数のデータブロックを含む液晶パネルと、

前記液晶パネルの第1データブロックにデータ信号を印加するとき前記第1データブロックと隣接した第2データブロックの1番目のデータラインに所定の電圧をプリチャージするデータ駆動部と、を具備し、

前記データ駆動部は、

前記 n 個のデータラインに供給される n 個のデータ信号を供給する n 個のデータバス及び前記所定の電圧を供給する補助データバスと、

前記各データブロックに対応するサンプリング制御信号を生成して供給する複数のシフトレジスタと、

前記サンプリング制御信号のそれぞれに応答して前記複数のデータブロックを順次に駆動しながら隣接した次のブロックの1番目のデータラインに前記所定の電圧をプリチャージする複数のサンプリングスイッチ部と、を具備し、

前記複数のシフトレジスタは、方向選択信号に基づいて順方向又は逆方向に駆動され、

前記複数のサンプリングスイッチ部のそれぞれは、

前記サンプリング制御信号に応答して n 個のデータバスを該当するデータブロックの n 個のデータラインと接続させる n 個のサンプリングスイッチと、

前記方向選択信号に従って前記所定の電圧がプリチャージされる次のブロックのデータ

10

20

ラインを選択するプリチャージ部と、を具備し、

前記プリチャージ部は、

前記方向選択信号と共に前記第 1 及び第 2 データブロックのそれぞれのサンプリング制御信号を用いて前記所定の電圧がプリチャージされるデータラインを選択し、

前記第 2 データブロックで前記第 1 データブロックと隣接した 1 番目のデータラインと接続された第 1 サンプリングスイッチと、

前記第 1 データブロックで前記第 2 データブロックと隣接した 1 番目のデータラインと接続された第 2 サンプリングスイッチと、

前記第 1 及び第 2 データブロックのそれぞれに対応する第 1 及び第 2 サンプリング制御信号と前記方向選択信号とを用いて前記第 1 及び第 2 サンプリングスイッチのうちのいずれか一つを前記補助データバスと接続させるプリチャージ制御部と、を具備することを特徴とする液晶パネルのデータ駆動装置。

10

【請求項 2】

前記所定の電圧は、

前記第 2 データブロックにデータ信号を印加するとき前記第 2 データブロックの 1 番目のデータラインに供給されるデータ信号と同一であることを特徴とする請求項 1 に記載の液晶パネルのデータ駆動装置。

【請求項 3】

前記プリチャージ制御部は、

前記第 1 サンプリング制御信号と方向選択信号とを N A N D 演算する第 1 N A N D 演算機と、

20

前記第 1 N A N D 演算機の出力を反転させ前記第 2 サンプリングスイッチを制御する第 1 インバータと、

前記方向選択信号を反転させる第 2 インバータと、

前記第 2 インバータを通じて反転された方向選択信号と前記第 2 サンプリング制御信号とを N A N D 演算する第 2 N A N D 演算機と、

前記第 2 N A N D 演算機の出力を反転させ前記第 1 サンプリングスイッチを制御する第 3 インバータと、を具備することを特徴とする請求項 1 に記載の液晶パネルのデータ駆動装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に、ブロック順次駆動によるブロック境界線不良を防止することができる液晶パネルのデータ駆動装置に関する。

【背景技術】

【0002】

通常の液晶表示装置は、ビデオ信号によって液晶セルの光透過率を調整することで液晶セルがマトリックス形態に配列された画像表示部にビデオ信号に対応する画像を表示する。液晶表示装置はアクティブマトリックス駆動のためにスイッチ素子である薄膜トランジスタを用いる。薄膜トランジスタはアモルファスシリコン薄膜または低温ポリシリコン（以下、LTPS）薄膜を用いる。ここで、LTPS 薄膜は、アモルファスシリコン薄膜をレーザーアニーリングなどの方法で結晶化した薄膜であり、電子移動度が早くて回路の高集積化が可能であるので画像表示部の駆動回路を基板上に内蔵することができる。

40

【0003】

LTPS 薄膜を用いて駆動回路が内蔵された液晶表示装置はブロック順次駆動方式でデータを画像表示部に供給する。即ち、LTPS 薄膜を用いた液晶表示装置はデータラインを複数のブロックに分割して一つの水平期間の間ブロック順にデータラインを駆動する。ところで、ブロック順次駆動方式では、各ブロックの最後のデータラインと接続された画

50

素電極に充電されたデータ電圧が、次のブロックのデータ充電の際に１番目のデータラインに供給されるデータ信号の干渉により変動してブロック境界線として視認される画質不良が発生する。

【０００４】

以下、図１を参照して従来のブロック順次駆動方式においてブロック境界線が発生する原因を具体的に示す。

【０００５】

図１は、従来のＬＴＰＳ薄膜を用いた液晶パネルの薄膜トランジスタ基板の一部を、データ駆動部を中心に示した等価回路図である。図１に示した液晶パネルは、画像表示部２０のデータライン（ $DLm1 \sim DL(m+1)n$ ）をブロック順に駆動するためのシフトレジスタ（ $SRm, SRm+1$ ）とサンプリングスイッチ部（ $SBm, SBm+1$ ）を含んで内蔵されたデータ駆動部１０を具備する。

【０００６】

画像表示部２０は、ゲートライン（ $GLi, GLi+1$ ）とデータライン（ $DLm1 \sim DL(m+1)n$ ）の交差で定義されたサブ画素領域に形成された画素電極１２と、画素電極１２を個々に駆動するための薄膜トランジスタＴＦＴを具備する。ゲートライン（ $GLi, GLi+1$ ）は液晶パネルに内蔵されたゲート駆動部（図示せず）によって順次駆動される。データライン（ $DLm1 \sim DL(m+1)n$ ）は、ゲートラインそれぞれが駆動される水平期間毎にブロック順に駆動され、データ駆動部１０を通じて供給されたデータ信号を充電する。薄膜トランジスタＴＦＴはゲートラインのスキャン信号に応答してデータライン（ $DLm1 \sim DL(m+1)n$ ）のデータ信号を画素電極１２に充電して保持されるようにする。

【０００７】

データ駆動部１０は画像表示部２０のデータライン（ $DLm1 \sim DL(m+1)n$ ）の画素ブロック（ $PBm, PBm+1$ ）を順次に駆動しながらデータバス（ $B1 \sim Bn$ ）を介して供給されたデータ信号（ $D1 \sim Dn$ ）を供給する。具体的に、データ駆動部１０のｍ番目及びｍ＋１番目のシフトレジスタ（ $SRm, SRm+1$ ）は順次にサンプリング制御信号を供給する。ｍ番目サンプリングスイッチ部 SBm のサンプリング位置（ $SW1 \sim SWn$ ）はｍ番目のシフトレジスタ（ SRm ）のサンプリング制御信号に応答してｎ個のデータバス（ $B1 \sim Bn$ ）を介して供給されたｎ個のデータ信号（ $D1 \sim Dn$ ）それぞれをサンプリングしてｍ番目の画素ブロック（ PBm ）のｎ個のデータライン（ $DLm1 \sim DLmn$ ）それぞれに充電する。それにより、ｍ番目画素ブロック（ PBm ）でゲートライン GL の駆動によりターンオンした薄膜トランジスタＴＦＴのデータライン（ $DLm1 \sim DLmn$ ）のデータ信号を画素電極１２にそれぞれ充電する。続いて、ｍ＋１番目シフトレジスタ（ $SRm+1$ ）のサンプリングスイッチ部（ $SBm+1$ ）が同様に駆動され、データバス（ $B1 \sim Bn$ ）からのｎ個のデータ信号（ $D1 \sim Dn$ ）をサンプリングしてｍ＋１番目の画素ブロック（ $PBm+1$ ）のデータライン（ $DL(m+1)1 \sim DL(m+1)n$ ）それぞれに充電する。それにより、ｍ＋１番目の画素ブロック（ $PBm+1$ ）でゲートライン GL の駆動でターンオンした薄膜トランジスタＴＦＴがデータライン（ $DL(m+1)1 \sim DL(m+1)n$ ）のデータ信号を画素電極１２にそれぞれ充電する。

【０００８】

ところで、ｍ＋１番目画素ブロック（ $PBm+1$ ）のデータライン（ $DL(m+1)1 \sim DL(m+1)n$ ）にデータ信号が充電されるとき、ｍ番目画素ブロック（ PBm ）の最後のデータライン（ $DLmn$ ）と接続された画素電極１２に充電されたデータ信号がｍ＋１番目画素ブロック（ $PBm+1$ ）の１番目のデータライン（ $DL(m+1)1$ ）に充電されたデータ信号の干渉で変動するようになる。これはｍ番目画素ブロック（ PBm ）の最後のデータライン（ $DLmn$ ）と接続された画素電極１２と、ｍ＋１番目の画素ブロック（ $PBm+1$ ）の１番目のデータライン（ $DL(m+1)1$ ）との間に形成された寄生キャパシタンスのカップリング作用に起因するものである。これにより、順次駆動されるｍ番目及びｍ＋１番目の画素ブロック（ $PBm, PBm+1$ ）の間に境界線が視認され

10

20

30

40

50

る不良が発生する。

【発明の開示】

【発明が解決しようとする課題】

【0009】

そこで、本発明は上記従来の問題点に鑑みてなされたものであって、本発明は、ブロック順に駆動される画素ブロック間の境界線不良を防止することができる液晶パネルのデータ駆動装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記目的を達成するためになされた本発明による液晶パネルのデータ駆動装置は、 n (n は任意の自然数)個のデータラインから構成された複数のデータブロックを含む液晶パネルと、前記液晶パネルの第1データブロックにデータ信号を印加するとき前記第1データブロックと隣接した第2データブロックの1番目のデータラインに所定の電圧をプリチャージするデータ駆動部と、を具備し、前記データ駆動部は、前記 n 個のデータラインに供給される n 個のデータ信号を供給する n 個のデータバス及び前記所定の電圧を供給する補助データバスと、前記各データブロックに対応するサンプリング制御信号を生成して供給する複数のシフトレジスタと、前記サンプリング制御信号のそれぞれに応答して前記複数のデータブロックを順次に駆動しながら隣接した次のブロックの1番目のデータラインに前記所定の電圧をプリチャージする複数のサンプリングスイッチ部と、を具備し、前記複数のシフトレジスタは、方向選択信号に基づいて順方向又は逆方向に駆動され、前記複数のサンプリングスイッチ部のそれぞれは、前記サンプリング制御信号に応答して n 個のデータバスを該当するデータブロックの n 個のデータラインと接続させる n 個のサンプリングスイッチと、前記方向選択信号に従って前記所定の電圧がプリチャージされる次のブロックのデータラインを選択するプリチャージ部と、を具備し、前記プリチャージ部は、前記方向選択信号と共に前記第1及び第2データブロックのそれぞれのサンプリング制御信号を用いて前記所定の電圧がプリチャージされるデータラインを選択し、前記第2データブロックで前記第1データブロックと隣接した1番目のデータラインと接続された第1サンプリングスイッチと、前記第1データブロックで前記第2データブロックと隣接した1番目のデータラインと接続された第2サンプリングスイッチと、前記第1及び第2データブロックのそれぞれに対応する第1及び第2サンプリング制御信号と前記方向選択信号とを用いて前記第1及び第2サンプリングスイッチのうちのいずれか一つを前記補助データバスと接続させるプリチャージ制御部と、を具備することを特徴とする。

前記所定の電圧は、前記第2データブロックにデータ信号を印加するとき前記第2データブロックの1番目のデータラインに供給されるデータ信号と同一である

【0019】

前記プリチャージ制御部は、前記第1サンプリング制御信号と方向選択信号とをNAND演算する第1NAND演算機と、前記第1NAND演算機の出力を反転させ前記第2サンプリングスイッチを制御する第1インバータと、前記方向選択信号を反転させる第2インバータと、前記第2インバータを通じて反転された方向選択信号と前記第2サンプリング制御信号とをNAND演算する第2NAND演算機と、前記第2NAND演算機の出力を反転させ前記第1サンプリングスイッチを制御する第3インバータと、を具備する。

【発明の効果】

【0020】

本発明による液晶パネルのデータ駆動装置によれば、各画素ブロックの駆動の際に次画素ブロックで現在画素ブロックと最も隣接したデータラインに該当するデータ信号をプリチャージさせ、次画素ブロックの駆動の際にプリチャージされた電圧と同一のデータを再充電させることで各画素ブロックのエッジ部に位置する画素電極の電圧変動を最小化することができる。

10

20

30

40

50

また、両方向駆動の際にも駆動方向によって現在画素ブロックと最も隣接した次画素ブロックのデータラインがプリチャージされるようにすることで各画素ブロックのエッジ部に位置する画素電極の電圧変動を最小化することができるようになる。

従って、画素ブロック間の信号干渉によるブロック境界線不良を防止することができるようになる。

【発明を実施するための最良の形態】

【0021】

上記技術的課題の他に、本発明の他の技術的課題及び特徴を、添付図面を参照した実施形態の説明を通して明白にする。

以下、本発明による液晶パネルのデータ駆動方法及び装置を実施するための最良の形態の具体例を、図面を参照しながらより詳細に説明する。

【0022】

図2は、本発明の一実施形態による液晶パネルのデータ駆動部が内蔵された薄膜トランジスタ基板の一部を示した等価回路図である。

【0023】

図2に示した液晶パネルは、画像表示部40のデータライン(DL_{m1} ~ DL_{(m+1)n})をブロック順に駆動するためのシフトレジスタ(SR_m、SR_{m+1})とサンプリングスイッチ部(SB_m、SB_{m+1})を含んで内蔵されたデータ駆動部30を具備する。

【0024】

画像表示部40は、ゲートライン(GL_i、GL_{i+1})とデータライン(DL_{m1} ~ DL_{(m+1)n})の交差で定義されたサブ画素領域に形成された画素電極42と、画素電極42を個々に駆動するための薄膜トランジスタTFTを具備する。ゲートライン(GL_i、GL_{i+1})は液晶パネルに内蔵されたゲート駆動部(図示せず)によって順次駆動される。データライン(DL_{m1} ~ DL_{(m+1)n})は、ゲートライン(GL_i、GL_{i+1})が駆動される各水平期間でブロック(PB_m、PB_{m+1})順に駆動され、データ駆動部30を通じて供給されたデータ信号を充電する。薄膜トランジスタTFTはゲートラインのスキアン信号に応答してブロック(PB_m、PB_{m+1})順にデータライン(DL_{m1} ~ DL_{(m+1)n})に供給されたデータ信号を画素電極42に充電して保持するようになる。

【0025】

特に、画像表示部40でm番目画素ブロックPB_mのデータライン(DL_{m1} ~ DL_mn)にデータ信号が充電されるとき、m番目の画素ブロック(PB_m)と最も隣接したm+1番目の画素ブロック(PB_{m+1})の1番目のデータライン(DL_{(m+1)1})がプリチャージされる。m+1番目の画素ブロック(PB_{m+1})の1番目のデータライン(DL_{(m+1)1})にプリチャージされる電圧は次のm+1番目の画素ブロック(PB_{m+1})駆動の際に供給されるデータ信号が用いられる。そして、m番目の画素ブロックPB_mにデータ信号を充電した後にm+1番目画素ブロック(PB_{m+1})にデータを充電する場合、m+1番目画素ブロック(PB_{m+1})の1番目のデータライン(DL_{(m+1)1})にはm番目画素ブロック(PB_m)の駆動の際にプリチャージされた電圧と同一のデータ信号が供給される。それにより、m+1番目の画素ブロック(PB_{m+1})の1番目のデータライン(DL_{(m+1)1})がm番目の画素ブロック(PB_m)のデータ充電の際にプリチャージされた電圧をそのまま保持し、電圧変化がないので隣接したm番目の画素ブロックの画素電極42に与える信号干渉を最小化することができるようになる。従って、m+1番目の画素ブロック(PB_{m+1})のデータ信号の充電の際にm番目画素ブロックPB_mのエッジ部に位置する画素電極42の電圧変動を防止することで、各画素ブロック(PB_m、PB_{m+1})間の境界線不良を防止することができるようになる。

【0026】

そのために、データ駆動部30は、各画素ブロックに供給されるn個のデータ信号(D

10

20

30

40

50

1 ~ D_n) を供給する n 個のデータバス (B₁ ~ B_n) と、次の画素ブロックの 1 番目のデータラインにプリチャージされる n + 1 番目のデータ信号 (D_{n+1}) を供給する n + 1 番目データバス (B_{n+1}) を具備する。そして、データ駆動部 30 は各画素ブロックの順次駆動のためのシフトレジスタ (S_{Rm}、S_{Rm+1}) とサンプリングスイッチ部 (S_{Bm}、S_{Bm+1}) を具備する。

【0027】

具体的に、データ駆動部 30 の m 番目及び m + 1 番目シフトレジスタ (S_{Rm}、S_{Rm+1}) は順次にサンプリング制御信号を供給する。m 番目サンプリングスイッチ部 (S_{Bm}) に構成された n + 1 個のサンプリングスイッチ (S_{W1} ~ S_{Wn+1}) は m 番目シフトレジスタ (S_{Rm}) のサンプリング制御信号に応答して同時にターンオンする。それにより、第 1 乃至第 n サンプリングスイッチは n 個のデータバスから供給されたデータ信号それぞれをサンプリングして m 番目画素ブロック (P_{Bm}) の n 個のデータライン (D_{Lm1} ~ D_{Lmn}) それぞれに充電する。そして、n + 1 サンプリングスイッチ (S_{Wn+1}) は n + 1 番目データバス (B_{n+1}) から供給されたデータ信号 (n + 1) を m + 1 番目画素ブロック (P_{Bm+1}) の 1 番目のデータライン (D_{L(m+1)1}) にプリチャージする。その際、m + 1 番目画素ブロックの 1 番目のデータライン (D_{L(m+1)1}) にプリチャージされる電圧は次の m + 1 番目画素ブロック (P_{Bm+1}) の駆動の際に 1 番目データライン (D_{L(m+1)1}) に供給されるデータ信号が用いられる。

【0028】

続いて、m + 1 番目サンプリングスイッチ部 (S_{Bm+1}) に構成された n + 1 個のサンプリングスイッチ (S_{W1} ~ S_{Wn+1}) は m + 1 番目シフトレジスタ (S_{Rm+1}) のサンプリング制御信号に応答して同時にターンオンする。それにより、第 1 ~ 第 n サンプリングスイッチ (S_{W1} ~ S_{Wn}) は n 個のデータバス (B₁ ~ B_n) から供給されたデータ信号 (D₁ ~ D_n) それぞれをサンプリングして m + 1 番目画素ブロック (P_{Bm+1}) の n 個のデータライン (D_{L(m+1)1} ~ D_{L(m+1)n}) それぞれに充電し、n + 1 サンプリングスイッチ (S_{Wn+1}) は n + 1 番目データバス (B_{n+1}) から供給されたデータ信号 (n + 1) を次の画素ブロックの 1 番目のデータライン (D_{L(m+2)1}) にプリチャージする。その際、m + 1 番目画素ブロック (P_{Bm+1}) の 1 番目のデータラインには m 番目画素ブロック (P_{Bm}) の駆動の際にプリチャージされた電圧と同一のデータ信号が充電される。即ち、m + 1 番目画素ブロック (P_{Bm+1}) の 1 番目のデータライン (D_{L(m+1)1}) には m 番目及び m + 1 番目画素ブロック (P_{Bm}、P_{Bm+1}) の駆動の際に同一のデータ信号が充電される。これにより、データ駆動部 30 のデータバス (B₁ ~ B_{n+1}) にデータを供給するタイミングコントローラ (図示せず) は、m 番目画素ブロック (P_{Bm}) の駆動の際に第 n + 1 データバス (B_{n+1}) に供給するプリチャージ用データ信号 (D_{n+1}) に、その次の m + 1 番目画素ブロックの駆動の際に第 1 データバスを通じて供給される 1 番目のデータ信号 D₁ を供給するようになる。それにより、m + 1 番目画素ブロック (P_{Bm+1}) の 1 番目のデータライン (D_{L(m+1)1}) が m 番目の画素ブロックの駆動の際にプリチャージされた電圧をそのまま保持し、電圧変化が殆どないことにより隣接した m 番目の画素ブロックの画素電極 42 に与える信号干渉を最小化することができるようになる。従って、m + 1 番目画素ブロック (P_{Bm+1}) のデータ充電の際に m 番目画素ブロック (P_{Bm}) のエッジ部に位置する画素電極 42 の電圧変動を防止して境界線不良を防止することができるようになる。

【0029】

一方、m + 1 番目画素ブロック (P_{Bm+1}) が液晶パネル 20 の最後の画素ブロックである場合、これを駆動するための m + 1 番目サンプリングスイッチ部 (S_{Bm+1}) は n 個のサンプリングスイッチ (S_{W1} ~ S_{Wn}) のみ具備し n + 1 番目サンプリングスイッチ (S_{Wn+1}) を具備しない。

【0030】

図 3 は、本発明の他の実施形態による液晶パネルのデータ駆動部が内蔵された薄膜トラ

10

20

30

40

50

ンジスタ基板の一部を示した等価回路図である。

【0031】

図3に示した液晶パネルのデータ駆動部50は、図2に示したデータ駆動部30と対比して両方向に順次駆動されるシフトレジスタ(SR_m 、 SR_{m+1})を用い、両方向駆動に対応してプリチャージされるデータラインを選択するプリチャージ部80を追加で具備することを除いては同一の構成要素を具備する。従って、重複する構成要素についての説明は省略する。

【0032】

画像表示部40のデータライン($DL_{m1} \sim DL_{(m+1)n}$)は、ゲートライン(GL_i 、 GL_{i+1})が駆動される各水平期間でブロック(PB_m 、 PB_{m+1})順に駆動され、データ駆動部50を通じて供給されたデータ信号を充電する。薄膜トランジスタTFTはゲートライン(GL_i 、 GL_{i+1})のスキャン信号に応答してブロック(PB_m 、 PB_{m+1})順にデータライン($DL_{m1} \sim DL_{(m+1)n}$)に供給されたデータ信号を画素電極42に充電して保持するようになる。

【0033】

特に、画像表示部40で、 m 番目及び $m+1$ 番目画素ブロック(PB_m 、 PB_{m+1})は順方向または逆方向に順次駆動される。まず、順方向に順次駆動される場合、 m 番目の画素ブロックのデータライン($DL_{m1} \sim DL_{mn}$)にデータ信号が充電されるとき、 $m+1$ 番目画素ブロック(PB_{m+1})の1番目のデータライン($DL_{(m+1)1}$)がプリチャージされる。そして、 $m+1$ 番目画素ブロック(PB_{m+1})のデータライン($DL_{(m+1)1} \sim DL_{(m+1)n}$)にデータが充電されるとき、その画素ブロック(PB_{m+1})の1番目のデータライン($DL_{(m+1)1}$)には m 番目画素ブロックの駆動の際にプリチャージされた電圧と同一のデータ信号が供給される。反面、逆方向に順次駆動される場合、 $m+1$ 番目画素ブロック(PB_{m+1})のデータライン($DL_{m1} \sim DL_{(m+1)n}$)にデータ信号が充電されるとき、 $m+1$ 番目画素ブロック(PB_{m+1})と最も隣接した m 番目画素ブロックの最後のデータライン(DL_{mn})がプリチャージされる。そして、 m 番目画素ブロックのデータライン($DL_{m1} \sim DL_{mn}$)にデータ信号が充電されるとき、最後のデータライン(DL_{mn})には $m+1$ 番目画素ブロックの駆動の際にプリチャージされた電圧と同一のデータ信号が供給される。これにより、各画素ブロック(PB_m 、 PB_{m+1})は、順方向または逆方向、即ち、両方向駆動の際に現在画素ブロックと最も隣接した次の画素ブロックのデータラインがプリチャージされるようにすることで各画素ブロックのエッジ部に位置する画素電極42の電圧変動を最小化してブロック間の境界線不良を防止することができるようになる。

【0034】

このために、データ駆動部50は各画素ブロック(PB_m 、 PB_{m+1})に供給される n 個のデータ信号($D_1 \sim D_n$)を供給する n 個のデータバス($B_1 \sim B_n$)と、次の画素ブロックの1番目のデータラインにプリチャージされる補助データ信号(Da)を供給する補助データバス(Ba)を具備する。そして、データ駆動部50は各画素ブロック(PB_m 、 PB_{m+1})の両方向順次駆動のためのシフトレジスタとサンプリングスイッチ部を具備する。特に、データ駆動部50は、サンプリングスイッチ部(SB_m 、 SB_{m+1})の間に位置してシフトレジスタ(SR_m 、 SR_{m+1})の駆動方向、即ち、方向選択信号DSによってプリチャージされるデータラインを選択するプリチャージ部80をさらに具備する。プリチャージ部80はシフトレジスタのサンプリング制御信号と方向選択信号DSを用いたプリチャージ制御部70の制御によって制御される順方向サンプリングスイッチ(SW_f)及び逆方向サンプリングスイッチ(SW_b)を具備する。

【0035】

具体的に、データ駆動部50の m 番目及び $m+1$ 番目シフトレジスタ(SR_m 、 SR_{m+1})は方向選択信号(DS)に応答して順方向または逆方向にサンプリング制御信号を順次供給する。順方向に駆動される場合、 m 番目サンプリングスイッチ部(SB_m)に構成された n 個のサンプリングスイッチは m 番目シフトレジスタ(SR_m)のサンプリング

10

20

30

40

50

制御信号に応答して同時にターンオンする。また、 m 番目シフトレジスタ (SR_m) のサンプリング制御信号及び方向選択信号 (DS) によってプリチャージ制御部 80 で順方向サンプリングスイッチ (SW_f) がターンオンする。これにより、第 1 乃至第 n サンプリングスイッチ ($SW_1 \sim SW_n$) は n 個のデータバス ($B_1 \sim B_n$) から供給されたデータ信号 ($D_1 \sim D_n$) それぞれをサンプリングして m 番目画素ブロック (PB_m) の n 個のデータライン ($DL_{m1} \sim DL_{mn}$) それぞれに充電する。そして、順方向サンプリングスイッチ (SW_f) は補助データバス (B_a) から供給された補助データ信号 (D_a) をサンプリングして $m+1$ 番目画素ブロック (PB_{m+1}) の 1 番目のデータライン ($DL_{(m+1)1}$) にプリチャージする。その際、 $m+1$ 番目画素ブロック (PB_{m+1}) の 1 番目のデータライン ($DL_{(m+1)1}$) にプリチャージされる補助データ信号 (D_a) は次の $m+1$ 番目画素ブロック (PB_{m+1}) 駆動の際に 1 番目のデータライン ($DL_{(m+1)1}$) に供給されるデータ信号が用いられる。続いて、 $m+1$ 番目サンプリングスイッチ部が $m+1$ 番目シフトレジスタ (SR_{m+1}) のサンプリング制御信号によって駆動され $m+1$ 番目画素ブロック (PB_{m+1}) のデータライン ($DL_{(m+1)1} \sim DL_{(m+1)n}$) にデータ信号 ($D_1 \sim D_n$) それぞれを充電する。その際、 $m+1$ 番目画素ブロック (PB_{m+1}) の 1 番目のデータライン ($DL_{(m+1)1}$) には m 番目画素ブロック (PB_m) の駆動の際にプリチャージされた電圧と同一のデータ信号が充電される。

【0036】

これとは異なり、逆方向に駆動される場合、順方向に駆動される場合に $m+1$ 番目サンプリングスイッチ部 (SB_{m+1}) に構成された n 個のサンプリングスイッチ ($SW_1 \sim SW_n$) は、 $m+1$ 番目シフトレジスタ (SR_{m+1}) のサンプリング制御信号に응答して同時にターンオンする。また、 $m+1$ 番目シフトレジスタ (SR_{m+1}) のサンプリング制御信号及び方向選択信号 DS によってプリチャージ制御部 80 で逆方向サンプリングスイッチ (SW_b) がターンオンする。これにより、第 1 ～ 第 n サンプリングスイッチ ($SW_1 \sim SW_n$) は n 個のデータバス ($B_1 \sim B_n$) から供給されたデータ信号 ($D_1 \sim D_n$) それぞれをサンプリングして $m+1$ 番目画素ブロック (PB_{m+1}) の n 個のデータライン ($DL_{(m+1)1} \sim DL_{(m+1)n}$) それぞれに充電する。そして、逆方向サンプリングスイッチ (SW_b) は補助データバス (B_a) から供給された補助データ信号 (D_a) をサンプリングして m 番目画素ブロック (PB_m) の最後のデータライン (DL_{mn}) にプリチャージする。その際、 m 番目画素ブロック (PB_m) の最後のデータライン (DL_{mn}) にプリチャージされる補助データ信号 (D_a) は次の m 番目画素ブロック駆動の際に最後のデータライン (DL_{mn}) に供給されるデータ信号が用いられる。続いて、 m 番目サンプリングスイッチ部が m 番目シフトレジスタのサンプリング制御信号によって駆動され、 m 番目画素ブロックのデータラインにデータ信号 ($D_1 \sim D_n$) それぞれを充電する。その際、 m 番目画素ブロックの最後のデータライン (DL_{mn}) には $m+1$ 番目画素ブロックの駆動の際にプリチャージされた電圧と同一のデータ信号が充電される。

【0037】

このように、本発明による液晶パネルの駆動部は、順方向または逆方向、即ち、両方向駆動の際にも現在画素ブロックと最も隣接した次の画素ブロックのデータラインがプリチャージされるようにすることで、各画素ブロックのエッジ部に位置する画素電極の電圧変動を最小化してブロック間の境界線不良を防止することができるようになる。

【0038】

図 4 は、図 3 に示したプリチャージ部 80 の詳細回路を示したものである。

【0039】

図 4 に示したプリチャージ部 80 は、補助データバス (B_a) と共通接続された順方向サンプリングスイッチ (SW_f) 及び逆方向サンプリングスイッチ (SW_b) と、逆方向及び順方向サンプリングスイッチ (SW_b 、 SW_f) をそれぞれ制御するプリチャージ制御部 70 を具備する。

【0040】

順方向サンプリングスイッチ (SWf) は、順方向駆動の際にプリチャージ制御部 70 の制御にตอบสนองして補助データバス (Ba) からの補助データ信号 (Da) をサンプリングして $m+1$ 番目画素ブロック (PB $m+1$) の第 1 データライン (DL($m+1$)) にプリチャージする。逆方向サンプリングスイッチ (SWb) は逆方向駆動の際にプリチャージ制御部 70 の制御にตอบสนองして補助データバス (Ba) からの補助データ信号 (Da) をサンプリングして m 番目画素ブロックの第 n データライン (DL mn) にプリチャージする。

【0041】

プリチャージ制御部 70 は、 m 番目及び $m+1$ 番目シフトレジスタ (SR m 、SR $m+1$) のサンプリング制御信号と方向選択信号 (DS) との論理演算で、逆方向及び順方向サンプリングスイッチをそれぞれ制御する。具体的に、プリチャージ制御部 70 は、 m 番目シフトレジスタ (SR m) のサンプリング制御信号と方向選択信号 (DS) とを NAND 演算する第 1 NAND 演算機 22 と、第 1 NAND 演算機 22 の出力を反転させ順方向サンプリングスイッチ (SWf) に供給する第 1 インバータ 24 と、第 2 インバータ 26 を通じて反転された方向選択信号 (DS) と $m+1$ 番目シフトレジスタ (SR $m+1$) のサンプリング制御信号とを NAND 演算する第 2 NAND 演算機 28 と、第 2 NAND 演算機 28 の出力を反転させ逆方向サンプリングスイッチ (SWb) に供給する第 3 インバータ 29 と、を具備する。

【0042】

まず、 m 番目シフトレジスタ (SR m) のサンプリング制御信号と方向選択信号 (DS) が全部ハイ論理である順方向駆動を示す場合、第 1 NAND 演算機 22 を通じて出力されたロー論理が第 1 インバータ 24 を通じてハイ論理に反転されて順方向サンプリングスイッチ (SWf) をターンオンさせる。これにより、ターンオンした順方向サンプリングスイッチ (SWf) は、 m 番目サンプリングスイッチ部 (SB m) と共にターンオンして m 番目画素ブロック (PB m) が駆動されるとき、補助データバス (Ba) からの補助データ信号 (Da) をサンプリングして $m+1$ 番目画素ブロック (PB $m+1$) の第 1 データライン (DL($m+1$)) にプリチャージする。

【0043】

反面、 $m+1$ 番目シフトレジスタ (SR $m+1$) のサンプリング制御信号がハイ論理であり方向選択信号 (DS) がロー論理である逆方向駆動を示す場合、第 2 NAND 演算機 28 には第 2 インバータ 26 によってハイ論理に反転された方向選択信号 (DS) とハイ論理の $m+1$ 番目のシフトレジスタ (SR $m+1$) のサンプリング制御信号が入力される。これにより、第 2 NAND 演算機 28 を通じて出力されたロー論理が第 3 インバータ 29 を通じてハイ論理に反転されて逆方向サンプリングスイッチをターンオンさせる。従って、ターンオンした逆方向サンプリングスイッチ (SWb) は、 $m+1$ 番目サンプリングスイッチ部 (SB $m+1$) と共にターンオンして $m+1$ 番目画素ブロックが駆動されるとき、補助データバス (Ba) からの補助データ信号 (Da) をサンプリングして m 番目画素ブロック (PB m) の第 n データライン (DL mn) にプリチャージする。

【0044】

以上、本発明の液晶パネルのデータ駆動方法及び装置を実施形態によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有する者であれば、本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0045】

【図 1】従来の液晶パネルのデータ駆動部を示した回路図である。

【図 2】本発明の一実施形態による液晶パネルのデータ駆動部を示した回路図である。

【図 3】本発明の他の実施形態による液晶パネルのデータ駆動部を示した回路図である。

【図 4】図 3 に示したプリチャージ制御部の詳細回路図である。

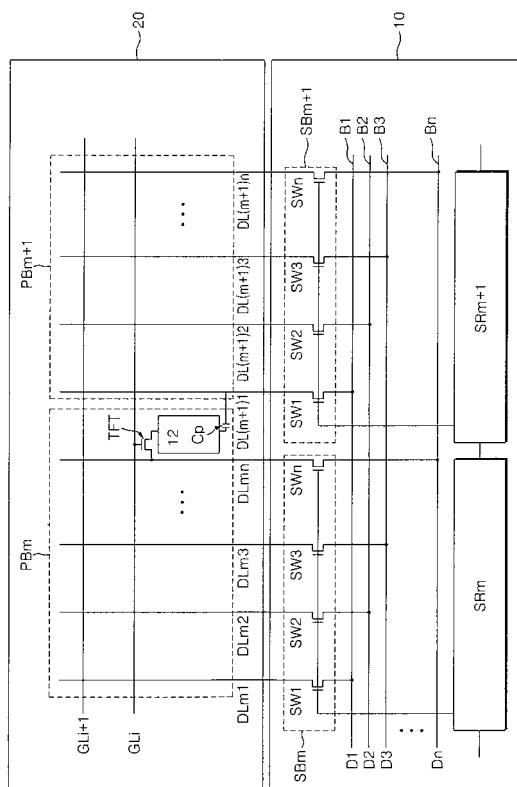
【符号の説明】

【 0 0 4 6 】

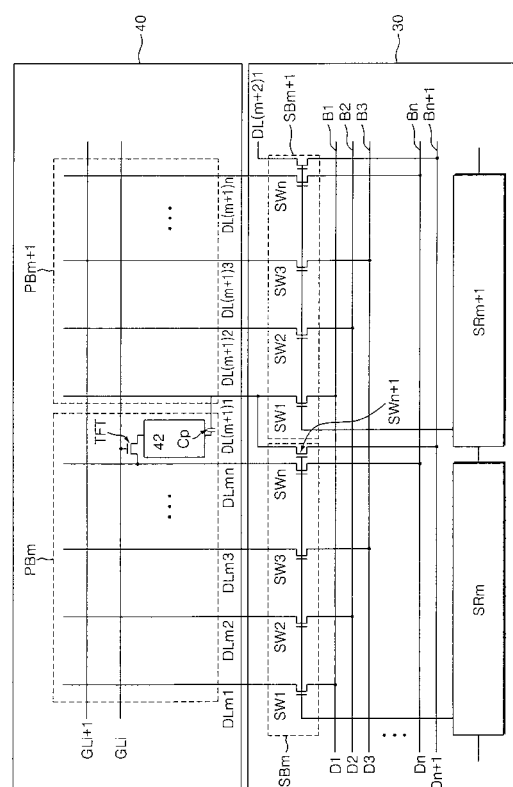
1 0、3 0、5 0 データ駆動部
 1 2、4 2 画素電極
 2 0、4 0 画像表示部
 2 2、2 8 N A N D
 2 4、2 6、2 9 インバータ
 7 0 プリチャージ制御部
 8 0 プリチャージ部
 S R m、S R m + 1 シフトレジスタ
 S B m、S B m + 1 サンプリングスイッチ部
 P B m、P B m + 1 画素ブロック
 D S 方向選択信号
 S W b 逆方向サンプリングスイッチ
 S W f 順方向サンプリングスイッチ

10

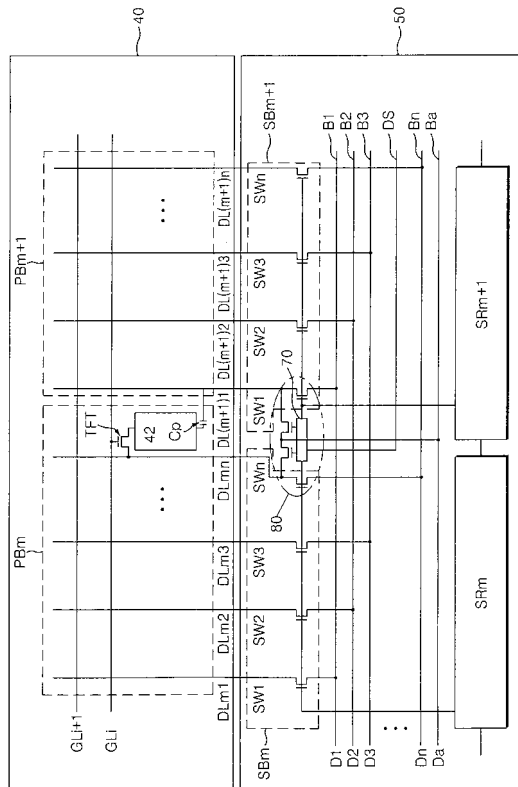
【 図 1 】



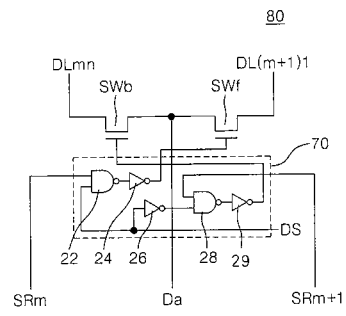
【 図 2 】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 3 H

G 0 9 G 3/20 6 2 3 R

G 0 2 F 1/133 5 0 5

G 0 2 F 1/133 5 5 0

(72)発明者 李 ジュン 泳

大韓民国 京畿道 龍仁市 器興邑 甫羅理 ミンソクマウル雙龍アパート 1 0 1 棟 1 8 0 4 号

(72)発明者 金 雄 植

大韓民国 京畿道 水原市 靈通区 網浦洞 ヌルブルン碧山アパート 1 1 6 棟 1 7 0 4 号

(72)発明者 宋 錫 天

大韓民国 京畿道 水原市 靈通区 靈通洞 ファンゴルマウル一団地アパート 1 2 5 棟 1 2 0 1 号

(72)発明者 李 相 勳

大韓民国 ソウル市 松坡区 三田洞 4 3 - 1 2 エースビル 5 0 2 号

(72)発明者 朴 根 佑

大韓民国 ソウル市 江南区 道谷二洞 開浦 韓信アパート 5 棟 9 0 1 号

(72)発明者 孟 昊 ソク

大韓民国 ソウル市 瑞草区 方背四洞 方背 現代アパート 1 0 6 棟 1 8 0 2 号

(72)発明者 康 盛 旭

大韓民国 ソウル市 瑞草区 瑞草洞 1 3 5 7 - 6 3 2 0 2 号

(72)発明者 崔 弼 模

大韓民国 ソウル市 冠岳区 奉天 1 1 洞 1 6 5 1 - 3 番地 1 0 3 号

審査官 西島 篤宏

(56)参考文献 特表 2 0 0 2 - 5 3 3 7 6 6 (J P , A)

特開 2 0 0 3 - 3 3 0 4 0 3 (J P , A)

特開 2 0 0 0 - 0 8 9 1 9 4 (J P , A)

特開 2 0 0 4 - 3 3 4 1 1 5 (J P , A)

特開 2 0 0 6 - 0 3 1 0 1 9 (J P , A)

特開 2 0 0 2 - 1 0 8 2 9 5 (J P , A)

特開 2 0 0 4 - 1 9 1 5 4 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶面板的数据驱动装置		
公开(公告)号	JP5022009B2	公开(公告)日	2012-09-12
申请号	JP2006324834	申请日	2006-11-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	文國哲 李ジュン泳 金雄植 宋錫天 李相勳 朴根佑 孟昊ソク 康盛旭 崔弼模		
发明人	文 國 哲 李 ジュン 泳 金 雄 植 宋 錫 天 李 相 勳 朴 根 佑 孟 昊 ソク 康 盛 旭 崔 弼 模		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3685 G09G3/3648 G09G2310/0251 G09G2310/0275		
FI分类号	G09G3/36 G09G3/20.621.F G09G3/20.642.B G09G3/20.623.X G09G3/20.623.M G09G3/20.623.H G09G3/20.623.R G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA21 2H093/NC12 2H093/NC22 2H093/NC23 2H093/NC34 2H093/ND01 2H093/ND05 2H093/ND09 2H193/ZA04 2H193/ZD32 2H193/ZD34 2H193/ZF36 5C006/AC11 5C006/AC21 5C006/AF43 5C006/AF71 5C006/BB16 5C006/BC13 5C006/BC20 5C006/BC23 5C006/BF11 5C006/BF26 5C006/BF34 5C006/FA14 5C006/FA22 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD22 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03		
优先权	1020050115197 2005-11-30 KR		
其他公开文献	JP2007156473A JP2007156473A5		
外部链接	Espacenet		

摘要(译)

提供了一种用于液晶面板的数据驱动方法和装置，其能够防止以块顺序次序驱动的像素块之间的边界线缺陷。 本发明的液晶面板的数据驱动方法包括以下步骤：将数据信号施加到第一数据块，将预定电压施加到与第一块相邻的第二数据块的第一数据线并且将数据信号施加到第二数据块，其中在将数据信号施加到第二数据块的步骤中将预定电压施加到第二数据块的第一数据线它与提供的数据信号相同。 .The

