

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4738435号
(P4738435)

(45) 発行日 平成23年8月3日(2011.8.3)

(24) 登録日 平成23年5月13日(2011.5.13)

(51) Int. Cl.	F I	
GO2F 1/1343 (2006.01)	GO2F 1/1343	
GO2F 1/1368 (2006.01)	GO2F 1/1368	
GO2F 1/1345 (2006.01)	GO2F 1/1345	
GO2F 1/133 (2006.01)	GO2F 1/133	575
GO9G 3/36 (2006.01)	GO9G 3/36	

請求項の数 11 (全 84 頁) 最終頁に続く

(21) 出願番号	特願2008-104009 (P2008-104009)	(73) 特許権者	000005049
(22) 出願日	平成20年4月11日(2008.4.11)		シャープ株式会社
(62) 分割の表示	特願2004-250982 (P2004-250982) の分割		大阪府大阪市阿倍野区長池町2番2号
原出願日	平成16年8月30日(2004.8.30)	(74) 代理人	100101683 弁理士 奥田 誠司
(65) 公開番号	特開2008-225491 (P2008-225491A)	(74) 代理人	100155000 弁理士 喜多 修市
(43) 公開日	平成20年9月25日(2008.9.25)	(74) 代理人	100139930 弁理士 山下 亮司
審査請求日	平成20年4月14日(2008.4.14)	(74) 代理人	100125922 弁理士 三宅 章子
(31) 優先権主張番号	特願2003-408046 (P2003-408046)	(74) 代理人	100151817 弁理士 川口 寿志
(32) 優先日	平成15年12月5日(2003.12.5)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

それぞれが液晶層と前記液晶層に電圧を印加する複数の電極とを有し、行および列を有するマトリクス状に配列された複数の画素を備える液晶表示装置であって、

前記複数の画素のそれぞれは、それぞれの前記液晶層に互いに異なる電圧を印加することができる第1副画素および第2副画素であって、ある階調において前記第1副画素が前記第2副画素よりも高い輝度を呈する第1副画素および第2副画素を有し、

前記第1副画素および前記第2副画素のそれぞれは、

対向電極と、前記液晶層を介して前記対向電極に対向する副画素電極とによって形成された液晶容量と、前記副画素電極に電気的に接続された補助容量電極と、絶縁層と、前記絶縁層を介して前記補助容量電極と対向する補助容量対向電極とによって形成された補助容量とを有し、

前記対向電極は、前記第1副画素および前記第2副画素に対して共通の単一の電極であり、前記補助容量対向電極は、前記第1副画素と前記第2副画素とで電気的に独立であって、

互いに電気的に独立で、それぞれが前記複数の画素の前記第1副画素および前記第2副画素が有する前記補助容量対向電極のいずれかに補助容量配線を介して電気的に接続されている複数の補助容量幹線を更に有し、

列方向に隣接する2つの画素の一方の前記第1副画素の前記補助容量対向電極は他方の前記第2副画素の前記補助容量対向電極と電気的に等価な補助容量配線に接続されており

、且つ、

前記複数の補助容量幹線の中で電氣的に独立な補助容量幹線はL本（Lは偶数）以上あり、前記複数の補助容量幹線のそれぞれが供給する補助容量対向電圧は振動電圧であって、振動の周期は水平走査期間の2・K・L倍（Kは正の整数）である、液晶表示装置。

【請求項2】

行方向、列方向にマトリックス状に配置された前記複数の画素が構成するある行をn行とし、任意の列のn行に属する画素が有する第1副画素の補助容量対向電極が接続された補助容量配線CSBL_(n)A、第2副画素の補助容量対向電極が接続された補助容量配線をCSBL_(n)Bで表すとき、

前記L本の電氣的に独立な補助容量幹線に接続されるCSバスラインが、

$$CSBL_ (p + 2 \cdot (1 - 1)) B , (p + 2 \cdot (1 - 1) + 1) A ,$$

$$CSBL_ (p + 2 \cdot (2 - 1)) B , (p + 2 \cdot (2 - 1) + 1) A ,$$

$$CSBL_ (p + 2 \cdot (3 - 1)) B , (p + 2 \cdot (3 - 1) + 1) A ,$$

$$\cdot$$

$$\cdot$$

$$CSBL_ (p + 2 \cdot (K - 1)) B , (p + 2 \cdot (K - 1) + 1) A$$

10

と、

$$CSBL_ (p + 2 \cdot (1 - 1) + K \cdot L + 1) B , (p + 2 \cdot (1 - 1) + K \cdot L + 2) A ,$$

$$CSBL_ (p + 2 \cdot (2 - 1) + K \cdot L + 1) B , (p + 2 \cdot (2 - 1) + K \cdot L + 2) A ,$$

$$CSBL_ (p + 2 \cdot (3 - 1) + K \cdot L + 1) B , (p + 2 \cdot (3 - 1) + K \cdot L + 2) A ,$$

$$\cdot$$

$$\cdot$$

$$CSBL_ (p + 2 \cdot (K - 1) + K \cdot L + 1) B , (p + 2 \cdot (3 - 1) + K \cdot L + 2) A$$

20

或いは

$$CSBL_ (p + 2 \cdot (1 - 1) + 1) B , (p + 2 \cdot (1 - 1) + 2) A$$

$$、$$

$$CSBL_ (p + 2 \cdot (2 - 1) + 1) B , (p + 2 \cdot (2 - 1) + 2) A$$

$$、$$

$$CSBL_ (p + 2 \cdot (3 - 1) + 1) B , (p + 2 \cdot (3 - 1) + 2) A$$

$$、$$

$$\cdot$$

$$\cdot$$

$$CSBL_ (p + 2 \cdot (K - 1) + 1) B , (p + 2 \cdot (K - 1) + 2) A$$

30

と

$$CSBL_ (p + 2 \cdot (1 - 1) + K \cdot L) B , (p + 2 \cdot (1 - 1) + K \cdot L + 1) A ,$$

$$CSBL_ (p + 2 \cdot (2 - 1) + K \cdot L) B , (p + 2 \cdot (2 - 1) + K \cdot L + 1) A ,$$

$$CSBL_ (p + 2 \cdot (3 - 1) + K \cdot L) B , (p + 2 \cdot (3 - 1) + K \cdot L + 1) A ,$$

$$\cdot$$

$$\cdot$$

40

50

$C S B L _ (p + 2 \cdot (K - 1) + K \cdot L) B , (p + 2 \cdot (K - 1) + K \cdot L + 1) A$

但し、 $p = 1, 3, 5, \dots$ もしくは $p = 0, 2, 4, \dots$ の関係を満たす、請求項 1 に記載の液晶表示装置。

【請求項 3】

K は 1 または 2 であり、L が 6、8、10 および 12 のうちのいずれかである、請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記補助容量配線は、列方向に隣接する 2 つの画素の間に配置されている、請求項 1 から 3 のいずれかに記載の液晶表示装置。

10

【請求項 5】

前記第 1 副画素および前記第 2 副画素のそれぞれに対応して設けられた 2 つのスイッチング素子と、

前記 2 つのスイッチング素子に共通に接続された走査線とを有し、

前記走査線は、前記第 1 副画素と前記第 2 副画素との間に配置されている、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記複数の補助容量幹線は、偶数本の補助容量幹線であって、互いに振動の位相が 180 度異なる補助容量対向電圧を供給する補助容量幹線の対で構成されている、請求項 1 から 5 のいずれかに記載の液晶表示装置。

20

【請求項 7】

列方向に隣接する任意の 2 つの画素において、一方の画素の前記第 1 副画素と他方の画素の前記第 2 副画素の補助容量対向電極が共通の補助容量配線に接続されている請求項 1 から 6 のいずれかに記載の液晶表示装置。

【請求項 8】

前記補助容量対向電圧のデューティ比は、いずれも 1 : 1 である、請求項 1 から 7 のいずれかに記載の液晶表示装置。

【請求項 9】

前記任意の画素の前記第 1 副画素は、前記任意の画素に列方向に隣接する画素の第 2 副画素と隣接するように配置されており、かつ、前記複数の画素のそれぞれにおいて、前記第 1 副画素は前記第 2 副画素と列方向に隣接するように配置されている請求項 1 から 8 のいずれかに記載の液晶表示装置。

30

【請求項 10】

前記第 1 副画素と前記第 2 副画素の面積は互いに略等しい、請求項 1 から 9 のいずれかに記載の液晶表示装置。

【請求項 11】

前記第 2 副画素の面積は前記第 1 副画素の面積よりも大きい、請求項 1 から 9 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は液晶表示装置に関し、特に、液晶表示装置の特性の視野角依存性を改善できる構造および/または駆動方法に関する。

【背景技術】

【0002】

液晶表示装置は、高精細、薄型、軽量および低消費電力等の優れた特長を有する平面表示装置であり、近年、表示性能の向上、生産能力の向上および他の表示装置に対する価格競争力の向上に伴い、市場規模が急速に拡大している。

【0003】

従来一般的であったツイステッド・ネマティック・モード (TNモード) の液晶表示装置

50

は、正の誘電率異方性を持つ液晶分子の長軸を基板表面に対して略平行に配向させ、かつ、液晶分子の長軸が液晶層の厚さ方向に沿って上下の基板間で略90度捻れるように配向処理が施されている。この液晶層に電圧を印加すると、液晶分子が電界に平行に立ち上がり、捻れ配向（ツイスト配向）が解消される。TNモードの液晶表示装置は、電圧による液晶分子の配向変化に伴う旋光性の変化を利用することによって、透過光量を制御するものである。

【0004】

TNモードの液晶表示装置は、生産マージンが広く生産性に優れている。一方、表示性能とりわけ視野角特性の点で問題があった。具体的には、TNモードの液晶表示装置の表示面を斜め方向から観測すると、表示のコントラスト比が著しく低下し、正面からの観測で黒から白までの複数の階調が明瞭に観測される画像を斜め方向から観測すると階調間の輝度差が著しく不明瞭となる点が問題であった。さらに、表示の階調特性が反転し、正面からの観測でより暗い部分が斜め方向からの観測ではより明るく観測される現象（いわゆる、階調反転現象）も問題であった。

10

【0005】

近年、これらTNモードの液晶表示装置における視野角特性を改善した液晶表示装置として、特許文献1に記載のインプレイン・スイッチング・モード（IPSモード）、特許文献2にマルチドメイン・パーティカル・アラインド・モード（MVAモード）、特許文献3に記載の軸対称配向モード（ASMモード）および、特許文献4に記載の液晶表示装置等が開発された。

20

【0006】

これらの新規なモード（広視野角モード）の液晶表示装置は、いずれも視野角特性に関する上記の具体的な問題点を解決している。すなわち、表示面を斜め方向から観測した場合に表示コントラスト比が著しく低下したり、表示階調が反転するなどの問題は起こらない。

【特許文献1】特公昭63-21907号公報

【特許文献2】特開平11-242225号公報

【特許文献3】特開平10-186330号公報

【特許文献4】特開2002-55343号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0007】

液晶表示装置の表示品位の改善が進む状況下において、今日では視野角特性の問題点として、正面観測時の特性と斜め観測時の特性が異なる点、すなわち特性の視角依存性の問題が新たに顕在化してきた。ここで、特性とは表示輝度の階調依存性であり、特性が正面方向と斜め方向で異なるということは、階調表示状態が観測方向によって異なることとなるため、写真等の画像を表示する場合や、またTV放送等を表示する場合に特に問題となる。

【0008】

特性の視野角依存性の問題は、IPSモードよりも、MVAモードやASMモードにおいて顕著である。一方、IPSモードは、MVAモードやASMモードに比べて正面観測時のコントラスト比の高いパネルを生産性良く製造することが難しい。これらの点から、特にMVAモードやASMモードの液晶表示装置における特性の視角依存性を改善することが望まれる。

40

【0009】

本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、特性の視野角依存性に優れた液晶表示装置を提供することにある。

【課題を解決するための手段】

【0010】

本発明の第1の局面による液晶表示装置は、それぞれが液晶層と前記液晶層に電圧を印

50

加する複数の電極とを有する複数の画素を備え、ノーマリブラックモードで表示を行う液晶表示装置であって、前記複数の画素のそれぞれは、それぞれの前記液晶層に互いに異なる電圧を印加することができる第1副画素および第2副画素を有し、前記複数の画素のそれぞれが、ある階調 g_k ($0 < g_k < g_n$ 、 g_k および g_n は零以上の整数、 g_k が大きい方が輝度の高い階調を表す。) の表示を行う際に、前記第1副画素および前記第2副画素のそれぞれの液晶層に印加される実効電圧を $V_1(g_k)$ および $V_2(g_k)$ とし、 $V_{12}(g_k) = V_1(g_k) - V_2(g_k)$ とすると、少なくとも $0 < g_k < n - 1$ の範囲において、 $V_{12}(g_k) > 0$ (ボルト) であり、かつ、 $V_{12}(g_k) > V_{12}(g_{k+1})$ の関係を満足することを特徴し、そのことによって上記目的が達成される。なお、本明細書における「画素」は、液晶表示装置が表示を行う最小単位を指し、カラー表示装置の場合は、個々の色(典型的にはR、GまたはB)を表示する「絵素(またはドット)」に対応する。

10

【0011】

前記複数の画素のそれぞれは、前記第1副画素および前記第2副画素と異なる電圧を液晶層に印加することができる第3副画素をさらに有し、前記複数の画素のそれぞれがある階調 g_k の表示を行う際に、前記第3副画素の前記液晶層に印加される実効電圧を $V_3(g_k)$ とし、 $V_{13}(g_k) = V_1(g_k) - V_3(g_k)$ とすると、 0 (ボルト) $< V_{13}(g_k) < V_{12}(g_k)$ の関係を満足する構成としてもよい。

【0012】

また、副画素の液晶層に印加される実効電圧は、少なくとも $0 < g_k < n - 1$ の範囲において、 $V_{12}(g_k) > V_{12}(g_{k+1})$ の関係を満足することが好ましい。

20

【0013】

それぞれの画素が、第3副画素を有する場合には、少なくとも $0 < g_k < n - 1$ の範囲において、 $V_{12}(g_k) > V_{12}(g_{k+1})$ 且つ $V_{13}(g_k) > V_{13}(g_{k+1})$ の関係を満足することが好ましい。

【0014】

ある好ましい実施形態において、前記第1副画素および前記第2副画素のそれぞれは、対向電極と、前記液晶層を介して前記対向電極に対向する副画素電極とによって形成された液晶容量と、前記副画素電極に電気的に接続された補助容量電極と、絶縁層と、前記絶縁層を介して前記補助容量電極と対向する補助容量対向電極とによって形成された補助容量とを有し、前記対向電極は、前記第1副画素および前記第2副画素に対して共通の単一の電極であり、前記補助容量対向電極は、前記第1副画素および前記第2副画素毎に電気的に独立である。対向電極は、典型的には対向基板に設けられる(「共通電極」と呼ばれることもある。)が、IPSモードにおいては、副画素電極と同じ基板に形成される。なお、「副画素電極と液晶層を介して対向する対向電極」は、必ずしも、液晶層の厚さ方向において副画素電極と対向する必要は無く、IPSモードの液晶表示装置においては、液晶層の層面内で液晶層を介して副画素電極と対向するように配置される。

30

【0015】

ある好ましい実施形態において、前記第1副画素および前記第2副画素のそれぞれに対応して設けられた2つのスイッチング素子を有し、前記2つのスイッチング素子は、共通の走査線に供給される走査信号電圧によってオン/オフ制御され、前記2つのスイッチング素子がオン状態にあるときに、前記第1副画素および前記第2副画素のそれぞれが有する前記副画素電極および前記補助容量電極に、共通の信号線から表示信号電圧が供給され、前記2つのスイッチング素子がオフ状態とされた後に、前記第1副画素および前記第2副画素のそれぞれの前記補助容量対向電極の電圧が変化し、その変化の方向および変化の大きさによって規定される変化量が前記第1副画素と前記第2副画素とで異なる。ここで、前記補助容量対向電極の電圧の変化量は、大きさ(絶対値)だけでなく変化の方向(符号)をも含む。例えば、前記第1副画素と前記第2副画素のそれぞれの前記補助容量対向電極の電圧の変化量は、絶対値が同じで、符号が異なってもよい。すなわち、スイッチング素子がオフ状態とされた後、一方の補助容量対向電極の電圧が増大し、他方の補助容量

40

50

対向電極の電圧が低下する場合、その変化量の絶対値は同じであってもよい。

【0016】

前記液晶層は、垂直配向型液晶層であって、負の誘電異方性を有するネマチック液晶材料を含むことが好ましい。

【0017】

前記第1副画素および前記第2副画素のそれぞれに含まれる前記液晶層は、電圧印加時に液晶分子が傾斜する方位角方向が互いに約90°異なる4つのドメインを含むことが好ましい。

【0018】

前記第1副画素および前記第2副画素は、前記共通の走査線を間に介して配列されており、前記第1副画素および前記第2副画素のそれぞれは、前記液晶層側に突き出た複数のリブを前記対向電極側に有し、前記複数のリブは、第1方向に延びる第1リブと、前記第1方向と略直交する第2方向に延びる第2リブとを含み、前記第1リブと前記第2リブは、前記第1副画素および前記第2副画素のそれぞれ内において、前記共通の走査線に平行な中心線に対して対称に配置されており、かつ、前記第1副画素および前記第2副画素のうちの一方の副画素内の前記第1リブおよび前記第2リブの配置と他方の副画素内の配置とは、前記共通の走査線に直交する中心線に対して対称であることが好ましい。

10

【0019】

前記第1副画素および前記第2副画素のそれぞれにおける前記共通の走査線に平行な中心線の間隔は、前記走査線の配列ピッチの約2分の1と等しいことが好ましい。

20

【0020】

前記第1副画素の面積は、前記第2副画素の面積と同じかそれよりも小さいことが好ましい。複数の画素のそれぞれが3以上の副画素を有する場合、最も高い実効電圧が印加される副画素の面積は、他の副画素の面積よりも大きくないことが好ましい。

【0021】

本発明の第2の局面による液晶表示装置は、前記複数の画素の前記液晶層に印加される前記電界の方向が垂直走査期間毎に反転され、ある中間調表示状態において、前記電界の方向が、任意の行の画素においては行方向に所定の周期で反転し、かつ、任意の列の画素においては列方向に画素毎に反転することを特徴とする。

【0022】

ある実施形態において、前記電界の方向が、任意の行の画素において行方向に画素毎に反転する。

30

【0023】

ある実施形態において、前記電界の方向が、任意の行の画素において行方向に2画素毎に反転する。

【0024】

ある実施形態の液晶表示装置は、ノーマリブラックモードで表示を行う液晶表示装置であって、前記少なくとも2つの副画素は、2つの副画素($SPa(p, q)$ および $SPb(p, q)$)を含み、前記複数の画素のそれぞれが、ある階調 g_k ($0 < g_k < g_n$ 、 g_k および g_n は零以上の整数、 g_k が大きい方が輝度の高い階調を表す。)の表示を行う際に、前記2つの副画素の内の一方の前記液晶層に印加される実効電圧を $V_1(g_k)$ 、他方の前記液晶層に印加される実効電圧を $V_2(g_k)$ とし、 $V_1(g_k) = V_1(g_k) - V_2(g_k)$ とすると、少なくとも $0 < g_k < n - 1$ の範囲において、 $V_1(g_k) > 0$ (ボルト)であり、かつ、 $V_1(g_k) > V_1(g_k + 1)$ の関係を満足する。

40

【0025】

ある実施形態において、少なくとも $0 < g_k < n - 1$ の範囲において、 $V_1(g_k) > V_1(g_k + 1)$ の関係を満足する。

【0026】

ある実施形態において、 $SPa(p, q)$ および $SPb(p, q)$ のそれぞれは、対向

50

電極と、前記液晶層を介して前記対向電極に対向する副画素電極とによって形成された液晶容量と、前記副画素電極に電氣的に接続された補助容量電極と、絶縁層と、前記絶縁層を介して前記補助容量電極と対向する補助容量対向電極とによって形成された補助容量とを有し、前記対向電極は、 $SPa(p, q)$ および $SPb(p, q)$ に対して共通の単一の電極であり、前記補助容量対向電極は、 $SPa(p, q)$ および $SPb(p, q)$ 毎に電氣的に独立である。

【0027】

ある実施形態において、 $SPa(p, q)$ および $SPb(p, q)$ のそれぞれに対応して設けられた2つのスイッチング素子を有し、前記2つのスイッチング素子は、共通の走査線に供給される走査信号電圧によってオン/オフ制御され、前記2つのスイッチング素子がオン状態にあるときに、 $SPa(p, q)$ および $SPb(p, q)$ のそれぞれが有する前記副画素電極および前記補助容量電極に、共通の信号線から表示信号電圧が供給され、前記2つのスイッチング素子がオフ状態とされた後に、 $SPa(p, q)$ および $SPb(p, q)$ のそれぞれの前記補助容量対向電極の電圧が変化し、その変化の方向および変化の大きさによって規定される変化量が $SPa(p, q)$ および $SPb(p, q)$ とで異なる。すなわち、前記2つのスイッチング素子がオン状態にあるときの $SPa(p, q)$ および $SPb(p, q)$ のそれぞれの前記補助容量対向電極の電位、例えば $V_{Spa(on)}$ および $V_{Spb(on)}$ が、前記2つのスイッチング素子がオフ状態になった後に、 $V_{Spa(on)}$ および $V_{Spb(on)}$ からそれぞれ $V_{Spa(off)}$ および $V_{Spb(off)}$ に変化し、かつ、このときのそれぞれの変化量である $V_{Spa(off)} - V_{Spa(on)}$ と $V_{Spb(off)} - V_{Spb(on)}$ とが異なるように、前記補助容量対向電極に電圧が印加される。

【0028】

ある実施形態において、 $SPa(p, q)$ および $SPb(p, q)$ の前記補助容量対向電極の電圧の変化量は、大きさが等しく、変化の方向が互いに逆である。

【0029】

ある実施形態において、 $SPa(p, q)$ および $SPb(p, q)$ のそれぞれの前記補助容量対向電極の電圧は振動電圧であり、互いに逆位相である。前記振動電圧は矩形波であってもよいし、正弦波や三角波などであってもよい。

【0030】

ある実施形態において、 $SPa(p, q)$ および $SPb(p, q)$ のそれぞれの前記補助容量対向電極の前記振動電圧の周期は1水平走査期間と略等しい。

【0031】

ある実施形態において、 $SPa(p, q)$ および $SPb(p, q)$ のそれぞれの前記補助容量対向電極の前記振動電圧の周期は1水平走査期間よりも短い。

【0032】

ある実施形態において、 $SPa(p, q)$ および $SPb(p, q)$ のそれぞれの前記補助容量対向電極の前記振動電圧の水平走査期間内の時間平均値は、任意の水平走査期間において略等しい。

【0033】

ある実施形態において、前記振動の周期は1水平走査期間の2分の1である。

【0034】

ある実施形態において、前記振動電圧のデューティ比が1:1の矩形波である。

【0035】

ある実施形態において、 $SPa(p, q)$ の面積と $SPb(p, q)$ の面積は互いに異なり、かつ、 $SPa(p, q)$ と $SPb(p, q)$ のうち前記液晶層に印加される実効的な電圧の大きい方の面積が他方の面積よりも小さい。

【0036】

ある実施形態において、 $SPa(p, q)$ の面積と $SPb(p, q)$ の面積は実質的に等しい。

10

20

30

40

50

【 0 0 3 7 】

本発明の第3の局面による液晶表示装置は、それぞれが液晶層と前記液晶層に電圧を印加する複数の電極とを有し、行および列を有するマトリクス状に配列された複数の画素を備える液晶表示装置であって、前記複数の画素のそれぞれは、それぞれの前記液晶層に互いに異なる電圧を印加することができる第1副画素および前記第2副画素であって、ある階調において前記第1副画素が前記第2副画素よりも高い輝度を呈する第1副画素および第2副画素を有し、前記第1副画素および前記第2副画素のそれぞれは、対向電極と、前記液晶層を介して前記対向電極に対向する副画素電極とによって形成された液晶容量と、前記副画素電極に電氣的に接続された補助容量電極と、絶縁層と、前記絶縁層を介して前記補助容量電極と対向する補助容量対向電極とによって形成された補助容量とを有し、前記対向電極は、前記第1副画素および前記第2副画素に対して共通の単一の電極であり、前記補助容量対向電極は、前記第1副画素と前記第2副画素とで電氣的に独立であって、かつ、前記複数の画素の内の任意の画素の前記第1副画素の前記補助容量対向電極と、前記任意の画素に列方向に隣接する画素の前記第2副画素の前記補助容量対向電極とは、電氣的に独立であることを特徴とする。

10

【 0 0 3 8 】

ある実施形態において、前記任意の画素の前記第1副画素は、前記任意の画素に列方向に隣接する画素の第2副画素と隣接するように配置されている。

【 0 0 3 9 】

ある実施形態において、前記複数の画素のそれぞれにおいて、前記第1副画素は前記第2副画素と列方向に隣接するように配置されている。

20

【 0 0 4 0 】

ある実施形態において、互いに電氣的に独立な複数の補助容量幹線を有し、前記補助容量幹線のそれぞれは、前記複数の画素の前記第1副画素および前記第2副画素が有する前記補助容量対向電極のいずれかに補助容量配線を介して電氣的に接続されている。

【 0 0 4 1 】

ある実施形態において、前記複数の補助容量幹線の中で電氣的に独立な補助容量幹線はL本の補助容量幹線であって、前記補助容量幹線のそれぞれが供給する補助容量対向電圧は振動電圧であって、振動の周期は、水平走査期間のL倍である。

【 0 0 4 2 】

ある実施形態において、電氣的に独立な前記複数の補助容量幹線は偶数本の補助容量幹線であって、互いに振動の位相が180度異なる補助容量対向電圧を供給する補助容量幹線の対で構成されている。

30

【 0 0 4 3 】

ある実施形態において、電氣的に独立な補助容量幹線の数は、1水平走査期間を前記補助容量配線の有する最大の負荷インピーダンスを近似したCR時定数で除した値の8倍よりも大きな数である。

【 0 0 4 4 】

ある実施形態において、電氣的に独立な補助容量幹線の数は、1水平走査期間を前記補助容量配線の有する最大の負荷インピーダンスを近似したCR時定数で除した値の8倍よりも大きく、且つ偶数である。

40

【 0 0 4 5 】

ある実施形態において、前記複数の補助容量幹線は、それぞれが電氣的に独立な第1補助容量幹線および第2補助容量幹線を含み、前記複数の画素が構成するある行をn行とし、任意の列のn行に属する画素が有する第1副画素の補助容量対向電極が接続された補助容量配線CSBL__A__n、第2副画素の補助容量対向電極が接続された補助容量配線をCSBL__B__nで表し、kを自然数(0を含む)とすると、CSBL__A__n+kが前記第1補助容量幹線に接続されており、CSBL__B__n+kが前記第2補助容量幹線に接続されている。

【 0 0 4 6 】

50

ある実施形態において、前記第1および第2補助容量幹線のそれぞれが供給する第1および第2補助容量対向電圧の振動の周期は、いずれも水平走査期間の2倍の時間である。

【0047】

ある実施形態において、前記第2補助容量対向電圧は、前記第1補助容量対向電圧より水平走査期間の1倍の時間だけ位相が遅れている。

【0048】

ある実施形態において、前記第1副画素および前記第2副画素のそれぞれに対応して設けられた2つのスイッチング素子を有し、前記2つのスイッチング素子は、共通の走査線に供給される走査信号電圧によってオン/オフ制御され、前記2つのスイッチング素子がオン状態にあるときに、前記第1副画素および前記第2副画素のそれぞれが有する前記副画素電極および前記補助容量電極に、共通の信号線から表示信号電圧が供給され、前記2つのスイッチング素子がオフ状態とされた後に、前記第1副画素および前記第2副画素のそれぞれの前記補助容量対向電極の電圧が変化し、前記2つのスイッチングがオン状態からオフ状態とされた時刻の直後から、前記第1補助容量対向電圧が最初に変化するまでの時間を T_d とするとき、 T_d が、水平走査期間の0倍より大きく、かつ、水平走査期間の1倍よりも小さい時間である。

【0049】

ある実施形態において、前記 T_d が水平走査期間の0.5倍の時間に略等しい。

【0050】

ある実施形態において、前記複数の補助容量幹線は、それぞれが電氣的に独立な第1補助容量幹線、第2補助容量幹線、第3補助容量幹線、および第4補助容量幹線を含み、前記複数の画素が構成するある行を n 行とし、任意の列の n 行に属する画素が有する第1副画素の補助容量対向電極が接続された補助容量配線 $CSBL_A_n$ 、第2副画素の補助容量対向電極が接続された補助容量配線を $CSBL_B_n$ で表し、 k を自然数(0を含む)とするとき、 $CSBL_A_n + 4 \cdot k$ および $CSBL_B_n + 2 + 4 \cdot k$ が前記第1補助容量幹線に接続されており、 $CSBL_B_n + 4 \cdot k$ および $CSBL_A_n + 2 + 4 \cdot k$ が前記第2補助容量幹線に接続されており、 $CSBL_A_n + 1 + 4 \cdot k$ および $CSBL_B_n + 3 + 4 \cdot k$ が前記第3補助容量幹線に接続されており、 $CSBL_B_n + 1 + 4 \cdot k$ および $CSBL_A_n + 3 + 4 \cdot k$ が前記第4補助容量幹線に接続されている。

【0051】

ある実施形態において、前記第1から第4補助容量幹線のそれぞれが供給する第1から第4補助容量対向電圧の振動の周期は、いずれも水平走査期間の4倍の時間である。

【0052】

ある実施形態において、前記第2補助容量対向電圧は、前記第1補助容量対向電圧より水平走査期間の2倍の時間だけ位相が遅れており、前記第3補助容量対向電圧は、前記第1補助容量対向電圧より水平走査期間の3倍の時間だけ位相が遅れており、前記第4補助容量対向電圧は、前記第1補助容量対向電圧より水平走査期間の1倍の時間だけ位相が遅れている。

【0053】

ある実施形態において、前記第1副画素および前記第2副画素のそれぞれに対応して設けられた2つのスイッチング素子を有し、前記2つのスイッチング素子は、共通の走査線に供給される走査信号電圧によってオン/オフ制御され、前記2つのスイッチング素子がオン状態にあるときに、前記第1副画素および前記第2副画素のそれぞれが有する前記副画素電極および前記補助容量電極に、共通の信号線から表示信号電圧が供給され、前記2つのスイッチング素子がオフ状態とされた後に、前記第1副画素および前記第2副画素のそれぞれの前記補助容量対向電極の電圧が変化し、前記2つのスイッチングがオン状態からオフ状態とされた時刻の直後から、前記第1補助容量対向電圧が最初に変化するまでの時間を T_d とするとき、 T_d が、水平走査期間の0倍より大きく、かつ、水平走査期間の2倍よりも小さい時間である。

10

20

30

40

50

【 0 0 5 4 】

ある実施形態において、前記 T d が水平走査期間の 1 倍の時間に略等しい。

【 0 0 5 5 】

ある実施形態において、前記複数の補助容量幹線は、それぞれが電氣的に独立な第 1 補助容量幹線、第 2 補助容量幹線、第 3 補助容量幹線、第 4 補助容量幹線、第 5 補助容量幹線および第 6 補助容量幹線を含み、行方向、列方向にマトリックス状に配置された前記複数の画素が構成するある行を n 行とし、任意の列の n 行に属する画素が有する第 1 副画素の補助容量対向電極が接続された補助容量配線 C S B L __ A __ n、第 2 副画素の補助容量対向電極が接続された補助容量配線を C S B L __ B __ n で表し、k を自然数 (0 を含む) とするとき、C S B L __ A __ n + 3 ・ k が前記第 1 補助容量幹線に接続されており、C S B L __ B __ n + 3 ・ k が前記第 2 補助容量幹線に接続されており、C S B L __ A __ n + 1 + 3 ・ k が前記第 3 補助容量幹線に接続されており、C S B L __ B __ n + 1 + 3 ・ k が前記第 4 補助容量幹線に接続されており、C S B L __ A __ n + 2 + 3 ・ k が前記第 5 補助容量幹線に接続されており、C S B L __ B __ n + 2 + 3 ・ k が前記第 6 補助容量幹線に接続されている。

10

【 0 0 5 6 】

前記第 1 から第 6 補助容量幹線のそれぞれが供給する第 1 から第 6 補助容量対向電圧の振動の周期は、いずれも水平走査期間の 6 倍の時間である。

【 0 0 5 7 】

ある実施形態において、前記複数の補助容量幹線は、それぞれが電氣的に独立な L 本の補助容量幹線、第 1 補助容量幹線、第 2 補助容量幹線、第 3 補助容量幹線、第 4 補助容量幹線、第 5 補助容量幹線、第 6 補助容量幹線、・・・、第 L - 3 補助容量幹線、第 L - 2 補助容量幹線、第 L - 1 補助容量幹線、および第 L 補助容量幹線を含み、電氣的に独立な補助容量幹線の数 L の 1 / 2 が奇数であるとき、即ち L = 2 , 6 , 1 0 , ... であるとき、前記複数の画素が構成するある行を n 行とし、任意の列の n 行に属する画素が有する第 1 副画素の補助容量対向電極が接続された補助容量配線 C S B L __ A __ n、第 2 副画素の補助容量対向電極が接続された補助容量配線を C S B L __ B __ n で表し、k を自然数 (0 を含む) とするとき、C S B L __ A __ n + (L / 2) ・ k が前記第 1 補助容量幹線に接続されており、C S B L __ B __ n + (L / 2) ・ k が前記第 2 補助容量幹線に接続されており、C S B L __ A __ n + 1 + (L / 2) ・ k が前記第 3 補助容量幹線に接続されており、C S B L __ B __ n + 1 + (L / 2) ・ k が前記第 4 補助容量幹線に接続されており、C S B L __ A __ n + 2 + (L / 2) ・ k が前記第 5 補助容量幹線に接続されており、C S B L __ B __ n + 2 + (L / 2) ・ k が前記第 6 補助容量幹線に接続されており、・・・C S B L __ A __ n + (L / 2) - 2 + (L / 2) ・ k が前記第 L - 3 補助容量幹線に接続されており、C S B L __ B __ n + (L / 2) - 2 + (L / 2) ・ k が前記第 L - 2 補助容量幹線に接続されており、C S B L __ A __ n + (L / 2) - 1 + (L / 2) ・ k が前記第 L - 1 補助容量幹線に接続されており、C S B L __ B __ n + (L / 2) - 1 + (L / 2) ・ k が前記第 L 補助容量幹線に接続されている。

20

30

【 0 0 5 8 】

ある実施形態において、前記第 1 から第 L 補助容量幹線のそれぞれが供給する第 1 から第 L 補助容量対向電圧の振動の周期は、いずれも水平走査期間の L 倍の時間である。

40

【 0 0 5 9 】

ある実施形態において、前記複数の補助容量幹線は、それぞれが電氣的に独立な第 1 補助容量幹線、第 2 補助容量幹線、第 3 補助容量幹線、第 4 補助容量幹線、第 5 補助容量幹線、第 6 補助容量幹線、第 7 補助容量幹線、および第 8 補助容量幹線を含み、前記複数の画素が構成するある行を n 行とし、任意の列の n 行に属する画素が有する第 1 副画素の補助容量対向電極が接続された補助容量配線 C S B L __ A __ n、第 2 副画素の補助容量対向電極が接続された補助容量配線を C S B L __ B __ n で表し、k を自然数 (0 を含む) とするとき、C S B L __ A __ n + 8 ・ k および C S B L __ B __ n + 4 + 8 ・ k が前記第 1 補助容量幹線に接続されており、C S B L __ B __ n + 8 ・ k および C S B L __ A __ n + 4 + 8

50

・ k が前記第 2 補助容量幹線に接続されており、 $CSBL_A_n + 1 + 8 \cdot k$ および $CSBL_B_n + 5 + 8 \cdot k$ が前記第 3 補助容量幹線に接続されており、 $CSBL_B_n + 1 + 8 \cdot k$ および $CSBL_A_n + 5 + 8 \cdot k$ が前記第 4 補助容量幹線に接続されており、 $CSBL_A_n + 2 + 8 \cdot k$ および $CSBL_B_n + 6 + 8 \cdot k$ が前記第 5 補助容量幹線に接続されており、 $CSBL_B_n + 2 + 8 \cdot k$ および $CSBL_A_n + 6 + 8 \cdot k$ が前記第 6 補助容量幹線に接続されており、 $CSBL_A_n + 3 + 8 \cdot k$ および $CSBL_B_n + 7 + 8 \cdot k$ が前記第 7 補助容量幹線に接続されており、 $CSBL_B_n + 3 + 8 \cdot k$ および $CSBL_A_n + 7 + 8 \cdot k$ が前記第 8 補助容量幹線に接続されている。

【0060】

ある実施形態において、前記第 1 から第 8 補助容量幹線のそれぞれが供給する第 1 から第 8 補助容量対向電圧の振動の周期は、いずれも水平走査期間の 8 倍の時間である。

【0061】

ある実施形態において、前記複数の補助容量幹線は、それぞれが電氣的に独立な L 本の補助容量幹線、第 1 補助容量幹線、第 2 補助容量幹線、第 3 補助容量幹線、第 4 補助容量幹線、第 5 補助容量幹線、第 6 補助容量幹線、第 7 補助容量幹線、第 8 補助容量幹線、
 ・ ・ ・、第 $L - 3$ 補助容量幹線、第 $L - 2$ 補助容量幹線、第 $L - 1$ 補助容量幹線、及び第 L 補助容量幹線を含み、電氣的に独立な補助容量幹線の数 L の $1/2$ が偶数であるとき、即ち $L = 4, 8, 12, \dots$ であるとき、行方向、列方向にマトリクス状に配置された前記複数の画素が構成するある行を n 行とし、任意の列の n 行に属する画素が有する第 1 副画素の補助容量対向電極が接続された補助容量配線 $CSBL_A_n$ 、第 2 副画素の補助容量対向電極が接続された補助容量配線を $CSBL_B_n$ で表し、 k を自然数 (0 を含む) とするとき、 $CSBL_A_n + L \cdot k$ および $CSBL_B_n + (L/2) + L \cdot k$ が前記第 1 補助容量幹線に接続されており、 $CSBL_B_n + L \cdot k$ および $CSBL_A_n + (L/2) + L \cdot k$ が前記第 2 補助容量幹線に接続されており、 $CSBL_A_n + 1 + L \cdot k$ および $CSBL_B_n + (L/2) + 1 + L \cdot k$ が前記第 3 補助容量幹線に接続されており、 $CSBL_B_n + 1 + L \cdot k$ および $CSBL_A_n + (L/2) + 1 + L \cdot k$ が前記第 4 補助容量幹線に接続されており、 $CSBL_A_n + 2 + L \cdot k$ および $CSBL_B_n + (L/2) + 2 + L \cdot k$ が前記第 5 補助容量幹線に接続されており、 $CSBL_B_n + 2 + L \cdot k$ および $CSBL_A_n + (L/2) + 2 + L \cdot k$ が前記第 6 補助容量幹線に接続されており、 $CSBL_A_n + 3 + L \cdot k$ および $CSBL_B_n + (L/2) + 3 + L \cdot k$ が前記第 7 補助容量幹線に接続されており、 $CSBL_B_n + 3 + L \cdot k$ および $CSBL_A_n + (L/2) + 3 + L \cdot k$ が前記第 8 補助容量幹線に接続されており、
 ・ ・ ・ $CSBL_A_n + (L/2) - 2 + L \cdot k$ および $CSBL_B_n + L - 2 + L \cdot k$ が前記第 $L - 3$ 補助容量幹線に接続されており、 $CSBL_B_n + (L/2) - 2 + L \cdot k$ および $CSBL_A_n + L - 2 + L \cdot k$ が前記第 $L - 2$ 補助容量幹線に接続されており、 $CSBL_A_n + (L/2) - 1 + L \cdot k$ および $CSBL_B_n + L - 1 + L \cdot k$ が前記第 $L - 1$ 補助容量幹線に接続されており、 $CSBL_B_n + (L/2) - 1 + L \cdot k$ および $CSBL_A_n + L - 1 + L \cdot k$ が前記第 L 補助容量幹線に接続されている。

【0062】

ある実施形態において、前記第 1 から第 L 補助容量幹線のそれぞれが供給する第 1 から第 L 補助容量対向電圧の振動の周期は、いずれも水平走査期間の L 倍の時間である。

【0063】

本発明の第 4 の局面による液晶表示装置は、それぞれが液晶層と前記液晶層に電圧を印加する複数の電極とを有し、行および列を有するマトリクス状に配列された複数の画素を備える液晶表示装置であって、前記複数の画素のそれぞれは、それぞれの前記液晶層に互いに異なる電圧を印加することができる第 1 副画素および前記第 2 副画素であって、ある階調において前記第 1 副画素が前記第 2 副画素よりも高い輝度を呈する第 1 副画素および第 2 副画素を有し、前記第 1 副画素および前記第 2 副画素のそれぞれは、対向電極と、前

10

20

30

40

50

記液晶層を介して前記対向電極に対向する副画素電極とによって形成された液晶容量と、前記副画素電極に電氣的に接続された補助容量電極と、絶縁層と、前記絶縁層を介して前記補助容量電極と対向する補助容量対向電極とによって形成された補助容量とを有し、前記対向電極は、前記第1副画素および前記第2副画素に対して共通の単一の電極であり、前記補助容量対向電極は、前記第1副画素と前記第2副画素とで電氣的に独立であって、互いに電氣的に独立で、それぞれが前記複数の画素の前記第1副画素および前記第2副画素が有する前記補助容量対向電極のいずれかに補助容量配線を介して電氣的に接続されている複数の補助容量幹線を更に有し、列方向に隣接する2つの画素の一方の前記第1副画素の前記補助容量対向電極は他方の前記第2副画素の前記補助容量対向電極と電氣的に等価な補助容量配線に接続されており、且つ、前記複数の補助容量幹線の内で電氣的に独立な補助容量幹線はL本(Lは偶数)以上あり、前記複数の補助容量幹線のそれぞれが供給する補助容量対向電圧は振動電圧であって、振動の周期は水平走査期間の2・K・L倍(Kは正の整数)であることを特徴とする。

10

【0064】

ある実施形態において、方向、列方向にマトリックス状に配置された前記複数の画素が構成するある行をn行とし、任意の列のn行に属する画素が有する第1副画素の補助容量対向電極が接続された補助容量配線CSBL_(n)A、第2副画素の補助容量対向電極が接続された補助容量配線をCSBL_(n)Bで表すとき、

前記L本の電氣的に独立な補助容量幹線に接続されるCSバスラインが、

$$CSBL_ (p + 2 \cdot (1 - 1)) B , (p + 2 \cdot (1 - 1) + 1) A ,$$

$$CSBL_ (p + 2 \cdot (2 - 1)) B , (p + 2 \cdot (2 - 1) + 1) A ,$$

$$CSBL_ (p + 2 \cdot (3 - 1)) B , (p + 2 \cdot (3 - 1) + 1) A ,$$

・

・

・

$$CSBL_ (p + 2 \cdot (K - 1)) B , (p + 2 \cdot (K - 1) + 1) A$$

と、

$$CSBL_ (p + 2 \cdot (1 - 1) + K \cdot L + 1) B , (p + 2 \cdot (1 - 1) + K \cdot L + 2) A ,$$

$$CSBL_ (p + 2 \cdot (2 - 1) + K \cdot L + 1) B , (p + 2 \cdot (2 - 1) + K \cdot L + 2) A ,$$

$$CSBL_ (p + 2 \cdot (3 - 1) + K \cdot L + 1) B , (p + 2 \cdot (3 - 1) + K \cdot L + 2) A ,$$

・

・

・

$$CSBL_ (p + 2 \cdot (K - 1) + K \cdot L + 1) B , (p + 2 \cdot (3 - 1) + K \cdot L + 2) A$$

或いは

$$CSBL_ (p + 2 \cdot (1 - 1) + 1) B , (p + 2 \cdot (1 - 1) + 2) A$$

、

$$CSBL_ (p + 2 \cdot (2 - 1) + 1) B , (p + 2 \cdot (2 - 1) + 2) A$$

、

$$CSBL_ (p + 2 \cdot (3 - 1) + 1) B , (p + 2 \cdot (3 - 1) + 2) A$$

、

・

・

・

$$CSBL_ (p + 2 \cdot (K - 1) + 1) B , (p + 2 \cdot (K - 1) + 2) A$$

と

20

30

40

50

$C S B L _ (p + 2 \cdot (1 - 1) + K \cdot L) B , (p + 2 \cdot (1 - 1) + K \cdot L + 1) A、$

$C S B L _ (p + 2 \cdot (2 - 1) + K \cdot L) B , (p + 2 \cdot (2 - 1) + K \cdot L + 1) A、$

$C S B L _ (p + 2 \cdot (3 - 1) + K \cdot L) B , (p + 2 \cdot (3 - 1) + K \cdot L + 1) A、$

・
・
・

$C S B L _ (p + 2 \cdot (K - 1) + K \cdot L) B , (p + 2 \cdot (K - 1) + K \cdot L + 1) A$

10

但し、 $p = 1, 3, 5, \dots$ もしくは $p = 0, 2, 4, \dots$

の関係を満足する。

【0065】

ある実施形態において、 K は 1 または 2 であり、 L が 6、8、10 および 12 のうちのいずれかである。

【0066】

ある実施形態において、前記補助容量配線は、列方向に隣接する 2 つの画素の間に配置されていることが好ましい。

【0067】

20

ある実施形態において、前記第 1 副画素および前記第 2 副画素のそれぞれに対応して設けられた 2 つのスイッチング素子と、前記 2 つのスイッチング素子に共通に接続された走査線とを有し、前記走査線は前記第 1 副画素と前記第 2 副画素との間に配置されている。

【0068】

ある実施形態において、前記複数の補助容量幹線は、偶数本の補助容量幹線であって、互いに振動の位相が 180 度異なる補助容量対向電圧を供給する補助容量幹線の対で構成されている。

【0069】

ある実施形態において、列方向に隣接する任意の 2 つの画素において、一方の画素の前記第 1 副画素と他方の画素の前記第 2 副画素の補助容量対向電極が共通の補助容量配線に接続されている。

30

【0070】

ある実施形態において、前記補助容量対向電圧のデューティ比は、いずれも 1 : 1 である。

【0071】

ある実施形態において、前記任意の画素の前記第 1 副画素は、前記任意の画素に列方向に隣接する画素の第 2 副画素と隣接するように配置されており、かつ、前記複数の画素のそれぞれにおいて、前記第 1 副画素は前記第 2 副画素と列方向に隣接するように配置されている。

【0072】

40

ある実施形態において、前記第 1 副画素と前記第 2 副画素の面積は互いに略等しい。

【0073】

ある実施形態において、前記第 2 副画素の面積は前記第 1 副画素の面積よりも大きい。

【発明の効果】

【0074】

本発明の第 1 の局面によると、液晶表示装置の特性の視野角依存性を改善することができる。特に、MVA モードや ASV モードなどの広視野角特性を有する液晶表示装置の特性を改善することによって、表示品位の極めて高い表示を可能とすることができる。

【0075】

さらに、本発明の第 2 の局面によると、液晶表示装置を交流駆動した際にちらつきが発

50

生することが抑制される。本発明の第1の局面による液晶表示装置と組み合わせることによって、特性の視角特性が改善されるとともに、ちらつきの発生が抑制された、高品位の表示が可能な液晶表示装置が提供される。

【0076】

本発明の第3の局面によると、第2の局面による発明において補助容量対向電極に印加される電圧（振動電圧）の振動の周期を長くすることができるので、大型あるいは高精細の液晶表示装置において、1つの画素を2つ以上の副画素に分割して、それら副画素を異なる輝度を表示することによって視野角特性を改善効果するといった本発明の視野角改善効果を実現するために好適な液晶表示装置を達成することができる。

【0077】

本発明の第4の局面によると、第3の局面の発明と同様に補助容量対向電極に印加される電圧（振動電圧）の振動の周期を長くすることができる上に、列方向に隣接する画素の副画素に対して共通の補助容量配線（CSバスライン）から振動電圧を供給することが可能となる。従って、補助容量配線を列方向の隣接する画素間に配置することによって、遮光層（ブラックマトリクス：BM）として兼用することができるので、第3の局面による液晶表示装置よりもCSバスラインの本数を減らせる上に、第3の局面による液晶表示装置では別途設ける必要であった遮光層を省略することにより、画素開口率を向上できるという利点が得られる。

【発明を実施するための最良の形態】

【0078】

以下、図面を参照しながら、本発明の第1の局面による実施形態の液晶表示装置の構成と動作を説明する。

【0079】

まず、図1および図2(a)、(b)および(c)を参照する。図1は本発明の実施形態の液晶表示装置100の1画素の電極配置を模式的に示す図である。図2(a)は液晶表示装置100の全体構成を模式的に示す図であり、図2(b)は1画素の電極構造を模式的に示す図であり、図2(c)は図2(b)の2C-2C'線に沿った断面図を示す。また、参考のために従来の液晶表示装置100'の1画素の電極配置を図3(a)に、電極構造を図3(b)に、3C-3C'線に沿った断面構造を図3(c)にそれぞれ模式的に示す。

【0080】

本実施形態の液晶表示装置100は、それぞれが液晶層と、液晶層に電圧を印加する複数の電極とを有する複数の画素を備え、ノーマリブラックモードで表示を行う液晶表示装置である。ここでは、TFT型の液晶表示装置を例示するが、他のスイッチング素子（例えば、MIM素子）を用いてもよい。

【0081】

液晶表示装置100は、マトリクス状に配列された複数の画素10を有する。複数の画素10のそれぞれは、液晶層13と、液晶層13に電圧を印加するための画素電極18と対向電極17とを有する。対向電極17は、典型的には、全ての画素10に対して共通の1つの電極である。

【0082】

本実施形態の液晶表示装置100は、複数の画素10のそれぞれが、図1に示したように、互いに異なる電圧を印加することができる第1副画素10aおよび第2副画素10bを有している。

【0083】

複数の画素10のそれぞれが、ある階調 g_k ($0 < g_k < g_n$ 、 g_k および g_n は零以上の整数、 g_k が大きい方が輝度の高い階調を表す。)の表示を行う際に、第1副画素10aおよび第2副画素10bのそれぞれの液晶層に印加される実効電圧を $V_1(g_k)$ および $V_2(g_k)$ とし、第1副画素10aおよび第2副画素10bのそれぞれの液晶層に印加される実効電圧の差を $V_{12}(g_k) = V_1(g_k) - V_2(g_k)$ とすると、少

10

20

30

40

50

なくとも $0 < g_k \leq n - 1$ の範囲において、 $V_{12}(g_k) > 0$ (ボルト) であり、かつ、 $V_{12}(g_k) > V_{12}(g_k + 1)$ の関係を満足するように駆動される。

【0084】

それぞれの画素 10 が有する副画素の数 (画素の分割数ということもある。) は 2 に限られず、第 1 副画素 10 a および第 2 副画素 10 b と異なる電圧を印加することができる第 3 副画素 (不図示) をさらに有してもよい。このとき、第 3 副画素の液晶層に印加される実効電圧を $V_3(g_k)$ とし、第 1 副画素および第 3 副画素のそれぞれの液晶層に印加される実効電圧の差を $V_{13}(g_k) = V_1(g_k) - V_3(g_k)$ とすると、 0 (ボルト) $< V_{13}(g_k) < V_{12}(g_k)$ の関係を満足するようにする。もちろん、それぞれの画素 10 が有する副画素の数は、4 以上であってもよい。

10

【0085】

なお、副画素の液晶層に印加される実効電圧は、少なくとも $0 < g_k \leq n - 1$ の範囲において、 $V_{12}(g_k) > V_{12}(g_k + 1)$ の関係を満足することが好ましい。すなわち、輝度が高い階調ほど、第 1 副画素 10 a と第 2 副画素 10 b とに印加される実効電圧の差が小さくなるか、あるいは、等しいことが好ましい。言い換えると、輝度が低い階調ほど (黒表示に近いほど)、第 1 副画素 10 a と第 2 副画素 10 b とに印加される実効電圧の差が大きいか、あるいは、等しいことが好ましい。それぞれの画素が、第 3 副画素を有する場合には、少なくとも $0 < g_k \leq n - 1$ の範囲において、 $V_{12}(g_k) > V_{12}(g_k + 1)$ 且つ $V_{13}(g_k) > V_{13}(g_k + 1)$ の関係を満足することが好ましい。

20

【0086】

第 1 副画素 10 a の面積は、第 2 副画素 10 b の面積と同じかそれよりも小さいことが好ましい。複数の画素のそれぞれが 3 以上の副画素を有する場合、最も高い実効電圧が印加される副画素 (ここでは第 1 副画素) の面積は、最も低い実効電圧が印加される副画素 (ここでは第 2 副画素) の面積よりも大きくないことが好ましい。すなわち、それぞれの画素 10 が複数の副画素 SP_1, SP_2, \dots, SP_n を有し、それぞれの液晶層に印加される実効電圧を $V_1(g_k), V_2(g_k), \dots, V_n(g_k)$ とすると、 $V_1(g_k) > V_2(g_k) > \dots > V_n(g_k)$ の関係を満足し、それぞれの副画素の面積を $SSP_1, SSP_2, \dots, SSP_n$ とすると、 $SSP_1 \geq SSP_2 \geq \dots \geq SSP_n$ の関係を満足することが好ましい。

30

【0087】

なお、 $V_1(g_k) > V_2(g_k) > \dots > V_n(g_k)$ の関係は、少なくとも、最低階調および最高階調を除く全ての階調 (すなわち $0 < g_k \leq n - 1$ の範囲) で成り立てば本発明の効果が得られるが、全ての階調 (すなわち $0 \leq g_k \leq n$ の範囲) で成り立つ構成としてもよい。

【0088】

このように、それぞれの画素を複数の副画素に分割し、それぞれの副画素の液晶層に異なる電圧を印加すると、異なる特性が混合された状態で観察されるので、特性の視角依存性が改善される。さらに、低階調の時ほど副画素間の実効電圧差を大きく設定しているので、ノーマリブラックモードにおける黒側 (輝度が低い側) における特性を改善する効果が大きく、表示品位の改善効果が高い。

40

【0089】

副画素 10 a および 10 b の液晶層に上記の関係を満足する実効電圧を印加する構成は種々の構成であり得る。

【0090】

例えば、図 1 に示した液晶表示装置 100 のように構成することができる。すなわち、図 3 に示した従来の液晶表示装置 100' においては、1 つの画素 10 は TFT 16 を介して信号線 14 に接続された唯一の画素電極 18 を有しているのに対し、液晶表示装置 100 は、互いに異なる信号線 14 a および 14 b に、それぞれ対応する TFT 16 a および 16 b を介して接続された 2 つの副画素電極 18 a および 18 b を有している。

50

【0091】

副画素10aおよび10bは、1つの画素10を構成するので、TFT16aおよび16bのゲートは共通の走査線（ゲートバスライン）12に接続され、同じ走査信号によってオン/オフ制御される。信号線（ソースバスライン）14aおよび14bには、上記の関係を満足するように信号電圧（階調電圧）が供給される。なお、TFT16aおよび16bのゲートは共用する構成にすることが好ましい。

【0092】

あるいは、後に詳述するように、第1副画素および第2副画素のそれぞれが、副画素電極に電氣的に接続された補助容量電極と、絶縁層と、絶縁層を介して補助容量電極と対向する補助容量対向電極とによって形成された補助容量とを有する構成においては、補助容量対向電極を第1副画素および第2副画素毎に電氣的に独立とし、補助容量対向電極に供給する電圧（補助容量対向電圧という。）を変化させることによって、容量分割を利用して、第1副画素の液晶層と第2副画素の液晶層に印加される実効電圧を異ならせることが好ましい。補助容量の容量値の大きさおよび補助容量対向電極に供給する電圧の大きさを調節することによって、それぞれの副画素の液晶層に印加する実効電圧の大きさを制御することができる。

【0093】

この構成を採用すると、副画素電極18aおよび18bのそれぞれに対して異なる信号電圧を印加する必要がないので、TFT16aおよびTFT16bを共通の信号線に接続し、同じ信号電圧を供給すればよい。従って、信号線の本数は、図3に示した従来の液晶表示装置100'と同じであり、信号線駆動回路の構成も従来の液晶表示装置100'で用いられるものと同じ構成を採用できる。もちろん、TFT16aおよび16bは同じ走査線に接続されるので、これらのゲートを共用する構成を採用することが好ましいのは、上記の例と同じである。

【0094】

本発明の液晶表示装置は、負の誘電異方性を有するネマチック液晶材料を含む垂直配向型液晶層を利用する液晶表示装置に適用することが好ましい。特に、それぞれの副画素に含まれる液晶層が、電圧印加時に液晶分子が傾斜する方位角方向が互いに約90°異なる4つのドメインを含むことが好ましい（MVAモード）。あるいは、それぞれの副画素に含まれる液晶層が、少なくとも電圧印加時に軸対称配向をとる液晶層であってもよい（ASMモード）。

【0095】

以下では、それぞれの副画素の液晶層が、電圧印加時に液晶分子が傾斜する方位角方向が互いに約90°異なる4つのドメインを含むMVAモードの液晶表示装置100について、本発明の実施形態をさらに詳細に説明する。

【0096】

なお、MVAモードの液晶表示装置100は、図2(a)に模式的に示すように、液晶パネル10Aと、液晶パネル10Aの両側に設けられた位相差補償素子（典型的には位相差補償板）20aおよび20bと、これらを挟むように配置された偏光板30aおよび30bと、バックライト40とを有する。偏光板30aおよび30bの透過軸（偏光軸ともいう。）は、互いに直交するように配置（クロスニコル配置）されており、液晶パネル10Aの液晶層（不図示）に電圧が印加されていない状態（垂直配向状態）において黒表示を行う。位相差補償素子20aおよび20bは液晶表示装置の視野角特性を良好にするために設けられており、公知の技術を用いて最適に設計される。具体的には、黒表示状態（ $gk=0$ ）において、全ての方位角方向における斜め観測時と正面観測時との輝度（黒輝度）の差が最小となるように最適化してある。位相差補償素子20aおよび20bをこのように最適化することによって、本発明による効果がさらに顕著になる。

【0097】

なお、当然のことではあるが、基板11a上には、副画素電極18aおよび18bそれぞれに所定のタイミングで所定の信号電圧を印加するために、走査線12、信号線14a

10

20

30

40

50

、14bおよびTF T 16a、16b(図1参照)、さらにはこれらを駆動するための回路等が必要に応じて形成されている。また、他方の基板11bには、必要に応じて、カラーフィルタ等が設けられる。

【0098】

図2(b)および(c)を参照しながら、MVAモードの液晶表示装置100の1つの画素の構造を説明する。MVAモードの液晶表示装置の基本的な構成および動作については、例えば、特開平11-242225号公報に開示されている。

【0099】

図1を参照しながら説明したように、液晶表示装置100の画素10は、2つの副画素10aおよび10bを有しており、副画素10aは副画素電極18aを有し、副画素10bは副画素電極18bを有している。図2(c)に模式的に示すように、ガラス基板11a上に形成された副画素電極18a(および18b(不図示))はスリット18sを有し、液晶層13を介して対向するように設けられている対向電極17とによって、斜め電界を生成する。また、対向電極17が設けられているガラス基板11bの表面には、液晶層13側に突き出たリブ19が設けられている。液晶層13は、負の誘電異方性を有するネマチック液晶材料で構成されており、対向電極17、リブ19および副画素電極18aおよび18bを覆うように形成されている垂直配向膜(不図示)によって、電圧無印加時に略垂直配向状態をとる。リブ19の表面(傾斜した側面)および上記斜め電界によって、垂直配向した液晶分子を所定の方向に安定に倒すことができる。

【0100】

図2(c)に示したように、リブ19はリブの中心に向かって山型に傾斜しており、液晶分子はその傾斜面に対して略垂直に配向している。従って、リブ19によって液晶分子のチルト角度(基板表面と液晶分子の長軸の成す角度)の分布が発生する。また、スリット18sは液晶層に印加される電界の方向を規則的に変化させている。その結果、このリブ19、スリット18sの作用によって電界印加時の液晶分子の配向方向は、図中に示した矢印の方向、すなわち、右上、左上、左下、右下の4方向に配向するため上下左右対称な特性を有する良好な視野角特性を得ることができる。なお、液晶パネル10Aの矩形の表示面は、典型的には、長手方向を左右方向に配置され、偏光板30aの透過軸は長手方向に平行に設定される。一方、画素10は、典型的には、図2(b)に示したように、画素10の長手方向が液晶パネル10Aの長手方向に直交する方向に配置される。

【0101】

図2(b)に示したように、第1副画素10aおよび第2副画素10bの面積を同じにし、それぞれの副画素において、第1方向に延びる第1リブと、第1方向と略直交する第2方向に延びる第2リブとを含み、第1リブと第2リブは、それぞれの副画素内において、走査線12に平行な中心線に対して対称に配置されており、かつ、一方の副画素内のリブの配置と他方の副画素内のリブの配置とが、走査線12に直交する中心線に対して対称である配置とすることが好ましい。このような配置にすることによって、それぞれの副画素内で液晶分子が右上、左上、左下、右下の4方向に配向し、かつ、第1副画素および第2副画素を含む画素全体について、それぞれの液晶ドメインの面積が実質的に同じなので、上下左右対称な特性を有する良好な視野角特性を得ることができる。この効果は、画素の面積が小さいときに顕著である。さらに、それぞれの副画素における走査線に平行な中心線の間隔が走査線の配列ピッチの約2分の1と等しい構成を採用することが好ましい。

【0102】

次に、本発明による実施形態の液晶表示装置100の動作および表示特性を説明する。

【0103】

まず、図3に示した液晶表示装置100'と同じ電極構成を有する従来のMVAモードの液晶表示装置の表示特性を、図4を参照しながら説明する。なお、本発明の実施形態の液晶表示装置100の副画素10aおよび10b(すなわち、副画素電極18aおよび18b)の液晶層に同じ実効電圧を印加した場合の表示特性は、従来の液晶表示装置と略同

じになる。

【0104】

図4(a)は、正面方向(N1)および右60度視角(L1)、右上60度視角(LU1)の透過率の印加電圧依存特性である。図4(b)は、図4(a)の各方向の透過率を各方向の白電圧(最高階調電圧)を印加したときの透過率を100%として規格化した規格化透過率を示す図であり、正面方向(N2)および右60度視角(L2)、右上60度視角(LU2)の規格化透過率の印加電圧依存特性を示す。なお、視角60度とは、表示面法線からの角度が60度であることを意味する。

【0105】

図4(b)からわかるように、正面方向の表示特性と、右60度視角および右上60度視角の特性が異なっている。このことは、各観測方向によって表示の特性が異なっていることを示している。

10

【0106】

図4(c)は、特性の違いをさらに明瞭に表現するためのものであり、横軸の値を横軸の値 = (正面視角規格化透過率 ÷ 100)^(1/2.2)、縦軸の値をN3、L3、LU3それぞれに対応して正面階調特性 = (正面視角規格化透過率 ÷ 100)^(1/2.2)、右60度視角階調特性 = (右60度規格化透過率 ÷ 100)^(1/2.2)、右上60度視角階調特性 = (右上60度規格化透過率 ÷ 100)^(1/2.2)として、特性のずれを顕在化してある。「^」はべき乗を表し、この指数が値に対応し、典型的な液晶表示装置では正面階調特性の値は2.2に設定してある。

20

【0107】

図4(c)において、正面階調特性(N3)は縦軸の値 = 横軸の値であり、直線となる。一方、右60度視角階調特性(L3)および右上60度視角の階調特性(LU3)は曲線となる。この曲線(L3、LU3)の正面特性を示す直線(N3)からのずれ量が、それぞれの視角における特性のずれ量を、すなわち正面観測時と各視角(右60度視角または右上60度視角)での観測における階調表示状態のずれ量(違い)を定量的に示している。

【0108】

本発明は、ノーマリブランクモードの液晶表示装置におけるこのずれ量を低減することを目的としている。理想的には右60度視角および右上60度視角の階調特性を示す各曲線(L3、LU3)が、正面の階調特性(N3)と一致した直線となることが望ましい。以下では、図4(c)と同様に、特性のずれ量を示す図によって、特性の改善効果の程度を評価する。

30

【0109】

本発明によって、すなわち、それぞれの画素に第1副画素および第2副画素を設け、それぞれの副画素の液晶層に異なる実効電圧V1およびV2を印加することによって、特性のずれが改善できる原理を、図4(b)を参照しながら説明する。但し、ここでの説明では第1副画素と第2副画素の面積は等しいとする。

【0110】

従来の液晶表示装置100'では正面透過率が点NAであらわされるとき、右60度視角の透過率は、点NAと同一電圧の右60度視角の透過率を表す点LAで表される。これに対して、本発明の場合、点NAの正面透過率を得るためには第1副画素および第2副画素のそれぞれの正面透過率を点NB1および点NB2に選ぶことができる。ここで点NB2の正面透過率は略ゼロであり、また第1副画素と第2副画素の面積が等しいことから、点NB1の透過率は点NAの透過率の約2倍となる。また、点NB1と点NB2における実効電圧の差はV12である。また、本発明の場合、右60度視角の透過率は点NB1および点NB2と同一電圧の右60度視角の透過率を示す点、点LB1および点LB2の透過率の平均値を示す点、点Pとなる。

40

【0111】

本発明による液晶表示装置の、右60度視角の透過率を示す点Pは従来の液晶表示装置

50

100'の右60度視角の透過率を示す点LAよりも該当する正面透過率を示す点NAに近接し、特性のずれ量が低減される。

【0112】

上記説明から、本発明の第2副画素の、右60度視角の透過率(点LB2参照)は略ゼロであることが本発明の効果を大きくしていることが理解できる、すなわち、本発明の効果を高めるためには黒表示状態で斜め方向から観測した場合の透過率が増加しないことが好ましい。この観点から、図2(a)に示した位相差補償素子20a、20bは、黒表示状態で斜め方向から観測した場合の透過率が増加しないように適宜設定することが好ましい。

【0113】

本発明による実施形態の液晶表示装置100は、それぞれの画素10が有する2つの副画素10aおよび10bのそれぞれの液晶層に互いに異なる電圧を供給することによって、特性を改善する。このとき、副画素10aおよび副画素10bのそれぞれの液晶層に印加される実効電圧の差 $V_{12}(gk) = V_1(gk) - V_2(gk)$ が、 $V_{12}(gk) > 0$ (ボルト)であり、かつ、 $V_{12}(gk) > V_{12}(gk+1)$ の関係を満足するように設定する。以下では、 $0 \leq gk < n$ の全ての範囲において上記関係を満足する場合を説明する(図5(b)および(c))。

【0114】

図5(a)、(b)、(c)および(d)に、図1示した画素10の副画素10aの液晶層に印加される実効電圧V1と副画素10bの液晶層に印加される実効電圧V2との種々の関係を示す。

【0115】

図5(a)に示す電圧印加条件Aでは、2つの副画素10aおよび10bの液晶層に同じ電圧($V_1 = V_2$)を印加する。すなわち、 $V_{12}(gk) = 0$ (ボルト)である。

【0116】

図5(b)に示す電圧条件Bでは、 $V_1 > V_2$ で、かつ、 V_{12} がV1によらず一定である。すなわち、電圧条件Bでは、任意の階調gkについて、 $V_{12}(gk) = V_{12}(gk+1)$ の関係を満足する。本実施形態では典型的な値として $V_{12}(gk) = 1.5$ (ボルト)としたが、無論これ以外の値をとってもよい。 $V_{12}(gk)$ の値が大きければ本発明の効果が拡大する方向にあるが、白表示時の輝度(透過率)が低下する問題がある。さらに $V_{12}(gk)$ の値が液晶表示装置の、透過率の印加電圧依存特性の閾値電圧(すなわち、図4(b)に示したVth)よりも大きくなると黒表示時の輝度(透過率)が増加し表示のコントラストを低下させる問題があるため、 $V_{12}(gk) < V_{th}$ であることが好ましい。

【0117】

図5(c)に示す電圧条件Cでは、 $V_1 > V_2$ で、かつ、 V_{12} がV1の増大につれて減少する。すなわち、電圧条件Cでは、任意の階調gkについて、 $V_{12}(gk) > V_{12}(gk+1)$ の関係を満足する。

【0118】

本実施形態では典型的な値として $V_{12}(0) = 1.5$ (ボルト)、 $V_{12}(n) = 0$ (ボルト)としたが、無論これ以外の値をとってもよい。但し、上述したように斜め観測時の表示コントラストの観点から $V_{12}(0) > V_{th}$ が好ましく、白表示時の輝度の観点からは $V_{12}(n) = 0$ (ボルト)が好ましい。

【0119】

図5(d)に示す電圧条件Dでは、 $V_1 > V_2$ で、かつ、 V_{12} がV1の増大とともに増大する。すなわち、電圧条件Dでは、任意の階調gkについて、 $V_{12}(gk) < V_{12}(gk+1)$ となる。

【0120】

本実施形態では典型的な値として $V_{12}(0) = 0$ (ボルト)、 $V_{12}(n) = 1.5$ (ボルト)とした。

10

20

30

40

50

【0121】

本発明による実施形態の液晶表示装置100では、電圧条件Bまたは電圧条件Cを満足するように、副画素10aおよび10bの液晶層に電圧が印加される。なお、図5(b)および(c)では、全ての階調に亘って、 $V_{12} > 0$ の条件を満足しているが、最適階調および最高階調においては、 $V_{12} = 0$ であってもよい。

【0122】

図6を参照しながら、電圧条件AからDのそれぞれを用いた場合のMVAモードの液晶表示装置の階調特性を説明する。図6(a)および(b)の横軸は(正面視角規格化透過率 $\div 100$) $^{(1/2.2)}$ であり、(a)の縦軸は右60度視角規格化透過率 $\div 100$) $^{(1/2.2)}$ であり、(b)の縦軸は右上60度視角規格化透過率 $\div 100$) $^{(1/2.2)}$ である。また参考のために正面観測時の特性を示す直線を併記してある。

10

【0123】

電圧条件Aは、副画素10aおよび10bの液晶層に同じ電圧($V_{12}(gk) = 0$)を印加する場合であり、図4に示した従来の液晶表示装置と同様に、特性が図6(a)および(b)に示したように大きくずれている。

【0124】

また、電圧条件Dは、電圧条件BおよびCに比べて、特性の視角依存性の改善効果が少ない。電圧条件Dは、例えば、特開平6-332009号公報などに記載されている、従来の容量分割を用いた画素分割における電圧条件に対応するものであり、ノーマリホワイトモードの液晶表示装置における視角特性を改善する効果は有るものの、ノーマリブラックモードの液晶表示装置において、電圧条件Dを採用しても、特性の視角依存性を低減する効果が少ない。

20

【0125】

上述したように、ノーマリブラックモードの液晶表示装置における特性の視角依存性を低減するためには、電圧条件BまたはCを採用することが好ましい。

【0126】

次に、図7を参照しながら、白表示時、すなわち最高階調電圧を印加したときの透過率の電圧条件による違いを説明する。

【0127】

電圧条件BおよびDのいずれの場合も、電圧条件Aを採用するよりも白表示時の透過率は当然に低下する。電圧条件Cの白表示時の透過率は、電圧条件Aを採用した場合と同等であり、この点において、電圧条件Cは電圧条件BおよびDよりも好ましい。従って、特性の視角依存性および白表示時の透過率の両方を考慮すると、電圧条件Cが優れていると言える。

30

【0128】

次に、副画素の面積比の好ましい条件について説明する。

【0129】

本発明では副画素SP1、SP2、・・・、SPnの液晶層に印加される実効電圧がV1、V2、・・・、Vnであり、各副画素の面積がSSP1、SSP2、・・・、SSPnであり $V_1 > V_2 > \dots > V_n$ なる関係があるとき、 $SSP_1 \sim SSP_n$ であることが好ましい。以下、この点について説明する。

40

【0130】

図1に示した画素10において副画素10a、10bの面積をSSP1、SSP2とし、その面積比率を $(SSP_1 : SSP_2) = (1 : 3)$ 、 $(1 : 2)$ 、 $(1 : 1)$ 、 $(2 : 1)$ 、 $(3 : 1)$ とした場合の特性の比較を図8に示す。なお、電圧条件については上記電圧条件Cを用いた。図8(a)は、右方向の特性を示してあり、図8(b)には右上方向の特性を示してある。また、図9に、各分割比における正面透過率を示す。

【0131】

図8からわかるように、印加電圧の高い副画素(10a)の面積比をより小さくするほうが、特性の視角依存性を改善する効果が高い。

50

【0132】

白表示時の透過率の観点からは面積比率が $(SSP1 : SSP2) = (1 : 1)$ のときに最大値をとり、面積比率が不均等になるにつれて低下している。この理由は、面積比率が不均一になるのに従って、第1副画素または第2副画素のいずれか一方の副画素の面積が小さくなるため、良好なMVA配向が得られなくなるためである。また、このことは画素面積の小さな高精細液晶表示装置において顕著である。すなわち、面積比率は $(1 : 1)$ であることが好ましいが、特性の視角依存性の改善効果と、白表示時透過率を考慮して、液晶表示装置の用途などに応じて、適宜調整すればよい。

【0133】

次に、画素の分割数について説明する。

10

【0134】

図1に示した液晶表示装置100では、1画素10を構成する副画素(10a、10b)の数は2つであるが、本発明はこれに限られず、副画素数を3以上にしてもよい。

【0135】

図10に、副画素の数が2個および4個の場合と、画素分割しない場合の特性を示す。図10(a)には右方向の特性を、図10(b)には右上方向の特性を示す。また、図11には、それぞれに対応した液晶表示装置の白表示時透過率を示す。なお、1画素の面積は同じとして、電圧条件はBとした。

【0136】

図10からわかるように、副画素の数を増加するにつれて、特性のずれ量を改善する効果が大きくなるのがわかる。特に、画素分割をしない場合に比べ、副画素数を2個に変更した場合の効果が顕著であることがわかる。さらに、画素分割数を2個から4個に増やすことによって特性のずれ量には大きな差異はないものの、表示階調の変化に対するずれ量の変化が滑らかになり良好な特性となる。但し、図11からわかるように、分割数が多くなるほど白表示時の透過率(正面)が低下している。特に分割数を2個から4個に増やした場合、白表示時の透過率の低下は著しい。この著しい低下の主な理由は前述したように、1つの副画素の面積が著しく低下することである。分割無しの場合と分割数2個の場合での透過率の低下の主な理由は電圧条件Bを採用したことによるものである。すなわち、特性の視角依存性の改善効果と、白表示時透過率とを考慮して、液晶表示装置の用途などに応じて、分割数を適宜調整すればよい。

20

30

【0137】

以上の結果から、画素の分割数が増加するにつれて特性のずれ量およびずれ形状の歪が低減され、特性の視角依存性が改善されることがわかる。なお、改善効果が最も顕著に見られるのは、画素分割無しの場合と画素2分割の場合(副画素数2個の場合)の差であり、副画素の数が増加することに伴う白表示時透過率の低下、および量産性の低下を考慮すると、副画素の数を2つとすることが好ましい。

【0138】

図1に示した液晶表示装置100では、各副画素10aおよび10bに、それぞれ独立したTF T16aおよびTF T16bが接続されており、TF T16a、TF T16bのソース電極は、それぞれに対応する信号線14aおよび14bに接続されている。従って、液晶表示装置100においては、複数の副画素の液晶層に任意の実効電圧を印加することができる反面、信号線(14a、14b)の数が図3に示した従来の液晶表示装置100'における信号線14の数の2倍となり、信号線駆動回路の数も2倍必要となる。

40

【0139】

これに対し、以下に説明する本発明による他の好ましい実施形態の液晶表示装置200は、従来の液晶表示装置100'と信号線の数が同じでありながら、上記電圧条件Cに類似した条件で副画素10aおよび10bの液晶層に互いに異なる実効電圧を印加することができる。

【0140】

図12に、本発明による他の実施形態の液晶表示装置200の電氣的な構成を模式的に

50

示す。図1に示した液晶表示装置100の構成要素と実質的に同じ機能を有する構成要素は共通の参照符号で示し、ここでは説明を省略する。

【0141】

画素10は、副画素10a、10bに分割されており、副画素10a、10bは、それぞれTFT16a、TFT16b、および補助容量(CS)22a、22bが接続されている。TFT16aおよびTFT16bのゲート電極は走査線12に接続され、ソース電極は共通の(同一の)信号線14に接続されている。補助容量22a、22bは、それぞれ補助容量配線(CSバス・ライン)24aおよび補助容量配線24bに接続されている。補助容量22aおよび22bは、それぞれ副画素電極18aおよび18bに電氣的に接続された補助容量電極と、補助容量配線24aおよび24bに電氣的に接続された補助容量対向電極と、これらの間に設けられた絶縁層(不図示)によって形成されている。補助容量22aおよび22bの補助容量対向電極は互いに独立しており、それぞれ補助容量配線24aおよび24bから互いに異なる補助容量対向電圧が供給され得る構造を有している。

10

【0142】

次に、液晶表示装置200の2つの副画素10aおよび10bの液晶層に互いに異なる実効電圧を印加することができる原理について図を用いて説明する。

【0143】

図13に、液晶表示装置200の1画素分の等価回路を模式的に示す。電氣的な等価回路において、それぞれの副画素10aおよび10bの液晶層を液晶層13aおよび13bとして表している。また、副画素電極18aおよび18bと、液晶層13aおよび13bと、対向電極17(副画素10aおよび10bに対して共通)によって形成される液晶容量をC1ca、C1cbとする。

20

【0144】

液晶容量C1caおよびC1cbの静電容量値は同一の値CLC(V)とする。CLC(V)の値は、副画素10a、10bの液晶層に印加される実効電圧(V)に依存する。また、各副画素10aおよび10bの液晶容量にそれぞれ独立に接続されている補助容量22aおよび22bをCcsa、Ccsbとし、これの静電容量値は同一の値CCSとする。

【0145】

副画素10aの液晶容量C1caと補助容量Ccsaの一方の電極は副画素10aを駆動するために設けたTFT16aのドレイン電極に接続されており、液晶容量C1caの他方の電極は対向電極に接続され、補助容量Ccsaの他方の電極は補助容量配線24aに接続されている。副画素10bの液晶容量C1cbと補助容量Ccsbの一方の電極は副画素10bを駆動するために設けたTFT16bのドレイン電極に接続されており、液晶容量C1cbの他方の電極は対向電極に接続され、補助容量Ccsbの他方の電極は補助容量配線24bに接続されている。TFT16aおよびTFT16bのゲート電極はいずれも走査線12に接続されており、ソース電極はいずれも信号線14に接続されている。

30

【0146】

図14(a)~(f)に本発明の液晶表示装置200を駆動する際の各電圧のタイミングを模式的に示す。

40

【0147】

図14(a)は、信号線14の電圧波形Vs、図14(b)は補助容量配線24aの電圧波形Vcsa、図14(c)は補助容量配線24bの電圧波形Vcsb、図14(d)は走査線12の電圧波形Vg、図14(e)は副画素10aの画素電極18aの電圧波形V1ca、図14(f)は、副画素10bの画素電極18bの電圧波形V1cbをそれぞれ示している。また、図中の破線は、対向電極17の電圧波形COMMON(Vcom)を示している。

【0148】

50

以下、図14(a)～(f)を用いて図13の等価回路の動作を説明する。

【0149】

時刻T1のときVgの電圧がVgLからVgHに変化することにより、TFT16aとTFT16bが同時に導通状態(オン状態)となり、副画素10a、10bの副画素電極18a、18bに信号線14の電圧Vsが伝達され、副画素10a、10bに充電される。同様にそれぞれの副画素の補助容量Csa、Csbにも信号線からの充電がなされる。

【0150】

次に、時刻T2のとき走査線12の電圧VgがVgHからVgLに変化することにより、TFT16aとTFT16bが同時に非導通状態(OFF状態)となり、副画素10a、10b、補助容量Csa、Csbはすべて信号線14と電気的に絶縁される。なお、この直後TFT16a、TFT16bの有する寄生容量等の影響による引き込み現象のために、それぞれの副画素電極の電圧Vlca、Vlcbは概ね同一の電圧Vdだけ低下し、

$$V_{lc a} = V_s - V_d$$

$$V_{lc b} = V_s - V_d$$

となる。また、このとき、それぞれの補助容量配線の電圧Vcsa、Vcsbは

$$V_{cs a} = V_{com} - V_{ad}$$

$$V_{cs b} = V_{com} + V_{ad}$$

である。

【0151】

時刻T3で、補助容量Csaに接続された補助容量配線24aの電圧VcsaがVcom - VadからVcom + Vadに変化し、補助容量Csbに接続された補助容量配線24bの電圧VcsbがVcom + VadからVcom - Vadに2倍のVadだけ変化する。補助容量配線24aおよび24bのこの電圧変化に伴い、それぞれの副画素電極の電圧Vlca、Vlcbは

$$V_{lc a} = V_s - V_d + 2 \times K \times V_{ad}$$

$$V_{lc b} = V_s - V_d - 2 \times K \times V_{ad}$$

へ変化する。但し、 $K = CCS / (CLC(V) + CCS)$ である。

【0152】

時刻T4では、VcsaがVcom + VadからVcom - Vadへ、VcsbがVcom - VadからVcom + Vadへ、2倍のVadだけ変化する。また、

$$V_{lc a} = V_s - V_d + 2 \times K \times V_{ad}$$

$$V_{lc b} = V_s - V_d - 2 \times K \times V_{ad}$$

から、

$$V_{lc a} = V_s - V_d$$

$$V_{lc b} = V_s - V_d$$

へ変化する。

【0153】

時刻T5では、VcsaがVcom - VadからVcom + Vadへ、VcsbがVcom + VadからVcom - Vadへ、2倍のVadだけ変化する。また、

$$V_{lc a} = V_s - V_d$$

$$V_{lc b} = V_s - V_d$$

から、

$$V_{lc a} = V_s - V_d + 2 \times K \times V_{ad}$$

$$V_{lc b} = V_s - V_d - 2 \times K \times V_{ad}$$

へ変化する。

【0154】

Vcsa、Vcsb、Vlca、Vlcbは、水平書き込み時間1Hの整数倍の間隔毎に上記T4、T5における変化を交互に繰り返す。上記T4、T5の繰り返し間隔を1H

10

20

30

40

50

の1倍とするか、2倍とするか、3倍とするかあるいはそれ以上とするかは液晶表示装置の駆動方法（極性反転方法等）や表示状態（ちらつき、表示のざらつき感等）を鑑みて適宜設定すればよい。この繰り返しは次に画素10が書き換えられるとき、すなわちT1に等価な時間になるまで継続される。従って、それぞれの副画素電極の電圧 V_{1ca} 、 V_{1cb} の実効的な値は、

$$V_{1ca} = V_s - V_d + K \times V_{ad}$$

$$V_{1cb} = V_s - V_d - K \times V_{ad}$$

となる。

【0155】

よって、副画素10a、10bの液晶層13aおよび13bに印加される実効電圧 V_1 、 V_2 は、

$$V_1 = V_{1ca} - V_{com}$$

$$V_2 = V_{1cb} - V_{com}$$

すなわち、

$$V_1 = V_s - V_d + K \times V_{ad} - V_{com}$$

$$V_2 = V_s - V_d - K \times V_{ad} - V_{com}$$

となる。

【0156】

従って、副画素10aおよび10bのそれぞれの液晶層13aおよび13bに印加される実効電圧の差 V_{12} （ $= V_1 - V_2$ ）は、 $V_{12} = 2 \times K \times V_{ad}$ （但し、 $K = C_{CS} / (C_{LC}(V) + C_{CS})$ ）となり、互いに異なる電圧を印加することができる。

【0157】

本実施形態の図12から図14における V_1 と V_2 の関係を模式的に図15に示す。

【0158】

図15からわかるように、本実施形態の液晶表示装置200では、 V_1 の値が小さいほど V_{12} の値が大きい、先に説明した電圧条件Cに類似した条件である。なお、 V_{12} の値が V_1 あるいは V_2 に依存して変化するのは、液晶容量の静電容量値 $C_{LC}(V)$ が電圧依存性を持っているためである。

【0159】

本実施形態の液晶表示装置200の特性を図16に示す。図16には比較のために副画素10aと10bに同一の電圧を印加した場合の特性も示してある。図16より、本実施形態の液晶表示装置においても特性の改善がなされていることがわかる。

【0160】

ここでは、本発明の実施形態によると、ノーマリブラックモードの液晶表示装置、特に、MVAモードの液晶表示装置の特性を改善できることを示したが、本発明はこれに限られず、IPSモードの液晶表示装置に適用することもできる。

【0161】

次に、本発明の第2の局面による実施形態の液晶表示装置を説明する。

【0162】

以下では、それぞれの画素がある中間調表示状態において互いに異なる輝度を呈する少なくとも2つの副画素を有する液晶表示装置の表示における「ちらつき」を抑制することが可能な画素配列（副画素の配列）または駆動方法の好ましい形態を説明する。ここでは、上述した本発明の第1の局面による実施形態による画素分割構造を有する液晶表示装置を例に本実施形態の液晶表示装置の構成と動作を説明するが、画素配列によって得られる効果は画素分割の仕方に限られず、他の画素分割構造を有する液晶表示装置に適用することもできる。

【0163】

まず、液晶表示装置における「ちらつき」の問題を説明する。

【0164】

典型的な液晶表示装置では、信頼性の問題の観点から画素の液晶層に印加される電圧が

交流電圧となるように設定してある（「交流駆動法」といわれることがある。）。すなわち、画素電極と対向電極との電位の大小関係が一定時間毎に反転し、液晶層に印加される電界の向き（電気力線の向き）が一定時間毎に反転するように設定されている。対向電極と画素電極とを異なる基板に設けた典型的な液晶表示装置では、液晶層に印加される電界の向きは光源側から観測者側、観測者側から光源側へと反転する。

【0165】

液晶層に印加される電界の向きの反転の周期は、典型的にはフレーム期間（例えば16.667ms）の2倍（例えば33.333ms）である。すなわち、液晶表示装置では表示する1枚の画像（フレーム画像）毎に液晶層に印加される電界の向きが反転していることになる。従って、静止画を表示する場合、各々の電界の向きで電界強度（印加電圧）を正確に一致してなければ、すなわち、電界の向きが変わるたび毎に電界強度が変化すれば、電界強度の変化に伴って画素の輝度に変化してしまい、表示がちらつくといった問題が発生する。

10

【0166】

このちらつきを防止するためには、各々の電界の向きの電界強度（印加電圧）を正確に一致させる必要がある。しかしながら、工業的に生産される液晶表示装置においては、各々の電界の向きについて電界強度を正確に一致させることは困難であるため、表示領域内に互いに異なる電界の向きを有する画素を隣接して配置することにより、画素の輝度が空間的に平均される効果を利用することによって、ちらつきを低減している。この方法は、一般的には、「ドット反転」あるいは「ライン反転」と呼ばれている。なお、これらの「反転駆動」には、反転する画素周期が1画素単位での市松模様状の反転（1行毎および1列毎の極性反転）のもの（1ドット反転）、あるいは1ライン状の反転（1行毎の反転）のもの（1ライン反転）だけでなく、2行毎および1列毎の極性反転（2行1列ドット反転）等様々な形態があり、必要に応じて適宜設定される。

20

【0167】

上述したように、高品位の表示を実現するためには、1）液晶層に印加される電界の向きが一定時間毎に、例えばフレーム期間毎に反転する交流駆動とすること、2）各々の電界の向きにおいて液晶層に印加される電圧（あるいは液晶容量に充電される電荷量）、および補助容量に充電される電荷量をできるだけ一致させること、3）垂直走査期間（例えばフレーム期間）において、液晶層に印加される電界の向き（「電圧の極性」ということでもある。）の異なる画素を隣接して配置する、という3つの条件を満足することが好ましい。なお、「垂直走査期間」とは、ある走査線が選択され、次にその走査線が選択されるまでの期間と定義することにする。1垂直走査期間は、ノンインターレース駆動においては1フレーム期間であり、インターレース駆動においては1フィールド期間に対応する。また、各垂直走査期間内において、ある走査線を選択する時刻と、その次の走査線を選択する時刻との差（期間）を1水平走査期間（1H）という。

30

【0168】

上述した本発明の実施形態による液晶表示装置は、1つの画素を少なくとも2つの副画素に分割し、かつそれら副画素の輝度（透過率）を積極的に異ならせることによって、視野角特性に優れた表示を実現している。本発明者が検討した結果、1つの画素を異なる輝度を呈する複数の副画素に分割した場合、上記3つの条件に加えて、副画素の配置に関する第4の条件を満足することが好ましい。具体的には、積極的に輝度を異ならせた副画素の輝度順位（輝度の大小関係の順位）を可能な限りランダムに配置することが好ましい。表示上最も好ましいのは、輝度順位の等しい副画素が互いに列方向、および行方向に隣接しない配置である。言い換えれば、表示上最も好ましいのは、輝度順位の等しい副画素を市松状に配置することである。

40

【0169】

以下に、上述した本発明による実施形態の液晶表示装置に適した駆動方法および画素配列ならびに副画素配列について説明する。図17および図18を参照しながら、本発明による実施形態の液晶表示装置の駆動方法の一例を以下に説明する。

50

【0170】

以下の説明では、図17に示すように、複数の行(1~rp)および複数の列(1~cq)を有するマトリクス状(rp、cq)に配列され、それぞれの画素P(p、q)、(但し、1 p rp、1 q cq)が2つの副画素SPa(p、q)およびSPb(p、q)を有する例を説明する。図17は、本実施形態の液晶表示装置の信号線S-C1、S-C2、S-C3、S-C4・・・S-Ccq、走査線G-L1、G-L2、G-L3、・・・G-Lrpおよび補助容量配線CS-AおよびCS-Bと、各画素P(p、q)および各画素を構成する副画素SPa(p、q)およびSPb(p、q)の相対的な配置の一部分(8行6列)を模式的に示す模式図である。

【0171】

図17に示したように、1つの画素P(p、q)は画素の中央付近を水平に貫く走査線G-Lpの上下に副画素SPa(p、q)およびSPb(p、q)を有している。すなわち、副画素SPa(p、q)およびSPb(p、q)は各画素において列方向に配列されている。それぞれの副画素SPa(p、q)およびSPb(p、q)の補助容量電極の一方(不図示)は、隣接の補助容量配線CS-AまたはCS-Bに接続されている。また、各画素P(p、q)に表示画像に応じた信号電圧を供給する信号線S-Cqは図面上で各画素の間に垂直に(列方向に)延びるように設けられており、各信号線の右隣の副画素(画素)が各々有するTFT素子(不図示)に信号電圧を供給する構成となっている。図17に示した構成は、一本の補助容量配線、または一本の走査線を2つの副画素で共有する構成であり、画素の開口率を高くできる利点を有している。

【0172】

図17に示した構成を有する液晶表示装置を駆動するための各種電圧(信号)の波形を図18(a)~(j)に示す。図17の構成を有する液晶表示装置を図18(a)~(j)の電圧波形を有する電圧で駆動することによって、上記4つの条件を満足することができる。

【0173】

次に、本実施形態の液晶表示装置において、上記4つの条件が満足されていることを説明する。以下の説明では、説明の簡略化のために、全ての画素がある中間調を表示している状態を示している。

【0174】

図18(a)は信号線S-C1、S-C3、S-C5・・・(奇数番目の信号線の群をS-Oと呼ぶこともある)に供給される表示信号電圧波形(ソース信号電圧波形)、図18(b)は信号線S-C2、S-C4、S-C6・・・(偶数番目の信号線の群をS-Eと呼ぶこともある)に供給される表示信号電圧波形、図18(c)は補助容量配線CS-Aに供給される補助容量対向電圧波形、図18(d)はCS-Bに供給される補助容量対向電圧波形、図18(e)は走査線G-L1に供給される走査電圧波形、図18(f)は走査線G-L2に供給される走査電圧波形、図18(g)は走査線G-L3に供給される走査電圧波形、図18(h)は走査線G-L4に供給される走査電圧波形、図18(i)は走査線G-L5に供給される走査電圧波形、図18(j)は走査線G-L6に供給される走査電圧波形をそれぞれ示す。ある走査線の電圧がローレベル(VgL)からハイレベル(VgH)に切替わる時刻から、その次の走査線の電圧がVgLからVgHに切替わる時刻までの期間が1水平走査期間(1H)である。また、各走査線の電圧がハイレベル(VgH)になっている期間を選択期間PSと呼ぶこともある。

【0175】

ここでは、全ての画素が、ある中間調表示をしている場合を示しているため、図18(a)および(b)に示した表示信号電圧は全て一定振幅の振動波形となっている。また、表示信号電圧の振動の周期は2水平走査期間(2H)としている。表示信号電圧が振動しているのは、また信号線S-O(S-C1、S-C3・・・)の電圧波形と、信号線S-E(S-C2、S-C4・・・)の電圧波形の位相が互いに180度異なっているのは、上記3つの目条件を満足するためである。一般に、TFT駆動では信号線の電圧がTFT

10

20

30

40

50

素子を介して画素電極に伝達される際には走査電圧波形の変化の影響を受けて変化する現象（引き込み現象と呼ばれることもある）が発生する。ここで、対向電圧の設定はこの引き込み現象を考慮して、信号線の電圧波形が画素電極に伝達された後の電圧波形の略中心値となるように設定してあり、図18(a), (b)において画素電極の電圧波形が対向電圧よりも高い電圧に対応する信号電圧には記号+を、画素電極の電圧波形が対向電圧よりも低い電圧に対応する信号電圧には記号-を付記してある。この+、-の記号は、液晶層に印加される電界の向きに対応しており、+と-では各々液晶層に印加されている電界の向きが反転している。

【0176】

前述の図12から図15を参照しながら説明したように、ある走査線の走査電圧が V_{gh} のときこの走査線に接続されているTF Tがオン状態となり、このTF Tに接続されている副画素に、対応する表示信号電圧が供給される。ついで、走査線の電圧が V_{gl} となった後に補助容量対向電圧が変化し、かつ、この補助容量対向電圧の変化量（変化方向、変化量の符号を含む）が2つの副画素に対して互いに異なっているため、副画素に印加される実効的な電圧が変化する。

【0177】

図18(c)および(d)に示したように、ここでは、補助容量配線CS-AおよびCS-Bの補助容量対向電圧の振動の振幅および周期がともに、同一の値例えば、 V_{ad} の2倍（図14参照）および1Hであり、かつCS-A、CS-Bのいずれか一方の振動波形の位相を180度ずらすと他方の振動波形と一致する。すなわち、位相が0.5Hだけずれている。各副画素電極の平均的な電圧は、対応する走査線の電圧が V_{gh} から V_{gl} に変化した後、対応する補助容量配線の最初の電圧変化が増加の場合には、対応する走査線の電圧が V_{gh} の時の対応する信号線の表示信号電圧よりも増加し、対応する補助容量配線の最初の電圧変化が低下の場合には、対応する走査線の電圧が V_{gh} の時の対応する信号線の表示信号電圧よりも低下する。

【0178】

その結果、図18(a)および(b)において表示信号電圧に付した記号が+の時には、補助容量配線の上記電圧変化が増加方向の場合、液晶層に印加される実効的な電圧は、上記電圧変化が減少方向の場合よりも高くなる。他方、図18(a)および(b)において表示信号電圧に付した記号が-の時には補助容量配線の上記電圧変化が増加方向の場合の液晶層に印加される実効的な電圧は、上記電圧変化が減少方向の場合よりも低くなる。

【0179】

図17には、ある垂直走査期間（ここではフレーム期間）における各画素P(p, q)と副画素SPa(p, q)およびSPb(p, q)の状態を示している。各副画素に対応する走査線に対称に記してある次の3つの記号により、それぞれの副画素の状態を示している。

【0180】

第1番目の記号HまたはLは、副画素の実効的な印加電圧の大小関係を示しており、記号Hは実効印加電圧が高いことを示しており、記号Lは実効印加電圧が低いことを示している。第2番目の記号+または-は、対向電極と副画素電極の電圧の大小関係、すなわち各副画素の液晶層に印加された電界の向きを示しており、記号+は対向電極の電圧よりも副画素電極の電圧が高いことを示し、記号-は対向電極の電圧よりも副画素電極の電圧が低いことを示している。第3番目の記号AまたはBはそれぞれ対応する補助容量配線がCS-AまたはCS-Bであることを示している。

【0181】

例えば、画素P(1, 1)の副画素SPa(1, 1)およびSPb(1, 1)の状態をみる。図18(a)および(e)からわかるように、GL-1が選択される期間（ V_{gh} である期間PS）の表示信号電圧は、「+」である。また、GL-1の走査電圧が V_{gh} から V_{gl} に変化したときの、それぞれの副画素に対応する補助容量配線の電圧は、図18(c)および(d)に矢印（左から1番目の矢印）で示した位置の状態にある。従って

10

20

30

40

50

、GL-1の走査電圧がV_{gH}からV_{gL}に変化した後の、SPa(1,1)の補助容量対向電圧の最初の電圧変化は、図18(c)からわかるように、増加(これを「U」として示している。)である。一方、GL-1の走査電圧がV_{gH}からV_{gL}に変化した後の、SPb(1,1)の補助容量対向電圧の最初の電圧変化は、図18(d)からわかるように、減少(これを「D」として示している。)である。従って、SPa(1,1)の実効電圧は増加し、SPb(1,1)の実効電圧は減少する。ゆえに、SPa(1,1)の実効的な印加電圧はSPb(1,1)のそれよりも大きくなり、SPa(1,1)に記号HがSPb(1,1)に記号Lが付記されることとなる。

【0182】

図18(b)によればP(1,2)のSPa(1,2)およびSPb(1,2)では、GL-1が選択される期間の表示信号電圧は、「-」である。また、GL-1の走査電圧がV_{gH}からV_{gL}に変化したときの、それぞれの副画素に対応する補助容量配線の電圧は、図18(c)および(d)に矢印(左から1番目の矢印)で示した位置の状態にある。従って、GL-1の走査電圧がV_{gH}からV_{gL}に変化した後の、SPa(1,2)の補助容量対向電圧の最初の電圧変化は、図18(c)からわかるように、増加(「U」)である。一方、GL-1の走査電圧がV_{gH}からV_{gL}に変化した後の、SPb(1,2)の補助容量対向電圧の最初の電圧変化は、図18(d)からわかるように、減少(「D」)である。従って、SPa(1,2)の実効電圧は減少し、SPb(1,2)の実効電圧は増加する。ゆえに、SPa(1,2)の実効的な印加電圧はSPb(1,2)のそれよりも小さくなり、SPa(1,2)に記号LがSPb(1,2)に記号Hが付記されることとなる。

【0183】

さらに、図18(a)によればP(2,1)のSPa(2,1)およびSPb(2,1)では、GL-2が選択される期間の表示信号電圧は、「-」である。また、GL-2の走査電圧がV_{gH}からV_{gL}に変化したときの、それぞれの副画素に対応する補助容量配線の電圧は、図18(c)および(d)に矢印(左から2番目の矢印)で示した位置の状態にある。従って、GL-1の走査電圧がV_{gH}からV_{gL}に変化した後の、SPa(2,1)の補助容量対向電圧の最初の電圧変化は、図18(d)からわかるように、減少(「D」)である。一方、GL-2の走査電圧がV_{gH}からV_{gL}に変化した後の、SPb(2,1)の補助容量対向電圧の最初の電圧変化は、図18(c)からわかるように、増加(「U」)である。従って、SPa(2,1)の実効電圧は増加し、SPb(2,1)の実効電圧は減少する。ゆえに、SPa(2,1)の実効的な印加電圧はSPb(2,1)のそれよりも大きくなり、SPa(2,1)に記号HがSPb(1,2)に記号Lが付記されることとなる。このようにして、図17に示す各副画素状態が得られることがわかる。

【0184】

本実施形態の液晶表示装置は、第1の条件を満足するように駆動することができる。

【0185】

図17および図18は、あるフレーム期間内の状態を示しているため、これらの図から第1の条件を満足するか否かを評価することはできないが、例えば、図18に示したフレームの次のフレームで各信号線(S-O(図18(a))あるいはS-E(図18(b)))の電圧波形の位相をそれぞれ180度ずらすことにより、液晶層に印加される電界の向きがフレーム期間毎に反転する交流駆動とすることができる。

【0186】

さらに、本実施形態の液晶表示装置では、それぞれの画素における各副画素の実効印加電圧大小の関係の、言い換えると、副画素の輝度の大きさの順位の表示画面内での配置(図17における記号「H」と「L」の位置関係)がフレーム毎に変化しないようにするために、信号線の電圧波形の位相をずらすのに伴って、補助容量配線CS-AおよびCS-Bの電圧波形の位相も180度ずらす。このようにすると、図17に示した次のフレームでは、図17における記号「+」と記号「-」とを入れ替えた状態が実現される(例えば

10

20

30

40

50

、(+、H) (-、H)、(+、L) (-、L))。このように、上述した第 1 の条件を満足することができる。

【 0 1 8 7 】

次に、第 2 の条件を満足するか否か、すなわち、各々の電界の向きにおいて各副画素の液晶層（および各副画素に対応する補助容量）に充電される電荷量が一致するか否かを検討する。ここで、本実施形態の液晶表示装置においては、各画素が液晶層への実効印加電圧の異なる副画素を有しているが、表示のちらつきといった表示品位に支配的な影響を与えるのは輝度順位の高い副画素、すなわち図 1 7 において記号「H」を付記した副画素であるため、特に 記号「H」を付記した副画素に対して第 2 の条件が課せられることになる。

10

【 0 1 8 8 】

第 2 の条件に関して、図 1 8 に示した各電圧波形を参照しながら説明する。

【 0 1 8 9 】

副画素の液晶容量および補助容量が充電されるのは、対応する走査線の電圧が V_{gh} の期間（選択期間 PS ）である。また、液晶容量に充電される電荷量は選択期間における信号線の表示信号電圧と対向電圧（図 1 8 中不図示）との電圧差に依存し、補助容量に充電される電荷量は選択期間における信号線の表示信号電圧と補助容量配線の電圧（補助容量対向電圧）との電圧差に依存する。

【 0 1 9 0 】

図 1 8 (a) および (b) に示したように、各選択期間における信号線の表示信号電圧は、図中に + または - の記号を付した 2 種類の電圧が存在するが、いずれの場合も、選択期間内においては電圧変化が無い。なお、対向電圧については図示していないが、ここでは全ての副画素に対して同一の電圧で、かつ時間的に電圧変化しない直流電圧とした。

20

【 0 1 9 1 】

補助容量配線は $CS - A$ と $CS - B$ の 2 種類が存在する。 $CS - A$ の電圧波形は、いずれの走査線の選択期間においても同一波形である。同様に $CS - B$ の電圧波形もまたいずれの走査線の選択期間においても同一波形である。すなわち、いずれの走査線の選択期間においても、補助容量配線の電圧の直流成分（ DC レベル）値が同一の値となる。

【 0 1 9 2 】

従って、各信号線の表示信号電圧、対向電極の電圧、および各補助容量配線の電圧の直流成分（ DC レベル）を適宜設定することにより第 2 の条件を満足することができる。

30

【 0 1 9 3 】

次に、第 3 の条件を満足するか否か、すなわち、各フレーム期間において極性の異なる画素が隣接して配置されているか否かを検証する。但し、本実施形態の液晶表示装置においては、各画素が液晶層への実効印加電圧の異なる副画素を有しているため、画素について第 3 の条件が課せられるのに加え、実効印加電圧の等しい副画素同士に対しても第 3 の条件が課せられる。とりわけ、上記第 2 の条件の場合同様、輝度順位の高い副画素、すなわち図 1 7 において記号「H」を付した副画素に対して第 3 の条件を満たすことが重要となる。

【 0 1 9 4 】

図 1 7 に示したように、各画素の極性（電界の向き）を示す記号「+」および「-」は行方向（水平方向）には、例えば (+、-)、(+、-)、(+、-) と 2 画素（2 列）周期で反転しており、列方向（垂直方向）にも、例えば、(+、-)、(+、-)、(+、-)、(+、-) と 2 画素（2 行）周期で反転している。すなわち、画素単位でみるとドット反転と呼ばれる状態を呈しており、第 3 の条件を満足している。

40

【 0 1 9 5 】

次に、輝度順位の高い副画素、すなわち図 1 7 において記号「H」を付した副画素について確認する。

【 0 1 9 6 】

図 1 7 に示したように、行方向には、例えば第 1 行の SPa を見ると、+ H、+ H、+

50

Hと極性反転は見られないが、列方向には、例えば第1列を見ると、(+H、-H)、(+H、-H)、(+H、-H)、(+H、-H)と2画素(2行)周期で極性反転している。すなわち、とりわけ重要な輝度順位の高い副画素単位でみるとライン反転と呼ばれる状態を呈しており、第3の条件を満たしている。記号Lの副画素も同様の規則性をもって配置されており、第3の条件を満足している。

【0197】

次に、第4の条件について検討する。第4の条件は、積極的に輝度を異ならせた副画素の中で輝度順位が同じ副画素ができるだけ互いに隣接しないように配置することである。

【0198】

本実施形態において積極的に輝度を異ならせた副画素、すなわち液晶層に印加される実効印加電圧を積極的に異ならせた副画素は、図17において記号HまたはLで示されている。

【0199】

図17において、行方向に2つ列方向に2つ合計4個の副画素単位(例えば、SPa(1,1)、SPb(1,1)、SPa(1,2)、SPb(1,2))を見ると、行方向にH、L、改行してL、Hと配置された副画素郡が全面に敷き詰められた配置となっている。すなわち、図17に示した配置では、HおよびLの記号が副画素単位で市松模様状に配置された構造となっており、第4の条件を満たしていることがわかる。

【0200】

この配置を画素単位についてみると、各画素における副画素の輝度の大きさの順位と、副画素の列方向の配列における位置との対応関係は、任意の行の画素においては行方向に所定の周期で変化(ここでは1画素毎に反転)し、任意の列の画素においては一定である。すなわち、任意の行の画素P(p,q)において最高輝度を呈する副画素(ここでは「H」で示される副画素)は、qが奇数の画素ではSPa(p,q)でありかつqが偶数の画素ではSPb(p,q)である。もちろん、逆に、qが奇数の画素ではSPb(p,q)でありかつqが偶数の画素ではSPa(p,q)であってもよい。一方、任意の列の画素P(p,q)において最高輝度を呈する副画素は、pが奇数が偶数かにかかわらず同一列では同一の副画素SPa(p,q)もしくはSPb(p,q)である。ここで、SPa(p,q)もしくはSPb(p,q)をとるとしたのは、例えば奇数列ではpの値が偶数か奇数かにかかわらずSPa(p,q)であり、偶数列ではpの値が偶数か奇数かにかかわらずSPb(p,q)であるからである。

【0201】

このように、図17および図18を参照ながら説明した本実施形態の液晶表示装置は、上述した4つの条件を全て満足するので、高品位の表示を実現することができる。

【0202】

次に、図19および図20を参照しながら、画素および副画素の駆動方法が異なる他の実施形態の液晶表示装置を説明する。図19および図20(a)から(j)はそれぞれ図17および図18(a)から(j)に対応する図である。

【0203】

図20(a)から(d)に示したように、この実施形態の液晶表示装置においては、表示信号電圧、補助容量対向電圧が2H毎で振動する、すなわち振動の周期が4H時間である。また、奇数番の信号線S-O(S-C1、S-C3、S-C5...)と偶数番の信号線S-E(S-C2、S-C4、S-C6...)の信号電圧の振動の位相は180度(2H時間)異なっており、補助容量配線CS-AとCS-Bの電圧の振動の位相もまた180度(2H時間)異なっている。さらに、信号線S-Oの電圧の振動の位相は、補助容量配線CS-Aの電圧の振動に対して45度(1/8周期、すなわちH/2)遅れている。但し、この45度の位相差は、走査線の電圧がVgHからVgLに変化する時刻と、補助容量線の電圧が変化する時刻とが重ならないために設定されたものであり、この値に限らず適宜設定することができる。

【0204】

10

20

30

40

50

本実施形態の液晶表示装置においても、全ての画素が積極的に輝度を異ならせた2つの副画素、記号HまたはLを記した副画素で構成されている。さらに、図19に示すように記号HまたはLと記した副画素は市松模様状に配置されており、上述の実施形態と同様に、第4の条件を満足していることがわかる。また、第1の条件に関しては、図17、図18で説明した上述の実施形態と同様の反転手法を採用することによって、満足することができる。

【0205】

しかしながら、図19および図20に示す実施形態では上述の第2の条件を満足することはできない。

【0206】

図19の第1列の1~4行の画素 $P(1,1)$ 、 $P(2,1)$ 、 $P(3,1)$ 、 $P(4,1)$ の輝度順位の高い副画素 $Pa(1,1)$ 、 $Pa(2,1)$ 、 $Pa(3,1)$ 、 $Pa(4,1)$ について考える。 $Pa(1,1)$ の充電時、すなわちG-L1が選択状態にあるとき対応する信号線の極性記号は+であり、 $Pa(3,1)$ の充電時、すなわちG-L3が選択状態にあるとき対応する信号線の極性記号は-である。また、 $Pa(1,1)$ の充電時、すなわちG-L1が選択状態にあるとき対応する補助容量線CS-Aの電圧波形は選択期間の略中央の時刻を境に階段状に減少する波形であり、 $Pa(3,1)$ の充電時、すなわちG-L3が選択状態にあるとき対応する補助容量線CS-Aの電圧波形は選択期間の略中央の時刻を境に階段状に増加する波形である。従って、補助容量線CS-Bと走査線の信号電圧波形の位相を精密に制御することで、 $Pa(1,1)$ 充電時と $Pa(3,1)$ の充電時の補助容量対向電極のDCレベルを一致させることは可能であり、このDCレベルを $Pa(1,1)$ の充電時の補助容量電極の電圧(副画素電極の電圧と同一)と $Pa(3,1)$ の充電時の補助容量電極の電圧(副画素電極の電圧と同一)の平均の電圧に設定することにより $Pa(1,1)$ と $Pa(3,1)$ の補助容量への電荷の充電量を一致させることができる。次に、 $Pa(2,1)$ に注目すれば、対応する期間、すなわちG-L2が選択状態にあるとき、対応する信号線の極性記号は-(前述の $Pa(3,1)$ と同一)であり、対応する補助容量線の電圧は時間によらず一定値(前述のような振動波形ではなく)である。従って、 $Pa(2,1)$ に対応する補助容量線の電圧値(上記一定値)を上記 $Pa(1,1)$ 、 $Pa(3,1)$ の説明で示したDCレベルと一致させることにより、 $Pa(1,1)$ と $Pa(3,1)$ に加えて $Pa(2,1)$ の補助容量への電荷の充電量も一致させることができる。しかしながら、このとき $Pa(4,1)$ の補助容量への電荷の充電量を $Pa(1,1)$ 、 $Pa(2,1)$ および $Pa(3,1)$ に一致させることは以下の理由から不可能であることがわかる。 $Pa(4,1)$ に対応する信号線の極性記号は $Pa(1,1)$ と同一であり、対応する補助容量線の電圧は時間によらず一定値(前述のような振動波形ではなく)である。従って、 $Pa(4,1)$ に対応する補助容量線の電圧値(上記一定値)もまた、 $Pa(2,1)$ と同様に、上記 $Pa(1,1)$ 、 $Pa(3,1)$ の説明で示したDCレベルと一致させる、すなわち、 $Pa(4,1)$ と $Pa(2,1)$ に対応する補助容量線の電圧値(上記一定値)と一致させる必要があるが、これは不可能である。なぜなら、図19および図20を見れば明らかのように $Pa(2,1)$ と $Pa(4,1)$ に対応する補助容量配線はいずれもCS-Bであり、CS-Bの電圧波形は矩形の振動波形であり、 $Pa(2,1)$ に対応する選択期間では振動波形の最大値が選択され、 $Pa(4,1)$ に対応する選択期間では振動波形の最小値が選択されており、両者の電圧は必然的に異なってしまうからである。

【0207】

さらに、できるだけ極性が同じ副画素を隣接しないように配置するという第3の条件についても、図17および図18で示した先の実施形態よりも劣っている。

【0208】

図19において、画素を構成する副画素のうち液晶層に印加される電圧を積極的に大きくした副画素、すなわち記号Hを付した副画素の極性反転の様子を調べる。図19に示すように、行方向には、例えば第1行目のSPa行を見ると、+H、+H、+Hと配置され

10

20

30

40

50

ており極性反転は成されていない（これは図17も同じである。）。列方向には、例えば第1列を見ると、（+H、-H、-H、+H）、（+H、-H、-H、+H）と配置されており、4画素周期で極性が反転している。図17および図18で示した先の実施形態では極性反転の周期が2画素周期であり、本実施形態の極性反転周期の1/2の周期で極性反転している。すなわち、図17および図18で示した先の実施形態の方が図19および図20で示した本実施形態よりも2倍の密度で極性反転している。この点で、本実施形態（図19および図20で示した実施形態）は図17および図18で示した先の実施形態よりも劣っている。

【0209】

実際に、図17に示した画素配列を実現する先の実施形態の駆動方法と、図19に示した本実施形態の駆動方法とで表示品位を比較した結果、表示品位上の差異が観察された。具体的には、積極的に輝度を異ならせた副画素間の輝度差が比較的大きくなる表示階調、例えば64/255階調を表示させた場合、視線を固定した状態で表示を観察した場合には、2つの駆動方法で表示上の顕著な差異を認めることはできなかった。しかしながら、視線を移動させながら観察した場合、本実施形態（図19）の駆動方法の場合には、横スジ状の縞模様が観測されてしまうことがあったのに対して、先の実施形態（図17）の駆動方法では横スジ状の縞模様が観測される問題の発生は無かった。この違いは、上述した極性反転周期の違いによると考えられる。各画素に含まれる2つの副画素の中で輝度の高い副画素が観察されやすいので、輝度の高い副画素の極性反転周期をできるだけ小さくすることが好ましい。ここでは、各画素を2つの副画素に分割した例を示したが、3つ以上

【0210】

次に、図21(a)および(b)を参照しながら、図17に示した実施形態よりも、さらに極性反転の周期を小さくすることによって、視線を移動しながら観察しても上記の横筋ムラの発生をさらに観察され難くした実施形態を説明する。

【0211】

図17で示した実施形態では、画素を構成する副画そのうち輝度の高い副画素（記号「H」を付記した副画素）の記号「+」、「-」の配置は、列方向には（+、-）、（+、-）、（+、-）、（+、-）と反転しているが、行方向には+、+、+、+、+、+もしくは-、-、-、-、-、-と反転していない、すなわちライン反転の形態をとっている。これに対して、図21に示した実施形態での記号「H」を付記した副画素の記号+、-の配置は列方向に（+、-）、（+、-）、（+、-）、（+、-）と反転しているばかりでなく、行方向にも（+、-）、（+、-）と反転している。すなわち、図20で示した本実施形態は図17で示した実施形態よりも極性反転の周期が小さい。この点において、図20で示した本実施形態は図17で示した実施形態よりも好ましい形態である。

【0212】

なお、図21の実施形態でも画素を構成する副画素のうち、記号「H」を付記した輝度の高い副画素の配置は市松状となっており第4の条件を満足している。

【0213】

図21(a)に示した画素配列は、例えば、以下のようにして実現することができる。

【0214】

図21(b)に模式的に示したように、それぞれの行の副画素の補助容量対向電極（不図示）が、2列毎に補助容量配線CS-AまたはCS-Bのいずれかに交互に接続される構成とする。この構造上の変更は、本実施形態の図21と、先に説明した実施形態の図17あるいは図18を比較することによって、明確に確認することができる。具体的には、副画素単位で対応する補助容量線の選択状況を行方向に見ればよい。例えば、副画素SPa(1,1)からSPa(1,6)の並びについて、記号「A」または「B」で示した補助容量対向電極の補助容量線の選択状況を見てみると、本実施形態の図21ではSPa(

1、1)では「A」、SPa(1、2)およびSPa(1、3)では「B」、SPa(1、4)およびSPa(1、5)では「A」、SPa(1、6)では「B」と交互に選択されているのに対して、先に説明した実施形態の図17あるいは図18ではSPa(1、1)からSPa(1、6)の全ての副画素で「A」が選択されている。

【0215】

図21で示した本実施形態の補助容量配線CS-AおよびCS-Bを含むそれぞれの配線に供給される電圧波形は、図18(a)から(j)に示したものをを用いることができる。但し、本実施形態では、表示信号電圧を2列毎に極性反転させるので、図18(a)に示した表示信号電圧は、図21(a)のS-C1、S-C2、S-C5、S-C6・・・に供給され、図20(b)に示した表示信号電圧は、図21(a)のS-C3、S-C4

10

、S-C7(不図示)、S-C8(不図示)・・・に供給される。

【0216】

上記の実施形態では、補助容量配線に供給する補助容量対向電圧を振動電圧とし、さらに、デューティ比が1:1の矩形波を用いたがこれに限られず、デューティ比が1:1以外の矩形波や、さらには正弦波や三角波などの振動電圧であってもよい。複数の副画素に接続されたTFIがオフ状態とされた後に、複数の副画素のそれぞれの補助容量対向電極に供給される電圧が変化し、その変化量が副画素によって異なるようにすればよい。但し、矩形波を用いると、上述したように、各副画素(液晶容量および補助容量)に充電される電荷量を一致させやすく、かつ、各副画素の実効電圧を一致させやすい、という利点が得られる。

20

【0217】

また、上記図17および図21の実施形態においては、図18(c)(d)に示したように、補助容量配線に供給する振動電圧の振動の周期を1H期間としたが、これに限らず1Hの自然数分の1、すなわち、(1/1)H、(1/2)H、(1/3)H、(1/4)H、・・・であってもよい。但し、振動電圧の振動の周期が短くなるにつれて駆動回路の作成が困難となる、あるいは、駆動回路の消費電力が増加するといった問題がある。

【0218】

次に、本発明の第3の局面による実施形態を説明する。

【0219】

本発明の第3の局面による実施形態は、1つの画素を明るさの異なる複数の副画素に分割することにより視野角特性、とりわけ白浮特性を改善する効果を、特に、大型あるいは高精細の液晶表示装置を得るために好適な液晶表示装置およびその駆動方法に関する。

30

【0220】

上述したように、本発明の第1の局面による実施形態は、1つの画素を明るさの異なる複数の副画素に分割することにより視野角特性、とりわけ白浮特性を改善することができる液晶表示装置または駆動方法である。本明細書においてこのような表示あるいは駆動をマルチ画素表示、マルチ画素駆動、面積階調表示、面積階調駆動などと呼ぶことがある。また、本発明の第2の局面による実施形態は、第1の局面による実施形態と好適に組み合わせられ、表示の「ちらつき」を抑制することのできる副画素配列を備える液晶表示装置またはその駆動方法である。

40

【0221】

ここで、本発明の第2の局面による実施形態の液晶表示装置においては、CSバスライン(補助容量配線)に印加する振動電圧(補助容量対向電圧)の振動の周期を表示の1水平走査期間と同一か、あるいはそれ以下としていた。このようにCSバスラインに印加する振動電圧の振動の周期が短いと、表示パネルの高精細化あるいは大型化に伴って、振動電圧の振動の周期も短くなるため、振動電圧発生のための回路の作製が困難になる(高価になる)、消費電力が増加する、あるいはCSバスラインの電氣的な負荷インピーダンスによる波形鈍りの影響が大きくなることが問題である。

【0222】

本発明の第2の局面による実施形態の液晶表示装置と第3の局面による実施形態の液晶

50

表示装置とを比較して説明するために、ここで、本発明の第2の局面による実施形態の液晶表示装置の具体的な構成と動作を改めて説明する。以下では、CSバスラインの振動電圧の振動の周期を1水平走査期間の1倍とすることで、上述の面積階調表示を達成する例を示す。説明は次の3つの点を中心に図を用いつつ述べる。第1点は各副画素に接続した補助容量の補助容量対向電極とCSバスラインとの接続形態を中心とした液晶表示装置の構成について、第2点はゲートバスラインの電圧波形を基準としたCSバスラインの振動の周期および位相に関して、第3点は各副画素の駆動および表示状態についてである。

【0223】

図22は、図17に示した画素配列を有する液晶表示装置のある領域の等価回路図である。この液晶表示装置は、行および列を有するマトリクス状に配置された画素を有しており、それぞれの画素は、2つの副画素を有している。それぞれの副画素（記号AおよびBが2つの副画素を示す。）は、液晶容量 $CLCA_{n,m}$ および $CLCB_{n,m}$ と、補助容量 $CCSA_{n,m}$ および $CCSB_{n,m}$ を有している。液晶容量は副画素電極と対向電極 $ComLC$ とこれらの上に設けられた液晶層とによって構成されており、補助容量は補助容量電極と、絶縁膜と、補助容量対向電極（ $ComCSA_{n,m}$ 、 $ComCSB_{n,m}$ ）とで構成されている。2つの副画素は、それぞれ対応する $TFTA_{n,m}$ および $TFTB_{n,m}$ を介して共通の信号線（ソースバスライン） SBL_m に接続されている。 $TFTA_{n,m}$ および $TFTB_{n,m}$ は、共通の走査線（ゲートバスライン） GBL_n に供給される走査信号電圧によってオン/オフ制御され、2つのTFTがオン状態にあるときに、2つの副画素のそれぞれが有する副画素電極および補助容量電極に、共通の信号線から表示信号電圧が供給される。2つの副画素の内の一方の補助容量対向電極は、CSバスライン（ SBL ）を介して、補助容量幹線（CS幹線） $CSVtypeR1$ に接続されており、他方の補助容量対向電極は、補助容量幹線（CS幹線） $CSVtypeR2$ に接続されている。

【0224】

図22で注目すべき点は、列方向に隣接する行の画素の副画素に対応するCSバスラインが互いに電氣的に共通である点である。具体的には、n行の副画素 $CLCB_{n,m}$ に対応するCSバスライン SBL と、これに列方向に隣接した行の画素の副画素 $CLCA_{n+1,m}$ に対応するCSバスライン SBL とが電氣的に共通である点である。

【0225】

図23Aおよび図23Bに、ゲートバスラインの電圧波形を基準としたCSバスラインに供給される振動電圧の振動の周期および位相および各副画素電極の電圧を示す。一般に、液晶表示装置は各画素の液晶層に印加される電界の向きを一定時間間隔で反転させているので、各電界の向きに対応した2種類の駆動電圧波形について考える必要がある。この2種類の駆動状態を各々図23Aおよび図23Bに示してある。

【0226】

図23Aおよび図23Bにおいて、 V_{SBL_m} はm列のソースバスライン SBL_m に供給される表示信号電圧（ソース信号電圧）の波形を示し、 V_{GBL_n} 等は、n行のゲートバスライン GBL_n に供給される走査電圧（ゲート信号電圧）の波形を示し、 $V_{CSVtypeR1}$ および $V_{CSVtypeR2}$ はそれぞれCS幹線 $CSVtypeR1$ および $CSVtypeR2$ に供給される補助容量対向電圧としての振動電圧の波形を示し、 $V_{PEA_m,n}$ および $V_{PEB_m,n}$ はそれぞれの副画素の液晶容量の電圧波形を示している。

【0227】

図23Aおよび図23Bで注目すべき第1の点は、 $CSVtypeR1$ 、 $CSVtypeR2$ の電圧 $V_{CSVtypeR1}$ 、 $V_{CSVtypeR2}$ の振動の周期はいずれも水平走査期間の1倍の時間（1H）であることである。

【0228】

図23Aおよび図23Bで注目すべき第2の点は、 $V_{CSVtypeR1}$ 、 $V_{CSVtypeR2}$ の位相が次のようになっている点である。まず、CS幹線間の位相に注目すれば

10

20

30

40

50

、VCSVtypeR2はVCSVtypeR1より0.5H時間だけ位相が遅れている。次に、CS幹線の電圧とゲートバスラインの電圧に注目すれば、CS幹線の電圧とゲートバスラインの電圧の位相は次のようになっている。図23Aおよび図23Bによれば各CS幹線に対応するゲートバスラインの電圧がVgHからVgLに変化する時刻と、CS幹線電圧の各平坦部分の中央の時刻が一致している。すなわち、図23Aおよび図23Bに示したTdの値が0.25H時間である。但し、これ以外の場合でも、Tdの値が(0Hよりも大きく0.5H時間よりも短い範囲であればよい。

【0229】

上記CS幹線の電圧の周期および位相に関する説明は図23Aおよび図23Bに基づいたものであるが、CS幹線の電圧波形はこれに限られず、次の2つの条件のいずれかを満足すればよい。その第1の条件は、VCSVtypeR1は対応する任意のゲートバスラインの電圧がVgHからVgLに変化した後、最初の電圧変化が電圧増加であり、かつVCSVtypeR2は対応する任意のゲートバスラインの電圧がVgHからVgLに変化した後、最初の電圧変化が電圧減少であることである。その第2の条件は、VCSVtypeR1は対応する任意のゲートバスラインの電圧がVgHからVgLに変化した後、最初の電圧変化が電圧減少であり、かつVCSVtypeR2は対応する任意のゲートバスラインの電圧がVgHからVgLに変化した後、最初の電圧変化が電圧増加であることである。

10

【0230】

図24Aおよび図24Bにこの液晶表示装置の駆動状態をまとめて示す。液晶表示装置の駆動状態もまた図23Aおよび図23Bと同様に各副画素の駆動電圧の極性の異なる2つの場合に分けて示す。図24Aの駆動状態は図23Aの駆動電圧波形に対応し、図24Bの駆動状態は図23Bの駆動電圧波形に対応している。

20

【0231】

図24Aおよび図24Bは、マトリクス状に配列された複数の画素のうちの(n行からn+7行の8行)×(m列からm+5列までの6列)の画素の駆動状態を模式的に示す図であり、それぞれの画素は、輝度の異なる副画素、即ち「明」と記した副画素および「暗」と記した副画素を有している。これらの図は、先に示した図17と基本的に等価である。

【0232】

図24Aおよび図24Bで注目すべき点は、面積階調表示パネルとして必要な要件を満足しているか否かである。面積階調表示パネルとして必要な要件は次の5点である。

30

【0233】

第1は、中間調表示状態で1つの画素が輝度の異なる複数の副画素で構成されている。

【0234】

第2は、前記輝度の異なる副画素の輝度順位が時刻によらず一定である。

【0235】

第3は、前記異なる輝度の副画素の配置が緻密に構成されている。

【0236】

第4は、任意のフレームで、画素単位で極性の異なる画素が緻密に配置されている。

40

【0237】

第5は、任意のフレームで、輝度順位の等しい副画素単位で、特に輝度の最も明るい副画素単位で極性の等しい副画素が緻密に配置されている。

【0238】

第1の要件について検証する。ここでは、1つの画素が輝度の異なる2つの副画素で構成されている。具体的には、例えば図24Aによればn行m列の画素は「明」と記した輝度の高い副画素と「暗」と記した輝度の低い副画素で構成されている。よって第1の要件は満たしている。

【0239】

第2の要件について検証する。この液晶表示装置は駆動状態の異なる2つの表示形態を

50

一定時間毎に交互に表示している。2つの表示形態に対応する駆動状態を示してある図24Aと図24Bとを比較すると、輝度の高い副画素と輝度の低い副画素の位置が一致している。よって、第2の要件を満たしている。

【0240】

第3の要件について検証する。図24Aおよび図24Bによれば、輝度順位の異なる画素、すなわち「明」と記した副画素と「暗」と記した副画素が市松状に配置されている。また、この液晶表示装置を確認した結果、輝度の異なる副画素を用いたことによる解像度の低下等の表示上の不具合は視認できなかった。よって、第3の要件を満たしている。

【0241】

第4の要件について確認する。図24Aおよび図24Bによれば、画素単位で極性の異なる画素が市松状に配置されている。具体的には、例えば図24Aにおいて $n+2$ 行、 $m+2$ 列の画素に注目すれば、この画素の極性は「+」であり、この画素から行方向および列方向に1画素毎に極性が「-」、「+」と変化している。また、第4の要件が満たされていない液晶表示装置では各画素の駆動極性が「+」、「-」で切り替わるのに同期したフリッカーと呼ばれる表示のちらつきが観測されると考えられるが、この液晶表示装置を目視で確認したところによるとフリッカーは見られなかった。よって、第4の要件は満たしている。

10

【0242】

第5の要件について確認する。図24Aおよび図24Bにおいて、輝度順位の等しい副画素の駆動極性に注目すれば、2副画素行毎、すなわち1画素幅に駆動極性が反転している。具体的には、例えば図24Aの n_B 行では $m+1$ 、 $m+3$ 、 $m+5$ 列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「-」となっており、その下の $n+1_A$ 行では m 、 $m+2$ 、 $m+4$ 列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「-」となっており、さらにその下の $n+1_B$ 行では $m+1$ 、 $m+3$ 、 $m+5$ 列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「+」となっており、その下の $n+2_A$ 行では m 、 $m+2$ 、 $m+4$ 列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「+」となっている。また、第5の要件が満たされていない液晶表示装置では各画素の駆動極性が「+」、「-」で切り替わるのに同期したフリッカーと呼ばれる表示のちらつきが観測されると考えられるが、この液晶表示装置を目視で確認したところによるとフリッカーは見られなかった。よって、第5

20

30

【0243】

この液晶表示装置をCS電圧の振幅 V_{CSpp} を変化させつつ観測したところ、CS電圧の振幅 V_{CSpp} を0V(本発明によらない典型的な液晶表示装置に対応)から増大させるについて斜め観測時の白浮き現象が抑制されるといった視野角特性の改善効果が見られた。視野角特性の改善効果は表示する画像によって若干異なった印象を受けるものの $V_{LCaddpp}$ の値が典型的な駆動(V_{CSpp} を0Vとした)での液晶表示装置の閾値電圧の0.5倍から2倍となるように V_{CSpp} を設定した場合が最も良好であった。

【0244】

このように、本発明の第2の局面による実施形態の液晶表示装置は、補助容量対向電極に振動電圧を印加することによりマルチ画素表示を行うことで視野角特性の改善を行った液晶表示装置であるが、補助容量対向電極に印加する振動電圧の振動周期は水平走査期間に等しいか、以下にされる。このようにCSバスラインに供給する振動電圧の振動の周期が短いと、CSバスラインの負荷容量および抵抗の大きな大型の液晶表示装置あるいは水平走査期間の短い高精細の液晶表示装置さらには垂直走査期間および水平走査期間を短くした高速駆動の液晶表示装置に対して前記マルチ画素表示を行うことは比較的困難である。

40

【0245】

この問題を図25から図28を参照しながら説明する。

【0246】

50

図25(a)は、上述した本発明の第2の局面による実施形態の液晶表示装置におけるCSバスラインに振動電圧を供給するための構成を模式的に示す図である。液晶表示パネルに設けられた複数のCSバスラインに対して、CS幹線から振動電圧が供給される。CS幹線には接続点ContP1およびP2、ContP3およびContP4を介してCSバスライン電圧発生回路から振動電圧が供給される。液晶表示パネルが大きくなると、表示パネルの中央部に位置する画素と接続点ContP1~ContP4との距離が長くなり、この間の負荷インピーダンスが無視できなくなる。負荷インピーダンスの主な構成要素は画素を構成する液晶層容量(CLC)と補助容量(CCS)とCSバスラインの抵抗RCSおよびCS幹線の抵抗Rmikiである。この負荷インピーダンスは第一近似として、図25(b)に模式的に示すように、それらの容量および抵抗で構成されるローパスフィルターと考えることができる。この負荷インピーダンスの値は液晶表示パネル上の場所の関数になっており、前記の接続点、例えばContactP1、ContactP2、ContactP3、ContactP4からの距離の関数である。具体的には、接続点に近接した部分では負荷インピーダンスは小さく、接続点から離れるに従って負荷インピーダンスは増加する。

10

【0247】

すなわち、振動電圧発生回路で発生されたCSバスライン電圧は、CRローパスフィルターで近似されるCSバスラインの負荷の影響を受けるため、CSバスライン上では波形鈍りを生じており、かつその波形鈍りの程度はパネル内の場所によって異なる。

【0248】

20

本発明の第1の局面による実施形態について説明したように、CSバスラインに振動電圧を印加するのは1つの画素を2つ以上の副画素で構成し、各副画素で輝度を異ならせる目的のためである。すなわち、本発明による実施形態の液晶表示装置は各副画素電極の電圧波形をCSバスラインの振動電圧に依存した振動電圧とし、実効的な電圧をCSバスライン電圧の振動波形に依存して変化させる構成および駆動方法となっている。従って、CSバスライン電圧の波形が場所によって異なる場合には、副画素電極の実効的な電圧も場所によって異なるといった問題が発生する。言い換えれば、CSバスライン電圧の波形鈍りの程度が場所によって異なる場合には、場所によって表示輝度が異なり、表示の輝度ムラが発生するといった問題が生じる。

【0249】

30

CSバスラインの振動周期を長くすることにより、この表示輝度ムラを改善するのが、本発明の第3の局面による液晶表示装置の有する主な効果である。以下、このことについて説明する。

【0250】

図26および図27は、前記CS負荷を一定とした場合の副画素電極の振動電圧波形を模式的に示してある。図26および図27は、CSバスライン電圧が振動電圧で無い場合の副画素電極の電圧は「0V」、CSバスライン電圧の振動によって生じる副画素電極電圧の振動の振幅は「1V」とした場合の模式図である。図26(a)から(e)は、CS電圧波形鈍りが無い場合、すなわち前記CRローパスフィルターのCR時定数が「0H」の場合、図27(a)から(e)は、前記CRローパスフィルターのCR時定数が「0.2H」の場合に相当する波形鈍りを模式的に示してある。図26および図27はそれぞれCRローパスフィルターのCR時定数を前記の値として、CSバスラインの振動電圧の振動周期を異ならせた場合での画素電極電圧の電圧波形を模式的に示しており、図26(a)~(e)および図27(a)から(e)は、それぞれ、各波形の振動周期が1H、2H、4H、および8Hの場合を示している。

40

【0251】

図26と図27とを比較するとわかるように、振動周期が長くなるにつれて図26の波形と図27の波形との差異が小さくなっていることがわかる。この傾向を図28に定量的に示す。

【0252】

50

図28は、図27の波形を基に算出した振動電圧の平均値および実効値とCSバスライン電圧の振動周期（1目盛りは、1水平走査期間：1Hに対応）の関係を示している。図28からわかるように、CSバスラインの振動周期を長くすることにより、CR時定数0Hの場合と、0.2Hの場合の波形の平均値電圧および実効値電圧のずれ量が減少する。とりわけ、CSバスラインの振動電圧の振動周期をCSバスラインのCR時定数（CSバスラインの負荷インピーダンスの近似値）の8倍以上とした場合には、波形鈍りの影響を著しく低減できることがわかる。

【0253】

このように、CSバスラインの振動電圧の振動周期を長くすることによりCSバスラインでの波形鈍りの影響による表示輝度ムラを低減することができる。特に、CSバスラインの振動電圧の振動周期をCSバスラインのCR時定数（CSバスラインの負荷インピーダンスの近似値）の8倍以上とした場合には、波形鈍りの影響を著しく低減できる。

10

【0254】

本発明の第3の局面では、本発明の第2局面による液晶表示装置における上記の問題に鑑みて成されたものであり、CSバスラインに印加する振動電圧の振動周期を長くすることができる液晶表示装置の構造、および駆動方法の好適な形態を提供する。

【0255】

本発明の第3の局面による実施形態の液晶表示装置は、マトリクス駆動される液晶表示装置における同一列の画素であって、列方向に隣接する画素の副画素のうち、輝度順位の異なる副画素（例えば、第1副画素と第2副画素）に対応するCSバスラインを電気的に独立とする。すなわち、n行目の第1副画素と、n+1行目の第2副画素とのCSバスラインを電気的に独立にする。ここで、マトリクス駆動される液晶表示装置における同一列の画素とは、同一の信号線（典型的にはソースバスライン）によって駆動される画素である。また、マトリクス駆動される液晶表示装置における列方向に隣接する画素とは、時間軸上で順次選択される走査線（典型的にはゲートバスライン）郡の中で、隣接の時刻で選択される走査線によって駆動される画素である。さらに、電気的に独立なCS幹線の種類をL種類とし、CSバスラインの振動の周期を水平走査期間のL倍とすることができる。前述のように、電気的な独立なCS幹線の数は、水平走査期間をCSバスラインの有する最大の負荷インピーダンスを近似したCR時定数で除した値の8倍の値よりも大きな数とするのが好ましい。さらに、後述するが前記8倍の値よりも大きな数であって且つ偶数とするのがより好ましい。なお、電気的に独立なCS幹線の種類の数（L種類）を電気的に独立なCS幹線の本数（L本）と表現することもある。電気的な等価なCS幹線をパネルの左右両側に設けた場合も、電気的に等価なCS幹線の本数は変化しない。

20

30

【0256】

以下、図面を参照しながら本発明の第3の局面による実施形態の液晶表示装置およびその駆動方法を説明する。

【0257】

まず、図29から図31Bを参照しながら、CSバスラインの振動電圧の振動の周期を1水平走査期間の4倍とすることで上述の面積階調表示を達成する液晶表示装置の例を説明する。説明は次の点を中心に図を用いつつ述べる。第1点は各副画素に接続した補助容量の補助容量対向電極とCSバスラインとの接続形態を中心とした液晶表示装置の構成について、第2点はゲートバスラインの電圧波形を基準としたCSバスラインの振動の周期および位相に関して、第3点は本実施形態での各副画素の駆動および表示状態について述べる。

40

【0258】

図29は、本発明の第3の局面による実施形態の液晶表示装置の等価回路を模式的に示す図であり、先の図22に対応する。共通する構成要素は共通の参照符号で示し、ここでは説明を省略する。図29の液晶表示装置は、電気的に独立な4つのCS幹線CSVtype A1～A4を有している点、および各CS幹線とCSバスラインの接続の状態において、図22の液晶表示装置と異なる。

50

【 0 2 5 9 】

図 2 9 で注目すべき第 1 の点は、列方向に隣接する行の画素の隣接の副画素（例えば、CLCB__n, mとCLCA__n+1, mに対応する副画素）に対応するCSバスラインが互いに電氣的に独立である点である。具体的には、例えば、n行の副画素CLCB__n, mに対応するCSバスラインCSBL__B__nと、これに列方向に隣接した行の画素の副画素CLCA__n+1, mに対応するCSバスラインCSBL__A__n+1が電氣的に独立している点である。

【 0 2 6 0 】

図 2 9 で注目すべき第 2 の点は、各CSバスライン（CSBL）はパネル端の4本のCS幹線（CSVtypeA1、CSVtypeA2、CSVtypeA3、CSVtypeA4）に接続されている点である。すなわち本実施形態の液晶表示装置では電氣的に独立なCS幹線の数は4種類である。

10

【 0 2 6 1 】

図 2 9 で注目すべき第 3 の点は、各CSバスラインと4本のCS幹線との接続状態、すなわち電氣的に独立なCS幹線の列方向での配列である。図 2 9 のCSバスラインとCS幹線との接続の規則に従えば、CS幹線CSVtypeA1、CSVtypeA2、CSVtypeA3およびCSVtypeA4に接続される幹線は下の表1の通りとなる。

【 0 2 6 2 】

【表 1】

CS 幹線	CS 幹線に接続される CS バスライン		左記 CS バスラインの一般表記
CSVtypeA1	CSBL_A_n, CSBL_A_n+4, CSBL_A_n+8, CSBL_A_n+12, ...	CSBL_B_n+2, CSBL_B_n+6, CSBL_B_n+10, CSBL_B_n+14, ...	CSBL_A_n+4·k, CSBL_B_n+2+4·k (k=0,1,2,3,···)
CSVtypeA2	CSBL_B_n, CSBL_B_n+4, CSBL_B_n+8, CSBL_B_n+12, ...	CSBL_A_n+2, CSBL_A_n+6, CSBL_A_n+10, CSBL_A_n+14, ...	CSBL_B_n+4·k, CSBL_A_n+2+4·k (k=0,1,2,3,···)
CSVtypeA3	CSBL_A_n+1, CSBL_A_n+5, CSBL_A_n+9, CSBL_A_n+13, ...	CSBL_B_n+3, CSBL_B_n+7, CSBL_B_n+11, CSBL_B_n+15, ...	CSBL_A_n+1+4·k, CSBL_B_n+3+4·k (k=0,1,2,3,···)
CSVtypeA4	CSBL_B_n+1, CSBL_B_n+5, CSBL_B_n+9, CSBL_B_n+13, ...	CSBL_A_n+3, CSBL_A_n+7, CSBL_A_n+11, CSBL_A_n+15, ...	CSBL_B_n+1+4·k, CSBL_A_n+3+4·k (k=0,1,2,3,···)

20

30

【 0 2 6 3 】

なお、上の表 1 に示した 4 本の各幹線に接続されるCSバスラインの組が電氣的に独立な4種類のCSバスラインの組である。

40

【 0 2 6 4 】

図 3 0 A および図 3 0 B にゲートバスラインの電圧波形を基準としたCSバスラインの振動の周期および位相および各副画素電極の電圧を示す。図 3 0 A および図 3 0 B は、先の図 2 3 A および図 2 3 B に対応する。共通する符号は同じ参照符号で示し、ここでは説明を省略する。一般に、液晶表示装置は各画素の液晶層に印加される電界の向きを一定時間間隔で反転させているので、各電界の向きに対応した2種類の駆動電圧波形について考える必要がある。この2種類の駆動状態を各々図 3 0 A および図 3 0 B に示してある。

【 0 2 6 5 】

図 3 0 A および図 3 0 B で注目すべき第 1 の点は、CSVtypeA1、CSVtypeA2、CSVtypeA3、CSVtypeA4に接続される幹線は下の表1の通りとなる。

50

e A 2、C S V t y p e A 3、C S V t y p e A 4の電圧V C S V t y p e A 1、V C S V t y p e A 2、V C S V t y p e A 3、V C S V t y p e A 4の振動の周期はいずれも水平走査期間の4倍の時間(4H)であることである。

【0266】

図30Aおよび図30Bで注目すべき第2点は、V C S V t y p e A 1、V C S V t y p e A 2、V C S V t y p e A 3、V C S V t y p e A 4の位相が次のようになっている点である。まず、C S 幹線間の位相に注目すれば、V C S V t y p e A 2はV C S V t y p e A 1より2H時間だけ位相が遅れており、V C S V t y p e A 3はV C S V t y p e A 1より3H時間だけ位相が遅れており、V C S V t y p e A 4はV C S V t y p e A 1より1H時間だけ位相が遅れている。次に、C S 幹線の電圧とゲートバスラインの電圧に注目すれば、C S 幹線の電圧とゲートバスラインの電圧の位相は次のようになっている。図30Aおよび図30Bによれば各C S 幹線に対応するゲートバスラインの電圧がV g HからV g Lに変化する時刻と、C S 幹線電圧の平坦部分の中央の時刻が一致している。すなわち、図30Aおよび図30Bに示したT dの値が1H時間である。但し、これ以外の場合でも、T dの値が(0Hよりも大きく2H時間よりも短い範囲であればよい。

10

【0267】

ここで、各C S 幹線に対応するゲートバスラインとは、補助容量C SおよびT F T素子を介して同一の副画素電極に接続されたC Sバスラインが接続されているC S 幹線およびゲートバスラインである。図29によれば、この液晶表示装置において各C S 幹線に対応するゲートバスライン、C Sバスラインは下の表2のようになる。

20

【0268】

【表2】

CS 幹線	対応するゲートバスライン	対応するCSバスライン
CSVtypeA1	GBL _n , GBL _{n+2} , GBL _{n+4} , GBL _{n+6} , GBL _{n+8} , ... [GBL _{n+2·k} (k = 0, 1, 2, 3, ...)]	CSBL _{A_n} , CSBL _{B_n+2} , CSBL _{A_n+4} , CSBL _{B_n+6} , CSBL _{A_n+8} , ... [CSBL _{A_n+4·k} , CSBL _{B_n+2+4·k} (k = 0, 1, 2, 3, ...)]
CSVtypeA2	GBL _n , GBL _{n+2} , GBL _{n+4} , GBL _{n+6} , GBL _{n+8} , ... [GBL _{n+2·k} (k = 0, 1, 2, 3, ...)]	CSBL _{B_n} , CSBL _{A_n+2} , CSBL _{B_n+4} , CSBL _{A_n+6} , CSBL _{B_n+8} , ... [CSBL _{B_n+4·k} , CSBL _{A_n+2+4·k} (k = 0, 1, 2, 3, ...)]
CSVtypeA3	GBL _{n+1} , GBL _{n+3} , GBL _{n+5} , GBL _{n+7} , GBL _{n+9} , ... [GBL _{n+1+2·k} (k = 0, 1, 2, 3, ...)]	CSBL _{A_n+1} , CSBL _{B_n+3} , CSBL _{A_n+5} , CSBL _{B_n+7} , CSBL _{A_n+9} , ... [CSBL _{A_n+1+4·k} , CSBL _{B_n+3+4·k} (k = 0, 1, 2, 3, ...)]
CSVtypeA4	GBL _{n+1} , GBL _{n+3} , GBL _{n+5} , GBL _{n+7} , GBL _{n+9} , ... [GBL _{n+1+2·k} (k = 0, 1, 2, 3, ...)]	CSBL _{B_n+1} , CSBL _{A_n+3} , CSBL _{B_n+5} , CSBL _{A_n+7} , CSBL _{B_n+9} , ... [CSBL _{B_n+1+4·k} , CSBL _{A_n+3+4·k} (k = 0, 1, 2, 3, ...)]

30

【0269】

上記C S 幹線の電圧の周期および位相に関する説明は図30Aおよび図30Bに基づいたものであるが、C S 幹線の電圧波形はこれに限られず、次の2つの条件のいずれかを満足すればよい。

40

【0270】

その第1の条件は、V C S V t y p e A 1は対応するゲートバスラインの電圧がV g HからV g Lに変化した後、最初の電圧変化が電圧増加であり、かつV C S V t y p e A 2は対応するゲートバスラインの電圧がV g HからV g Lに変化した後、最初の電圧変化が電圧減少であり、かつV C S V t y p e A 3は対応するゲートバスラインの電圧がV g HからV g Lに変化した後、最初の電圧変化が電圧減少であり、かつV C S V t y p e A 4は対応するゲートバスラインの電圧がV g HからV g Lに変化した後、最初の電圧変化が

50

電圧増加であることである。この条件は図30Aに示した駆動電圧波形に対応している。

【0271】

その第2の条件は、 $V_{CSVtypeA1}$ は対応するゲートバスラインの電圧が V_{gH} から V_{gL} に変化した後、最初の電圧変化が電圧減少であり、かつ $V_{CSVtypeA2}$ は対応するゲートバスラインの電圧が V_{gH} から V_{gL} に変化した後、最初の電圧変化が電圧増加であり、かつ $V_{CSVtypeA3}$ は対応するゲートバスラインの電圧が V_{gH} から V_{gL} に変化した後、最初の電圧変化が電圧増加であり、かつ $V_{CSVtypeA4}$ は対応するゲートバスラインの電圧が V_{gH} から V_{gL} に変化した後、最初の電圧変化が電圧減少であることである。この条件は図30Bの駆動電圧波形に対応している。

【0272】

但し、以下に説明する理由から、図30Aおよび図30Bに示した波形が好適に用いられる。

【0273】

図30Aおよび図30Bでは、振動の周期が一定となっている。これにより、信号発生回路を簡略化することができる。

【0274】

また、図30Aおよび図30Bでは、振動のデューティ比が一定となっている。これによって、振動の振幅を一定とすることができ、駆動回路を簡略化することができる。なぜなら、CSバスライン電圧を振動電圧とすることにより変化する液晶層の印加電圧の変化量は、振動の振幅と、振動のデューティ比に依存しているからである。よって、振動のデューティ比を一定とすることにより振動の振幅を一定とすることができる。デューティ比は例えば1:1に設定される。

【0275】

また、図30Aおよび図30Bでは、任意のCS振動電圧に対して、位相の180度異なる振動電圧（逆位相の振動電圧）が存在している。すなわち互いに電氣的に独立な4種類のCS幹線は、位相が互いに180度異なる振動電圧を供給する対（2対で4本）によって構成されている。これによって、液晶容量を構成する対向電極に流れる電流量を最小化することができるため、対向電極に接続する駆動回路を簡略化することができる。

【0276】

図31Aおよび図31Bに本実施形態の液晶表示装置の駆動状態をまとめて示す。液晶表示装置の駆動状態もまた図30Aおよび30Bと同様に各副画素の駆動電圧の極性の異なる2つの場合に分けて示す。図31Aの駆動状態は図30Aの駆動電圧波形に対応し、図31Bの駆動状態は図30Bの駆動電圧波形に対応している。図31Aおよび図31Bは、先の図24Aおよび図24Bに対応している。

【0277】

図31Aおよび図31Bで注目すべき点は、面積階調表示パネルとして必要な要件を満足しているか否かである。面積階調表示パネルとして必要な次の5つの要件について検証する。

【0278】

第1は、中間調表示状態で1つの画素が輝度の異なる複数の副画素で構成されている。

【0279】

第2は、前記輝度の異なる副画素の輝度順位が時刻によらず一定である。

【0280】

第3は、前記異なる輝度の副画素の配置が緻密に構成されている。

【0281】

第4は、任意のフレームで、画素単位で極性の異なる画素が緻密に配置されている。

【0282】

第5は、任意のフレームで、輝度順位の等しい副画素単位で、特に輝度の最も明るい副画素単位で極性の等しい副画素が緻密に配置されている。

【0283】

10

20

30

40

50

第1の要件について検証する。図31Aおよび図31Bによれば1つの画素が輝度の異なる2つの副画素で構成されている。具体的には、例えば図31Aによればn行m列の画素は「明」と記した輝度の高い副画素と「暗」と記した輝度の低い副画素で構成されている。よって第1の要件は満たしている。

【0284】

第2の要件について検証する。本実施形態の液晶表示装置は駆動状態の異なる2つの表示形態を一定時間毎に交互に表示している。2つの表示形態に対応する駆動状態を示している図31Aおよび図31Bを比較すると、輝度の高い副画素と輝度の低い副画素の位置が一致している。よって、第2の要件を満たしている。

【0285】

第3の要件について検証する。図31Aおよび図31Bによれば、輝度順位の異なる画素、すなわち「明」と記した副画素と「暗」と記した副画素が市松状に配置されている。また、本実施形態の液晶表示装置を確認した結果、輝度の異なる副画素を用いたことによる解像度の低下等の表示上の不具合は視認できなかった。よって、第3の要件を満たしている。

【0286】

第4の要件について確認する。図31Aおよび図31Bによれば、画素単位で極性の異なる画素が市松状に配置されている。具体的には、例えば図31Aにおいてn+2行、m+2列の画素に注目すれば、この画素の極性は「+」であり、この画素から行方向および列方向に1画素毎に極性が「-」、「+」と変化している。また、第4の要件が満たされていない液晶表示装置では各画素の駆動極性が「+」、「-」で切り替わるのに同期したフリッカーと呼ばれる表示のちらつきが観測されることが考えられるが、実施形態の液晶表示装置を目視で確認したところによるとフリッカーは見られなかった。よって、第4の要件は満たしている。

【0287】

第5の要件について確認する。図31Aおよび図31Bにおいて、輝度順位の等しい副画素の駆動極性に注目すれば、2副画素行毎、すなわち1画素幅に駆動極性が反転している。具体的には、例えばn__B行ではm+1、m+3、m+5列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「-」となっており、その下のn+1__A行ではm、m+2、m+4列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「-」となっており、さらにその下のn+1__B行ではm+1、m+3、m+5列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「+」となっており、その下のn+2__A行ではm、m+2、m+4列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「+」となっている。また、第5の要件が満たされていない液晶表示装置では各画素の駆動極性が「+」、「-」で切り替わるのに同期したフリッカーと呼ばれる表示のちらつきが観測されることが考えられるが、この液晶表示装置を目視で確認したところによるとフリッカーは見られなかった。よって、第5の要件を満たしている。

【0288】

以上で説明した本実施形態の液晶表示装置をCS電圧の振幅VCSppを変化させつつ観測したところ、CS電圧の振幅VCSppを0V(本発明によらない典型的な液晶表示装置に対応)から増大させるについて斜め観測時の白浮き現象が抑制されるといった視野角特性の改善効果が見られた。視野角特性の改善効果は表示する画像によって若干異なった印象を受けるもののVLCaddppの値が典型的な駆動(VCSppを0Vとした)での液晶表示装置の閾値電圧の0.5倍から2倍となるようにVCSppを設定した場合が最も良好であった。

【0289】

以上まとめると、本実施形態の液晶表示装置は補助容量対向電極に振動電圧を印加することによりマルチ画素表示を行うことで視野角特性の改善を行った液晶表示装置において、補助容量対向電極に印加する振動電圧の振動周期を水平走査期間の4倍にすることがで

10

20

30

40

50

きる。しかるに、CSバスラインの負荷容量および抵抗の大きな大型の液晶表示装置あるいは水平走査期間の短い高精細の液晶表示装置さらには垂直走査期間および水平走査期間を短くした高速駆動の液晶表示装置にたいして前記マルチ画素表示を容易に行うことが可能となる。

【0290】

次に、図32から図34Bを参照しながら、本発明の第3の局面による他の実施形態の液晶表示装置の構成と動作を説明する。

【0291】

本実施形態では、CSバスラインの振動電圧の振動の周期を1水平走査期間の2倍とすることで、上述の面積階調表示を達成する。説明は次の点を中心に図を用いつつ述べる。第1点は各副画素に接続した補助容量の補助容量対向電極とCSバスラインとの接続形態を中心とした液晶表示装置の構成について、第2点はゲートバスラインの電圧波形を基準としたCSバスラインの振動の周期および位相に関して、第3点は本実施形態での各副画素の駆動および表示状態について述べる。

10

【0292】

図32は、本発明の第3の局面による他の実施形態の液晶表示装置の等価回路を模式的に示す図であり、先の実施形態の図29に対応する。共通する構成要素は共通の参照符号で示し、ここでは説明を省略する。図32の液晶表示装置は、電氣的に独立な2つのCS幹線CSVtypeB1およびB2を有している点、および各CS幹線とCSバスラインの接続の状態において、図29の液晶表示装置と異なる。

20

【0293】

図32で注目すべき第1の点は、列方向に隣接する行の画素の隣接の副画素に対応するCSバスラインが互いに電氣的に独立である点である。具体的には、n行の副画素CLCB_n, mに対応するCSバスラインCSBL_B_nと、これに列方向に隣接した行の画素の副画素CLCA_n+1, mに対応するCSバスラインCSBL_A_n+1が電氣的に独立している点である。

【0294】

図32で注目すべき第2の点は、各CSバスライン(CSBL)はパネル端の2本のCS幹線(CSVtypeB1、CSVtypeB2)に接続されている点である。すなわち本実施形態の液晶表示装置では電氣的に独立なCS幹線の数は2種類である。

30

【0295】

図32で注目すべき第3の点は、各CSバスラインと2本のCS幹線との接続状態、すなわち電氣的に独立なCSバスラインの列方向での配列である。図32のCSバスラインとCS幹線との接続の規則に従えば、CS幹線CSVtypeB1、CSVtypeB2に接続されるCSバスラインは下の表3の通りとなる。

【0296】

【表3】

CS 幹線	CS 幹線に接続される CS バスライン	左記 CS バスラインの一般表記
CSVtypeB1	CSBL_A_n, CSBL_A_n+1, CSBL_A_n+2, CSBL_A_n+3, ...	CSBL_A_n+k, (k=0,1,2,3,...)
CSVtypeB2	CSBL_B_n, CSBL_B_n+1, CSBL_B_n+2, CSBL_B_n+3, ...	CSBL_B_n+k, (k=0,1,2,3,...)

40

【0297】

50

なお、上の表 3 に示した 2 本の各幹線に接続される CS バスラインの組が電氣的に独立な 2 種類の CS バスラインの組である。

【 0 2 9 8 】

図 3 3 A および図 3 3 B にゲートバスラインの電圧波形を基準とした CS バスラインの振動の周期および位相および各副画素電極の電圧を示す。図 3 3 A および図 3 3 B は、先の実施形態の図 3 0 A および図 3 0 B に対応する。共通する符号は同じ参照符号で示し、ここでは説明を省略する。一般に、液晶表示装置は各画素の液晶層に印加される電界の向きを一定時間間隔で反転させているので、各電界の向きに対応した 2 種類の駆動電圧波形について考える必要がある。この 2 種類の駆動状態を各々図 3 3 A および図 3 3 B に示してある。

10

【 0 2 9 9 】

図 3 3 A および図 3 3 B で注目すべき第 1 の点は、CSVtypeB1、CSVtypeB2 の電圧 VCSVtypeB1、VCSVtypeB2 の振動の周期はいずれも水平走査期間の 2 倍の時間 (2 H) であることである。

【 0 3 0 0 】

図 3 3 A および図 3 3 B で注目すべき第 2 点は、VCSVtypeB1、VCSVtypeB2 の位相が次のようになっている点である。まず、CS 幹線間の位相に注目すれば、VCSVtypeB2 は VCSVtypeB1 より 1 H 時間だけ位相が遅れている。次に、CS 幹線の電圧とゲートバスラインの電圧に注目すれば、CS 幹線の電圧とゲートバスラインの電圧の位相は次のようになっている。図 3 3 A および図 3 3 B によれば各 CS 幹線に対応するゲートバスラインの電圧が VgH から VgL に変化する時刻と、CS 幹線電圧の各平坦部分の中央の時刻が一致している。すなわち、図 3 3 A および図 3 3 B に示した Td の値が 0.5 H 時間である。但し、これ以外の場合でも、Td の値が (0 H よりも大きく 1 H 時間よりも短い範囲であればよい。

20

【 0 3 0 1 】

ここで、各 CS 幹線に対応するゲートバスラインとは、補助容量 CS および TFT 素子を介して同一の副画素電極に接続された CS バスラインが接続されている CS 幹線およびゲートバスラインである。図 3 3 A および図 3 3 B によれば、本実施形態の液晶表示装置において各 CS 幹線に対応するゲートバスライン、CS バスラインは下の表 4 のようになる。

30

【 0 3 0 2 】

【表 4】

CS 幹線	対応するゲートバスライン	対応する CS バスライン
CSVtypeB1	GBL _n , GBL _{n+1} , GBL _{n+2} , GBL _{n+3} , GBL _{n+4} , { GBL _{n+k} (k = 0, 1, 2, 3, ...) }	CSBL _{A_n} , CSBL _{A_n+1} , CSBL _{A_n+2} , CSBL _{A_n+3} , CSBL _{A_n+4} , { CSBL _{A_n+k} (k = 0, 1, 2, 3, ...) }
CSVtypeB2	GBL _n , GBL _{n+1} , GBL _{n+2} , GBL _{n+3} , GBL _{n+4} , { GBL _{n+k} (k = 0, 1, 2, 3, ...) }	CSBL _{B_n} , CSBL _{B_n+1} , CSBL _{B_n+2} , CSBL _{B_n+3} , CSBL _{B_n+4} , { CSBL _{B_n+k} (k = 0, 1, 2, 3, ...) }

40

【 0 3 0 3 】

上記 CS 幹線の電圧の周期および位相に関する説明は図 3 3 A および図 3 3 B に基づいたものであるが、本実施形態の CS 幹線の電圧波形はこれに限られず、次の 2 つの条件のいずれかを満足すればよい。

【 0 3 0 4 】

その第 1 の条件は、VCSVtypeB1 は対応するゲートバスラインの電圧が VgH から VgL に変化した後、最初の電圧変化が電圧増加であり、かつ VCSVtypeB2 は対応するゲートバスラインの電圧が VgH から VgL に変化した後、最初の電圧変化が電圧減少であることである。図 3 3 A はこの条件に該当する。

【 0 3 0 5 】

50

その第2の条件は、VCSVtype B1は対応するゲートバスラインの電圧がVgHからVgLに変化した後、最初の電圧変化が電圧減少であり、かつVCSVtype B2は対応するゲートバスラインの電圧がVgHからVgLに変化した後、最初の電圧変化が電圧増加であることである。図33Bはこの条件に該当する。

【0306】

図34Aおよび図34Bに本実施形態の液晶表示装置の駆動の状態をまとめる。液晶表示装置の駆動状態もまた図33Aおよび図33Bと同様に各副画素の駆動電圧の極性の異なる2つの場合に分けて示す。図34Aの駆動状態は図33Aの駆動電圧波形に対応し、図34Bの駆動状態は図33Bの駆動電圧波形に対応している。図34Aおよび図34Bは、先の実施形態の図31Aおよび図31Bに対応している。

10

【0307】

図34Aおよび図34Bで注目すべき点は、面積階調表示パネルとして必要な要件を満足しているか否かである。面積階調表示パネルとして必要な要件は次の5点である。

【0308】

第1は、中間調表示状態で1つの画素が輝度の異なる複数の副画素で構成されている。

【0309】

第2は、前記輝度の異なる副画素の輝度順位が時刻によらず一定である。

【0310】

第3は、前記異なる輝度の副画素の配置が緻密に構成されている。

【0311】

第4は、任意のフレームで、画素単位で極性の異なる画素が緻密に配置されている。

20

【0312】

第5は、任意のフレームで、輝度順位の等しい副画素単位で、特に輝度の最も明るい副画素単位で極性の等しい副画素が緻密に配置されている。

【0313】

第1の要件について検証する。図34Aおよび図34Bによれば1つの画素が輝度の異なる2つの副画素で構成されている。具体的には、例えば図34Aによればn行m列の画素は「明」と記した輝度の高い副画素と「暗」と記した輝度の低い副画素で構成されている。よって第1の要件は満たしている。

【0314】

第2の要件について検証する。本実施形態の液晶表示装置は駆動状態の異なる2つの表示形態を一定時間毎に交互に表示している。2つの表示形態に対応する駆動状態を示してある図34Aおよび図34Bを比較すると、輝度の高い副画素と輝度の低い副画素の位置が一致している。よって、第2の要件を満たしている。

30

【0315】

第3の要件について検証する。図34Aおよび図34Bによれば、輝度順位の異なる画素、すなわち「明」と記した副画素と「暗」と記した副画素が市松状に配置されている。また、本実施形態の液晶表示装置を確認した結果、輝度の異なる副画素を用いたことによる解像度の低下等の表示上の不具合は視認できなかった。よって、第3の要件を満たしている。

40

【0316】

第4の要件について確認する。図34Aおよび図34Bによれば、画素単位で極性の異なる画素が市松状に配置されている。具体的には、例えば図34Aにおいてn+2行、m+2列の画素に注目すれば、該画素の極性は「+」であり、この画素から行方向および列方向に1画素毎に極性が「-」、「+」と変化している。また、第4の要件が満たされていない液晶表示装置では各画素の駆動極性が「+」、「-」で切り替わるのに同期したフリッカーと呼ばれる表示のちらつきが観測されると考えられるが、本実施形態の液晶表示装置を目視で確認したところによるとフリッカーは見られなかった。よって、第4の要件は満たしている。

【0317】

50

第5の要件について確認する。図34Aおよび図34Bにおいて、輝度順位の等しい副画素の駆動極性に注目すれば、2副画素行毎、すなわち1画素行毎に駆動極性が反転している。具体的には、例えばn__B行ではm+1、m+3、m+5列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「-」となっており、その下のn+1__A行ではm、m+2、m+4列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「-」となっており、さらにその下のn+1__B行ではm+1、m+3、m+5列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「+」となっており、その下のn+2__A行ではm、m+2、m+4列の副画素の輝度順位記号が「明」であり、それら全ての極性反転記号は「+」となっている。また、第5の要件が満たされていない液晶表示装置では各画素の駆動極性が「+」、「-」で切り替わるのに同期したフリッカーと呼ばれる表示のちらつきが観測されると考えられるが、本実施形態の液晶表示装置を目視で確認したところによるとフリッカーは見られなかった。よって、第5の要件を満たしている。

10

【0318】

以上で説明した本実施形態の液晶表示装置をCS電圧の振幅VCSppを変化させつつ発明者等が観測したところ、CS電圧の振幅VCSppを0V(本発明によらない典型的な液晶表示装置に対応)から増大させるについて斜め観測時の白浮き現象が抑制されるといった視野角特性の改善効果が見られた。しかしながら、VCSppの値をさらに増加させると、表示コントラストが低下するといった問題が発生した。従って、VCSppの値はこの問題が生じることなく、かつ十分な視野角改善効果が得られる範囲内で設定する必要がある。具体的には、視野角特性の改善効果は表示する画像によって若干異なった印象を受けるもののVLcadppの値が典型的な駆動(VCSppを0Vとした)での液晶表示装置の閾値電圧の0.5倍から2倍となるようにVCSppを設定した場合が最も良好であった。

20

【0319】

以上まとめると、本実施形態の液晶表示装置は、補助容量対向電極に振動電圧を印加することによりマルチ画素表示を行うことで視野角特性の改善を行った液晶表示装置において、補助容量対向電極に印加する振動電圧の振動周期を水平走査期間の2倍にすることができる。しかるに、CSバスラインの負荷容量および抵抗の大きな大型の液晶表示装置あるいは水平走査期間の短い高精細の液晶表示装置さらには垂直走査期間および水平走査期間を短くした高速駆動の液晶表示装置に対して前記マルチ画素表示を容易に行うことが可能となる。

30

【0320】

上記の実施形態では、電氣的に独立なCS幹線の数(種類)が4本のものと、2本のものを例示したが、本発明の第3の局面による実施形態の液晶表示装置における電氣的に独立なCS幹線の数(種類)はこれらに限られず、3本や5本あるいは6本以上であってもよい。但し、電氣的に独立なCS幹線の数Lは、偶数であることが好ましい。これは、上述したように、電氣的に独立なCS幹線が位相が互いに180度異なる振動電圧を供給する対(すなわち、Lが偶数)によって構成されていると、液晶容量を構成する対向電極に流れる電流量を最小化することができるためである。

40

【0321】

以下に、電氣的に独立なCS幹線の数Lが6の場合とLが8の場合について、CS幹線と、対応するゲートバスラインおよびCSバスラインとの関係を表5および表6示す。また、Lが偶数の場合、CS幹線と、対応するゲートバスラインおよびCSバスラインとの関係は、L/2が奇数(L=2、6、10、14・・・)と、L/2が偶数(L=4、8、12、16・・・)とに大別できる。L/2が奇数の場合の一般的な関係を表5の後に示し、L/2が偶数の場合の関係をL=8の場合の表6の後に示す。

【0322】

【表5】

CS 幹線	対応するゲートライン	対応する CS ライン
CSVtypeC1	GBL _n , GBL _{n+3} , GBL _{n+6} , GBL _{n+9} , GBL _{n+12} , ... ----- [GBL _{n+3} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{A_n} , CSBL _{A_n+3} , CSBL _{A_n+6} , CSBL _{A_n+9} , CSBL _{A_n+12} , ... ----- [CSBL _{A_n+3} ·k (k = 0, 1, 2, 3, ...)]
CSVtypeC2	GBL _n , GBL _{n+3} , GBL _{n+6} , GBL _{n+9} , GBL _{n+12} , ... ----- [GBL _{n+3} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{B_n} , CSBL _{B_n+3} , CSBL _{B_n+6} , CSBL _{B_n+9} , CSBL _{B_n+12} , ... ----- [CSBL _{B_n+3} ·k (k = 0, 1, 2, 3, ...)]
CSVtypeC3	GBL _{n+1} , GBL _{n+4} , GBL _{n+7} , GBL _{n+10} , GBL _{n+13} , ... ----- [GBL _{n+1+3} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{A_n+1} , CSBL _{A_n+4} , CSBL _{A_n+7} , CSBL _{A_n+10} , CSBL _{A_n+13} , ... ----- [CSBL _{A_n+1+3} ·k (k = 0, 1, 2, 3, ...)]
CSVtypeC4	GBL _{n+1} , GBL _{n+4} , GBL _{n+7} , GBL _{n+10} , GBL _{n+13} , ... ----- [GBL _{n+1+3} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{B_n+1} , CSBL _{B_n+4} , CSBL _{B_n+7} , CSBL _{B_n+10} , CSBL _{B_n+13} , ... ----- [CSBL _{B_n+1+3} ·k (k = 0, 1, 2, 3, ...)]
CSVtypeC5	GBL _{n+2} , GBL _{n+5} , GBL _{n+8} , GBL _{n+11} , GBL _{n+14} , ... ----- [GBL _{n+2+3} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{A_n+2} , CSBL _{A_n+5} , CSBL _{A_n+8} , CSBL _{A_n+11} , CSBL _{A_n+14} , ... ----- [CSBL _{A_n+2+3} ·k (k = 0, 1, 2, 3, ...)]
CSVtypeC6	GBL _{n+2} , GBL _{n+5} , GBL _{n+8} , GBL _{n+11} , GBL _{n+14} , ... ----- [GBL _{n+2+3} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{B_n+2} , CSBL _{B_n+5} , CSBL _{B_n+8} , CSBL _{B_n+11} , CSBL _{B_n+14} , ... ----- [CSBL _{B_n+2+3} ·k (k = 0, 1, 2, 3, ...)]

10

20

【0323】

電氣的に独立な補助容量幹線の数 L の 1 / 2 が奇数であるとき、即ち L = 2 , 6 , 10 , . . . であるとき、行方向、列方向にマトリクス状に配置された複数の画素が構成するある行を n 行とし、任意の列の n 行に属する画素が有する第 1 副画素の補助容量対向電極が接続された補助容量配線 CSBL_{A_n}、第 2 副画素の補助容量対向電極が接続された補助容量配線を CSBL_{B_n} で表し、k を自然数 (0 を含む) とすると、

- CSBL_{A_n} + (L / 2) · k が第 1 補助容量幹線に接続され、
- CSBL_{B_n} + (L / 2) · k が第 2 補助容量幹線に接続され、
- CSBL_{A_n+1} + (L / 2) · k が第 3 補助容量幹線に接続され、
- CSBL_{B_n+1} + (L / 2) · k が第 4 補助容量幹線に接続され、
- CSBL_{A_n+2} + (L / 2) · k が第 5 補助容量幹線に接続され、
- CSBL_{B_n+2} + (L / 2) · k が第 6 補助容量幹線に接続され、
- 以下同様の接続関係を繰り返し、
- CSBL_{A_n} + (L / 2) - 2 + (L / 2) · k が第 L - 3 補助容量幹線に接続され、
- CSBL_{B_n} + (L / 2) - 2 + (L / 2) · k が第 L - 2 補助容量幹線に接続され、
- CSBL_{A_n} + (L / 2) - 1 + (L / 2) · k が第 L - 1 補助容量幹線に接続され、
- CSBL_{B_n} + (L / 2) - 1 + (L / 2) · k が第 L 補助容量幹線に接続されるように構成すればよい。

30

40

【0324】

【表 6】

CS 幹線	対応するゲートハ'ライン	対応する CS ハ'ライン
CSVtypeD1	GBL _n , GBL _{n+4} , GBL _{n+8} , GBL _{n+12} , GBL _{n+16} , ... [GBL _{n+4} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{A_n} , CSBL _{B_n+4} , CSBL _{A_n+8} , CSBL _{B_n+12} , CSBL _{A_n+16} , ... [CSBL _{A_n+8} ·k, CSBL _{B_n+4+8} ·k, (k = 0, 1, 2, 3, ...)]
CSVtypeD2	GBL _n , GBL _{n+4} , GBL _{n+8} , GBL _{n+12} , GBL _{n+16} , ... [GBL _{n+4} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{B_n} , CSBL _{A_n+4} , CSBL _{B_n+8} , CSBL _{A_n+12} , CSBL _{B_n+16} , ... [CSBL _{B_n+8} ·k, CSBL _{A_n+4+8} ·k (k = 0, 1, 2, 3, ...)]
CSVtypeD3	GBL _{n+1} , GBL _{n+5} , GBL _{n+9} , GBL _{n+13} , GBL _{n+17} , ... [GBL _{n+1+4} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{A_n+1} , CSBL _{B_n+5} , CSBL _{A_n+9} , CSBL _{B_n+13} , CSBL _{A_n+17} , ... [CSBL _{A_n+1+8} ·k, CSBL _{B_n+5+8} ·k, (k = 0, 1, 2, 3, ...)]
CSVtypeD4	GBL _{n+1} , GBL _{n+5} , GBL _{n+9} , GBL _{n+13} , GBL _{n+17} , ... [GBL _{n+1+4} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{B_n+1} , CSBL _{A_n+5} , CSBL _{B_n+9} , CSBL _{A_n+13} , CSBL _{B_n+17} , ... [CSBL _{B_n+1+8} ·k, CSBL _{A_n+5+8} ·k (k = 0, 1, 2, 3, ...)]
CSVtypeD5	GBL _{n+2} , GBL _{n+6} , GBL _{n+10} , GBL _{n+14} , GBL _{n+18} , ... [GBL _{n+2+4} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{A_n+2} , CSBL _{B_n+6} , CSBL _{A_n+10} , CSBL _{B_n+14} , CSBL _{A_n+18} , ... [CSBL _{A_n+2+8} ·k, CSBL _{B_n+6+8} ·k (k = 0, 1, 2, 3, ...)]
CSVtypeD6	GBL _{n+2} , GBL _{n+6} , GBL _{n+10} , GBL _{n+14} , GBL _{n+18} , ... [GBL _{n+2+4} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{B_n+2} , CSBL _{A_n+6} , CSBL _{B_n+10} , CSBL _{A_n+14} , CSBL _{B_n+18} , ... [CSBL _{B_n+2+8} ·k, CSBL _{A_n+6+8} ·k (k = 0, 1, 2, 3, ...)]
CSVtypeD7	GBL _{n+3} , GBL _{n+7} , GBL _{n+11} , GBL _{n+15} , GBL _{n+19} , ... [GBL _{n+3+4} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{A_n+3} , CSBL _{B_n+7} , CSBL _{A_n+11} , CSBL _{B_n+15} , CSBL _{A_n+19} , ... [CSBL _{A_n+3+8} ·k, CSBL _{B_n+7+8} ·k (k = 0, 1, 2, 3, ...)]
CSVtypeC8	GBL _{n+3} , GBL _{n+7} , GBL _{n+11} , GBL _{n+15} , GBL _{n+19} , ... [GBL _{n+3+4} ·k (k = 0, 1, 2, 3, ...)]	CSBL _{B_n+3} , CSBL _{A_n+7} , CSBL _{B_n+11} , CSBL _{A_n+15} , CSBL _{B_n+19} , ... [CSBL _{B_n+3+8} ·k, CSBL _{A_n+7+8} ·k (k = 0, 1, 2, 3, ...)]

10

20

【 0 3 2 5 】

電氣的に独立な補助容量幹線の数 L の 1 / 2 が偶数であるとき、即ち L = 4 , 8 , 1 2 , . . . であるとき、行方向、列方向にマトリックス状に配置された複数の画素が構成するある行を n 行とし、任意の列の n 行に属する画素が有する第 1 副画素の補助容量対向電極が接続された補助容量配線 CSBL_{A_n}、第 2 副画素の補助容量対向電極が接続された補助容量配線を CSBL_{B_n} で表し、k を自然数 (0 を含む) とすると、

30

CSBL_{A_n} + L · k および CSBL_{B_n} + (L / 2) + L · k が第 1 補助容量幹線に接続され、

CSBL_{B_n} + L · k および CSBL_{A_n} + (L / 2) + L · k が第 2 補助容量幹線に接続され、

CSBL_{A_n} + 1 + L · k および CSBL_{B_n} + (L / 2) + 1 + L · k が第 3 補助容量幹線に接続され、

CSBL_{B_n} + 1 + L · k および CSBL_{A_n} + (L / 2) + 1 + L · k が第 4 補助容量幹線に接続され、

40

CSBL_{A_n} + 2 + L · k および CSBL_{B_n} + (L / 2) + 2 + L · k が第 5 補助容量幹線に接続され、

CSBL_{B_n} + 2 + L · k および CSBL_{A_n} + (L / 2) + 2 + L · k が第 6 補助容量幹線に接続され、

CSBL_{A_n} + 3 + L · k および CSBL_{B_n} + (L / 2) + 3 + L · k が第 7 補助容量幹線に接続されており、

CSBL_{B_n} + 3 + L · k および CSBL_{A_n} + (L / 2) + 3 + L · k が第 8 補助容量幹線に接続され、

. 以下同様の接続関係を繰り返し、

50

$C S B L _ A _ n + (L / 2) - 2 + L \cdot k$ および $C S B L _ B _ n + L - 2 + L \cdot k$ が第 $L - 3$ 補助容量幹線に接続され、

$C S B L _ B _ n + (L / 2) - 2 + L \cdot k$ および $C S B L _ A _ n + L - 2 + L \cdot k$ が第 $L - 2$ 補助容量幹線に接続され、

$C S B L _ A _ n + (L / 2) - 1 + L \cdot k$ および $C S B L _ B _ n + L - 1 + L \cdot k$ が第 $L - 1$ 補助容量幹線に接続されており、

$C S B L _ B _ n + (L / 2) - 1 + L \cdot k$ および $C S B L _ A _ n + L - 1 + L \cdot k$ が第 L 補助容量幹線に接続されればよい。

【 0 3 2 6 】

以上で説明したように、本発明の第 3 の局面によると、斜観測時の白浮特性を大幅に改善するマルチ画素方式の液晶表示装置を、大型の液晶表示装置、あるいは高精細の液晶表示装置、さらには垂直走査期間および水平走査期間を短くした高速駆動の液晶表示装置に容易に適用することが可能となる。なぜならば、 $C S$ バスラインに振動電圧を印加するマルチ画素方式の液晶表示装置を大型化すれば $C S$ バスラインの負荷容量あるいは負荷抵抗が増加し $C S$ バスライン電圧の波形が鈍たり、また液晶表示装置の高精細化、高速駆動化を行えば $C S$ バスラインの振動周期が短くなるために波形鈍りの影響が顕著になり、表示画面内で $V L C a d d$ の実効値の変化が顕著になるため、表示ムラを発生する等の問題があるが、これらの問題は $C S$ バスラインに印加する振動電圧の周期を長くすることによって改善できるからである。

【 0 3 2 7 】

本発明の第 2 の局面による実施形態の液晶表示装置では、隣接行の画素の隣接する副画素に対応する $C S$ バスラインを電氣的に共通とし、かつ、電氣的に独立な $C S$ 幹線を 2 種類とした場合には $C S$ バスライン電圧の振動の周期は $1 H$ であったのに対し、本発明の第 3 の局面による実施形態の液晶表示装置では隣接行の画素の隣接する副画素に対応する $C S$ バスラインを電氣的に独立とし、かつ、電氣的に独立な $C S$ 幹線を 2 種類とした場合に $C S$ バスライン電圧の振動の周期を $2 H$ となり、電氣的に独立な $C S$ 幹線を 4 種類とした場合には $C S$ バスライン電圧の振動の周期を $4 H$ とすることができる。

【 0 3 2 8 】

本発明の第 3 の局面による実施形態の液晶表示装置の構成あるいは駆動波形に基づけば、隣接行の画素の隣接する副画素に対応する $C S$ 幹線を電氣的に独立とし、かつ、電氣的に独立な $C S$ 幹線の種類を L 種類とすれば $C S$ バスライン電圧の振動の周期を水平走査期間の L 倍 ($L H$) とすることができる。

【 0 3 2 9 】

以下に、本発明の第 4 の局面による実施形態の液晶表示装置およびその駆動方法を説明する。

【 0 3 3 0 】

上述したように、本発明の第 3 の局面による実施形態の液晶表示装置は、電氣的に独立な補助容量対向電極の組の数 (電氣的に独立な $C S$ 幹線の数) を L とすることによって、補助容量対向電極に印加する振動電圧の振動周期を水平走査期間 H の L 倍とすることを可能とした。これにより、補助容量対向電極配線の電氣的負荷が大きな大型高精細の液晶表示装置においても前記マルチ画素表示を行うことが可能となるといった効果が得られる。

【 0 3 3 1 】

しかしながら、列方向に隣接する 2 つの画素 (すなわち隣接する行に属する 2 つの画素) を構成する各副画素に補助容量対向電極を電氣的に独立とする必要があった (例えば図 2 9 参照)。即ち、1 画素あたり 2 本の $C S$ バスラインが必要となるために、画素開口率が低下するといった問題があった。具体的には、例えば図 3 5 (a) に示すように、各副画素に対応する $C S$ バスラインを各副画素の中央を横切るように配置する構成を採用すると、列方向に隣接する画素間からの光漏れを防止するために遮光層 $B M 1$ を設ける必要がある。従って、2 本の $C S$ バスラインおよび遮光層 $B M 1$ と重なる領域は、表示に寄与できなくなり、画素開口率を低下させることになる。

【 0 3 3 2 】

これに対し、第4の局面による実施形態では、図35(b)に示したように、列方向に隣接する2つの画素の一方の副画素の補助容量対向電極と他方の副画素(前記一方の副画素と前記他方の副画素は列方向に隣接する)の補助容量対向電極とを共通のCSバスラインに接続し、このCSバスラインを列方向に隣接する2つの画素の間に配置することによって、CSバスラインを遮光層としても機能させることにより、図35(a)の構成に比べて、CSバスラインの本数を減らせる上に、別途設ける必要があった遮光層BM1を省略することにより、画素開口率を向上できるという利点が得られる。

【 0 3 3 3 】

また、第3の局面による実施形態の液晶表示装置では、CSバスラインに印加する振動電圧の振動周期を水平走査期間のL倍とするためには、電気的に独立なCS幹線の数をL本とする必要があり、補助容量対向電極駆動電源もL個必要となる。従って、CSバスラインに印加する振動電圧の振動周期を任意に長周期にしようとする場合、それに応じてCS幹線の数、容量対向電極駆動電源の数が多数必要となる。このように、第3の局面による実施形態の液晶表示装置において、CSバスラインに印加する振動電圧を長周期化するためには、CS幹線の数および容量対向電極駆動電源を増大させる必要があることから、一定の制限を受けるといった問題もあった。

10

【 0 3 3 4 】

これに対し、本発明の第4の局面による実施形態の液晶表示装置においては、電気的に独立なCS幹線の数をL(Lは偶数)とすると、振動電圧の振動の周期を水平走査期間の $2 \cdot K \cdot L$ 倍(Kは正の整数)とすることができる。

20

【 0 3 3 5 】

このように、本発明の第4の局面による実施形態の液晶表示装置は、第3の局面による実施形態の液晶表示装置よりも、大型・高精細の液晶表示装置に適している。

【 0 3 3 6 】

以下、本発明の第4の局面による具体的な実施形態を説明する。以下の説明では、図36Aおよび図36Bに示した駆動状態を実現する液晶表示装置を例示する。図36Aおよび図36Bは、それぞれ先に示した図24Aおよび図24Bに対応し、液晶層に印加される電界の向きが互いに逆の駆動状態を示している。以下では、図36Aに示す駆動状態を実現するための構成を説明する。なお、図36Bの示す駆動状態を実現するためには、図23Aおよび図23Bを参照しながら説明したのと同様に、図36Aに示す駆動状態を実現するためにはソースバスラインに印加する電圧および各補助容量電圧の極性を反転させればよい。これにより画素の表示極性(図中「+」或いは「-」で表示)を反転しつつ、且つ第1、第2副画素の位置(図中「明」或いは「暗」で表示)の位置を固定できる。但し、本発明はこれに限らずソースバスラインに印加する電圧のみを反転させても良い。この場合、第1、第2副画素の位置(図中「明」或いは「暗」で表示)の位置は画素の極性反転に伴って移動するため、前記固定の場合に発生する中間階調表示時の色のにじみ等の問題を改善できる。

30

【 0 3 3 7 】

また、以下の実施形態の液晶表示装置は、図35(b)に示したように、列方向に隣接する2つの画素(n行目とn+1行目)の間に、n行目の画素の副画素電極18bとn+1行目の副画素18aとの間に、これら2つの副画素電極にそれぞれ対応する副画素の補助容量に補助容量対向電圧(振動電圧)を供給する共通のCSバスラインCSBLが設けられた構成を備えており、このCSバスラインCSBLがn行目の画素とn+1行目の画素との間を遮光する遮光層として機能する。CSバスラインCSBLは、絶縁膜を介して、一部が副画素電極18aおよび18bと重なるように配置されてもよい。

40

【 0 3 3 8 】

また、以下に例示する実施形態の液晶表示装置は、何れもCSバスラインに印加する振動電圧の振動周期を1水平走査期間よりも長く、電気的に独立なCS幹線の数をL(Lは偶数)とすると、振動電圧の振動の周期を水平走査期間の $2 \cdot K \cdot L$ 倍(Kは正の整数

50

)となっている。すなわち、本発明の第3の局面による実施形態の液晶表示装置においては振動電圧の振動の周期はL倍にしかならなかったのに対し、本発明の第4の局面による実施形態の液晶表示装置においては、 $2 \cdot K$ 倍のファクタだけ更に振動周期を長くすることが可能であり、しかもKは電氣的に独立なCS幹線の数に依存しないという利点を有している。Kは電氣的に独立な個々のCS幹線とCSバスラインとの接続形態に依存して決まるパラメータであり、CS幹線に対する接続形態の1周期を構成する連続したCSバスラインの中で共通のCS幹線に接続されたCSバスラインの数(電氣的に等価なCSバスラインの数)の $1/2$ に対応する。

【0339】

本発明による実施形態の液晶表示装置のマルチ画素駆動は、画素を2つの副画素に分割し、各副画素に接続された補助容量に異なる振動電圧(補助容量対向電圧)を供給することによって、明副画素と暗副画素とを得る。明副画素は、例えば、TFTがオフとされた後の振動電圧の最初の変化が増大である場合に得られ、暗副画素は、逆に、TFTがオフとされた後の振動電圧の最初の変化が低下である場合に得られる。従って、TFTがオフされた後に振動電圧が増大されるべき副画素のCSバスラインを共通のあるCS幹線に接続し、TFTがオフされた後に振動電圧が低下されるべき副画素のCSバスラインを他の共通のCS幹線に接続すれば、CS幹線の数を減らすことができることになる。このCSバスラインのCS幹線に対する接続形態による長周期化の効果を示すパラメータがKである。

【0340】

Kを大きくするとそれだけ振動電圧を長周期化できるが、Kは大き過ぎないことが好ましい。理由を以下に説明する。

【0341】

Kを大きくすると共通のCS幹線に接続された副画素の数が増えることになる。それらは異なるTFTに接続されており、TFTは異なるタイミング(1Hの倍数)でオフされる。従って、共通のCS幹線に接続されたある副画素のTFTがオフされた後、その振動電圧が最初に増大する(又は低下する)までの時間と、他の副画素のTFTがオフされた後、その振動電圧が最初に増大する(又は低下する)までの時間が異なることになる。Kが大きくなるほど、すなわち、共通のCS幹線に接続されるCSバスラインの数が大きくなるほど、この時間の差が大きくなり、ライン状の輝度むらとして視認されるおそれがある。この輝度むらを発生させないためには、目安として、上記の時間差が走査線の数(画素行の数)の5%以下とすることが好ましい。例えば、XGAの場合には、768行の5%以下とすると、上記時間差が38H以下となるように、Kを設定することが好ましい。なお、振動電圧の周期の下限値は、図28等を参照しながら上述した波形の鈍りによる輝度むらが生じないように設定する。例えば、45型のXGAの場合、振動周期が12H以上であれば、波形鈍りによる問題は生じない。これらのことから、45型程度の液晶テレビに適用する場合、Kを1または2として、Lを6、8、10、12とし、振動電圧の周期を12Hから48Hの範囲で設定すれば、輝度むらの無い高品位の表示を得ることが出来る。なお、電氣的に独立なCS幹線の数Lは、振動電圧源(補助容量対向電極駆動電源)の数や、パネル上(TFT基板上)の配線の引きまわしなどを考慮して設定する。

【0342】

以下に、 $K=1$ で、 $L=4, 6, 8, 10, 12$ とした例および、 $K=2$ で、 $L=4, 6$ とした例を示し、本発明の第4の局面による実施形態の液晶表示装置およびその駆動方法を詳細に説明する。以下の説明では、先の実施形態の説明との重複を避けるためにCSバスラインとCS幹線との接続形態を中心に説明する。

【0343】

[$K=1, L=4$ 、振動周期: 8H]

本実施形態の液晶表示装置のマトリクス構成(CSバスラインの接続形態)を図37に、この液晶表示装置の駆動に用いられる信号の波形を図38に示す。また、図37の接続形態を表7に示す。図37のマトリクス構成に対して、図38のタイミングでCSバ

10

20

30

40

50

スラインに振動電圧を印加することで、図35Aに示した駆動状態が実現される。

【0344】

図37によれば各CSバスラインは図の左右端に各々4本のCS幹線の何れかに接続されている。よって電氣的に独立なCSバスラインの数は4であり、L = 4となる。さらに図37によれば、CSバスラインとCS幹線の接続形態に一定の規則があり、その規則は図中のCSバスライン8本毎の周期性を持っていることが解る。よって、K = 1 (= 8 / (2L))となっている。

【0345】

【表7】

L = 4, K = 1

CS 幹線	CS 幹線に接続される CS バスライン
M1a	CSBL _{-(n-1) B, (n) A} CSBL _{-(n+4) B, (n+5) A}
M2a	CSBL _{-(n) B, (n+1) A} CSBL _{-(n+3) B, (n+4) A}
M3a	CSBL _{-(n+1) B, (n+2) A} CSBL _{-(n+6) B, (n+7) A}
M4a	CSBL _{-(n+2) B, (n+3) A} CSBL _{-(n+5) B, (n+6) A}

但し n = 1, 9, 17, ...

10

20

【0346】

表7から、図37に示すCSバスラインは、任意のpについて

CSBL_{-(p) B, (p+1) A}

と

CSBL_{-(p+5) B, (p+6) A}

との関係能满足するタイプ(型)

或いは

CSBL_{-(p+1) B, (p+2) A}

と

CSBL_{-(p+4) B, (p+5) A}

との関係能满足するタイプ(型)

の2種類が存在していることがわかる。すなわち、M1aおよびM3aのCS幹線に接続されているCSバスラインは型であり、M2aおよびM4aのCS幹線に接続されているCSバスラインは型である。

【0347】

接続形態の1周期を構成する連続する8本のCSバスラインは、4本の型(M1aに接続された2本とM3aに接続された2本)、と4本の型(M2aに接続された2本とM4aに接続された2本)とで構成されている。

【0348】

これを、前述のパラメータL、Kを用いて示せば、任意のpについて

CSBL_{-(p+2*(K-1)) B, (p+2*(K-1)+1) A}

と

CSBL_{-(p+2*(K-1)+K*L+1) B, (p+2*(K-1)+K*L+2) A}

或いは、

30

40

50

CSBL_ (p + 2 · (K - 1) + 1) B , (p + 2 · (K - 1) + 2) A
と

CSBL_ (p + 2 · (K - 1) + K · L) B , (p + 2 · (K - 1) + K · L + 1) A

の何れかで表されるCSバスラインの組を電氣的に等価にすれば良ことがわかる。但しpはp = 1, 3, 5, ...もしくはp = 2, 4, ...である。この条件を導入する理由は型と型との両方に属するCSバスラインは存在しないためである。

【0349】

尚、図38によれば、このときのCSバスラインに印加される振動電圧の振動周期は8H、即ち水平走査期間Hの2 · K · L倍となっていることがわかる。

10

【0350】

[K = 1、L = 6、振動の周期：12H]

次に、電氣的に独立なCS幹線の数6本の場合の接続形態を図39に、そのときの駆動波形を図40に示す。また、図39の接続形態を表8に示す。

【0351】

図40によれば各CSバスラインは図の左右端に各々6本のCS幹線の何れかに接続されている。よって電氣的に独立なCSバスラインの数は6であり、L = 6となる。

【0352】

さらに図39によれば、CSバスラインとCS幹線の接続形態に一定の規則があり、その規則は図中のCSバスライン12本毎の周期性を持っている。よって、K = 1 (= 12 / (2 L)) となっている。

20

【0353】

【表8】

L = 6, K = 1

CS 幹線	CS 幹線に接続される CS バスライン
M1b	CSBL_ (n - 1) B, (n) A CSBL_ (n + 6) B, (n + 7) A
M2b	CSBL_ (n) B, (n + 1) A CSBL_ (n + 5) B, (n + 6) A
M3b	CSBL_ (n + 1) B, (n + 2) A CSBL_ (n + 8) B, (n + 9) A
M4b	CSBL_ (n + 2) B, (n + 3) A CSBL_ (n + 7) B, (n + 8) A
M5b	CSBL_ (n + 3) B, (n + 4) A CSBL_ (n + 10) B, (n + 11) A
M6b	CSBL_ (n + 4) B, (n + 5) A CSBL_ (n + 9) B, (n + 10) A

30

但し n = 1, 13, 25, ...

40

【0354】

表8から、図39に示すCSバスラインの接続は、

CSBL_ (p) B , (p + 1) A
と

CSBL_ (p + 7) B , (p + 8) A
或いは

50

と $CSBL_{(p+1)B, (p+2)A}$

$CSBL_{(p+6)B, (p+7)A}$

但し、 $p = 1, 3, 5, \dots$ もしくは $p = 2, 4, \dots$

の組が電氣的に等しいCSバスラインとなっている事がわかる。

【0355】

これを、前述のパラメータ L, K を用いて示せば、任意の p について、

$CSBL_{(p+2 \cdot (K-1))B, (p+2 \cdot (K-1)+1)A}$

と

$CSBL_{(p+2 \cdot (K-1)+K \cdot L+1)B, (p+2 \cdot (K-1)+K \cdot L+2)A}$ 10

或いは、

$CSBL_{(p+2 \cdot (K-1)+1)B, (p+2 \cdot (K-1)+2)A}$

と

$CSBL_{(p+2 \cdot (K-1)+K \cdot L)B, (p+2 \cdot (K-1)+K \cdot L+1)A}$

の何れかで表されるCSバスラインの組を電氣的に等価にすれば良ことがわかる。但し p は $p = 1, 3, 5, \dots$ もしくは $p = 0, 2, 4, \dots$ である。

【0356】

尚、図40によれば、このときのCSバスラインに印加される振動電圧の振動周期は12H、即ち水平走査期間の $2 \cdot K \cdot L$ 倍となっていることがわかる。 20

【0357】

[$K = 1, L = 8$ 、振動の周期：16H]

次に、電氣的に独立なCSバスラインの数が8種類の場合の接続形態を図41に、そのときの駆動波形を図42に示す。また、図41の接続形態を表9に示す。

【0358】

図41によれば各CSバスラインは図の左端の8本のCS幹線の何れかに接続されている。よって電氣的に独立なCSバスラインの数は8であり、 $L = 8$ となる。

【0359】

さらに図41によれば、CSバスラインとCS幹線の接続形態に一定の規則があり、その規則は図中のCSバスライン16本毎の周期性を持っている。よって、 $K = 1 (= 16 / (2L))$ となっている。 30

【0360】

【表 9】

L = 8, K = 1

CS 幹線	CS 幹線に接続される CS バスライン
M1c	CSBL_ (n - 1) B, (n) A CSBL_ (n + 8) B, (n + 9) A
M2c	CSBL_ (n) B, (n + 1) A CSBL_ (n + 7) B, (n + 8) A
M3c	CSBL_ (n + 1) B, (n + 2) A CSBL_ (n + 10) B, (n + 11) A
M4c	CSBL_ (n + 2) B, (n + 3) A CSBL_ (n + 9) B, (n + 10) A
M5c	CSBL_ (n + 3) B, (n + 4) A CSBL_ (n + 12) B, (n + 13) A
M6c	CSBL_ (n + 4) B, (n + 5) A CSBL_ (n + 11) B, (n + 12) A
M7c	CSBL_ (n + 5) B, (n + 6) A CSBL_ (n + 14) B, (n + 15) A
M8c	CSBL_ (n + 6) B, (n + 7) A CSBL_ (n + 13) B, (n + 14) A

但し n = 1, 17, 33, ...

10

20

【 0 3 6 1 】

表 9 から、図 4 1 に示す CS バスラインの接続は、

$$CSBL_ (p) B, (p + 1) A$$

と

$$CSBL_ (p + 9) B, (p + 10) A$$

或いは

$$CSBL_ (p + 1) B, (p + 2) A$$

と

$$CSBL_ (p + 8) B, (p + 9) A$$

但し、p = 1, 3, 5, ... もしくは p = 0, 2, 4, ...

30

40

の組が電氣的に等しい CS バスラインとなっている事がわかる。

【 0 3 6 2 】

これを、前述のパラメータ L, K を用いて示せば、任意の p について、

$$CSBL_ (p + 2 \cdot (K - 1)) B, (p + 2 \cdot (K - 1) + 1) A$$

と

$$CSBL_ (p + 2 \cdot (K - 1) + K \cdot L + 1) B, (p + 2 \cdot (K - 1) + K \cdot L + 2) A$$

或いは、

$$CSBL_ (p + 2 \cdot (K - 1) + 1) B, (p + 2 \cdot (K - 1) + 2) A$$

と

50

$C S B L _ (p + 2 \cdot (K - 1) + K \cdot L) B , (p + 2 \cdot (K - 1) + K \cdot L + 1) A$

の何れかで表されるCSバスラインの組を電氣的に等価にすれば良ことがわかる。但しpは $p = 1, 3, 5, \dots$ もしくは $p = 0, 2, 4, \dots$ である。

【0363】

尚、図42によれば、このときのCSバスラインに印加される振動電圧の振動周期は16H、即ち水平走査期間の $2 \cdot K \cdot L$ 倍となっていることがわかる。

【0364】

[$K = 1, L = 10$ 、振動の周期： 20]

次に、電氣的に独立なCSバスラインの数が10本の場合の接続形態を図43に、そのときの駆動波形を図44に示す。また、図43の接続形態を表10に示す。

10

【0365】

図43によれば各CSバスラインは図の左右端に各々10本のCS幹線の何れかに接続されている。よって電氣的に独立なCSバスラインの数は10であり、 $L = 10$ となる。さらに図43によれば、CSバスラインとCS幹線の接続形態に一定の規則があり、その規則は図中のCSバスライン20本毎の周期性を持っている。よって、 $K = 1 (= 20 / (2L))$ となっている。

【0366】

【表 10】

L = 10, K = 1

CS 幹線	CS 幹線に接続される CS バスライン
M1d	CSBL_ (n - 1) B, (n) A CSBL_ (n + 10) B, (n + 11) A
M2d	CSBL_ (n) B, (n + 1) A CSBL_ (n + 9) B, (n + 10) A
M3d	CSBL_ (n + 1) B, (n + 2) A CSBL_ (n + 12) B, (n + 13) A
M4d	CSBL_ (n + 2) B, (n + 3) A CSBL_ (n + 11) B, (n + 12) A
M5d	CSBL_ (n + 3) B, (n + 4) A CSBL_ (n + 14) B, (n + 15) A
M6d	CSBL_ (n + 4) B, (n + 5) A CSBL_ (n + 13) B, (n + 14) A
M7d	CSBL_ (n + 5) B, (n + 6) A CSBL_ (n + 16) B, (n + 17) A
M8d	CSBL_ (n + 6) B, (n + 7) A CSBL_ (n + 15) B, (n + 16) A
M9d	CSBL_ (n + 7) B, (n + 6) A CSBL_ (n + 18) B, (n + 19) A
M10d	CSBL_ (n + 8) B, (n + 7) A CSBL_ (n + 17) B, (n + 18) A

10

20

30

但し $n = 1, 21, 41, \dots$

【 0 3 6 7 】

表 10 から、図 4 3 に示す CS バスラインの接続は、

$$CSBL_ (p) B, (p + 1) A$$

と

$$CSBL_ (p + 11) B, (p + 12) A$$

或いは

$$CSBL_ (p + 1) B, (p + 2) A$$

と

$$CSBL_ (p + 10) B, (p + 11) A$$

但し、 $p = 1, 3, 5, \dots$ もしくは $p = 0, 2, 4, \dots$

の組が電氣的に等しい CS バスラインとなっている事がわかる。

【 0 3 6 8 】

これを、前述のパラメータ L, K を用いて示せば、任意の p について、

$$CSBL_ (p + 2 \cdot (K - 1)) B, (p + 2 \cdot (K - 1) + 1) A$$

と

$$CSBL_ (p + 2 \cdot (K - 1) + K \cdot L + 1) B, (p + 2 \cdot (K - 1) + K \cdot L + 2) A$$

50

或いは、

$C S B L _ (p + 2 \cdot (K - 1) + 1) B , (p + 2 \cdot (K - 1) + 2) A$
と

$C S B L _ (p + 2 \cdot (K - 1) + K \cdot L) B , (p + 2 \cdot (K - 1) + K \cdot L + 1) A$

の何れかで表されるCSバスラインの組を電氣的に等価にすれば良ことがわかる。但しpはp = 1, 3, 5, ...もしくはp = 0, 2, 4, ...である。

【0369】

尚、図44によれば、このときのCSバスラインに印加される振動電圧の振動周期は20H、即ち水平走査期間の2・K・L倍となっていることがわかる。

10

【0370】

[K = 1、L = 12、振動の周期：24H]

次に、電氣的に独立なCSバスラインの数が12種類の場合の接続形態を図45に、そのときの駆動波形を図46に示す。また、図45の接続形態を表11に示す。

【0371】

図45によれば各CSバスラインは図の左端の12本のCS幹線の何れかに接続されている。よって電氣的に独立なCSバスラインの数は12であり、L = 12となる。さらに図45によれば、CSバスラインとCS幹線の接続形態に一定の規則があり、その規則は図中のCSバスライン24本毎の周期性を持っている。よって、 $K = 1 (= 24 / (2L))$ となっている。

20

【0372】

【表 1 1】

L = 12, K = 1

CS 幹線	CS 幹線に接続される CS バスライン
M1e	CSBL_ (n - 1) B, (n) A CSBL_ (n + 12) B, (n + 13) A
M2e	CSBL_ (n) B, (n + 1) A CSBL_ (n + 11) B, (n + 12) A
M3e	CSBL_ (n + 1) B, (n + 2) A CSBL_ (n + 14) B, (n + 15) A
M4e	CSBL_ (n + 2) B, (n + 3) A CSBL_ (n + 13) B, (n + 14) A
M5e	CSBL_ (n + 3) B, (n + 4) A CSBL_ (n + 16) B, (n + 17) A
M6e	CSBL_ (n + 4) B, (n + 5) A CSBL_ (n + 15) B, (n + 16) A
M7e	CSBL_ (n + 5) B, (n + 6) A CSBL_ (n + 18) B, (n + 19) A
M8e	CSBL_ (n + 6) B, (n + 7) A CSBL_ (n + 17) B, (n + 18) A
M9e	CSBL_ (n + 7) B, (n + 6) A CSBL_ (n + 20) B, (n + 21) A
M10e	CSBL_ (n + 8) B, (n + 7) A CSBL_ (n + 19) B, (n + 20) A
M11e	CSBL_ (n + 9) B, (n + 10) A CSBL_ (n + 22) B, (n + 23) A
M12e	CSBL_ (n + 10) B, (n + 11) A CSBL_ (n + 21) B, (n + 22) A

10

20

30

但し n = 1, 25, 49, ...

【 0 3 7 3 】

40

表 1 1 から、図 4 5 に示す CS バスラインの接続は、

CSBL_ (p) B, (p + 1) A

と

CSBL_ (p + 13) B, (p + 14) A

或いは

CSBL_ (p + 1) B, (p + 2) A

と

CSBL_ (p + 12) B, (p + 13) A

但し、p = 1, 3, 5, ... もしくは p = 0, 2, 4, ...

の組が電氣的に等しい CS バスラインとなっている事がわかる。

50

【0374】

これを、前述のパラメータ L , K を用いて示せば、任意の p について、

$$CSBL_{\text{—}}(p + 2 \cdot (K - 1)) B, (p + 2 \cdot (K - 1) + 1) A$$

と

$$CSBL_{\text{—}}(p + 2 \cdot (K - 1) + K \cdot L + 1) B, (p + 2 \cdot (K - 1) + K \cdot L + 2) A$$

或いは、

$$CSBL_{\text{—}}(p + 2 \cdot (K - 1) + 1) B, (p + 2 \cdot (K - 1) + 2) A$$

と

$$CSBL_{\text{—}}(p + 2 \cdot (K - 1) + K \cdot L) B, (p + 2 \cdot (K - 1) + K \cdot L + 1) A$$

10

の何れかで表される CS バスラインの組を電氣的に等価にすれば良ことがわかる。但し p は $p = 1, 3, 5, \dots$ もしくは $p = 0, 2, 4, \dots$ である。

【0375】

尚、図46によれば、このときの CS バスラインに印加される振動電圧の振動周期は $24H$ 、即ち水平走査期間の $2 \cdot K \cdot L$ 倍となっていることがわかる。

【0376】

以上の説明では、いずれもパラメータ $K = 1$ の場合であった。次に、パラメータ K の値が 2 となる場合について説明する。

【0377】

20

[$K = 2$ 、 $L = 4$ 、振動の周期： $16H$]

パラメータ K の値が 2 で、電氣的に独立な CS バスラインの数が 4 種類の場合の接続形態を図47に、そのときの駆動波形を図48に示す。また、図47の接続形態を表12に示す。

【0378】

図47によれば各 CS バスラインは図の左右端に各々 4 本の CS 幹線の何れかに接続されている。よって電氣的に独立な CS バスラインの数は 4 であり、 $L = 4$ となる。さらに図47によれば、 CS バスラインと CS 幹線の接続形態に一定の規則があり、その規則は図中の CS バスライン 16 本毎の周期性を持っている。よって、 $K = 2 (= 16 / (2L))$ となっている。

30

【0379】

【表 1 2】

L = 4, K = 2

CS 幹線	CS 幹線に接続される CS バスライン
M1f	CSBL_ (n - 1) B, (n) A
	CSBL_ (n + 1) B, (n + 2) A
	CSBL_ (n + 8) B, (n + 9) A
	CSBL_ (n + 10) B (n + 11) A
M2f	CSBL_ (n) B, (n + 1) A
	CSBL_ (n + 2) B, (n + 3) A
	CSBL_ (n + 7) B, (n + 8) A
	CSBL_ (n + 9) B (n + 10) A
M3f	CSBL_ (n + 3) B, (n + 4) A
	CSBL_ (n + 5) B, (n + 6) A
	CSBL_ (n + 12) B, (n + 13) A
	CSBL_ (n + 14) B (n + 15) A
M4f	CSBL_ (n + 4) B, (n + 5) A
	CSBL_ (n + 6) B, (n + 7) A
	CSBL_ (n + 11) B, (n + 12) A
	CSBL_ (n + 13) B (n + 14) A

10

20

但し n = 1, 17, 33, ...

【 0 3 8 0 】

表 1 2 から、図 4 5 に示す CS バスラインの接続は、

CSBL_ (p) B, (p + 1) A、
CSBL_ (p + 2) B, (p + 3) A

と

CSBL_ (p + 9) B, (p + 10) A、
CSBL_ (p + 11) B, (p + 12) A

或いは

CSBL_ (p + 1) B, (p + 2) A、
CSBL_ (p + 3) B, (p + 4) A

と

CSBL_ (p + 8) B, (p + 9) A、
CSBL_ (p + 10) B, (p + 11) A

40

但し、p = 1, 3, 5, ... もしくは p = 0, 2, 4, ...

の組が電氣的に 等しい CS バスラインとなっている事がわかる。

【 0 3 8 1 】

これを、前述のパラメータ L, K を用いて示せば、任意の p について、

CSBL_ (p + 2 · (1 - 1)) B, (p + 2 · (1 - 1) + 1) A、
CSBL_ (p + 2 · (K - 1)) B, (p + 2 · (K - 1) + 1) A

と

CSBL_ (p + 2 · (1 - 1) + K · L + 1) B, (p + 2 · (1 - 1) + K · L + 2) A、

50

$CSBL_{(p+2 \cdot (K-1)+K \cdot L+1)} B, (p+2 \cdot (K-1)+K \cdot L+2) A$

或いは、

$CSBL_{(p+2 \cdot (1-1)+1)} B, (p+2 \cdot (1-1)+2) A$

、

$CSBL_{(p+2 \cdot (K-1)+1)} B, (p+2 \cdot (K-1)+2) A$

と

$CSBL_{(p+2 \cdot (1-1)+K \cdot L)} B, (p+2 \cdot (1-1)+K \cdot L+1) A$ 、

$CSBL_{(p+2 \cdot (K-1)+K \cdot L)} B, (p+2 \cdot (K-1)+K \cdot L+1) A$

10

の何れかで表されるCSバスラインの組を電氣的に等価にすれば良ことがわかる。但しpは $p = 1, 3, 5, \dots$ もしくは $p = 0, 2, 4, \dots$ である。

【0382】

尚、図48によれば、このときのCSバスラインに印加される振動電圧の振動周期は、16H、即ち水平走査期間の $2 \cdot K \cdot L$ 倍となっていることがわかる。

【0383】

[$K = 2, L = 6$ 、振動の周期：24H]

パラメータKの値が2で、電氣的に独立なCSバスラインの数が6種類の場合の接続形態を図49に、そのときの駆動波形を図50に示す。また、図49の接続形態を表13に示す。

20

【0384】

図49によれば各CSバスラインは図の左右端に各々6本のCS幹線の何れかに接続されている。よって電氣的に独立なCSバスラインの数は6であり、 $L = 6$ である。さらに図47によれば、CSバスラインとCS幹線の接続形態に一定の規則があり、その規則は24本毎の周期性を持っている。よって、 $K = 2 (= 24 / (2L))$ となっている。

【0385】

【表 1 3】

L = 6, K = 2

CS 幹線	CS 幹線に接続される CS バスライン
M1g	CSBL_ (n - 1) B, (n) A
	CSBL_ (n + 1) B, (n + 2) A
	CSBL_ (n + 12) B, (n + 13) A
	CSBL_ (n + 14) B (n + 15) A
M2g	CSBL_ (n) B, (n + 1) A
	CSBL_ (n + 2) B, (n + 3) A
	CSBL_ (n + 11) B, (n + 12) A
	CSBL_ (n + 13) B (n + 14) A
M3g	CSBL_ (n + 3) B, (n + 4) A
	CSBL_ (n + 5) B, (n + 6) A
	CSBL_ (n + 16) B, (n + 17) A
	CSBL_ (n + 18) B (n + 19) A
M4g	CSBL_ (n + 4) B, (n + 5) A
	CSBL_ (n + 6) B, (n + 7) A
	CSBL_ (n + 15) B, (n + 16) A
	CSBL_ (n + 17) B (n + 18) A
N5g	CSBL_ (n + 7) B, (n + 8) A
	CSBL_ (n + 9) B, (n + 10) A
	CSBL_ (n + 20) B, (n + 21) A
	CSBL_ (n + 22) B (n + 23) A
N6g	CSBL_ (n + 8) B, (n + 9) A
	CSBL_ (n + 10) B, (n + 11) A
	CSBL_ (n + 19) B, (n + 20) A
	CSBL_ (n + 21) B (n + 22) A

10

20

30

但し $n = 1, 25, 49, \dots$

【 0 3 8 6 】

表 1 3 から、図 4 5 に示す CS バスラインの接続は、

CSBL_ (p) B, (p + 1) A、
CSBL_ (p + 2) B, (p + 3) A

と

CSBL_ (p + 13) B, (p + 14) A、
CSBL_ (p + 15) B, (p + 16) A

或いは

CSBL_ (p + 1) B, (p + 2) A、
CSBL_ (p + 3) B, (p + 4) A

と

CSBL_ (p + 12) B, (p + 13) A、

40

50

$$C S B L _ (p + 1 4) B , (p + 1 5) A$$

但し、 $p = 1, 3, 5, \dots$ もしくは $p = 0, 2, 4, \dots$

の組が電氣的に等しいCSバスラインとなっている事がわかる。

【0387】

これを、前述のパラメータL, Kを用いて示せば、任意のpについて

$$C S B L _ (p + 2 \cdot (1 - 1)) B , (p + 2 \cdot (1 - 1) + 1) A$$

$$C S B L _ (p + 2 \cdot (K - 1)) B , (p + 2 \cdot (K - 1) + 1) A、$$

と

$$C S B L _ (p + 2 \cdot (1 - 1) + K \cdot L + 1) B , (p + 2 \cdot (1 - 1) + K \cdot L + 2) A、$$

10

$$C S B L _ (p + 2 \cdot (K - 1) + K \cdot L + 1) B , (p + 2 \cdot (K - 1) + K \cdot L + 2) A$$

或いは、

$$C S B L _ (p + 2 \cdot (1 - 1) + 1) B , (p + 2 \cdot (1 - 1) + 2) A$$

、

$$C S B L _ (p + 2 \cdot (K - 1) + 1) B , (p + 2 \cdot (K - 1) + 2) A$$

と

$$C S B L _ (p + 2 \cdot (1 - 1) + K \cdot L) B , (p + 2 \cdot (1 - 1) + K \cdot L + 1) A、$$

$$C S B L _ (p + 2 \cdot (K - 1) + K \cdot L) B , (p + 2 \cdot (K - 1) + K \cdot L + 1) A$$

20

の何れかで表されるCSバスラインの組を電氣的に等価にすれば良ことがわかる。但しpは $p = 1, 3, 5, \dots$ もしくは $p = 0, 2, 4, \dots$ である。

【0388】

尚、図48によれば、このときのCSバスラインに印加される振動電圧の振動周期は24H、即ち水平走査期間の $2 \cdot K \cdot L$ 倍となっていることがわかる。

【0389】

上記の実施形態では、パラメータK及びLに関して、 $K = 1$ のときの $L = 4, 6, 8, 10, 12$ 及び $K = 2$ のときの $L = 4, 6$ の場合について述べたが、本発明の第4の局面による実施形態はこれに限定されない。

30

【0390】

Kの値は正の整数、即ち $K = 1, 2, 3, 4, 5, 6, 7, 8, 9, \dots$ であればよく、Lの値は偶数、即ち $L = 2, 4, 6, 8, 10, 12, 14, 16, 18, \dots$ であればよく、且つK及びLは前記それぞれの範囲から独立に設定することが出来る。

【0391】

この場合のCS幹線とCSバスラインの接続については前述の規則に従えばよい。

【0392】

即ち、前記パラメータK、Lの値がそれぞれK、Lのとき($K = K, L = L$)、同一の幹線に接続されるCSバスライン、即ち、電氣的に等価のCSバスラインを

$$C S B L _ (p + 2 \cdot (1 - 1)) B , (p + 2 \cdot (1 - 1) + 1) A、$$

$$C S B L _ (p + 2 \cdot (2 - 1)) B , (p + 2 \cdot (2 - 1) + 1) A、$$

$$C S B L _ (p + 2 \cdot (3 - 1)) B , (p + 2 \cdot (3 - 1) + 1) A、$$

・

・

・

$$C S B L _ (p + 2 \cdot (K - 1)) B , (p + 2 \cdot (K - 1) + 1) A$$

と、

$$C S B L _ (p + 2 \cdot (1 - 1) + K \cdot L + 1) B , (p + 2 \cdot (2 - 1) + K \cdot L + 2) A、$$

$$C S B L _ (p + 2 \cdot (2 - 1) + K \cdot L + 1) B , (p + 2 \cdot (2 - 1) +$$

50

$K \cdot L + 2$) A、
 $C S B L _ (p + 2 \cdot (3 - 1) + K \cdot L + 1) B , (p + 2 \cdot (3 - 1) +$
 $K \cdot L + 2) A、$
 \cdot
 \cdot
 \cdot
 $C S B L _ (p + 2 \cdot (K - 1) + K \cdot L + 1) B , (p + 2 \cdot (3 - 1) +$
 $K \cdot L + 2) A$
 或いは
 $C S B L _ (p + 2 \cdot (1 - 1) + 1) B , (p + 2 \cdot (1 - 1) + 2) A$ 10
 、
 $C S B L _ (p + 2 \cdot (2 - 1) + 1) B , (p + 2 \cdot (2 - 1) + 2) A$
 、
 $C S B L _ (p + 2 \cdot (3 - 1) + 1) B , (p + 2 \cdot (3 - 1) + 2) A$
 、
 \cdot
 \cdot
 \cdot
 $C S B L _ (p + 2 \cdot (K - 1) + 1) B , (p + 2 \cdot (K - 1) + 2) A$ 20
 と
 $C S B L _ (p + 2 \cdot (1 - 1) + K \cdot L) B , (p + 2 \cdot (1 - 1) + K \cdot$
 $L + 1) A、$
 $C S B L _ (p + 2 \cdot (2 - 1) + K \cdot L) B , (p + 2 \cdot (2 - 1) + K \cdot$
 $L + 1) A、$
 $C S B L _ (p + 2 \cdot (3 - 1) + K \cdot L) B , (p + 2 \cdot (3 - 1) + K \cdot$
 $L + 1) A、$
 \cdot
 \cdot
 \cdot
 $C S B L _ (p + 2 \cdot (K - 1) + K \cdot L) B , (p + 2 \cdot (K - 1) + K \cdot$ 30
 $L + 1) A$
 とすれば良い。但し p は $p = 1, 3, 5, \dots$ もしくは $p = 0, 2, 4, \dots$ である。

【0393】

更に、前記パラメータ K 、 L の値がそれぞれ K 、 L のとき ($K = K, L = L$)、 $C S$ バスラインに印加する振動電圧の振動の周期は水平走査時間の $2 \cdot K \cdot L$ 倍とすれば良い。

【0394】

尚、ここまでの説明では隣接の絵素の第1副画素と第2副画素の $C S$ バスラインは共通であったが、無論それぞれの副画素に対応する電氣的に等価な2本以上の $C S$ バスラインに分割してもよい。

【産業上の利用可能性】

【0395】

本発明の第1の局面によると、特性の視野角依存性が改善された表示品位の極めて高い液晶表示装置が提供される。表示を可能とすることができる。さらに、本発明の第2の局面によると、交流駆動した際にちらつきが発生することが抑制される。

【0396】

さらに、本発明の第3の局面によると、上記第1の局面および第2の局面による液晶表示装置を大型あるいは高精細の液晶表示装置に好適に適用することが可能となる。

【0397】

本発明の第4の局面によると、上記第1の局面および第2の局面による液晶表示装置を

10

20

30

40

50

大型あるいは高精細の液晶表示装置に、第3の局面よりもさらに好適に適用することができる。

【図面の簡単な説明】

【0398】

【図1】本発明の第1の局面による実施形態の液晶表示装置100における画素構成の一例を模式的に示した図である。

【図2】(a)から(c)は、本発明による実施形態の液晶表示装置の構造を示す模式図である。

【図3】(a)から(c)は、従来の液晶表示装置100'の構造を模式的に示した図である。

【図4】MVAモードの液晶表示装置の表示特性を説明するための模式図であり(a)透過率の印加電圧依存特性を示すグラフであり、(b)は(a)のグラフをそれぞれの白表示時の透過率で規格化したグラフであり、(c)は特性を示すグラフである。

【図5】(a)~(d)は、それぞれ画素分割した副画素の液晶層に印加する電圧の条件A~Dを示す図である。

【図6】図5に示した電圧条件A~Dを用いた場合の特性を示すグラフであり、(a)右60度視角の特性、(b)は右上60度視角の特性を示す。

【図7】図5に示した電圧条件A~Dを用いた場合の白表示時透過率(正面)を示すグラフである。

【図8】本発明による実施形態において電圧条件Cを用いた場合の特性に対する副画素間の面積比の影響を説明するためのグラフであり、(a)右60度視角の特性、(b)右上60度視角の特性を示す。

【図9】本発明の実施形態において電圧条件Cを用いた場合の白表示時透過率(正面)と副画素間の面積比との関係を示す図である。

【図10】本発明による実施形態において電圧条件Bを用いた場合の特性に対する副画素の数の影響を説明するための図であり、(a)右60度視角の特性、(b)は右上60度視角の特性を示す。

【図11】本発明による実施形態において電圧条件Bを用いた場合の白表示時透過率(正面)と副画素数の関係を示す図である。

【図12】本発明による他の実施形態の液晶表示装置200の画素構成の一例を示す模式図である。

【図13】液晶表示装置200の画素構造に対応した電気的な等価回路を示す図である。

【図14】(a)~(f)は、液晶表示装置200の駆動に用いられる各種の電圧波形を示す図である。

【図15】液晶表示装置200における副画素間の液晶層への印加電圧の関係を示す図である。

【図16】液晶表示装置200の特性を示す図であり、(a)右60度視角での特性、(b)は、右上60度視角の特性を示す。

【図17】本発明の第2の局面による液晶表示装置の画素配列を模式的に示す図である。

【図18】(a)~(j)は、図17に示した構成を有する液晶表示装置を駆動するための各種電圧(信号)の波形を示す図である。

【図19】本発明による他の実施形態の液晶表示装置の画素配列を模式的に示す図である。

【図20】(a)~(j)は、図19に示した構成を有する液晶表示装置を駆動するための各種電圧(信号)の波形を示す図である。

【図21】(a)は、本発明による他の実施形態の液晶表示装置の画素配列を模式的に示す図であり、(b)はその補助容量配線および補助容量電極の配置を模式的に示す図である。

【図22】本発明の第2の局面による液晶表示装置のある領域の等価回路図である。

【図23A】図22に示した液晶表示装置におけるゲートバスラインの電圧波形を基準と

10

20

30

40

50

したCSバスラインに供給される振動電圧の振動の周期および位相および各副画素電極の電圧を示す図である。

【図23B】図22に示した液晶表示装置におけるゲートバスラインの電圧波形を基準としたCSバスラインに供給される振動電圧の振動の周期および位相および各副画素電極の電圧を示す図である（液晶層に印加される電圧の極性が図23Aの場合と反転）。

【図24A】図22に示した液晶表示装置の駆動状態（図23Aの電圧を用いた場合）を示す模式図である。

【図24B】図22に示した液晶表示装置の駆動状態（図23Bの電圧を用いた場合）を示す模式図である。

【図25】(a)は、本発明の第2の局面による実施形態の液晶表示装置におけるCSバスラインに振動電圧を供給するための構成を模式的に示す図であり、(b)はその電気的な負荷インピーダンスを近似した等価回路を模式的に示す図である。

【図26】(a)から(e)は、CS電圧波形純りが無い場合の副画素電極の振動電圧波形を模式的に示す図である。

【図27】(a)から(e)は、CR時定数が「0.2H」の場合に相当する波形純りが発生した場合の副画素電極の振動電圧波形を模式的に示す図である。

【図28】図26、図27の波形を基に算出した振動電圧の平均値および実効値とCSバスライン電圧の振動周期の関係を示すグラフである。

【図29】本発明の第3の局面による実施形態の液晶表示装置の等価回路を模式的に示す図である。

【図30A】図29に示した液晶表示装置におけるゲートバスラインの電圧波形を基準としたCSバスラインに供給される振動電圧の振動の周期および位相および各副画素電極の電圧を示す図である。

【図30B】図29に示した液晶表示装置におけるゲートバスラインの電圧波形を基準としたCSバスラインに供給される振動電圧の振動の周期および位相および各副画素電極の電圧を示す図である（液晶層に印加される電圧の極性が図30Aの場合と反転）。

【図31A】図29に示した液晶表示装置の駆動状態（図30Aの電圧を用いた場合）を示す模式図である。

【図31B】図29に示した液晶表示装置の駆動状態（図30Bの電圧を用いた場合）を示す模式図である。

【図32】本発明の第3の局面による他の実施形態の液晶表示装置の等価回路を模式的に示す図である。

【図33A】図32に示した液晶表示装置におけるゲートバスラインの電圧波形を基準としたCSバスラインに供給される振動電圧の振動の周期および位相および各副画素電極の電圧を示す図である。

【図33B】図32に示した液晶表示装置におけるゲートバスラインの電圧波形を基準としたCSバスラインに供給される振動電圧の振動の周期および位相および各副画素電極の電圧を示す図である（液晶層に印加される電圧の極性が図33Aの場合と反転）。

【図34A】図32に示した液晶表示装置の駆動状態（図33Aの電圧を用いた場合）を示す模式図である。

【図34B】図32に示した液晶表示装置の駆動状態（図33Bの電圧を用いた場合）を示す模式図である。

【図35】(a)は本発明の第3の局面による実施形態の液晶表示装置におけるCSバスラインおよび画素間遮光層の配置例を示す模式図であり、(b)は本発明の第4の局面による実施形態の液晶表示装置における画素間遮光層を兼ねるCSバスラインの配置例を模式的に示す図である。

【図36A】本発明の第4の局面による実施形態の液晶表示装置の駆動状態を示す模式図である。

【図36B】本発明の第4の局面による実施形態の液晶表示装置の駆動状態を示す模式図であり、図36Aの駆動状態と液晶層に印加される電界の向きが逆の場合を示している。

10

20

30

40

50

【図37】本発明の第4の局面による実施形態の液晶表示装置のマトリクス構成（CSバスラインの接続形態）を示す模式図である。

【図38】図37に示した液晶表示装置の駆動信号波形を示す模式図である。

【図39】本発明の第4の局面による他の実施形態の液晶表示装置のマトリクス構成（CSバスラインの接続形態）を示す模式図である。

【図40】図39に示した液晶表示装置の駆動信号波形を示す模式図である。

【図41】本発明の第4の局面によるさらに他の実施形態の液晶表示装置のマトリクス構成（CSバスラインの接続形態）を示す模式図である。

【図42】図41に示した液晶表示装置の駆動信号波形を示す模式図である。

【図43】本発明の第4の局面によるさらに他の実施形態の液晶表示装置のマトリクス構成（CSバスラインの接続形態）を示す模式図である。

10

【図44】図43に示した液晶表示装置の駆動信号波形を示す模式図である。

【図45】本発明の第4の局面によるさらに他の実施形態の液晶表示装置のマトリクス構成（CSバスラインの接続形態）を示す模式図である。

【図46】図45に示した液晶表示装置の駆動信号波形を示す模式図である。

【図47】本発明の第4の局面によるさらに他の実施形態の液晶表示装置のマトリクス構成（CSバスラインの接続形態）を示す模式図である。

【図48】図47に示した液晶表示装置の駆動信号波形を示す模式図である。

【図49】本発明の第4の局面によるさらに他の実施形態の液晶表示装置のマトリクス構成（CSバスラインの接続形態）を示す模式図である。

20

【図50】図49に示した液晶表示装置の駆動信号波形を示す模式図である。

【符号の説明】

【0399】

10 画素

10 a、10 b 副画素

12 走査線

14 a、14 b 信号線

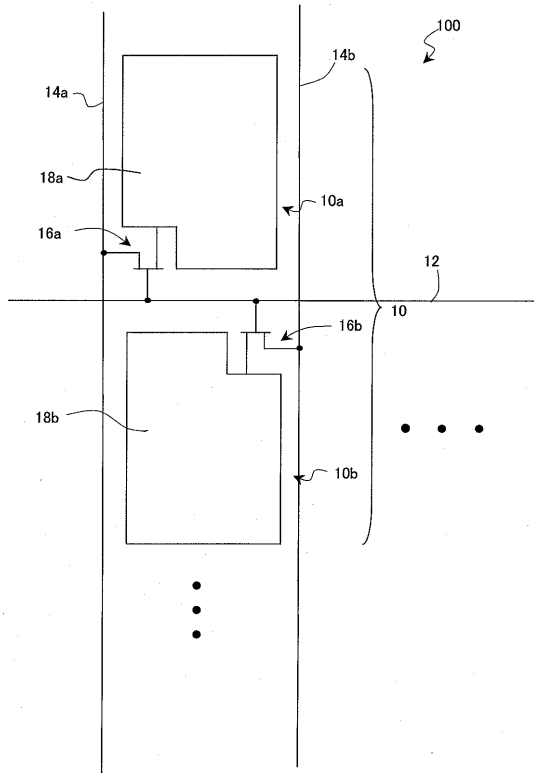
16 a、16 b TFT

18 a、18 b 副画素電極

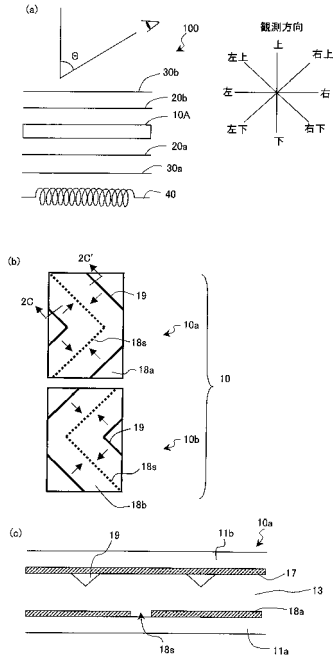
100 液晶表示装置

30

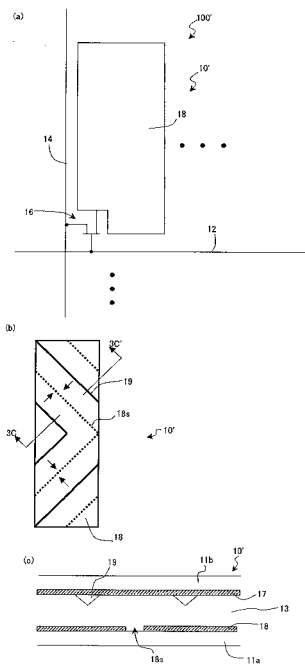
【図1】



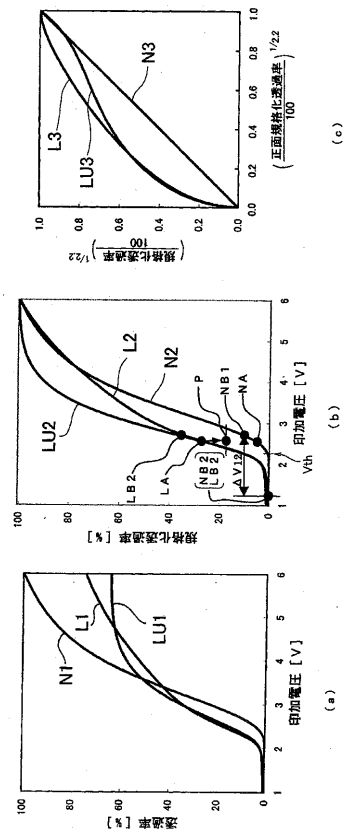
【図2】



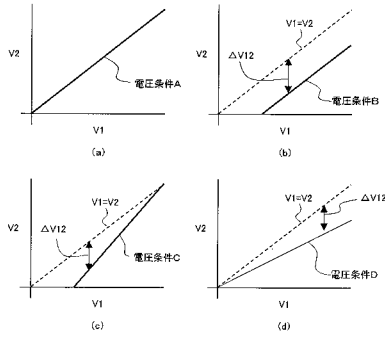
【図3】



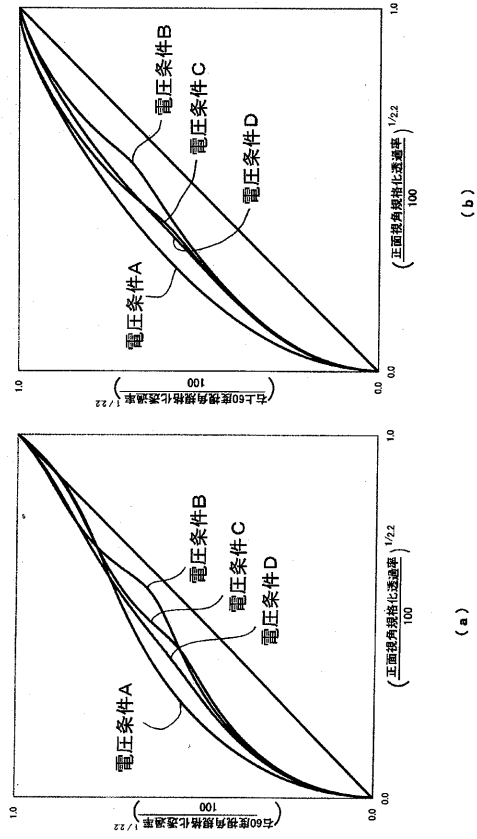
【図4】



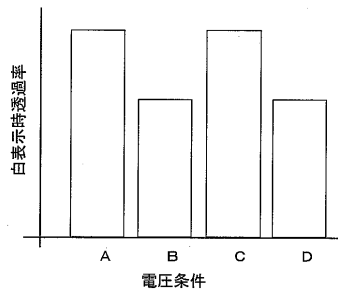
【図5】



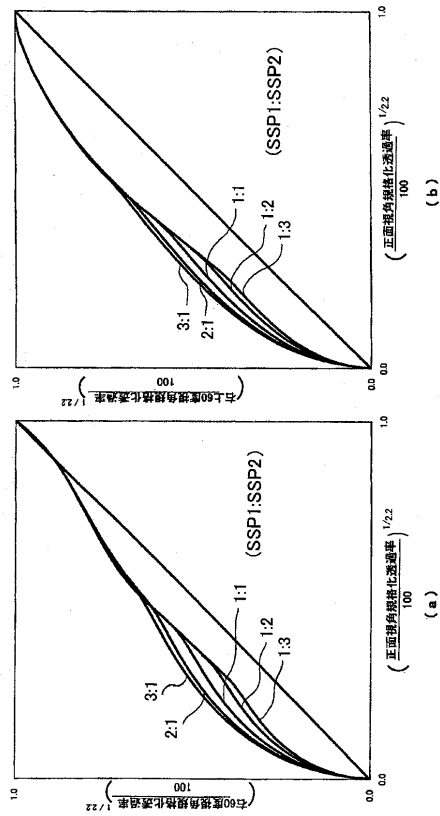
【図6】



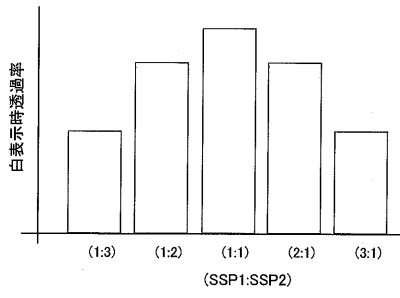
【図7】



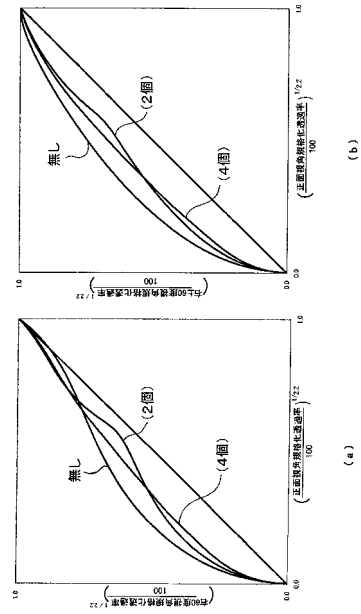
【図8】



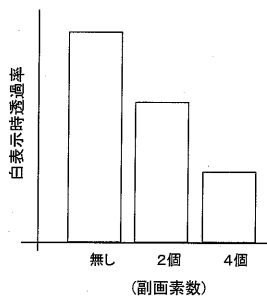
【図9】



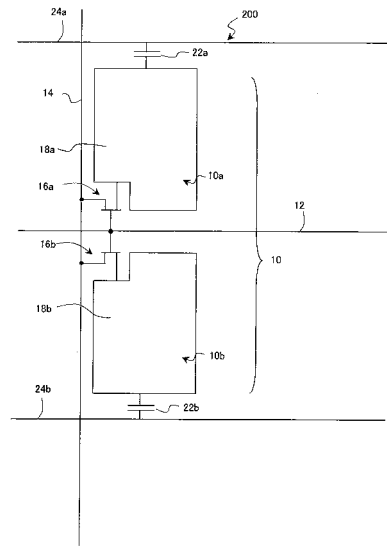
【図10】



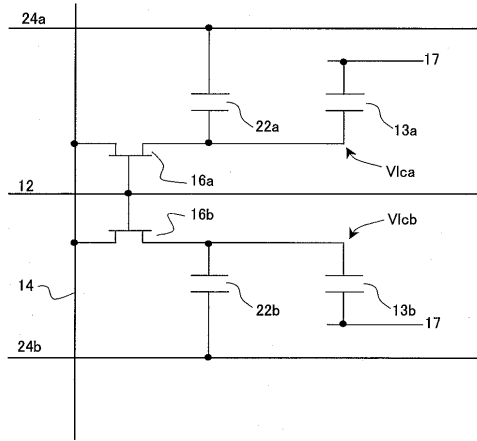
【図11】



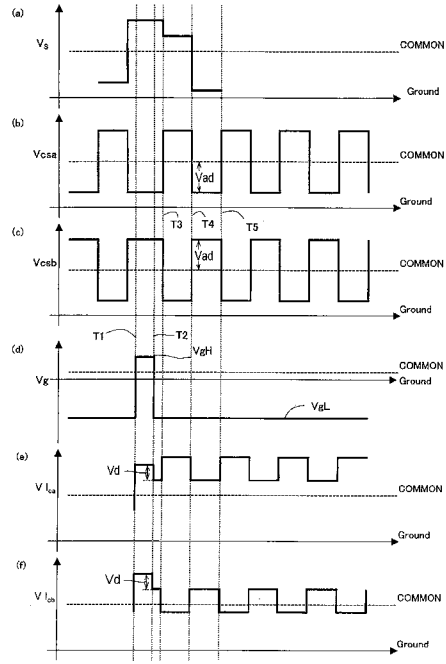
【図12】



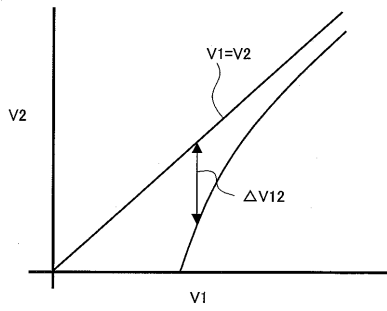
【図13】



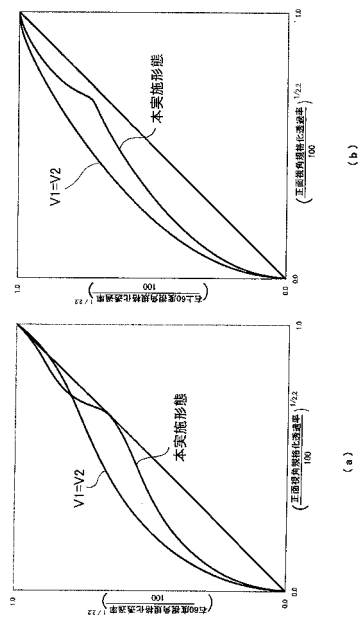
【図14】



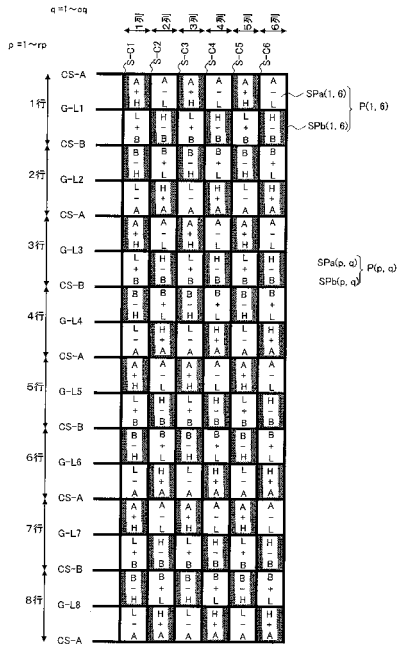
【図15】



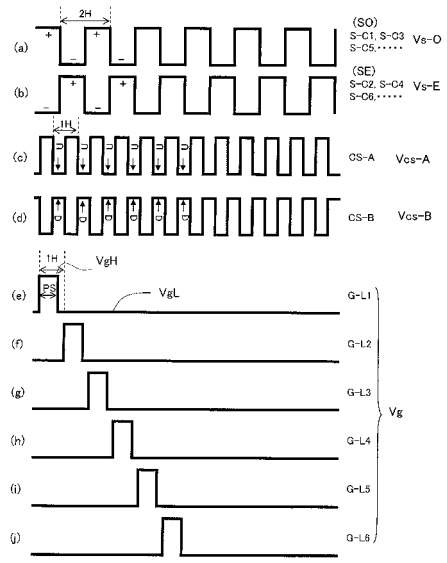
【図16】



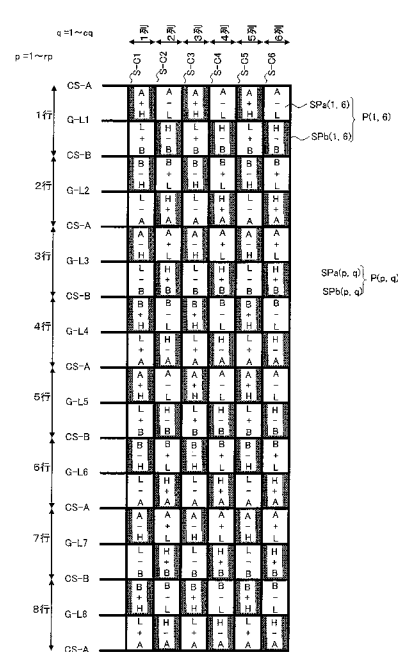
【図 17】



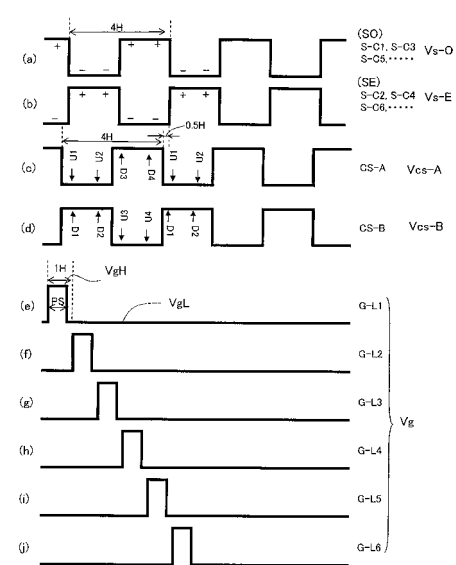
【図 18】



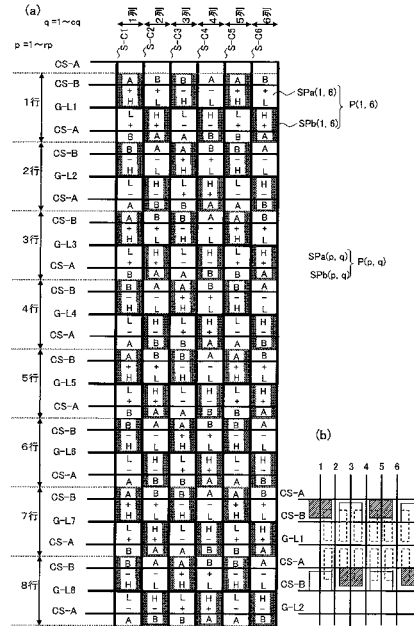
【図 19】



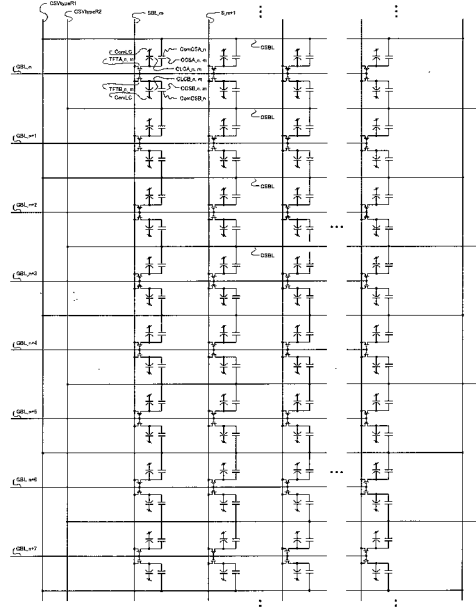
【図 20】



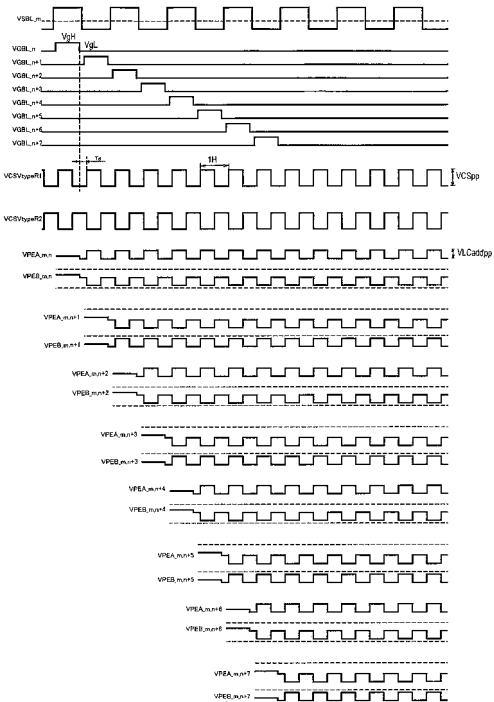
【図 2 1】



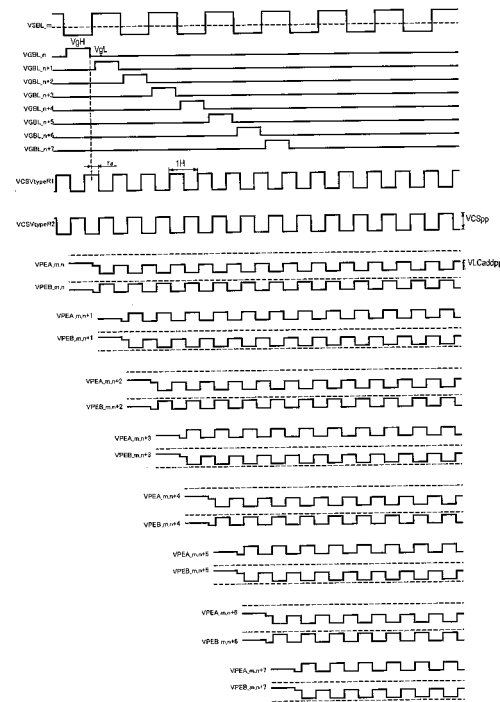
【図 2 2】



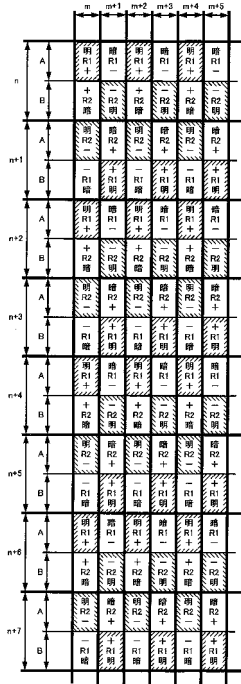
【図 2 3 A】



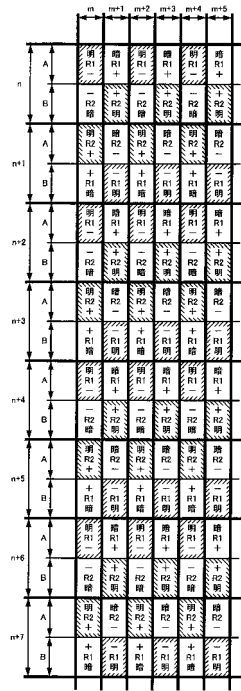
【図 2 3 B】



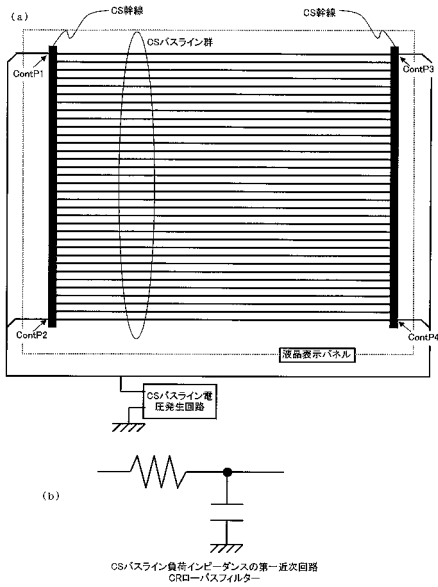
【図24A】



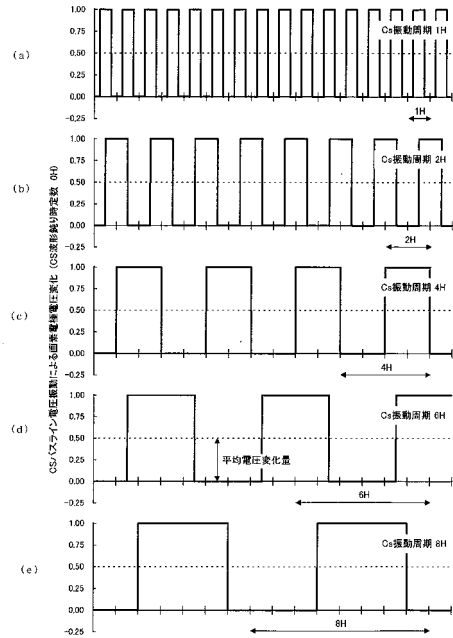
【図24B】



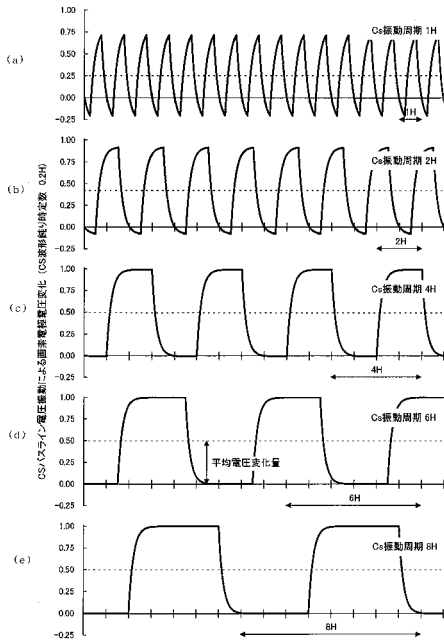
【図25】



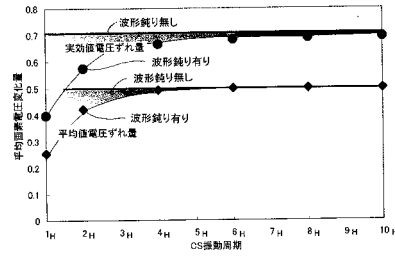
【図26】



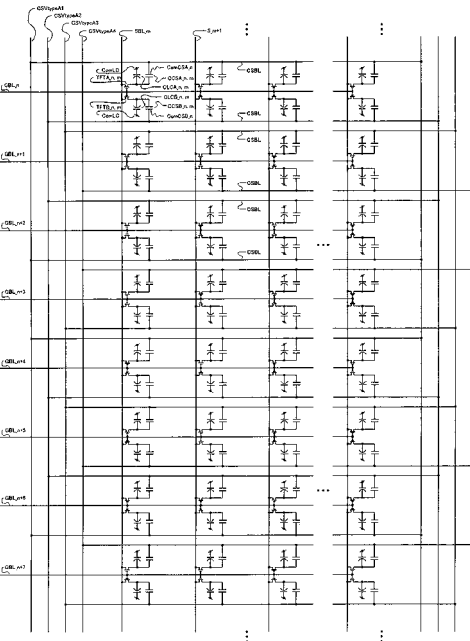
【図 27】



【図 28】



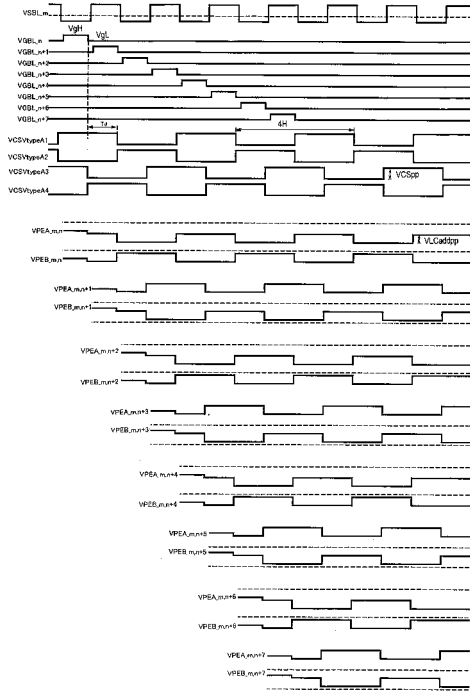
【図 29】



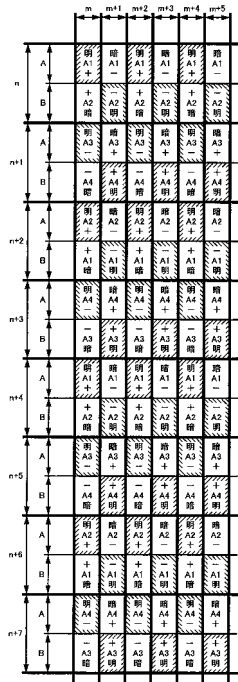
【図 30 A】



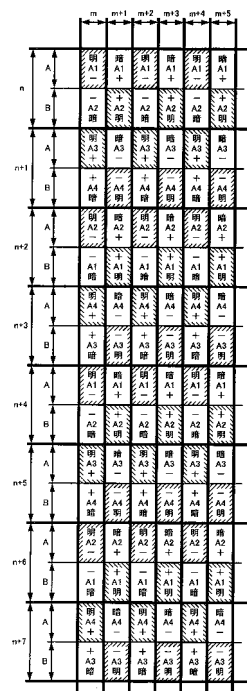
【図 30 B】



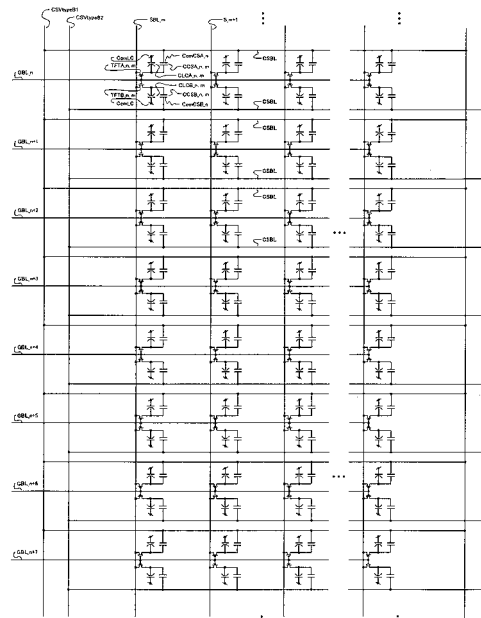
【図 31 A】



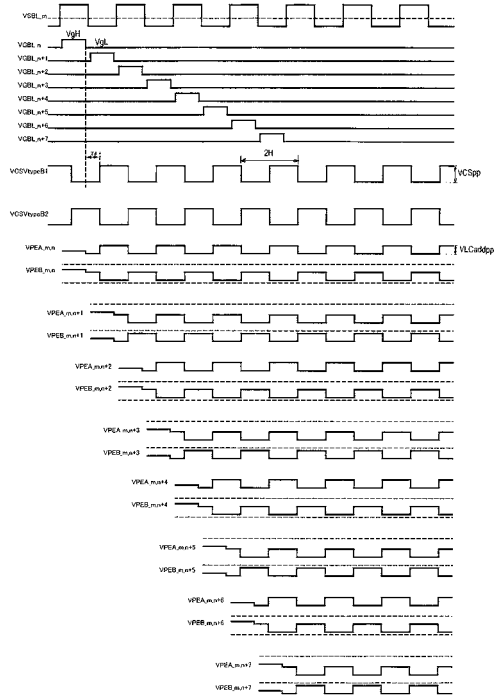
【図 31 B】



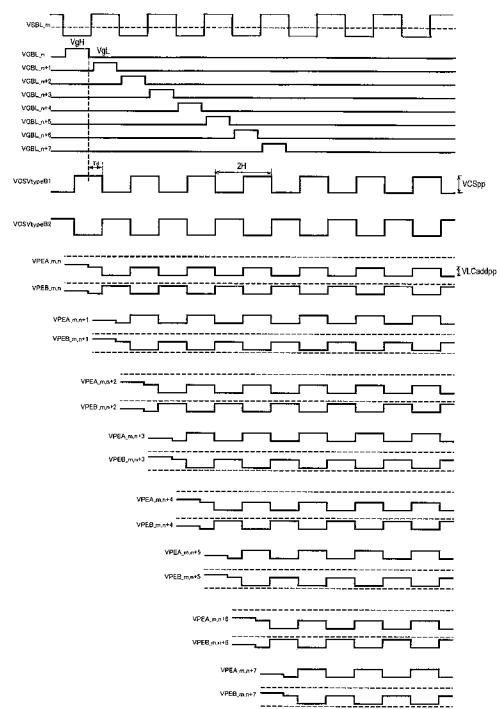
【図 32】



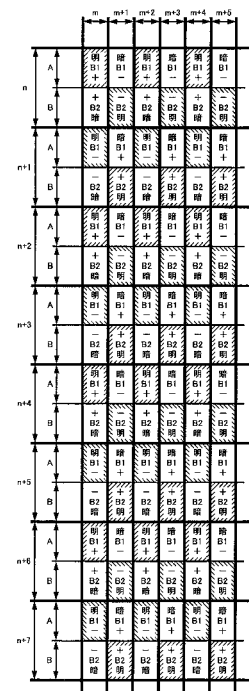
【図 3 3 A】



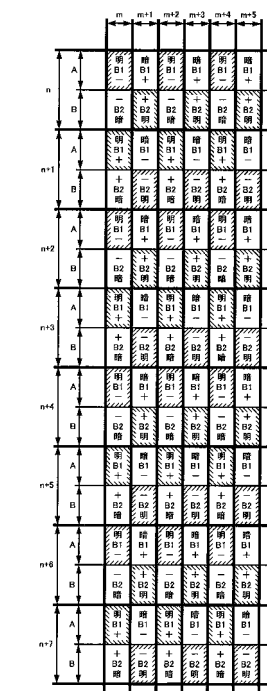
【図 3 3 B】



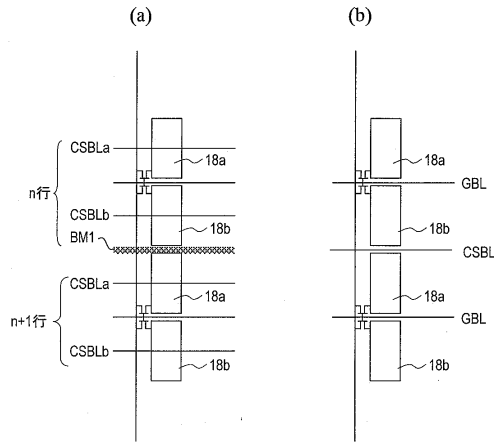
【図 3 4 A】



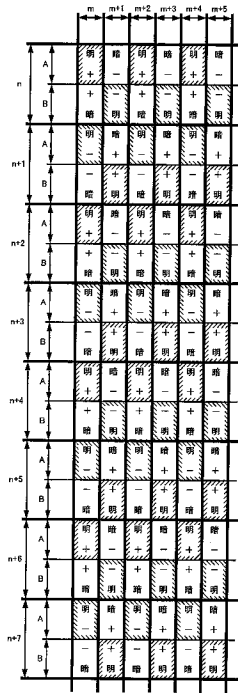
【図 3 4 B】



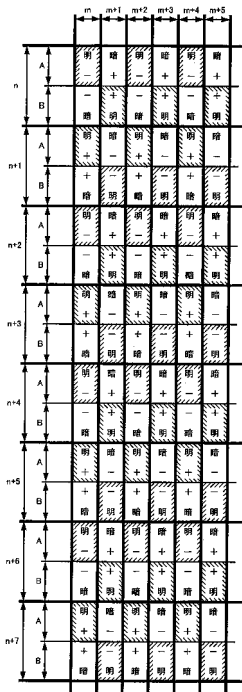
【図 35】



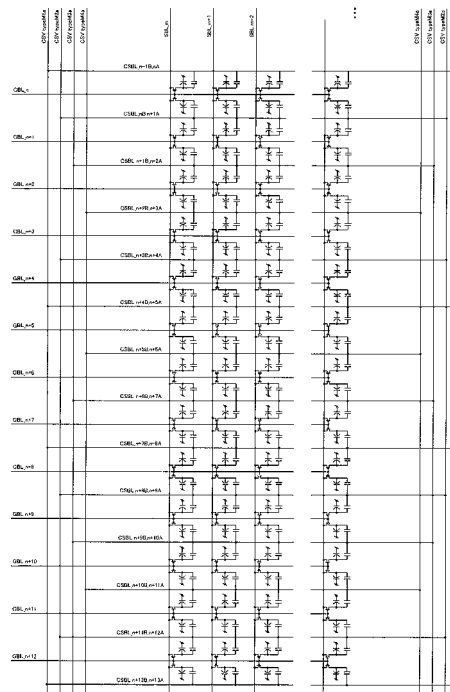
【図 36 A】



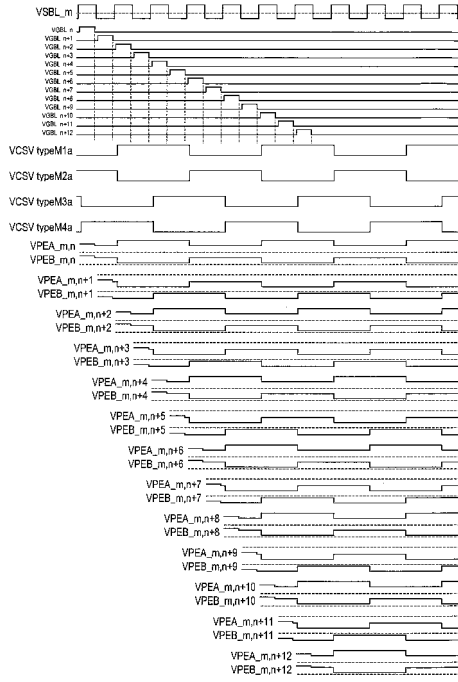
【図 36 B】



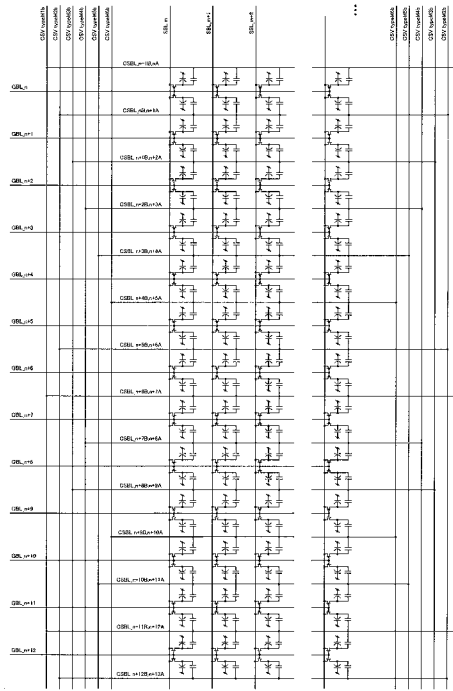
【図 37】



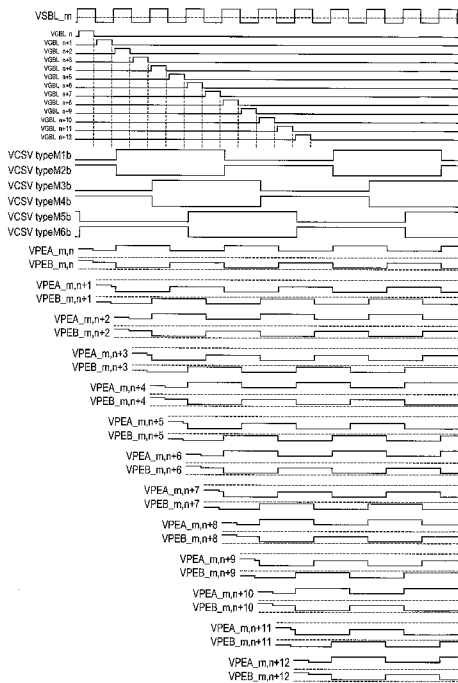
【 38 】



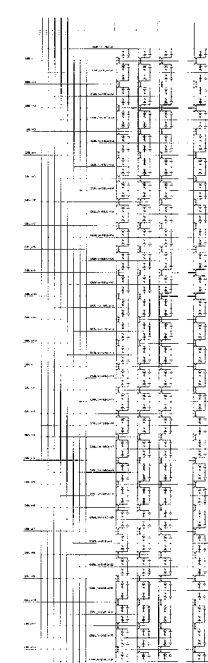
【 39 】



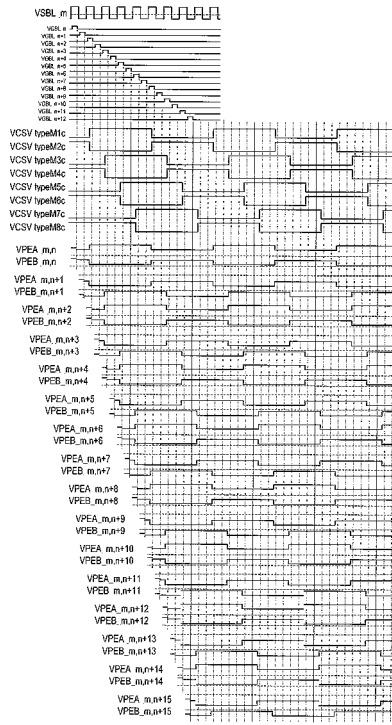
【 40 】



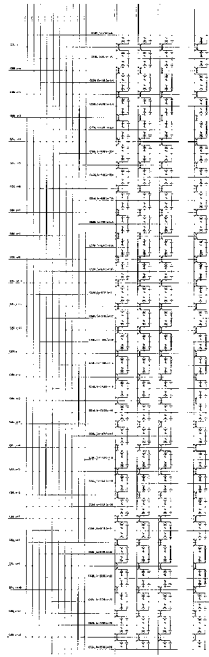
【 41 】



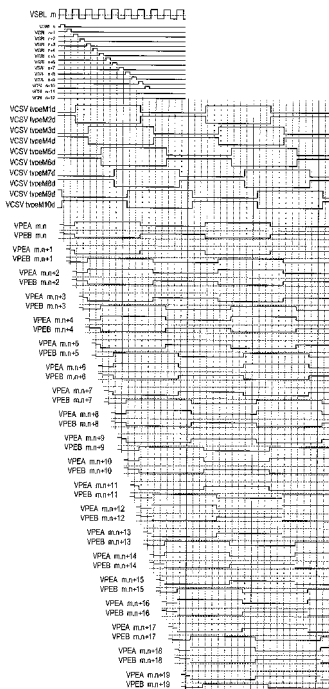
【 図 4 2 】



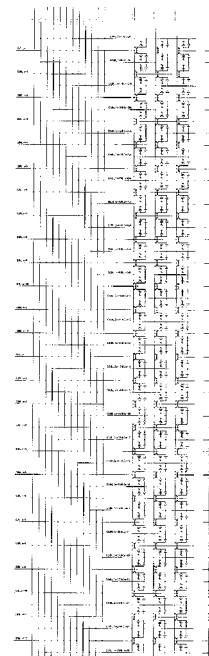
【 図 4 3 】



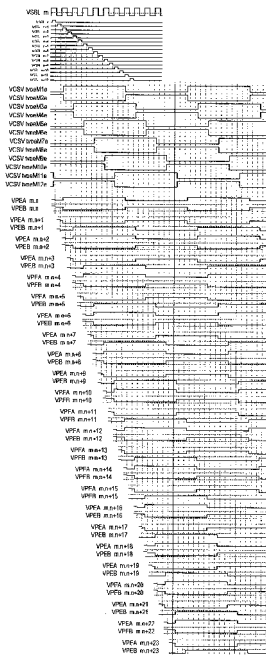
【 図 4 4 】



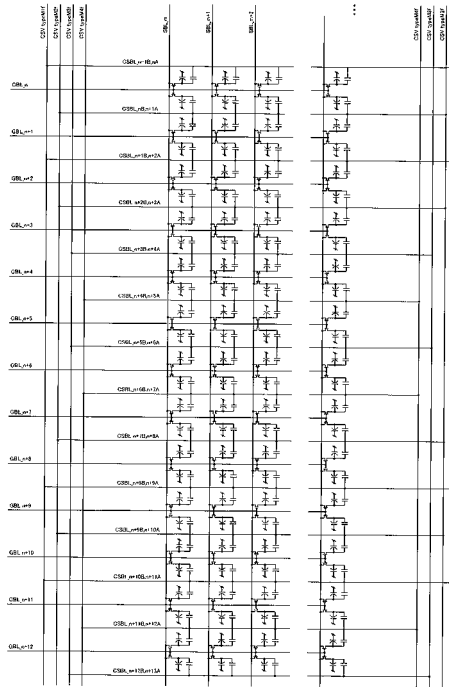
【 図 4 5 】



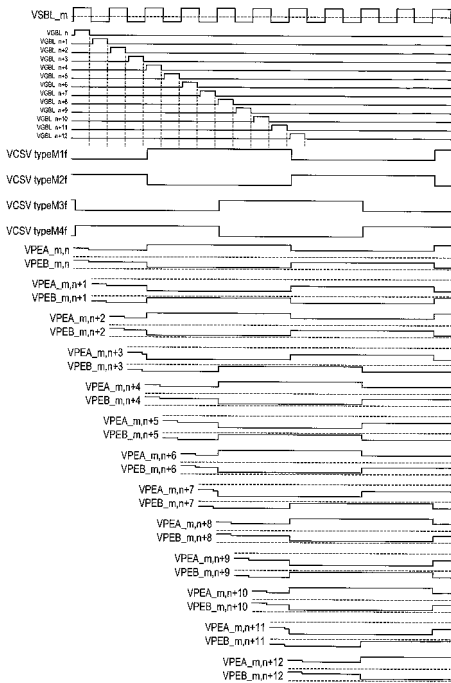
【 46 】



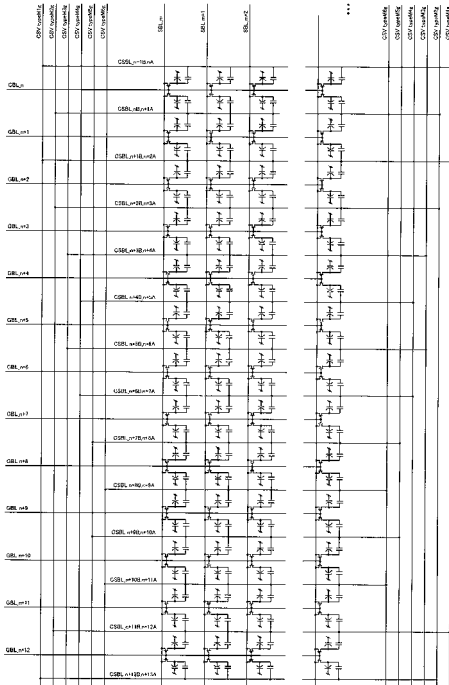
【 47 】



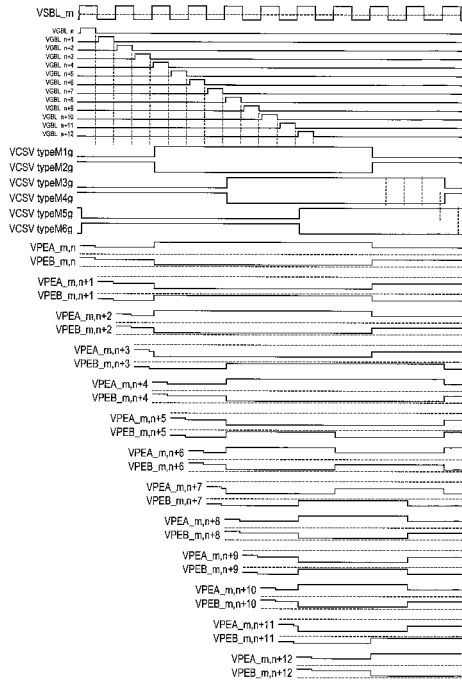
【 48 】



【 49 】



【 50 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 (2006.01) G 0 9 G 3/20 6 4 1 C
 G 0 9 G 3/20 6 2 1 B
 G 0 9 G 3/20 6 2 4 C
 G 0 9 G 3/20 6 4 2 A

(72)発明者 下敷領 文一
 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 右田 昌士

(56)参考文献 特開平07-013191(JP,A)
 特開2003-150080(JP,A)
 特開平09-054299(JP,A)
 特開平08-201777(JP,A)
 特開2003-295160(JP,A)
 特開2004-062146(JP,A)
 特開2004-021069(JP,A)
 特開平10-274783(JP,A)
 特開平08-179370(JP,A)
 特開平09-043610(JP,A)
 特開2003-279929(JP,A)
 特開2001-282205(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 4 3
 G 0 2 F 1 / 1 3 3
 G 0 2 F 1 / 1 3 4 5
 G 0 2 F 1 / 1 3 6 8
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP4738435B2	公开(公告)日	2011-08-03
申请号	JP2008104009	申请日	2008-04-11
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	下敷領文一		
发明人	下敷領 文一		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1345 G02F1/133 G09G3/36 G09G3/20		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1345 G02F1/133.575 G09G3/36 G09G3/20.641.C G09G3/20.621.B G09G3/20.624.C G09G3/20.642.A		
F-TERM分类号	2H092/GA13 2H092/JA24 2H092/JB05 2H092/JB13 2H092/JB41 2H092/JB69 2H092/NA01 2H092/NA07 2H092/PA06 2H093/NA16 2H093/NA32 2H093/NC18 2H093/NC34 2H093/NC35 2H093/ND03 2H093/ND06 2H093/ND10 2H093/ND13 2H093/ND43 2H093/NH18 2H192/AA24 2H192/BA25 2H192/BC26 2H192/CC22 2H192/DA12 2H192/FA46 2H192/GD14 2H192/GD61 2H192/JA13 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB14 2H193/ZC02 2H193/ZF59 5C006/AA16 5C006/AC25 5C006/AC26 5C006/BB16 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD01 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	奥田诚治 三宅明子		
优先权	2003408046 2003-12-05 JP		
其他公开文献	JP2008225491A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过将像素划分为具有不同亮度的两个或更多个子像素，容易地实现视角特性的改善。解决方案：多个像素中的每一个具有第一子像素和第二子像素，其中第一子像素在某些灰度中具有高于第二子像素的亮度的亮度。每个子像素具有液晶电容器和存储电容器，并且存储电容器的存储电容器对电极在两个子像素之间是电独立的。每个子像素还具有彼此电独立的存储电容器主线，并且每个存储电容器主线通过存储电容器线电连接到第一和第二子像素所具有的存储电容器对电极中的任一个。在行方向上相邻的两个像素之一的第一子像素的存储电容器对电极连接到电气上等效于另一个像素的第二子像素的存储电容器对电极的存储电容器线。存在彼此电独立的L（偶数）存储电容器主线，并且由每个存储电容器主线提供的存储电容器对电压是具有与水平扫描周期一样长 $2 \times K \times L$ 倍的周期的振荡电压。。

CS 幹線	CS 幹線に接続される CS のライン	左記 CS のラインの一般表記
CSVtypeA1	CSBL _{A_n} , CSBL _{A_n+4} , CSBL _{A_n+8} , CSBL _{A_n+12} , ...	CSBL _{B_n+2} , CSBL _{B_n+6} , CSBL _{B_n+10} , CSBL _{B_n+14} , ... (k=0,1,2,3,...)
CSVtypeA2	CSBL _{B_n} , CSBL _{B_n+4} , CSBL _{B_n+8} , CSBL _{B_n+12} , ...	CSBL _{A_n+2} , CSBL _{A_n+6} , CSBL _{A_n+10} , CSBL _{A_n+14} , ... (k=0,1,2,3,...)
CSVtypeA3	CSBL _{A_n+1} , CSBL _{A_n+5} , CSBL _{A_n+9} , CSBL _{A_n+13} , ...	CSBL _{B_n+3} , CSBL _{B_n+7} , CSBL _{B_n+11} , CSBL _{B_n+15} , ... (k=0,1,2,3,...)
CSVtypeA4	CSBL _{B_n+1} , CSBL _{B_n+5} , CSBL _{B_n+9} , CSBL _{B_n+13} , ...	CSBL _{A_n+3} , CSBL _{A_n+7} , CSBL _{A_n+11} , CSBL _{A_n+15} , ... (k=0,1,2,3,...)