

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4553281号
(P4553281)

(45) 発行日 平成22年9月29日 (2010.9.29)

(24) 登録日 平成22年7月23日 (2010.7.23)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G02F 1/133 575

G09G 3/20 611J

G09G 3/20 611A

請求項の数 7 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2000-161380 (P2000-161380)
 (22) 出願日 平成12年5月31日 (2000.5.31)
 (65) 公開番号 特開2001-343944 (P2001-343944A)
 (43) 公開日 平成13年12月14日 (2001.12.14)
 審査請求日 平成19年4月13日 (2007.4.13)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 松田 覚
 滋賀県大津市晴嵐2丁目9番1号
 関西日本電気株式会社内

審査官 小川 浩史

(56) 参考文献 特開2000-20031 (JP, A)

(58) 調査した分野 (Int.Cl., DB名)

G09G 3/20-3/38

G02F 1/133

(54) 【発明の名称】 液晶表示装置の駆動方法および駆動装置

(57) 【特許請求の範囲】

【請求項1】

液晶パネルの走査線の線順次の走査ごとに、液晶パネルのデータ線に対応するkビットのデータ信号を、D/Aコンバータにより2のk乗階調数の階調電圧のうちの所望の階調電圧に、コモン電圧に対して正極性および負極性を交互にして変換し、ボルテージフォロア出力回路により駆動能力を上げて、前記データ線に出力することにより、2のk乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動方法において、n番目の走査に対応する前記データ信号とn+1番目の走査に対応するデータ信号とを論理処理し、この結果に応じて、前記n+1番目の走査時の前記ボルテージフォロア出力回路のスルーレートを切り替えることを特徴とする液晶表示装置の駆動方法。

10

【請求項2】

前記論理処理が、前記kビットの上位xビットで行われることを特徴とする請求項1記載の液晶表示装置の駆動方法。

【請求項3】

液晶パネルの走査線の線順次の走査ごとに、液晶パネルのデータ線に対応して、kビットのデータ信号を2のk乗階調数の階調電圧のうちの1つの階調電圧に変換し、コモン電圧に対して正極性と負極性で交互に出力するD/Aコンバータと、この変換された階調電圧を駆動能力を上げて前記データ線に出力するボルテージフォロア出力回路とを具備して、2のk乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動装置において、

20

前記データ信号のうち n 番目の走査に対応するデータ信号と $n + 1$ 番目の走査に対応するデータ信号とを供給することにより、前記 $n + 1$ 番目の走査時に、前記ボルテージフォロア出力回路のスルーレートを切り替えるスルーレート制御回路を有することを特徴とする液晶表示装置の駆動装置。

【請求項 4】

前記スルーレート制御回路は、前記 k ビットのデータ信号のうち上位 x ビットのデータ信号が供給されることを特徴とする請求項 3 記載の液晶表示装置の駆動装置。

【請求項 5】

前記スルーレート制御回路は、前記データ線に対応して、論理処理部を有することを特徴とする請求項 3 記載の液晶表示装置の駆動装置。

10

【請求項 6】

前記ボルテージフォロア出力回路は、前記データ線に対応して、ボルテージフォロア接続の演算増幅器を有し、この演算増幅器の差動段に含まれ、バイアス回路のトランジスタとミラー接続されるトランジスタのミラー比が、前記スルーレート制御回路により切り替えられることを特徴とする請求項 3 記載の液晶表示装置の駆動装置。

【請求項 7】

液晶パネルのデータ線に対応してシリアル / パラレル変換された k ビットのデータ信号をラッチ信号の立ち上がりエッジで出力する第 1 ラッチと、

第 1 ラッチから出力された k ビットのデータ信号を 2 の k 乗階調数の階調電圧のうちの 1 つの階調電圧に変換し、コモン電圧に対して正極性と負極性で交互に出力する D / A コンバータと、

20

D / A コンバータからの出力を駆動能力を上げて前記データ線に出力するボルテージフォロア出力回路と、

前記第 1 ラッチから出力された k ビットのデータ信号のうち上位 x ビットのデータ信号をラッチ信号の立ち上がりエッジで出力する第 2 ラッチと、

前記上位 x ビットのデータ信号について、前記第 1 ラッチから出力された $n + 1$ 番目の走査に対応するデータ信号と、前記第 2 ラッチから出力された n 番目の走査に対応するデータ信号とを論理処理し、この結果に応じて、前記 $n + 1$ 番目の走査時に、前記ボルテージフォロア出力回路のスルーレートを切り替えるスルーレート制御回路とを具備した、2 の k 乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はアクティブマトリックス方式の液晶表示装置の駆動方法および駆動装置に関する。

【0002】

【従来の技術】

アクティブマトリックス方式の液晶表示装置の液晶表示モジュールは、図 5 に示すように液晶パネル 100 と液晶パネル 100 の外周に配置した駆動装置 200 とを具備している。液晶パネル 100 は、画素を構成する画素電極および TFT (薄膜トランジスタ) がマトリックス状に形成されたリア側のガラス基板と、コモン電極およびカラーフィルタが形成されたフロント側のガラス基板とが液晶を介して互に対向配置され、TFT と画素電極に、水平方向に延在し垂直方向に並設される走査線と、垂直方向に延在し水平方向に並設されるデータ線が接続されて構成されている。駆動装置 200 は、液晶パネル 100 のデータ線に接続される水平ドライバ IC 210 と、走査線に接続される垂直ドライバ IC 220 とで構成されている。垂直ドライバ IC 220 から各走査線に線順次に走査信号が供給されることにより、走査信号が供給された走査線に接続されている各 TFT がオンし、水平ドライバ IC 210 から各データ線に同時に供給された駆動電圧がこのオンした TFT を介して対応する画素電極に供給され、コモン電極に供給される電圧 (以下、コモン電圧 V_{com} という) との電位差で液晶を駆動する。

40

50

【 0 0 0 3 】

各ドライバIC 2 1 0 , 2 2 0 のモジュールへの実装は、例えばXGA (1 0 2 4 × 7 6 8 画素) 表示の場合、

▲ 1 ▼ 水平ドライバIC 2 1 0 は、1 画素を表示するためにデータ線はR (赤)、G (緑)、B (青) 用の3 本が必要なため、 $1 0 2 4 \times 3 = 3 0 7 2$ 本のデータ線を駆動する必要があり、例えば、3 8 4 本分の駆動能力を有する水平ドライバIC 2 1 0 を液晶パネル 1 0 0 の上側外周に8 個をカスケード接続で片側配置される。

▲ 2 ▼ 垂直ドライバIC 2 2 0 は、7 6 8 本のゲート線を駆動する必要があり、例えば 1 9 2 本分の駆動能力を有する垂直ドライバIC 2 2 0 を液晶パネル 1 0 0 の左側外周に4 個をカスケード接続で片側配置される。

10

【 0 0 0 4 】

水平ドライバIC 2 1 0 により各画素電極に供給される駆動電圧は、液晶固有の特性からコモン電圧に対して正電圧と負電圧を交互に供給しなければならず、例えば、6 4 階調表示の場合、正電圧として正極性階調電圧 $V_{P1} \sim V_{P64}$ ($V_{com} < V_{P1} < \dots < V_{P64}$) のうちのひとつの階調電圧 V_{Px} と負電圧として負極性階調電圧 $V_{N1} \sim V_{N64}$ ($V_{com} > V_{N1} > \dots > V_{N64}$) のうちのひとつの階調電圧 V_{Nx} とが交互に供給される。

この正電圧と負電圧を交互に供給する駆動方式としては、1 画面 (フレーム) ごとに切り換えるフレーム反転駆動や、1 走査線ごとに切り換えるライン反転駆動や、1 画素電極単位で切り換えるドット反転駆動等の交流駆動方式が提案されており、ライン反転駆動やドット反転駆動の場合では、1 走査線を走査するごとに、フレーム反転駆動の場合では、1 フレームを走査するごとに、液晶パネルの駆動電圧として、データ線に正電圧と負電圧を交互に供給する。

20

【 0 0 0 5 】

以下に、上記水平ドライバIC 2 1 0 としての従来のドット反転駆動の水平ドライバIC 1 0 の概略構成について、3 8 4 本分の駆動能力を有するものとして、図 6 を参照して説明する。水平ドライバIC 1 0 は表示データとしてR、G、B 各色6 ビットのデータ信号を供給することにより6 4 階調の正極性および負極性階調電圧を駆動電圧として3 8 4 本のデータ線に奇数線と偶数線とで極性が互い違いとなるようにして1 走査期間ごとに交互に出力するもので、主回路としてシフトレジスタ1 1、データレジスタ1 2、ラッチ1 3、レベルシフタ1 4、D/Aコンバータ1 5およびボルテージフォロア出力回路1 6を有している。シフトレジスタ1 1は、例えば、6 4 ビット双方向性でシフト方向切換え信号R/Lにより右シフト・スタートパルス入出力STHRまたは左シフト・スタートパルス入出力STHLが選択され、クロック信号CLKのエッジでスタートパルスSTHRまたはSTHLの“H”レベルを読み込み、データ取込み用の制御信号C1、C2、...、C64を順次生成し、データレジスタ1 2に出力する。データレジスタ1 2は、シフトレジスタ1 1の制御信号C1、C2、...、C64に基づき、6 ビット×6 ドット (RGB×2) の3 6 ビット幅で供給されるデータ信号を取込み、ラッチ1 3は、データレジスタ1 2に取込まれたデータ信号をラッチ信号STBのエッジで、レベルシフタ1 4に1 走査期間ごとに一括出力する。レベルシフタ1 4は、データレジスタ1 2からのデータ信号を電圧レベルを高めてD/Aコンバータ1 5に1 走査期間ごとに出力する。D/Aコンバータ1 5は、3 8 4 個の各出力に対応するデータ信号に基づきy補正電源入力により内部の階調電圧発生回路で生成された6 4 階調の正極性および負極性階調電圧のうち1 つずつを内部のROMデコーダで選択してボルテージフォロア出力回路1 6の内部の3 8 4 個の演算増幅器1 7で駆動能力を高めて3 8 4 本の各データ線に駆動電圧として奇数線と偶数線とで極性が互い違いになるようにして1 走査期間ごとに交互に出力する。演算増幅器1 7は、図 7 に示すように、差動段1 8と出力段1 9とを有し、差動段1 8は、演算増幅器1 7内にバイアス電流を流すために、図示しないバイアス回路内のトランジスタとミラー接続されるPチャネルMOSトランジスタQ1とNチャネルMOSトランジスタQ2とを含み、出力段1 9は、立ち上がり波形と立ち下がり波形を出力するためのPチャネルMOSトランジスタQ3とNチャネルMOSトランジスタQ4とを含んでいる。

30

40

50

【 0 0 0 6 】

【 発明が解決しようとする課題 】

ところで、ボルテージフォロア出力回路 16 から各データ線への駆動電圧は、上述したように、正電圧と負電圧とで交互に出力されるため、この駆動電圧の波形は、負電圧から正電圧の立ち上がり波形と正電圧から負電圧の立ち下がり波形となる。この立ち上がり波形および立ち下がり波形の立ち上がりおよび立ち下がり時間は、液晶パネルの負荷が一定とした場合、ボルテージフォロア出力回路 16 に含まれる演算増幅器 17 のスルーレートにより決定され、このスルーレートは、バイアス回路からのバイアス電流が一定であれば、一定である。従って、立ち上がり波形および立ち下がり波形の立ち上がりおよび立ち下がり時間は、正電圧と負電圧との電圧差が大きくなるほど長くなり、正電圧と負電圧との電圧差が最大となるとき最長となるため、このスルーレートはこの最長時間を考慮して決定されている。このため、正電圧と負電圧との電圧差が小さい場合でも、演算増幅器 17 には正電圧と負電圧との電圧差が最大のとときと同じバイアス電流が流れており、低消費電流化を阻害している。また、演算増幅器のスルーレートは、正電圧と負電圧との電圧差が小さい場合でも、正電圧と負電圧との電圧差が最大のとときと同じに制御されているため、正電圧と負電圧との電圧差が小さい場合、リングングを発生させる虞がある。この問題は他の反転駆動方式でも有しており、特に、1 走査期間ごとに反転駆動するライン反転駆動やドット反転駆動の場合に問題となる虞がある。

10

本発明は上記問題点に鑑みてなされたものであり、ボルテージフォロア出力回路に含まれる演算増幅器のスルーレートをデータ線が反転駆動される前後の正電圧と負電圧との電圧差に応じて切り替えることにより、リングングの発生を防止させ、また、演算増幅器のバイアス電流による消費電流を低減した液晶表示装置の駆動方法および駆動装置を提供することである。

20

【 0 0 0 7 】

【 課題を解決するための手段 】

(1) 本発明の液晶表示装置の駆動方法は、液晶パネルの走査線の線順次の走査ごとに、液晶パネルのデータ線に対応する k ビットのデータ信号を、 D/A コンバータにより 2 の k 乗階調数の階調電圧のうちの所望の階調電圧に、コモン電圧に対して正極性および負極性を交互にして変換し、ボルテージフォロア出力回路により駆動能力を上げて、前記データ線に出力することにより、2 の k 乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動方法において、前記正極性および負極性の所望の階調電圧を、 D/A コンバータにより k ビットのデータ信号から変換し、ボルテージフォロア出力回路により駆動能力を上げてデータ線に出力するとき、 n 番目の走査に対応する前記データ信号と $n + 1$ 番目の走査に対応するデータ信号とを論理処理し、この結果に応じて、前記 $n + 1$ 番目の走査時の前記ボルテージフォロア出力回路のスルーレートを切り替えることを特徴とする。本手段によれば、各データ線に正電圧と負電圧とを交互に出力するとき、正電圧と負電圧との電圧差に応じて、ボルテージフォロア出力回路のスルーレートを切り替え可能にしているので、正電圧と負電圧との電圧差が大きい場合は、ボルテージフォロア出力回路のスルーレートを高駆動に制御するのに対して、正電圧と負電圧との電圧差が小さい場合は、ボルテージフォロア出力回路のスルーレートを低駆動に制御することができ、リングングを防止できる。

30

40

(2) 本発明の液晶表示装置の駆動方法は上記 (1) 項において、前記論理処理が、前記 k ビットの上位 x ビットで行われることを特徴とする。本手段によれば、論理処理を k ビットより少ないビットのデータで行えるため、簡単な回路で論理処理できる。

(3) 本発明の液晶表示装置の駆動装置は、液晶パネルの走査線の線順次の走査ごとに、液晶パネルのデータ線に対応して、 k ビットのデータ信号を 2 の k 乗階調数の階調電圧のうちの 1 つの階調電圧に変換し、コモン電圧に対して正極性と負極性とで交互に出力する D/A コンバータと、この変換された階調電圧を駆動能力を上げて前記データ線に出力するボルテージフォロア出力回路とを具備して、2 の k 乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動装置において、前記データ信号のうち n 番目の走査に対

50

応するデータ信号と $n + 1$ 番目の走査に対応するデータ信号とを供給することにより、前記 $n + 1$ 番目の走査時に、前記ボルテージフォロア出力回路のスルーレートを切り替えるスルーレート制御回路を有することを特徴とする。

(4) 本発明の液晶表示装置の駆動装置は、上記(3)項において、前記スルーレート制御回路は、前記 k ビットのデータ信号のうち上位 x ビットのデータ信号が供給されることを特徴とする。

(5) 本発明の液晶表示装置の駆動装置は、上記(3)項において、前記スルーレート制御回路は、前記データ線に対応して、論理処理部を有することを特徴とする。

(6) 本発明の液晶表示装置の駆動装置は、上記(3)項において、前記ボルテージフォロア出力回路は、前記データ線に対応して、ボルテージフォロア接続の演算増幅器を有し、この演算増幅器の差動段に含まれ、バイアス回路のトランジスタとミラー接続されるトランジスタのミラー比が、前記スルーレート制御回路により切り替えられることを特徴とする。

10

(7) 本発明の液晶表示装置の駆動装置は、液晶パネルのデータ線に対応してシリアル/パラレル変換された k ビットのデータ信号をラッチ信号の立ち上がりエッジで出力する第1ラッチと、第1ラッチから出力された k ビットのデータ信号を2の k 乗階調数の階調電圧のうちの1つの階調電圧に変換し、コモン電圧に対して正極性と負極性で交互に出力する D/A コンバータと、 D/A コンバータからの出力を駆動能力を上げて前記データ線に出力するボルテージフォロア出力回路と、前記第1ラッチから出力された k ビットのデータ信号のうち上位 x ビットのデータ信号をラッチ信号の立ち上がりエッジで出力する第2ラッチと、前記上位 x ビットのデータ信号について、前記第1ラッチから出力された $n + 1$ 番目の走査に対応するデータ信号と、前記第2ラッチから出力された n 番目の走査に対応するデータ信号とを論理処理し、この結果に応じて、前記 $n + 1$ 番目の走査時に、前記ボルテージフォロア出力回路のスルーレートを切り替えるスルーレート制御回路とを具備した、2の k 乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動装置である。

20

【0008】

【発明の実施の形態】

以下に、本発明に基づき、上記水平ドライバIC210としての一実施例のドット反転駆動の水平ドライバIC30について、データ線384本分の駆動能力を有するものとして、図1乃至図4を参照して説明する。水平ドライバIC30は、データ線384本分に対応する $k = 6$ ビットのデータ信号を供給することにより、各データ線に対応して2の k 乗 $= 64$ 階調の階調電圧のうち1つの階調電圧が、表1に示すように、選択され、この選択された各階調電圧を384本のデータ線に1走査期間ごとに奇数線と偶数線とで極性が互い違いとなるようにして出力するもので、主回路としてシフトレジスタ31、データレジスタ32、第1ラッチ33、レベルシフタ34、 D/A コンバータ35、ボルテージフォロア出力回路36、第2ラッチ39およびスルーレート制御回路40を有している。

30

【0009】

【表1】

D5:MSB D0:LSB VP64>...>VP1>Vcom>VN1>...>VN64		データ信号					
選択される 階調電圧		D5	D4	D3	D2	D1	D0
	VP1,VN1	0	0	0	0	0	0
	VP2,VN2	0	0	0	0	0	1
	...	...	...	...	...	...	...
	VP16,VN16	0	0	1	1	1	1
	VP17,VN17	0	1	0	0	0	0
	...	...	...	...	...	...	...
	VP32,VN32	0	1	1	1	1	1
	VP33,VN33	1	0	0	0	0	0
	...	...	...	...	...	...	...
	VP48,VN48	1	0	1	1	1	1
	VP49,VN49	1	1	0	0	0	0
	...	...	...	...	...	...	...
	VP64,VN64	1	1	1	1	1	1

【 0 0 1 0 】

シフトレジスタ 31 は、例えば、64 ビット双方向性でシフト方向切換え信号 R / L により右シフト・スタートパルス入出力 S T H R または左シフト・スタートパルス入出力 S T H L が選択され、クロック信号 C L K のエッジでスタートパルス S T H R または S T H L の “ H ” レベルを読み込み、データ取込み用の制御信号 C 1、C 2、...、C 64 を順次生成し、データレジスタ 32 に出力する。データレジスタ 32 は、シフトレジスタ 31 の制御信号 C 1、C 2、...、C 64 に基づき、6 ビット×6 ドット (R G B × 2) の 36 ビット幅で供給される 6 ビット×データ線 384 本分のデータ信号を取込み、第 1 ラッチ 33 は、ラッチ信号 S T B の立ち上がりエッジで、データレジスタ 32 に取込まれた 6 ビット×データ線 384 本分のデータ信号をレベルシフタ 34 に、および上記データ信号のうち上位 x ビット、例えば、上位 2 ビット×データ線 384 本分のデータ信号を第 2 ラッチ 39 とスルーレート制御回路 40 とに 1 走査期間ごとに一括出力する。第 2 ラッチ 39 は、第 1 ラッチ 33 から 1 つ前のラッチ信号 S T B の立ち上がりエッジで出力された上位 2 ビット×データ線 384 本分のデータ信号をラッチ信号 S T B の立ち上がりエッジで、1 つ前の走査に対応するデータ信号として、スルーレート制御回路 40 に 1 走査期間ごとに一括出力する。スルーレート制御回路 40 は、第 2 ラッチ 39 を介して供給された 1 つ前の走査に対応するデータ信号と、第 1 ラッチ 33 から直接供給された走査に対応するデータ信号とを論理処理して 1 ビットのスルーレート制御信号をレベルシフタ 34 に出力する。レベルシフタ 34 は、第 1 ラッチ 33 からの 6 ビットデータ信号、およびスルーレート制御回路 40 からのスルーレート制御信号の電圧レベルを高めて、6 ビットデータ信号を D / A コンバータ 35 に、およびスルーレート制御信号をボルテージフォロア出力回路 36 に 1 走査期間ごとに出力する。ボルテージフォロア出力回路 36 は、スルーレート制御信号に基づき内部に含まれる 384 個の演算増幅器 37 のスルーレートが制御される。D / A コンバータ 35 は、384 個の各出力に対応する 6 ビットデータ信号に基づき、γ 補正電源入力により内部の階調電圧発生回路で生成された 64 階調の正極性および負極性階調電圧のうち 1 つを選択してスルーレートが制御されたボルテージフォロア出力回路 36 で駆動能力を高めて 384 本の各データ線に駆動電圧として奇数線と偶数線とで極性が互い違いになるようにして 1 走査期間ごとに交互に出力する。

【 0 0 1 1 】

スルーレート制御回路 40 は、図 2 に示すように、データ線 384 本に対応して、384 個の論理処理部 41 を有している。各論理処理部 41 は、表 2 に真理値表を示すように、例えば、n 番目の走査に対応する上位 2 ビットのデータ信号 D 5 (n)、D 4 (n) と、n + 1 番目の走査に対応する上位 2 ビットのデータ信号 D 5 (n + 1)、D 4 (n + 1) の少なくともどちらか一方のデータ信号が “ 1 1 ” のとき、“ H ” レベルの信号を出力して、演算増幅器 3

10

20

30

40

50

7のスルーレートを速くするために、図2に示すように、 n 番目の走査に対応する上位2ビットのデータ信号 $D5(n)$ 、 $D4(n)$ の論理積を出力するAND回路42と、第1ラッチ33から直接供給された $n+1$ 番目の走査に対応する上位2ビットのデータ信号 $D5(n+1)$ 、 $D4(n+1)$ の論理積を出力するAND回路43と、AND回路42、43の出力の論理和を出力するOR回路44とで構成する。

【0012】

【表2】

上位2ビットのデータ信号				回路40 の出力
D5(n)	D4(n)	D5(n+1)	D4(n+1)	
1	1	1	1	H
1	1	1	0	H
1	0	1	1	H
1	1	0	1	H
0	1	1	1	H
1	1	0	0	H
0	0	1	1	H
他の組合せ				L

10

【0013】

演算増幅器37は、図3に示すように、差動段48と出力段49とを有している。差動段48は、演算増幅器37内にバイアス電流を流すために、図示しないバイアス回路内のトランジスタとミラー接続される並列接続のPチャネルMOSトランジスタ $Q11$ 、 $Q12$ および並列接続のNチャネルMOSトランジスタ $Q21$ 、 $Q22$ と、MOSトランジスタ $Q11$ を電源電位 VDD に接続するためのPチャネルMOSトランジスタ $Q5$ と、MOSトランジスタ $Q21$ を接地電位に接続するためのNチャネルMOSトランジスタ $Q6$ と、トランジスタ $Q11$ をバイアス入力 BP に接続するためのトランスファゲート $TG1$ と、トランジスタ $Q21$ をバイアス入力 BN に接続するためのトランスファゲート $TG2$ と、トランスファゲート $TG1$ のPチャネル側ゲートにレベルシフト回路34からのスルーレート制御信号を反転して供給するためのインバータ $INV1$ と、トランスファゲート $TG2$ のPチャネル側ゲートおよびMOSトランジスタ $Q6$ のゲートにレベルシフト回路34からのスルーレート制御信号を反転して供給するためのインバータ $INV2$ とを含んでいる。出力段39は、立ち上がり波形と立ち下がり波形を出力するためのPチャネルMOSトランジスタ $Q3$ とNチャネルMOSトランジスタ $Q4$ とを含んでいる。

20

30

【0014】

次に、水平ドライバIC30の動作を説明する。シフトレジスタ31において、シフト方向切換え信号 R/L により、例えば、右シフト・スタートパルス入出力 $STHR$ が選択されている。

【0015】

先ず、 $n-1$ 番目の走査期間でのデータレジスタ32へのデータ信号の取込みについて説明する。シフトレジスタ31は、クロック信号 CLK のエッジでスタートパルス $STHR$ の“H”レベルを読み込み、データ取込み用の制御信号 $C1$ 、 $C2$ 、...、 $C64$ をデータレジスタ32に順次出力する。データレジスタ32は、シフトレジスタ31の制御信号 $C1$ 、 $C2$ 、...、 $C64$ により6ビット×6ドット($RGB \times 2$)の36ビット幅で6ビット×データ線384本分の n 番目の走査に対応するデータ信号 $D5(n)$ 、 $D4(n)$ 、...、 $D0(n)$ を取込む。

40

【0016】

次に、 n 番目の走査期間でのデータレジスタ32へのデータ信号の取込み、および第2ラッチ39へのデータ信号の供給について説明する。第1ラッチ33は、ラッチ信号 STB の立ち上がりエッジで、データレジスタ32に取込まれた n 番目の走査に対応する6ビット×データ線384本分のデータ信号 $D5(n)$ 、 $D4(n)$ 、...、 $D0(n)$ のうち上位2ビット×データ線384本分のデータ信号 $D5(n)$ 、 $D4(n)$ を第2ラッチ39に出力する。デ

50

ータレジスタ32は、 $n - 1$ 番目の走査期間のときと同様に、6ビット×データ線384本の $n + 1$ 番目の走査に対応するデータ信号 $D5(n+1)$ 、 $D4(n+1)$ 、...、 $D0(n+1)$ を取込む。

【0017】

次に、 $n + 1$ 番目の走査期間でのボルテージフォロア出力回路36からの駆動電圧の出力について説明する。第2ラッチ39は、ラッチ信号STBの立ち上がりエッジで、第1ラッチ33から出力された n 番目の走査に対応する2ビット×データ線384本のデータ信号 $D5(n)$ 、 $D4(n)$ をスルーレート制御回路40に出力する。第1ラッチ33は、ラッチ信号STBの立ち上がりエッジで、データレジスタ32に取込まれた $n + 1$ 番目の走査に対応する6ビット×データ線384本のデータ信号 $D5(n+1)$ 、 $D4(n+1)$ 、...、 $D0(n+1)$ をレベルシフタ34に、および6ビット×データ線384本のデータ信号のうち上位2ビット×データ線384本のデータ信号 $D5(n+1)$ 、 $D4(n+1)$ を第2ラッチ39とスルーレート制御回路40とに出力する。

10

【0018】

スルーレート制御回路40は、第2ラッチ39を介して供給された n 番目の走査に対応する2ビット×データ線384本のデータ信号 $D5(n)$ 、 $D4(n)$ と、第1ラッチ33から直接供給された $n + 1$ 番目の走査に対応する2ビット×データ線384本のデータ信号 $D5(n+1)$ 、 $D4(n+1)$ とを内部の384個の論理処理部41に含まれるAND回路42、43およびOR回路43で論理処理して1ビットのスルーレート制御信号をレベルシフタ34に出力する。スルーレート制御信号は、表2に示すように、 n 番目の走査に対応する上位2ビットのデータ信号 $D5(n)$ 、 $D4(n)$ 、 $n + 1$ 番目の走査に対応する上位2ビットのデータ信号 $D5(n+1)$ 、 $D4(n+1)$ のうち、少なくともどちらか一方のデータ信号が“11”のとき、“H”レベルとなり、どちらのデータ信号も“11”でないとき、“L”レベルとなる。

20

【0019】

レベルシフタ34は、第1ラッチ33からの6ビットデータ信号、およびスルーレート制御回路40からのスルーレート制御信号の電圧レベルを高めて、6ビットデータ信号をD/Aコンバータ35およびスルーレート制御信号をボルテージフォロア出力回路36に出力する。

【0020】

ボルテージフォロア出力回路36は、スルーレート制御信号に基づき内部に含まれる384個の演算増幅器37のスルーレートが次のように制御される。スルーレート制御信号が“H”レベルの場合、演算増幅器37の差動段48に含まれるトランスファゲートTG1、TG2がオン制御されるとともにトランジスタQ5、Q6がオフ制御されて、トランジスタQ12、Q22とともにトランジスタQ11、Q21もミラー接続されミラー比が大きくなり、出力段49に含まれるトランジスタQ3、Q4は高駆動に制御される。スルーレート制御信号が“L”レベルの場合、演算増幅器37の差動段48に含まれるトランスファゲートTG1、TG2がオフ制御されるとともに、トランジスタQ5、Q6がオン制御されて、トランジスタQ11、Q21はミラー接続されず、トランジスタQ12、Q22のみのミラー接続となりミラー比が小さくなり、出力段49に含まれるトランジスタQ3、Q4は低駆動に制御される。

30

40

【0021】

D/Aコンバータ35は、384個の各出力に対応する6ビットデータ信号に基づき、 y 補正電源入力により内部の階調電圧発生回路で生成された64階調の正極性および負極性階調電圧のうち1つを選択してスルーレートが制御されたボルテージフォロア出力回路36で駆動能力を高めて384本の各データ線に駆動電圧として n 番目の走査とは反対極性で出力する。

【0022】

次に、ボルテージフォロア出力回路36から正電圧と負電圧とを交互に出力するときの正電圧と負電圧との電圧差が大きい場合と小さい場合について、具体例で説明する。まず、

50

正電圧と負電圧との電圧差が大きい場合として、演算増幅器 37 から n 番目の走査時に正極性階調電圧 V_{P64} を出力し、 $n+1$ 番目の走査時に負極性階調電圧 V_{N64} を出力する場合について説明する。表 1 から、 n 番目の走査時の正極性階調電圧 V_{P64} に対応する 6 ビットのデータ信号 $D5(n)$, $D4(n)$, ..., $D0(n)$ の上位 2 ビットのデータ信号 $D5(n)$, $D4(n)$ は、 $D5(n) = "1"$, $D4(n) = "1"$ であり、 $n+1$ 番目の走査時の負極性階調電圧 V_{N64} に対応する 6 ビットのデータ信号 $D5(n+1)$, $D4(n+1)$, ..., $D0(n+1)$ の上位 2 ビットのデータ信号 $D5(n+1)$, $D4(n+1)$ は、 $D5(n+1) = "1"$, $D4(n+1) = "1"$ である。スルーレート制御回路 40 は、 $n+1$ 番目の走査時に、これらのデータ信号が供給されると、表 2 に示すように、“H”レベルのスルーレート制御信号 TR を演算増幅器 37 に出力する。演算増幅器 37 は、 $n+1$ 番目の走査時に、“H”レベルのスルーレート制御信号 TR が供給されると、差動段 48 に含まれる、トランジスタ $Q12$, $Q22$ とともにトランジスタ $Q11$, $Q21$ もミラー接続されミラー比が大きくなってバイアス電流が大きくなり、スルーレートが高駆動に制御される。

10

【0023】

次に、正電圧と負電圧との電圧差が小さい場合として、演算増幅器 37 から n 番目の走査時に正極性階調電圧 V_{P16} を出力し、 $n+1$ 番目の走査時に負極性階調電圧 V_{N16} を出力する場合について説明する。表 1 から、 n 番目の走査時の正極性階調電圧 V_{P16} に対応する 6 ビットのデータ信号の上位 2 ビットのデータ信号は、 $D5(n) = "0"$, $D4(n) = "0"$ であり、 $n+1$ 番目の走査時の負極性階調電圧 V_{N16} に対応する 6 ビットのデータ信号の上位 2 ビットのデータ信号は、 $D5(n+1) = "0"$, $D4(n+1) = "0"$ である。スルーレート制御回路 40 は、 $n+1$ 番目の走査時に、これらのデータ信号が供給されると、表 2 に示すように、“L”レベルのスルーレート制御信号 TR を演算増幅器 37 に出力する。演算増幅器 37 は、 $n+1$ 番目の走査時に、“L”レベルのスルーレート制御信号 TR が供給されると、差動段 48 に含まれるトランジスタ $Q11$, $Q21$ はミラー接続されず、トランジスタ $Q12$, $Q22$ のみミラー接続されミラー比が小さくなってバイアス電流が小さくなり、スルーレートが低駆動に制御される。

20

【0024】

以上のように、演算増幅器 37 から正電圧と負電圧とを交互に出力するとき、正電圧と負電圧との電圧差が大きい場合は、スルーレート制御回路 40 から“H”レベルのスルーレート制御信号 TR を出力して、演算増幅器 37 のスルーレートを高駆動に制御するのに対して、正電圧と負電圧との電圧差が小さい場合は、スルーレート制御回路 40 から“L”レベルのスルーレート制御信号 TR を出力して、演算増幅器 37 のスルーレートを低駆動に制御するようにしているので、正電圧と負電圧との電圧差が小さい場合のバイアス電流は、正電圧と負電圧との電圧差が大きい場合より小さくて済み、演算増幅器 37 の消費電流を低くすることができる。また、正電圧と負電圧との電圧差が小さい場合に演算増幅器 37 のスルーレートを高駆動に制御すると、リングングを発生させる虞があるが、この場合、演算増幅器 37 のスルーレートを低駆動に制御するようにしているので、リングングの発生を防止できる。

30

【0025】

次に、本発明の他の実施例として、演算増幅器 37 の代わりに演算増幅器 57 を用いた場合について説明する。演算増幅器 57 は、図 4 に示すように、差動段 58 と出力段 59 とを有している。差動段 58 は、演算増幅器 57 内にバイアス電流を流すために、図示しないバイアス回路内のトランジスタとミラー接続される P チャネル MOS トランジスタ $Q1$ および N チャネル MOS トランジスタ $Q2$ を含んでいる。出力段 59 は、立ち上がり波形と立ち下がり波形を出力するための並列接続の P チャネル MOS トランジスタ $Q31$, $Q32$ および並列接続の N チャネル MOS トランジスタ $Q41$, $Q42$ と、MOS トランジスタ $Q31$ を電源電位 V_{DD} に接続するための P チャネル MOS トランジスタ $Q5$ と、MOS トランジスタ $Q41$ を接地電位に接続するための N チャネル MOS トランジスタ $Q6$ と、トランジスタ $Q31$ を差動段 58 の出力に接続するためのトランスファゲート $TG1$ と、トランジスタ $Q41$ を差動段 58 の出力に接続するためのトランスファゲート $TG2$ と、

40

50

トランスファゲート T G 1 の P チャネル側ゲートにレベルシフト回路 3 4 からのスルーレート制御信号 T R を反転して供給するためのインバータ I N V 1 と、トランスファゲート T G 2 の P チャネル側ゲートおよび M O S トランジスタ Q 6 のゲートにレベルシフト回路 3 4 からのスルーレート制御信号 T R を反転して供給するためのインバータ I N V 2 とを含んでいる。

【 0 0 2 6 】

演算増幅器 5 7 のスルーレートは次のように制御される。スルーレート制御信号 T R が “ H ” レベルの場合、演算増幅器 5 7 の出力段 5 9 に含まれるトランスファゲート T G 1 , T G 2 がオン制御されるとともにトランジスタ Q 5 , Q 6 がオフ制御されて、トランジスタ Q 3 2 , Q 4 2 とともにトランジスタ Q 3 1 , Q 4 1 も駆動可能となり、高駆動に制御される。スルーレート制御信号 T R が “ L ” レベルの場合、演算増幅器 5 7 の出力段 5 9 に含まれるトランスファゲート T G 1 , T G 2 がオフ制御されるとともに、トランジスタ Q 5 , Q 6 がオン制御されて、トランジスタ Q 3 1 , Q 4 1 はオフ制御され、トランジスタ Q 3 2 , Q 4 2 のみ駆動可能であり、低駆動に制御される。

【 0 0 2 7 】

演算増幅器 5 7 では、正電圧と負電圧との電圧差が小さい場合と大きい場合とでバイアス電流の切替えはなく、従って、正電圧と負電圧との電圧差が小さい場合でも演算増幅器 3 7 の消費電流を低くすることができない。しかし、正電圧と負電圧との電圧差が小さい場合、演算増幅 5 7 のスルーレートを低駆動に制御するようにしているので、演算増幅 3 7 と同様に、リングングの発生を防止できる。

【 0 0 2 8 】

尚、上記実施例では、ボルテージフォロア出力回路 3 6 に配置される演算増幅器を立ち上がりおよび立ち下がり用の両方を兼ねて配置される 1 アンプ方式の演算増幅器 3 7 , 5 7 で説明したが、データ線 3 8 4 本の N 番目 (N = 1 , 3 , ... , 3 8 3) と (N + 1) 番目を 1 組として、N 番目と (N + 1) 番目とに互い違いに接続される立ち上がり専用演算増幅器および立ち下がり専用演算増幅器の 2 アンプ方式の演算増幅器であってもよい。

【 0 0 2 9 】

【 発明の効果 】

本発明によれば、液晶表示装置の駆動装置から各データ線に正電圧と負電圧とを交互に出力するとき、正電圧と負電圧との電圧差に応じて、ボルテージフォロア出力回路のスルーレートを切り替え可能にしているので、正電圧と負電圧との電圧差が大きい場合は、ボルテージフォロア出力回路のスルーレートを高駆動に制御するのに対して、正電圧と負電圧との電圧差が小さい場合は、ボルテージフォロア出力回路のスルーレートを低駆動に制御するようにした場合、リングングを防止できる。また、正電圧と負電圧との電圧差が小さい場合、ボルテージフォロア出力回路に含まれる演算増幅器の差動段でのバイアス電流を電圧差が大きい場合より小さくして、ボルテージフォロア出力回路のスルーレートを低駆動に制御する場合は、ボルテージフォロア出力回路の消費電流を低くすることができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の一実施例である水平ドライバ I C の概略構成を示すブロック図。

【 図 2 】 図 1 の水平ドライバ I C に使用されるスルーレート制御回路の回路図。

【 図 3 】 図 1 の水平ドライバ I C に使用される一実施例の演算増幅器の要部回路図。

【 図 4 】 図 1 の水平ドライバ I C に使用される他の実施例の演算増幅器の要部回路図。

【 図 5 】 液晶表示モジュールの概略構造図。

【 図 6 】 従来の水平ドライバ I C の概略構成を示すブロック図。

【 図 7 】 図 6 の水平ドライバ I C に使用される演算増幅器の要部回路図。

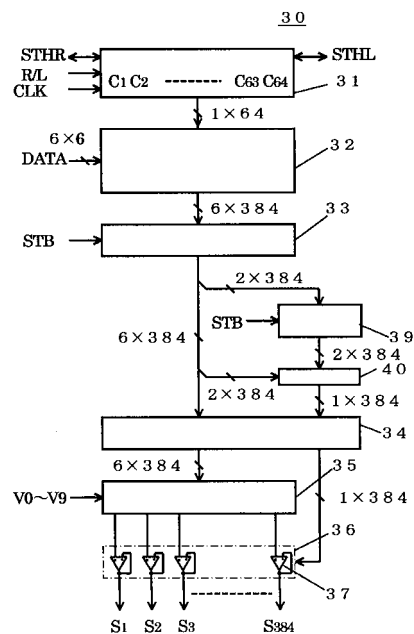
【 符号の説明 】

- 3 0 水平ドライバ I C
- 3 1 シフトレジスタ
- 3 2 データレジスタ
- 3 3 第 1 ラッチ

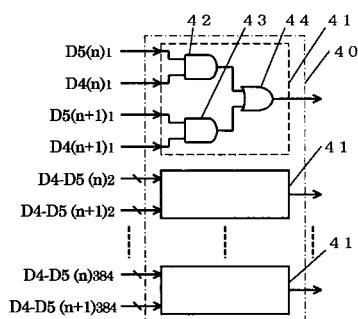
- 3 4 レベルシフト
3 5 D / A コンバータ
3 6 ボルテージフォロア出力回路
3 7 , 5 7 演算増幅器
3 9 第 2 ラッチ
4 0 スルーレート制御回路
4 1 論理処理部
4 2 , 4 3 A N D 回路
4 4 O R 回路
4 8 , 5 8 演算増幅器の差動段
4 9 , 5 9 演算増幅器の出力段

10

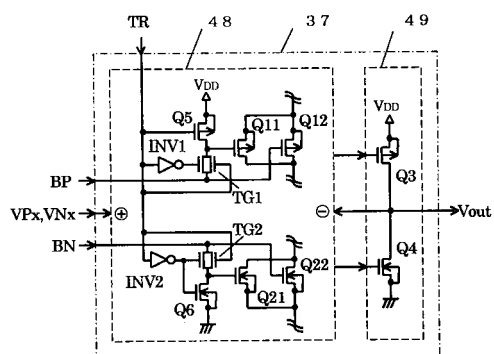
【图 1】



【图 2】



【 図 3 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 1 K
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 J
G 0 9 G	3/20	6 2 3 K
G 0 9 G	3/20	6 2 3 Y

专利名称(译)	用于驱动液晶显示装置的方法和设备		
公开(公告)号	JP4553281B2	公开(公告)日	2010-09-29
申请号	JP2000161380	申请日	2000-05-31
申请(专利权)人(译)	Kansainippondenki有限公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	松田 觉		
发明人	松田 觉		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.611.J G09G3/20.611.A G09G3/20.621.B G09G3/20.621.K G09G3/20.623.B G09G3/20.623.F G09G3/20.623.G G09G3/20.623.J G09G3/20.623.K G09G3/20.623.Y		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC16 2H093/NC21 2H093/NC34 2H093/NC49 2H093/NC59 2H093/ND06 2H093/ND15 2H093/ND32 2H093/ND36 2H093/ND39 2H193/ZA04 2H193/ZD23 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AF45 5C006/AF50 5C006/AF51 5C006/AF53 5C006/BB16 5C006/BC12 5C006/FA00 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD12 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/JJ02		
代理人(译)	工藤稔		
审查员(译)	小川博		
其他公开文献	JP2001343944A		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止驱动电压振铃并降低电流消耗。 解决方案：当基于6位数据信号从运算放大器37交替输出64灰度的正电压和负电压时，转换速率控制电路40产生第n和第n+1次扫描。在数据信号的预定组合的情况下，其中对应的高2位数据信号被逻辑处理并且正电压和负电压之间的电压差变大，输出“H”电平的转换速率控制信号TR。在预定的数据信号组合的情况下，其中运算放大器37的转换速率被控制为高驱动并且正电压和负电压之间的电压差减小，则输出“L”电平的转换速率控制信号TR。运算放大器37的转换速率被控制为低。

		D5:MSB D0:LSB VP64>...>VP1>Vcom>VN1>...>VN64					
		データ信号					
		D5	D4	D3	D2	D1	D0
選 択 さ れ る 階 調 電 圧	VP1,VN1	0	0	0	0	0	0
	VP2,VN2	0	0	0	0	0	1
	...	...	...	...	...	...	...
	VP16,VN16	0	0	1	1	1	1
	VP17,VN17	0	1	0	0	0	0
	...	...	...	...	...	...	...
	VP32,VN32	0	1	1	1	1	1
	VP33,VN33	1	0	0	0	0	0
	...	...	...	...	...	...	...
	VP48,VN48	1	0	1	1	1	1
	VP49,VN49	1	1	0	0	0	0
	...	...	...	...	...	...	...
	VP64,VN64	1	1	1	1	1	1