

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4438997号
(P4438997)

(45) 発行日 平成22年3月24日 (2010.3.24)

(24) 登録日 平成22年1月15日 (2010.1.15)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

H04N 5/66 (2006.01)

G09G 3/36

G09G 3/20 631M

G09G 3/20 631R

G09G 3/20 632B

G09G 3/20 632C

請求項の数 18 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-335998 (P2004-335998)
 (22) 出願日 平成16年11月19日 (2004.11.19)
 (65) 公開番号 特開2006-145850 (P2006-145850A)
 (43) 公開日 平成18年6月8日 (2006.6.8)
 審査請求日 平成18年5月10日 (2006.5.10)

(73) 特許権者 303018827
 NEC液晶テクノロジー株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100099830
 弁理士 西村 征生
 (72) 発明者 大賀 功一
 神奈川県川崎市中原区下沼部1753番地
 NEC液晶テクノロジー株式会社内
 (72) 発明者 一楽 剛
 神奈川県川崎市中原区下沼部1753番地
 NEC液晶テクノロジー株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 液晶表示方法及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

入力されるアドレスでデータ記憶手段を検索して前記アドレスに対応する階調データを出力し、出力された前記階調データで、複数の画素からなる液晶パネルを駆動して表示を行う液晶表示方法であって、

前記アドレス毎の第1の階調データの下位ビットを切り捨てた圧縮階調データを前記アドレスの上位ビットでアクセス可能に前記データ記憶手段に記憶させ、

着目画素の前記階調データの出力にあたっては、

該当するアドレスの前記上位ビットを前記データ記憶手段に入力させ、

該入力手段から前記上位ビットが入力されると、入力された当該上位ビットで指定される第1の圧縮階調データを前記データ記憶手段から読み出すと共に、入力された前記上位ビットと所定の関係にある上位ビットで指定される第2の圧縮階調データを前記データ記憶手段から読み出し、

前記アドレスの下位ビットと読み出された前記第1及び第2の圧縮階調データとに基づいて前記第1の圧縮階調データを伸張した第1の伸張階調データと前記第2の圧縮階調データを伸張した第2の伸張階調データとの間を補間する手法を用いて着目画素の仮伸張階調データを生成し、生成した着目画素の仮伸張階調データと、前記着目画素の周辺の画素について前記手法を用いて生成した、周辺画素の仮伸張階調データとに基づいて、前記着目画素の第2の階調データを演算生成し、演算生成された第2の階調データを前記階調データとして順次出力することを特徴とする液晶表示方法。

10

20

【請求項 2】

前記所定の関係にある前記上位ビットは、入力された前記上位ビットの 1 つ上の前記上位ビットであることを特徴とする請求項 1 記載の液晶表示方法。

【請求項 3】

前記データ記憶手段は、1 クロックで複数のデータを読み出し得るメモリで構成されることを特徴とする請求項 1 又は 2 記載の液晶表示方法。

【請求項 4】

前記メモリは、ダブルエッジ動作のメモリで構成されることを特徴とする請求項 3 記載の液晶表示方法。

【請求項 5】

前記第 1 の伸張階調データと第 2 の伸張階調データとの間を補間する前記着目画素又は前記周辺画素の仮伸張階調データは、前記下位ビットの数で予め決められる数の階調データであると共に、前記第 1 の伸張階調データと第 2 の伸張階調データとの間に入る圧縮前の対応する階調データに近似することを特徴とする請求項 1、2、3 又は 4 記載の液晶表示方法。

【請求項 6】

予め決められる数の前記階調データは、前記第 1 の伸張階調データと第 2 の伸張階調データとの間に入る、前記下位ビット数で等分に分けた階調データであることを特徴とする請求項 5 記載の液晶表示方法。

【請求項 7】

前記周辺の画素は、前記着目画素のフレームよりも少なくとも 1 フレーム前の着目画素対応の画素であることを特徴とする請求項 1 記載の液晶表示方法。

【請求項 8】

前記周辺の画素は、前記着目画素のラインよりも 1 つ前のライン又は 1 つ後のラインの着目画素対応の画素であることを特徴とする請求項 1 記載の液晶表示方法。

【請求項 9】

前記着目画素の仮伸張階調データと、前記周辺画素の仮伸張階調データとの相加平均を前記着目画素の前記階調データとして順次出力することを特徴とする請求項 1 記載の液晶表示方法。

【請求項 10】

入力されるアドレスでデータ記憶手段を検索して前記アドレスに対応する階調データを出力し、出力された前記階調データで、複数の画素からなる液晶パネルを駆動して表示を行う液晶表示装置であって、

前記アドレス毎の第 1 の階調データの下位ビットを切り捨てた圧縮階調データを前記アドレスの上位ビットでアクセス可能に記憶させる前記データ記憶手段と、

着目画素の前記階調データの出力に際して、該当するアドレスの前記上位ビットを前記データ記憶手段に入力させる入力手段と、

該入力手段から前記上位ビットが入力されると、入力された当該上位ビットで指定される第 1 の圧縮階調データを前記データ記憶手段から読み出すと共に、入力された前記上位ビットと所定の関係にある上位ビットで指定される第 2 の圧縮階調データを前記データ記憶手段から読み出す読み出し手段と、

前記アドレスの下位ビットと読み出された前記第 1 及び第 2 の圧縮階調データとに基づいて前記第 1 の圧縮階調データを伸張した第 1 の伸張階調データと前記第 2 の圧縮階調データを伸張した第 2 の伸張階調データとの間を補間する手法を用いて着目画素の仮伸張階調データを生成し、生成した着目画素の仮伸張階調データと、前記着目画素の周辺の画素について前記手法を用いて生成した、周辺画素の仮伸張階調データとに基づいて、前記着目画素の第 2 の階調データを演算生成する演算部と、

該演算部にて演算生成された第 2 の階調データを前記階調データとして順次出力する出力手段とを備えることを特徴とする液晶表示装置。

【請求項 11】

前記読み出し手段は、前記所定の関係にある前記上位ビットを、入力された前記上位ビットの1つ上の前記上位ビットとしていることを特徴とする請求項10記載の液晶表示装置。

【請求項12】

前記データ記憶手段は、1クロックで複数のデータを読み出し得るメモリで構成されることを特徴とする請求項10又は11記載の液晶表示装置。

【請求項13】

前記メモリは、ダブルエッジ動作のメモリで構成されることを特徴とする請求項12記載の液晶表示装置。

【請求項14】

前記第1の伸張階調データと第2の伸張階調データとの間を補間する前記着目画素又は前記周辺画素の仮伸張階調データは、前記下位ビットの数で予め決められる数の階調データであると共に、前記第1の伸張階調データと第2の伸張階調データとの間に入る圧縮前の対応する階調データに近似することを特徴とする請求項10、11、12又は13記載の液晶表示装置。

【請求項15】

予め決められる数の前記階調データは、前記第1の伸張階調データと第2の伸張階調データとの間に入る、前記下位ビット数で等分に分けた階調データであることを特徴とする請求項14記載の液晶表示装置。

【請求項16】

前記周辺の画素は、前記着目画素のフレームよりも少なくとも1フレーム前の着目画素対応の画素であることを特徴とする請求項10記載の液晶表示装置。

【請求項17】

前記周辺の画素は、前記着目画素のラインよりも1つ前のライン又は1つ後のラインの着目画素対応の画素であることを特徴とする請求項10記載の液晶表示装置。

【請求項18】

前記着目画素の仮伸張階調データと、前記周辺画素の仮伸張階調データとの相加平均を前記着目画素の前記階調データとして順次出力することを特徴とする請求項10記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示方法及び液晶表示装置に係り、詳しくはルックアップテーブル乃至メモリのメモリ容量の削減、又はこれに加えてデータ転送時間の短縮を達成する液晶表示方法及び液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置等の画像表示装置における表示方式として、従来からマルチフレーム方式が採用されている。

このマルチフレーム方式においては、その各フレームの表示にルックアップテーブル(Look Up Table)(以下、LUTという)が用いられている。

LUTの公知の使用例を図6を参照して説明すると、LUT14へアドレス供給部12からアドレス、例えば、10ビットのアドレスが供給されてLUT14から階調データが読み出され、その階調データが階調データ出力部18から図示しない液晶パネルの階調制御入力に供給されて液晶パネルの表示制御に供される。

図6において、データの欄中のDATA11:0は、データのビット数が12ビットであることを示している。

【0003】

また、LUTの他の使用例として、LUTのメモリ容量を削減する方法が知られている。

10

20

30

40

50

この削減方法は、入力データの下位ビットを切り捨てた入力値とこの入力値より1つ大きな(或いは1つ小さな)値をLUTに入力し、LUTから上記両値に対応する2つの出力値を出力するようにし、切り捨てた下位ビットからなるデータに基づき、上記の2つの出力値の間を補間して元の入力値に対応した出力値を得るというものである。この例が、特許文献1に記載されている。

【0004】

この特許文献1には、また、上記削減方法では2つの出力値の間を補間した出力値を得るのにLUTの読み出しを2回しなければならないこと等を解決する技術も記載されている。

この技術になる画像処理装置は、入力画像の各画素値を示す入力データX0を圧縮し圧縮データX1を出力すると共に、補間データX2を出力する入力圧縮部と、入力圧縮部からの圧縮データX1に対応する出力データYxと関係データDyとを出力するLUTと、入力圧縮部からの補間データX2とLUTからの関係データDyとに基づいてLUTからの出力データYxを補間して所望の出力データY0を出力する補間部とから構成され、出力データYxの補間を補間データX2と関係データDyとにより行うことを示している。ここで、関係データDyは、LUTから出力される出力データYxと、圧縮データX1と前又は後となる圧縮データX1'に対応するYx'との関係を示すデータである。

【0005】

また、LUTから出力されるデータを補間する他の技術には、特許文献2及び特許文献3に記載されるものがある。

特許文献2に記載される技術は、LUTから出力される補間係数と第1の表色系の色信号データの下位ビットとによって補間データを生成し、LUTから出力される主データと加算して第2の表色系の色信号データを補間することを示している。

特許文献3に記載される技術は、入力データ(目標階調)の上位ビットと前フレームにおける入力データ(目標階調)の上位ビットとをアドレスとしてLUTに入力してLUTから補間データを出力させ、出力された補間データと入力データの下位ビットと前フレームにおける入力データの下位ビットとに基づいて補正用データを生成することを示している。

【0006】

【特許文献1】特開2001-143063号公報

【特許文献2】特開平7-222197号公報

【特許文献3】特開2004-109796号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述した公知のLUTの使用例によると、階調表現数を増そうとすると、その数に対応するメモリ容量を必要となり、メモリが大容量で高コストとなる。

この問題を解決するために、LUTのメモリ容量を削減する方法も上述したようにある。

上記いずれの特許文献も、LUTから出力されるデータについての補間を行う技術を開示している。

【0008】

しかしながら、いずれの特許文献も、その特定の技術的課題を解決するために必要なデータの補間をそれぞれの技術的課題に密接不可分の関係にある条件の下で行う場合の例について示していると認めるのが妥当であり、上述のようにLUTの出力データについて補間を行うという技術は認められるとは言うものの、LUTのメモリ容量を如何にして削減し、かつ、転送速度を如何にして上げるかという観点からLUTから出力されるデータの補間を如何にして行うかということについての示唆は、なお、不十分である。

【0009】

この発明は、上述の事情に鑑みてなされたもので、ルックアップテーブル乃至メモリの

10

20

30

40

50

メモリ容量の削減、又はこれに加えてデータ転送時間の短縮を助長し得る液晶表示方法及び液晶表示装置を提供することを目的としている。

【課題を解決するための手段】

【0010】

上記課題を解決するために、請求項1記載の発明は、入力されるアドレスでデータ記憶手段を検索して前記アドレスに対応する階調データを出力し、出力された前記階調データで、複数の画素からなる液晶パネルを駆動して表示を行う液晶表示方法に係り、前記アドレス毎の第1の階調データの下位ビットを切り捨てた圧縮階調データを前記アドレスの上位ビットでアクセス可能に前記データ記憶手段に記憶させ、着目画素の前記階調データの出力にあたっては、該当するアドレスの前記上位ビットを前記データ記憶手段に入力させ、該入力手段から前記上位ビットが入力されると、入力された当該上位ビットで指定される第1の圧縮階調データを前記データ記憶手段から読み出すと共に、入力された前記上位ビットと所定の関係にある上位ビットで指定される第2の圧縮階調データを前記データ記憶手段から読み出し、前記アドレスの下位ビットと読み出された前記第1及び第2の圧縮階調データとに基づいて前記第1の圧縮階調データを伸張した第1の伸張階調データと前記第2の圧縮階調データを伸張した第2の伸張階調データとの間を補間する手法を用いて着目画素の仮伸張階調データを生成し、生成した着目画素の仮伸張階調データと、前記着目画素の周辺の画素について前記手法を用いて生成した、周辺画素の仮伸張階調データとに基づいて、前記着目画素の第2の階調データを演算生成し、演算生成された第2の階調データを前記階調データとして順次出力することを特徴としている。

10

20

【0011】

請求項2記載の発明は、請求項1記載の液晶表示方法に係り、前記所定の関係にある前記上位ビットは、入力された前記上位ビットの1つ上の前記上位ビットであることを特徴としている。

【0012】

請求項3記載の発明は、請求項1又は2記載の液晶表示方法に係り、前記データ記憶手段は、1クロックで複数のデータを読み出し得るメモリで構成されることを特徴としている。

【0013】

請求項4記載の発明は、請求項3記載の液晶表示方法に係り、前記メモリは、ダブルエッジ動作のメモリで構成されることを特徴としている。

30

【0014】

請求項5記載の発明は、請求項1、2、3又は4記載の液晶表示方法に係り、前記第1の伸張階調データと第2の伸張階調データとの間を補間する前記着目画素又は前記周辺画素の仮伸張階調データは、前記下位ビットの数で予め決められる数の階調データであると共に、前記第1の伸張階調データと第2の伸張階調データとの間に入る圧縮前の対応する階調データに近似することを特徴としている。

【0015】

請求項6記載の発明は、請求項5記載の液晶表示方法に係り、予め決められる数の前記階調データは、前記第1の伸張階調データと第2の伸張階調データとの間に入る、前記下位ビット数で等分に分けた階調データであることを特徴としている。

40

【0016】

請求項7記載の発明は、請求項1記載の液晶表示方法に係り、前記周辺の画素は、前記着目画素のフレームよりも少なくとも1フレーム前の着目画素対応の画素であることを特徴としている。

【0017】

請求項8記載の発明は、請求項1記載の液晶表示方法に係り、前記周辺の画素は、前記着目画素のラインよりも1つ前のライン又は1つ後のラインの着目画素対応の画素であることを特徴としている。

【0018】

50

請求項 9 記載の発明は、請求項 1 記載の液晶表示方法に係り、前記着目画素の仮伸張階調データと、前記周辺画素の仮伸張階調データとの相加平均を前記着目画素の前記階調データとして順次出力することを特徴としている。

【0019】

請求項 10 記載の発明は、入力されるアドレスでデータ記憶手段を検索して前記アドレスに対応する階調データを出力し、出力された前記階調データで、複数の画素からなる液晶パネルを駆動して表示を行う液晶表示装置に係り、前記アドレス毎の第 1 の階調データの下位ビットを切り捨てた圧縮階調データを前記アドレスの上位ビットでアクセス可能に記憶させる前記データ記憶手段と、着目画素の前記階調データの出力に際して、該当するアドレスの前記上位ビットを前記データ記憶手段に入力させる入力手段と、該入力手段から前記上位ビットが入力されると、入力された当該上位ビットで指定される第 1 の圧縮階調データを前記データ記憶手段から読み出すと共に、入力された前記上位ビットと所定の関係にある上位ビットで指定される第 2 の圧縮階調データを前記データ記憶手段から読み出す読み出し手段と、前記アドレスの下位ビットと読み出された前記第 1 及び第 2 の圧縮階調データとに基づいて前記第 1 の圧縮階調データを伸張した第 1 の伸張階調データと前記第 2 の圧縮階調データを伸張した第 2 の伸張階調データとの間を補間する手法を用いて着目画素の仮伸張階調データを生成し、生成した着目画素の仮伸張階調データと、前記着目画素の周辺の画素について前記手法を用いて生成した、周辺画素の仮伸張階調データとに基づいて、前記着目画素の第 2 の階調データを演算生成する演算部と、該演算部にて演算生成された第 2 の階調データを前記階調データとして順次出力する出力手段とを備えることを特徴としている。

【0020】

請求項 11 記載の発明は、請求項 10 記載の液晶表示装置に係り、前記読み出し手段は、前記所定の関係にある前記上位ビットを、入力された前記上位ビットの 1 つ上の前記上位ビットとしていることを特徴としている。

【0021】

請求項 12 記載の発明は、請求項 10 又は 11 記載の液晶表示装置に係り、前記データ記憶手段は、1 クロックで複数のデータを読み出し得るメモリで構成されることを特徴としている。

【0022】

請求項 13 記載の発明は、請求項 12 記載の液晶表示装置に係り、前記メモリは、ダブルエッジ動作のメモリで構成されることを特徴としている。

【0023】

請求項 14 記載の発明は、請求項 10、11、12 又は 13 記載の液晶表示装置に係り、前記第 1 の伸張階調データと第 2 の伸張階調データとの間を補間する前記着目画素又は前記周辺画素の仮伸張階調データは、前記下位ビットの数で予め決められる数の階調データであると共に、前記第 1 の伸張階調データと第 2 の伸張階調データとの間に入る圧縮前の対応する階調データに近似することを特徴としている。

【0024】

請求項 15 記載の発明は、請求項 14 記載の液晶表示装置に係り、予め決められる数の前記階調データは、前記第 1 の伸張階調データと第 2 の伸張階調データとの間に入る、前記下位ビット数で等分に分けた階調データであることを特徴としている。

【0025】

請求項 16 記載の発明は、請求項 10 記載の液晶表示装置に係り、前記周辺の画素は、前記着目画素のフレームよりも少なくとも 1 フレーム前の着目画素対応の画素であることを特徴としている。

【0026】

請求項 17 記載の発明は、請求項 10 記載の液晶表示装置に係り、前記周辺の画素は、前記着目画素のラインよりも 1 つ前のライン又は 1 つ後のラインの着目画素対応の画素であることを特徴としている。

【 0 0 2 7 】

請求項 1 8 記載の発明は、請求項 1 0 記載の液晶表示装置に係り、前記着目画素の仮伸張階調データと、前記周辺画素の仮伸張階調データとの相加平均を前記着目画素の前記階調データとして順次出力することを特徴としている。

【発明の効果】

【 0 0 3 0 】

この発明の構成によれば、圧縮前と同等のデータを得るのに要する L U T のメモリ容量を大幅に削減することができる。

これにより、メモリのコストも削減することができる。

このメモリ容量圧縮法を階調データの生成に用いれば、上記効果を享受しつつ、メモリ容量を削減しない場合と同等の多階調表現にすることができる。

【発明を実施するための最良の形態】

【 0 0 3 1 】

この発明は、入力されるアドレスでデータ記憶手段を検索してアドレスに対応するデータの出力において、データのうちの、アドレスのうちの第 1 のアドレス毎の第 1 のデータの下位ビットを切り捨てた圧縮データを第 1 のアドレスの上位ビットでアクセス可能にデータ記憶手段に記憶させること、上位ビットをデータ記憶手段に入力させること、入力された上位ビットで指定される圧縮データをデータ記憶手段から読み出すと共に、入力された上位ビットと所定の関係にある上位ビットで指定される第 2 の圧縮データをデータ記憶手段から読み出すこと、アドレスの下位ビットと読み出された第 1 及び第 2 の圧縮データとに基づいて第 1 の伸張データと第 2 の伸張データとの間を補間してデータを順次出力することを用いて構成される。

【実施例 1】

【 0 0 3 2 】

図 1 は、この発明の実施例 1 である液晶表示装置を構成する液晶パネル駆動装置の電氣的構成を示す図、また、図 2 は、同液晶パネル駆動装置で生成される階調データの出力を説明する図である。

この実施例の液晶パネル駆動装置 1 は、入力されるアドレスのうちの上位ビット及び該上位ビットより 1 つ上位の上位ビットに対応する、下位ビットを切り捨てた階調データ（以下、圧縮階調データという）をルックアップテーブルから読み出し、2 つの圧縮階調データと下位ビットとを用いて上記 2 つの圧縮階調データの各々を伸張した 2 つの階調データ（以下、伸張階調データともいう）との間を補間して圧縮前の階調データに近似の補間された伸張階調データを生成し、その伸張階調データを順次出力する装置に係り、図 1 に示すように、アドレス供給部 2 と、ルックアップテーブル（L U T という）4 と、演算部 6 と、階調データ出力部 8 とから構成される。

【 0 0 3 3 】

アドレス供給部 2 は、液晶パネルの駆動に必要な階調データの各々を指定し得るアドレスを上位ビットと下位ビットとに分けて出力する。アドレスは各フレームの画素に対応してアドレス供給部 2 から出力される。上記アドレスが、例えば、1 0 ビットであるとする

と、上位ビットは 8 ビットで、下位ビットは 2 ビットである。

【 0 0 3 4 】

L U T 4 は、入力される上位ビット毎に、上位ビットで表されるアドレスの圧縮階調データを上位ビットで読み出し可能に記憶している。

L U T 4 は、液晶パネルの駆動に必要な階調データの各々を指定し得るアドレスの上位ビット（L U T 読み出しアドレス）がアドレス供給部 2 から供給されると、当該 L U T 読み出しアドレスの第 1 の圧縮階調データと該 L U T 読み出しアドレスの 1 つ上の読み出しアドレスの第 2 の圧縮階調データとを読み出し得るように構成されている。L U T 4 から読み出される第 1 及び第 2 の圧縮階調データは、演算部 6 へ供給される。

【 0 0 3 5 】

演算部 6 は、下位ビットと第 1 及び第 2 の圧縮階調データとが供給されると、下位ビットと第 1 及び第 2 の圧縮階調データとに基づいて第 1 の圧縮階調データを上記下位ビットで決められる倍数だけ伸張した伸張階調データと第 2 の階調データを上記下位ビットで決められる倍数だけ伸張した伸張階調データとの間を補間し、補間されて生成される圧縮前の階調データに近似する伸張階調データであって下位ビット数で予め決められる数の伸張階調データを順次出力するように構成されている。

【 0 0 3 6 】

例えば、図 2 に示すように、上記アドレスが 10 ビットで、上位ビットは 8 ビットで、下位ビットは 2 ビットである場合に、その上位 8 ビット（LUT 読み出しアドレス）から第 1 の圧縮階調データ A が、そして LUT 読み出しアドレスの 1 つ上の LUT 読み出しアドレスから第 2 の圧縮階調データ B が LUT 4 から読み出されるとすると、演算部 6 は、下位 2 ビットと第 1 の圧縮階調データ A と第 2 の圧縮階調データ B とに基づいて、伸張階調データ 4 A と、伸張階調データ 4 A と伸張階調データ 4 B との間を補間する次のような 3 つの伸張階調データを順次出力する。3 つの伸張階調データのうちの第 1 の伸張階調データは、 $(4A + 4A + 4A + 4B) / 4$ で、第 2 の伸張階調データは、 $(4A + 4A + 4B + 4B) / 4$ で、第 3 の伸張階調データは、 $(4A + 4B + 4B + 4B) / 4$ である。

伸張階調データは、圧縮前の対応する階調データに近似する階調データとなる。

【 0 0 3 7 】

階調データ出力部 8 は、演算部 6 から順次出力される伸張階調データを液晶パネルの階調制御入力へ供給する。

例えば、LUT 4 へ入力されるアドレスが 10 ビットで、上位ビットが 8 ビットで、下位ビットが 2 ビットであるとする、上位ビットで読み出される上述の圧縮階調データ A を 4 倍だけ伸張した伸張階調データ 4 A と、補間されて伸張された 3 つの伸張階調データ、すなわち、 $(4A + 4A + 4A + 4B) / 4$ 、 $(4A + 4A + 4B + 4B) / 4$ 、 $(4A + 4B + 4B + 4B) / 4$ が、階調データ出力部 8 から液晶パネルの階調制御入力に供給される。

但し、上述のところから明らかなように、B は、LUT 4 へ供給される LUT 読み出しアドレスであって、A を読み出した LUT 読み出しアドレスより 1 つ大きい LUT 読み出しアドレスから読み出される圧縮階調データである。

【 0 0 3 8 】

次に、図 1 及び図 2 を参照して、この実施例の動作について説明する。

アドレス供給部 2 から出力されるアドレスの上位ビット（LUT 読み出しアドレス）が LUT 4 に供給される。以下の説明はそのアドレスが 10 ビットで、上位ビットが 8 ビットである場合について行う。

LUT 4 へ供給される上位 8 ビット、すなわち、LUT 読み出しアドレスが、例えば、10000001 である（図 2）とすると、その LUT 読み出しアドレスから圧縮階調データ A が読み出されると共に、この LUT 読み出しアドレスから 1 つ上位の LUT 読み出しアドレス、すなわち、10000010（図 2）から圧縮階調データ B が読み出される。これら両圧縮階調データ A、B は、演算部 6 へ供給される。

これらの圧縮階調データ A、B は、例えば、下位 2 ビットを切り捨てた 10 ビットのデータである。

なお、図 1 及び図 2 のデータの欄中の DATA 9 : 0 は、データのビット数が 10 ビットであることを表している。

【 0 0 3 9 】

演算部 6 は、先ず伸張階調データ 4 A、伸張階調データ 4 B を生成する。これを具体的に言えば、10 ビットの圧縮階調データ A、B は、12 ビットの伸張階調データ 4 A、4 B へ伸張（変換）する。

そして、演算部 6 は、先ず、伸張階調データ 4 A を出力し、続いて伸張階調データ 4 A

、4 B 及び下位 2 ビットに基づいて伸張階調データ 4 A と伸張階調データ 4 B との間を補間して生成される 3 つの伸張階調データをデータ値の大きい順に順次出力する。

伸張階調データ 4 A と伸張階調データ 4 B との間を補間して生成される 3 つの伸張階調データ、例えば、伸張階調データ 4 A と伸張階調データ 4 B との間を 4 等分する 3 つの伸張階調データは、その第 1 の伸張階調データが $(4 A + 4 A + 4 A + 4 B) / 4$ で、第 2 の伸張階調データが $(4 A + 4 A + 4 B + 4 B) / 4$ で、第 3 の伸張階調データが $(4 A + 4 B + 4 B + 4 B) / 4$ であり、この順に出力される。

【0040】

この順次の出力は、上述の本発明に依らない従来出力タイミングと同じである。すなわち、上記圧縮階調データ A、第 1 の伸張階調データ、第 2 の伸張階調データ及び第 3 の伸張階調データに相当する 4 つの未圧縮階調データを LUT に記憶し、上記 10 ビットのアドレスを順次に供給して 4 つの未圧縮階調データを順次に読み出すタイミングと同一のタイミングとなる。

【0041】

上述した LUT 4 の動作は、いずれの上位 8 ビットについても同じであり、また、演算部 6 の動作も、LUT 4 から読み出される上述同様の 2 つの圧縮階調データとこれに対応する下位 2 ビット毎に行われる上述の演算についても同じである。但し、アドレス供給部 2 から供給される最上位のアドレスの 8 ビット及び 2 ビットについては異なり、該 8 ビットで LUT 4 から読み出される圧縮階調データの伸張階調データが出力される。

このように、LUT 4 を本来必要とする階調データをアドレスで 2 ビット分少なくし、かつ、LUT 4 を本来必要とする階調データをその 2 ビット分少なくしているから、10 ビットでアクセスして階調データを得る場合に比し、LUT のメモリ容量を $1/16$ にして、この発明で得られる伸張階調データの階調輝度を LUT を 10 ビットのアドレスでアクセスして得られる階調データの階調輝度に対して許容し得る範囲に納めた階調データ、すなわち、階調輝度曲線への影響を上記自動補間設定で許容し得る限度まで抑えた階調データを得ることができる。

上述のようにして演算部 6 から出力される階調データ（補間されて伸張された伸張階調データ）は、階調データ出力部 8 へ供給され、階調データ出力部 8 から液晶パネルの階調制御入力へ供給されて液晶パネルの表示制御に用いられる。

【0042】

このように、この実施例の構成によれば、入力アドレスの上位ビット（LUT 読み出しアドレス）で LUT から LUT 読み出しアドレス対応の圧縮階調データ A と該読み出しアドレスより 1 ビットだけ大きい LUT 読み出しアドレス対応の圧縮階調データ B とをアクセスする、すなわち、LUT に必要のアドレスビットを削減して（LUT 読み出しアドレスを圧縮して）アクセスし、これら両圧縮階調データと上記入力アドレスの下位ビットとに基づいて圧縮階調データ A を圧縮率の逆数倍だけした伸張階調データと階調データ B を圧縮率の逆数倍だけした伸張階調データとの間を補間して伸張階調データを生成し、上記アドレス全ビット対応の階調データを LUT に記憶してある場合と遜色のない、すなわち、階調輝度曲線への影響を上記自動補間設定で許容し得る限度まで抑えた階調データを生成するようにしているから、必要な階調データを得るのに要する LUT のメモリ容量を大幅に削減することができる。

これにより、メモリのコストも削減することができる。

また、この効果を享受しつつ、メモリ容量を削減しない場合と同等の多階調表現にすることができる。その場合の多階調表現の精度は補間精度に依存する。

【実施例 2】

【0043】

図 3 は、この発明の実施例 2 である液晶表示装置を構成する液晶パネル駆動装置の電気的構成を示す図である。

この実施例の構成が、実施例 1 のそれと大きく異なる点は、LUT に同一のクロックで 2 つのデータを読み出すようにした点である。

【 0 0 4 4 】

すなわち、この実施例の液晶パネル駆動装置 1 A は、図 3 に示すように、図 1 に示す L U T 4 の代わりに、ダブルエッジ動作のメモリを L U T 4 A に用いてその全体が構成される。

この構成以外のこの実施例の構成は、実施例 1 と同じであるので、同一の構成部分には同一の参照符号を付して、その逐一の説明は省略する。

【 0 0 4 5 】

次に、図 3 を参照して、この実施例の動作について説明する。

この実施例の動作は、次の点を除き、実施例 1 で説明した動作と同じである。

以下、その相違点を主に説明するが、その他の点については実施例 1 の説明を参照すれば、自ずから明らかになると考えられるので、その逐一の説明は省略する。

この実施例においても、具体例として、アドレス供給部 2 から供給されるアドレスのビット数は 10 ビットであり、そのうちの上位 8 ビット (L U T 読み出しアドレス) が L U T 4 A へ供給され、下位 2 ビットが演算部 6 へ供給されることは、実施例 1 と同じである。

【 0 0 4 6 】

その L U T 4 A は、ダブルエッジ動作のメモリで構成される点に相違があるだけであり、そこに記憶されるデータは、実施例 1 と同様、圧縮階調データである。この圧縮階調データの記憶態様も実施例 1 と同様であり、そこから読み出したい圧縮階調データは実施例 1 と同様であるが、その読み出し動作において、1 クロックで上述した 2 つの圧縮階調データが読み出される。この点が、実施例 1 と唯一異なる点である。

こうして読み出された圧縮階調データは、演算部 6 へ供給される。

【 0 0 4 7 】

その演算部 6 には、実施例 1 と同様に、下位ビットが供給されて来ている。

演算部 6 は、L U T 4 A から供給される 2 つの圧縮階調データと下位ビットとに基づいて、実施例 1 と同様の補間演算をして伸張階調データを生成して出力する。

生成された伸張階調データは、階調データ出力部 8 から液晶パネルの階調制御入力へ供給されて液晶パネルの表示制御に用いられる。

【 0 0 4 8 】

このように、この実施例によれば、入力アドレスの上位ビット (L U T 読み出しアドレス) で L U T から L U T 読み出しアドレス対応の圧縮階調データ A と該読み出しアドレスより 1 ビットだけ大きい L U T 読み出しアドレス対応の圧縮階調データ B とがアクセスされる、すなわち、L U T に必要のアドレスビットを削減して (L U T 読み出しアドレスを圧縮して) アクセスされる L U T をダブルエッジ動作のメモリで構成しているから、実施例 1 と同等の効果が得られる上、1 クロックで 2 つの圧縮階調データを読み出すことができる。

これにより、液晶駆動装置からのデータ転送速度を向上させることができる (データ転送時間の短縮となる) 。

【 実施例 3 】

【 0 0 4 9 】

図 4 は、この発明の実施例 3 である液晶表示装置を構成する液晶パネル駆動装置の電氣的構成を示す図、また、図 5 は、同液晶パネル駆動装置の演算部の構成図である。

この実施例の構成が、実施例 1 又は実施例 2 のそれと大きく異なる点は、1 フレーム前の画素についての伸張階調データを着目画素の伸張階調データの生成に考慮するようにした点である。

【 0 0 5 0 】

すなわち、この実施例の液晶パネル駆動装置 1 B は、図 4 及び図 5 に示すように、その演算部 6 B を実施例 1 又は実施例 2 の演算部 6 相当の主演算部 6 B 1、1 フレーム時間分の遅延を伸張階調データに与える遅延部 6 B 2 と、相加平均部 6 B 3 とから構成する点にその特徴がある。

演算部 6 B は、主演算部 6 B 1 で生成され遅延部 6 B 2 で 1 フレーム時間遅延された仮伸張階調データと主演算部 6 B 1 で生成された仮伸張階調データとの相加平均を相加平均部 6 B 3 で取り、相加平均部 6 B 3 から出力される伸張階調データをフレームの着目画素についての伸張階調データとするようにして構成される。

この構成以外のこの実施例の構成は、実施例 1 と同じであるので、同一の構成部分には同一の参照符号を付して、その逐一の説明は省略する。

【 0 0 5 1 】

次に、図 4 及び図 5 を参照して、この実施例の動作について説明する。

この実施例の動作におけるアドレス供給部 2 と、LUT 4 と、主演算部 6 B 1 との動作は、実施例 1 又は実施例 2 と同じである。

演算部 6 B における遅延部 6 B 2 及び相加平均部 6 B 3 の動作にこの実施例における特徴がある。その動作を以下に説明する。

【 0 0 5 2 】

上述のように、主演算部 6 B 1 は、任意のフレームの着目画素についての仮伸張階調データを生成する。

その仮伸張階調データは、相加平均部 6 B 3 へ供給される。この供給と同時に、その相加平均部 6 B 3 には、遅延部 6 B 2 から 1 フレーム前の上記着目画素対応の画素についての仮伸張階調データが供給されて来る。

相加平均部 6 B 3 は、着目画素についての仮伸張階調データと 1 フレーム前の上記着目画素対応の画素についての仮伸張階調データとの相加平均を着目画素の伸張階調データとして出力する。

相加平均部 6 B 3 から出力される伸張階調データを階調データ出力部 8 から階調データの圧縮がない場合の階調データ相当として液晶パネルの階調制御入力へ供給されて液晶パネルの表示制御に用いられる。

【 0 0 5 3 】

このように、この実施例によれば、階調データが圧縮されて LUT に記憶される場合の仮伸張階調データの生成は、実施例 1 又は実施例 2 と同じであるので、仮伸張階調データの生成については実施例 1 又は実施例 2 と同効が得られることに加えて、1 フレーム前の仮伸張階調データと着目フレームの対応する仮伸張階調データとの相加平均により着目フレームの伸張階調データを圧縮が無い場合の階調データに精度良く近い階調データとして液晶パネルの階調制御に供することができる。

【 0 0 5 4 】

以上、この発明の実施例を図面参照の下に詳述してきたが、この発明の具体的な構成は、これらの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもそれらはこの発明に含まれる。

例えば、アドレス圧縮前のアドレスの上位ビットでアクセスされる LUT を用いる一方、その LUT のアドレスに圧縮前のアドレスに対応する階調データであって、当該階調データの下位ビットを 2 ビット切り捨てて成る圧縮階調データを記憶する例について説明したが、これに限られるものではなく、その他の任意のビット数を圧縮することも可能である。

【 0 0 5 5 】

また、補間を上述した等分で行わず、不等分等で補間してもよい。また、等分又は不等分等のいずれかを問わず、2 つの階調データの間を補間する方法はいずれに従うかは、本発明を活用する仕方に依存する。

【 0 0 5 6 】

上記実施例 3 では、1 フレーム前の画素についての仮伸張階調データを着目画素の伸張階調データの生成に考慮する例を説明したが、その他の（周辺の）画素の仮伸張階調データを考慮に入れるようにしてこの発明を実施することもできる。

例えば、同一ライン上の着目画素前後の画素に加えて、該ラインより 1 つ前のラインと 1 つ後のラインの上記着目画素対応の画素についての仮伸張階調データを着目画素の伸張

10

20

30

40

50

階調データの生成に考慮するようにしてこの発明を実施することもできる。

さらには、過去のフレームの上記同等の画素の仮伸張階調データを考慮に入れるようにしてこの発明を構成することもできる。

【産業上の利用可能性】

【0057】

ここに開示しているデータ出力方法及びその装置は、各種の表示装置、例えば、情報処理装置、携帯端末装置、ビデオカメラの表示装置等やテレビ等において利用し得る。

また、階調データと同様に用いられる制御データによって制御される装置においても、本発明を実施することもできる。

【図面の簡単な説明】

10

【0058】

【図1】この発明の実施例1である液晶表示装置を構成する液晶パネル駆動装置の電氣的構成を示す図である。

【図2】同液晶パネル駆動装置で生成される階調データの出力を説明する図である。

【図3】この発明の実施例2である液晶表示装置を構成する液晶パネル駆動装置の電氣的構成を示す図である。

【図4】この発明の実施例3である液晶表示装置を構成する液晶パネル駆動装置の電氣的構成を示す図である。

【図5】同液晶パネル駆動装置の演算部の構成図である。

【図6】従来の液晶表示装置を構成する液晶パネル駆動装置の電氣的構成を示す図である

20

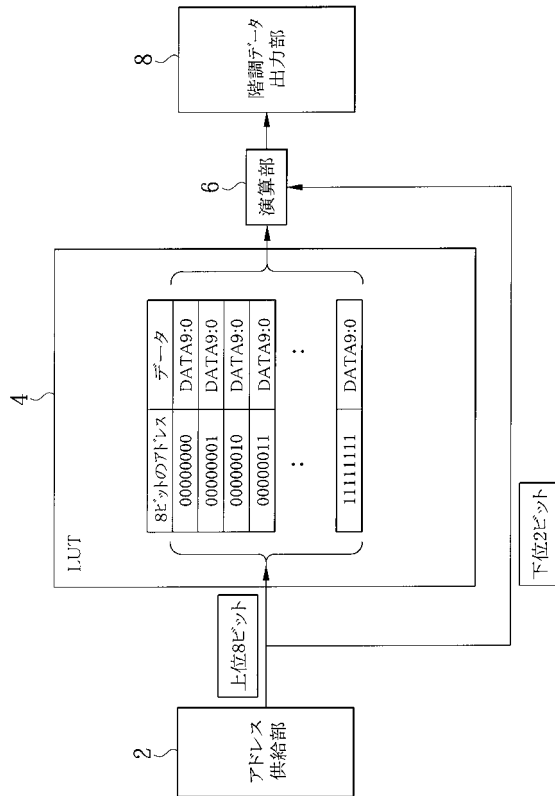
。

【符号の説明】

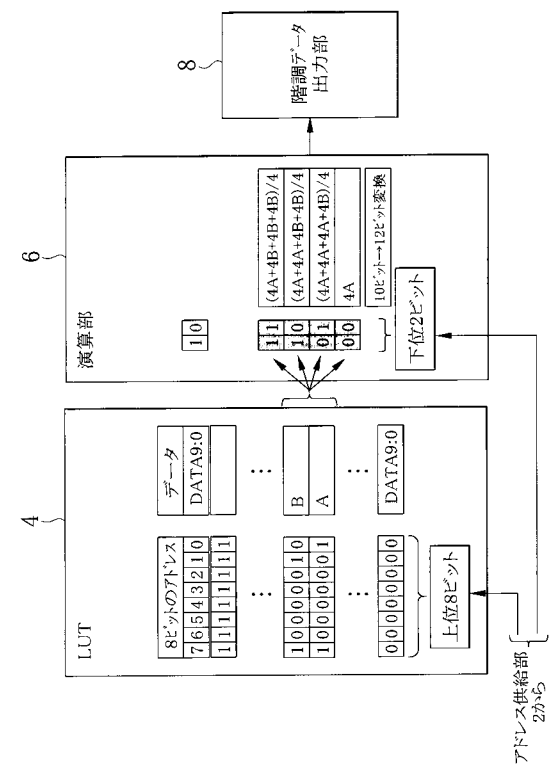
【0059】

- 1、1 A、1 B 液晶パネル駆動装置（データ出力装置）
- 2 アドレス供給部（入力手段、読み出し手段の一部）
- 4、4 A L U T（データ記憶手段、読み出し手段の残部）
- 6、6 B 演算部（出力手段の一部）
- 8 階調データ出力部（出力手段の残部）

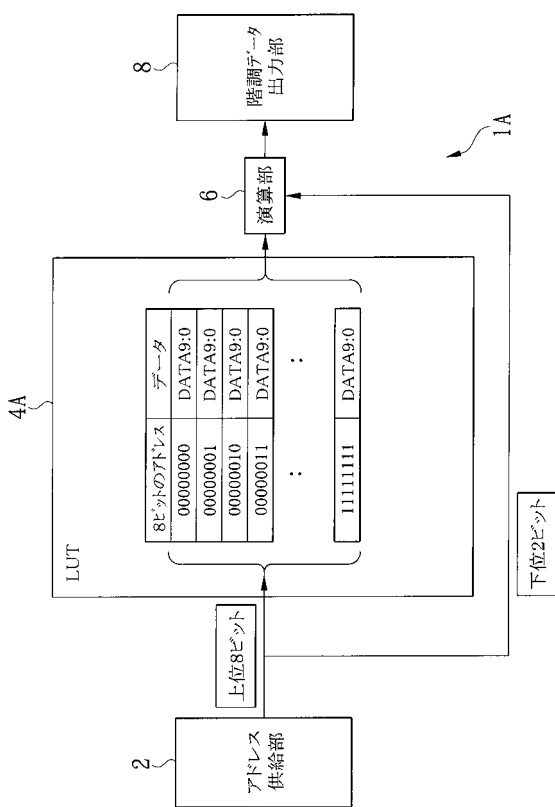
【図 1】



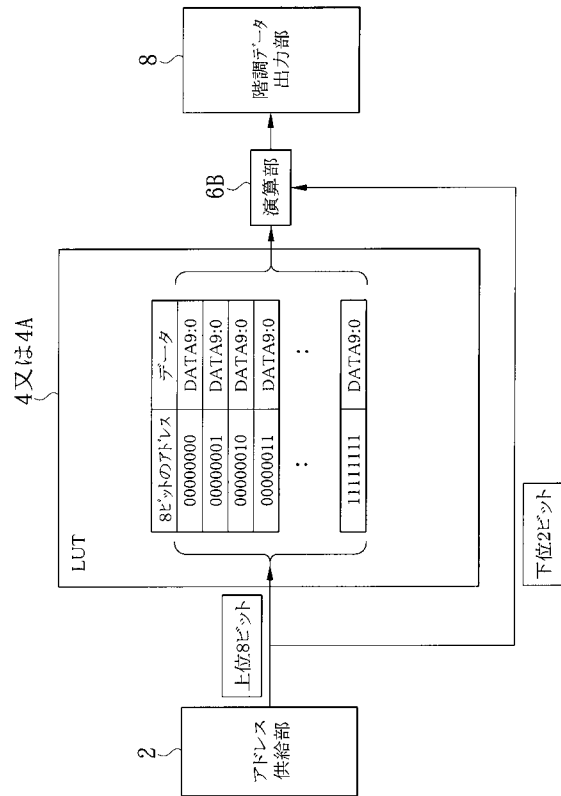
【図 2】



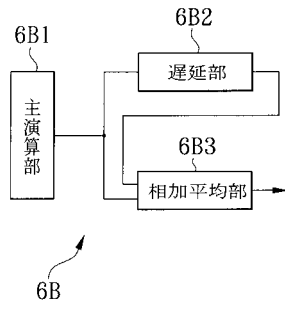
【図 3】



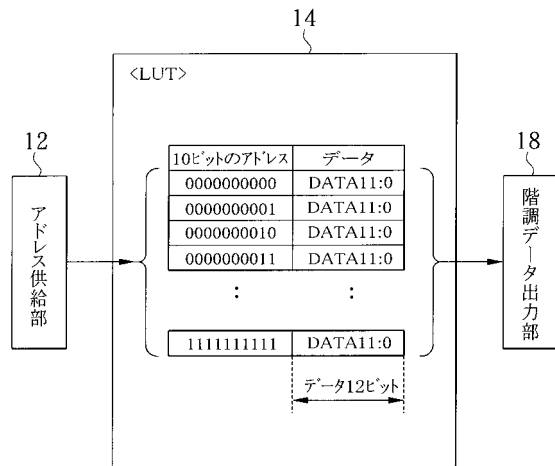
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 3 U
G 0 9 G 3/20 6 4 1 P
H 0 4 N 5/66 1 0 2 B
H 0 4 N 5/66 1 0 2 Z

(56)参考文献 特開 2 0 0 3 - 2 3 3 8 1 2 (J P , A)
特開 2 0 0 0 - 3 3 8 9 3 5 (J P , A)
特開平 0 5 - 0 6 4 1 1 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 5 / 4 0
H 0 4 N 5 / 6 6

专利名称(译)	液晶表示方法及び液晶表示装置		
公开(公告)号	JP4438997B2	公开(公告)日	2010-03-24
申请号	JP2004335998	申请日	2004-11-19
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC LCD科技有限公司		
当前申请(专利权)人(译)	NEC LCD科技有限公司		
[标]发明人	大賀 功一 一樂 剛		
发明人	大賀 功一 一樂 剛		
IPC分类号	G09G3/36 G09G3/20 H04N5/66		
CPC分类号	G06T1/60		
FI分类号	G09G3/36 G09G3/20.631.M G09G3/20.631.R G09G3/20.632.B G09G3/20.632.C G09G3/20.633.U G09G3/20.641.P H04N5/66.102.B H04N5/66.102.Z		
F-TERM分类号	5C006/AF11 5C006/AF26 5C006/AF42 5C006/AF46 5C006/FA13 5C006/FA44 5C058/AA06 5C058/BA01 5C058/BB11 5C080/AA10 5C080/BB05 5C080/DD22 5C080/EE29 5C080/GG09 5C080/GG12 5C080/GG15 5C080/GG17 5C080/JJ02		
代理人(译)	西村 征生		
审查员(译)	中村直之		
其他公开文献	JP2006145850A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种数据输出方法和装置，其中减少了查找表或存储器的存储容量并缩短了数据传输时间，并且还提供了一种使用该方法 and 装置的液晶面板驱动方法和装置。方法和装置，以及液晶显示方法和装置。解决方案：压缩灰度数据的低位比特被压缩的压缩灰度数据被存储在LUT 4中，以便能够输入要输入的高位比特。从地址提供部分2输出的地址的高位比特被提供给LUT 4，低位比特被提供给计算部分6。LUT 4输出对应于高位比特的压缩灰度数据A。压缩灰度数据B对应于（高位+1）。计算部分6针对每个上位比特输出压缩灰度数据A和压缩灰度数据B中的每一个，并且基于低位比特输出扩展灰度数据4A，并且将扩展灰度数据四分之一部分输出到扩展灰度数据4A和扩展的灰度数据4B。Z

【 図 2 】

