

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4102336号
(P4102336)

(45) 発行日 平成20年6月18日(2008.6.18)

(24) 登録日 平成20年3月28日(2008.3.28)

| | | |
|-----------------------------|------------|------|
| (51) Int.Cl. | F I | |
| G09G 3/36 (2006.01) | G09G 3/36 | |
| G02F 1/133 (2006.01) | G02F 1/133 | 550 |
| G09G 3/20 (2006.01) | G09G 3/20 | 611J |
| | G09G 3/20 | 612P |
| | G09G 3/20 | 621M |
| 請求項の数 18 (全 11 頁) 最終頁に続く | | |

| | | | |
|--------------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2004-186855 (P2004-186855) | (73) 特許権者 | 599002238 |
| (22) 出願日 | 平成16年6月24日(2004.6.24) | | 聯詠科技股▲ふん▼有限公司 |
| (65) 公開番号 | 特開2005-284239 (P2005-284239A) | | 台湾台湾省新竹科學園區新竹縣創新一路1 |
| (43) 公開日 | 平成17年10月13日(2005.10.13) | | 3號2樓 |
| 審査請求日 | 平成16年6月24日(2004.6.24) | (74) 代理人 | 100064584 |
| (31) 優先権主張番号 | 93108464 | | 弁理士 江原 省吾 |
| (32) 優先日 | 平成16年3月29日(2004.3.29) | (74) 代理人 | 100093997 |
| (33) 優先権主張国 | 台湾(TW) | | 弁理士 田中 秀佳 |
| | | (74) 代理人 | 100101616 |
| | | | 弁理士 白石 吉之 |
| | | (74) 代理人 | 100107423 |
| | | | 弁理士 城村 邦彦 |
| | | (74) 代理人 | 100120949 |
| | | | 弁理士 熊野 剛 |
| 最終頁に続く | | | |

(54) 【発明の名称】 液晶ディスプレイの駆動回路

(57) 【特許請求の範囲】

【請求項1】

液晶ディスプレイの複数の薄膜トランジスタを選択的に駆動する複数のゲート駆動装置と、

画像信号を受信する複数のソース駆動装置であって、この複数のソース駆動装置は複数のゲート駆動装置と協働して液晶ディスプレイ上に画像を表示するのであり、複数のソース駆動装置の各々は可変共通電圧発生回路を更に備えており、可変共通電圧発生回路の各々は、共通電圧可変データおよびクロック信号に基づいて、可変共通電圧発生回路の各々からの共通電圧出力を補償することにより、可変共通電圧発生回路の各々からの各共通電圧出力を等しくするか、または、液晶ディスプレイのパネルのITO層への各共通電圧出力を等しくするのであるソース駆動装置と、

複数のゲート駆動装置および複数のソース駆動装置に対して制御信号およびデータフローを供給し、可変共通電圧発生回路の各々に対して共通電圧可変データを供給するタイミングシーケンスコントローラと、

を備えている液晶ディスプレイの駆動回路。

【請求項2】

可変共通電圧発生回路が、

共通電圧可変データおよびクロック信号を受信するデジタルインターフェイスと、

デジタルインターフェイスに結合されており、共通電圧可変データに基づいてアナログ信号を生成するデジタル - アナログ変換器と、

デジタル - アナログ変換器に結合されており、アナログ信号に基づいて共通電圧を発生させて共通電圧の負荷を駆動する出力バッファと、
を備えている請求項 1 に記載の駆動回路。

【請求項 3】

デジタルインターフェイスが、直列デジタルインターフェイスと、並列デジタルインターフェイスと、シングルエンドデジタルインターフェイスと、差分デジタルインターフェイスと、のうちの少なくとも 1 つを備えている請求項 2 に記載の駆動回路。

【請求項 4】

デジタルインターフェイスがシフトレジスタを備えている請求項 2 に記載の駆動回路。

【請求項 5】

デジタルインターフェイスがラッチを備えている請求項 2 に記載の駆動回路。

【請求項 6】

出力バッファが演算増幅器を備えている請求項 2 に記載の駆動回路。

【請求項 7】

タイミングシーケンスコントローラが、

制御信号およびデータフローを供給するタイミングシーケンス制御装置と、

タイミングシーケンス制御装置に結合され、共通電圧可変データを生成する共通電圧可変データ生成装置と、

を備えている請求項 2 に記載の駆動回路。

【請求項 8】

共通電圧可変データ生成装置用の動作タイミングシーケンスがタイミングシーケンス制御装置によって制御される請求項 7 に記載の駆動回路。

【請求項 9】

共通電圧可変データ生成装置が、

入力データに基づき最適共通電圧データを得て、共通電圧可変データを生成する処理装置と、

処理装置に結合されて、最適共通電圧データを記憶する記憶装置と、

処理装置に結合されて、可変共通電圧発生回路に対して共通電圧可変データを出力するインターフェイス装置と、

を備えている請求項 7 に記載の駆動回路。

【請求項 10】

液晶ディスプレイの複数の薄膜トランジスタを選択的に駆動する複数のゲート駆動装置であって、この複数のゲート駆動装置の各々は第 1 の可変共通電圧発生回路を更に備えており、第 1 の可変共通電圧発生回路の各々は、共通電圧可変データおよびクロック信号に基づいて、第 1 の可変共通電圧発生回路の各々からの共通電圧出力を補償することにより、第 1 の可変共通電圧発生回路の各々からの各共通電圧出力を等しくするか、または、液晶ディスプレイのパネルの I T O 層への各共通電圧出力を等しくするのであるゲート駆動装置と、

画像信号を受信する複数のソース駆動装置であって、この複数のソース駆動装置は複数のゲート駆動装置と協働して液晶ディスプレイ上に画像を表示するのであり、複数のソース駆動装置の各々は第 2 の可変共通電圧発生回路を更に備えており、第 2 の可変共通電圧発生回路の各々は、共通電圧可変データおよびクロック信号に基づいて、第 2 の可変共通電圧発生回路の各々からの共通電圧出力を補償することにより、第 2 の可変共通電圧発生回路の各々からの各共通電圧出力を等しくするか、または、液晶ディスプレイのパネルの I T O 層への各共通電圧出力を等しくするのであるソース駆動装置と、

複数のゲート駆動装置および複数のソース駆動装置に対して制御信号およびデータフローを供給し、第 1 および第 2 の可変共通電圧発生回路の各々に対して共通電圧可変データを供給するタイミングシーケンスコントローラと、

を備えている液晶ディスプレイの駆動回路。

【請求項 11】

10

20

30

40

50

第 1 および第 2 の可変共通電圧発生回路の各々が、

共通電圧可変データおよびクロック信号を受信するデジタルインターフェイスと、
デジタルインターフェイスに結合されており、共通電圧可変データに基づいてアナログ
信号を生成するデジタル - アナログ変換器と、

デジタル - アナログ変換器に結合されており、アナログ信号に基づいて共通電圧を発生
させて共通電圧の負荷を駆動する出力バッファと、

を備えている請求項 10 に記載の駆動回路。

【請求項 12】

デジタルインターフェイスが、直列デジタルインターフェイスと、並列デジタルインター
フェイスと、シングルエンドデジタルインターフェイスと、差分デジタルインターフェ
イスと、のうちの少なくとも 1 つを備えている請求項 11 に記載の駆動回路。

10

【請求項 13】

デジタルインターフェイスがシフトレジスタを備えている請求項 11 に記載の駆動回路。

【請求項 14】

デジタルインターフェイスがラッチを備えている請求項 11 に記載の駆動回路。

【請求項 15】

出力バッファが演算増幅器を備えている請求項 11 に記載の駆動回路。

【請求項 16】

タイミングシーケンスコントローラが、

制御信号およびデータフローを供給するタイミングシーケンス制御装置と、

タイミングシーケンス制御装置に結合され、共通電圧可変データを生成する共通電圧可
変データ生成装置と、

20

を備えている請求項 11 に記載の駆動回路。

【請求項 17】

共通電圧可変データ生成装置用の動作タイミングシーケンスがタイミングシーケンス制御
装置によって制御される請求項 16 に記載の駆動回路。

【請求項 18】

共通電圧可変データ生成装置が、

入力データに基づき最適共通電圧データを得て、共通電圧可変データを生成する処理装
置と、

30

処理装置に結合されて、最適共通電圧データを記憶する記憶装置と、

処理装置に結合されて、第 1 および第 2 の可変共通電圧発生回路に対して共通電圧可
変データを出力するインターフェイス装置と、

を備えている請求項 16 に記載の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的には液晶ディスプレイ (LCD: liquid crystal display) の駆動回路に関し、より詳しくは、均一な共通電圧分布を供給できる駆動回
路に関する。

40

【背景技術】

【0002】

近年、画像表示技術の進歩に伴って、従来の CRT 表示装置のかなりの数がフラットパ
ネルディスプレイで置換えられている。フラットパネルディスプレイの中では、薄膜トラン
ジスタ液晶ディスプレイ (TFT-LCD: thin-film transistor liquid crystal display) が最も普及している。更に、発光ダ
イオードやプラズマを用いたフラットパネルディスプレイもかつてないほどに普及してい
る。

【0003】

フラットパネルディスプレイの表示部は、画素アレイで構成されている。この画素アレイ

50

は、一般に、行と列の碁盤目で構成されている。画素は駆動装置で制御される。駆動装置は格子状の画像データに基づいて対応画素を駆動し、各画素は駆動装置の制御に従って所定時点で所望色を表示する。

【0004】

LCDパネルはITO層を備えている。ITO層は共通電圧に接続されている。TFT-LCDパネルが大型化するに従って、共通電圧の配線が長くなる。したがって、ITO層上の共通電圧分布の均一性が悪くなる。この共通電圧分布の不均一性は、ITO層の抵抗値を下げることにより解消できる。更に、共通電圧の電源と応答性を向上させればちらつきを改善でき、パネルと駆動装置の配列を改良すれば共通電圧分布の均一性を向上させることができる。しかし、その本来的な構造から、共通電圧の降下を効果的に補償することができない。

10

【0005】

図1は、従来の共通電圧配線および電圧調節回路を示す図である。図1を参照すれば、共通電圧Vcomは、電源VDDを可変抵抗18aで分圧して得られ、OPバッファ18bで増幅された後、パネル12全体にある負荷を駆動している。上述の分圧器の微調節は抵抗に設けた機械的なトリマによって行われる。最適な共通電圧は各パネルに対して若干異なり得るので、パネルを工場から出荷する前に共通電圧の調節が必要となる。図1に示したように、トリマ18cは、一般に、駆動回路基板14の一端に配置される。OPバッファ18bおよび抵抗トリマ18a/18cは、駆動回路基板14およびパネル12の他端に配置される。TFT-LCDのガラス基板上の共通電圧線16は、ソース駆動装置側から駆動回路基板14を介してバッファ18bに結合されている。

20

【0006】

この構造では、バッファ18bの出力電圧が共通電圧線16を介してパネル12上の各点(例えば、点A、B、およびC)に送られる。固定の共通電圧Vcomは、例えば、点Aから点Cに渡って、共通電圧線16およびパネル12のために電圧降下を起こし、パネル12上での共通電圧分布が不均一となる。

【0007】

したがって、如何にして、表示品質を向上させ共通電圧分布の均一性を改善するかが非常に重要である。従来の回路特性から、共通電圧Vcomの電圧降下を効果的に改善することはできない。したがって、共通電圧線および回路をどのように変更するかが重要な課題である。

30

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、ITO層上の共通電圧分布をより均一にして表示品質を向上できるLCDの駆動回路を提供することにある。

【0009】

本発明の目的は、共通電圧を自動的に調節してITO層上の共通電圧分布をより均一にできるLCDの駆動回路を提供することにある。

【0010】

本発明の目的は、ゲート駆動装置およびソース駆動装置が共通電圧に対する相異なった補償電圧を生成して各共通電圧を微調節することにより、より均一な共通電圧分布が得られるLCDの駆動回路を提供することにある。

40

【課題を解決するための手段】

【0011】

本発明の一実施例によれば、駆動回路が、複数のゲート駆動装置と、複数のソース駆動装置と、タイミングシーケンスコントローラと、を備えている。ゲート駆動装置は、液晶ディスプレイの複数の薄膜トランジスタを選択的に駆動するために用いられる。ソース駆動装置は画像信号を受信するために用いられ、この複数のソース駆動装置は複数のゲート駆動装置と協働して液晶ディスプレイ上に画像を表示する。複数のソース駆動装置の各々は

50

可変共通電圧発生回路を更に備えており、可変共通電圧発生回路の各々は、共通電圧可変データおよびクロック信号に基づいて、可変共通電圧発生回路の各々からの共通電圧出力を補償することにより、可変共通電圧発生回路の各々からの各共通電圧出力を実質的に等しくするか、または、液晶ディスプレイのパネルのITO層への各共通電圧出力を実質的に等しくする。タイミングシーケンスコントローラは、複数のゲート駆動装置および複数のソース駆動装置に対して制御信号およびデータフローを供給し、可変共通電圧発生回路の各々に対して共通電圧可変データを供給するために用いられる。

【0012】

本発明の一実施例では、可変共通電圧発生回路が、デジタルインターフェイスと、デジタル-アナログ変換器と、出力バッファと、を備えている。デジタルインターフェイスは共通電圧可変データおよびクロック信号を受信するために用いられる。デジタル-アナログ変換器はデジタルインターフェイスに結合されており、共通電圧可変データに基づいてアナログ信号を生成するために用いられる。出力バッファはデジタル-アナログ変換器に結合されており、アナログ信号に基づいて共通電圧を発生させて共通電圧の負荷を駆動するために用いられる。

10

【0013】

上述の構造を用いれば、各ソース駆動装置および/または各ゲート駆動装置の共通電圧発生器が同じ共通電圧を出力して共通電圧分布の不均一性を解消できる。

【0014】

本発明の一実施例では、デジタルインターフェイスが、直列デジタルインターフェイスと、並列デジタルインターフェイスと、シングルエンドデジタルインターフェイスと、差分デジタルインターフェイスと、のうちの少なくとも1つを備えている。デジタルインターフェイスはシフトレジスタおよび/またはラッチを備えており、出力バッファは演算増幅器を備えている。

20

【0015】

本発明の一実施例では、タイミングシーケンスコントローラが、タイミングシーケンス制御装置と共通電圧可変データ生成装置とを備えている。タイミングシーケンス制御装置は制御信号およびデータフローを供給するために用いられる。共通電圧可変データ生成装置はタイミングシーケンス制御装置に結合され、共通電圧可変データを生成するために用いられる。共通電圧可変データ生成装置の動作タイミングシーケンスがタイミングシーケンス制御装置によって制御される。

30

【0016】

本発明の一実施例では、共通電圧可変データ生成装置が、処理装置と、記憶装置と、インターフェイス装置と、を備えている。処理装置は、入力データに基づき最適共通電圧データを得て、共通電圧可変データを生成するために用いられる。記憶装置は処理装置に結合されて、最適共通電圧データを記憶するために用いられる。インターフェイス装置は処理装置に結合されて、可変共通電圧発生回路に対して共通電圧可変データを出力するために用いられる。

【発明の効果】

【0017】

以上では、先行技術におけるいくつかの欠点と本発明の長所とを簡単に説明した。本発明のその他の特徴、長所、および実施例は、以下の説明、添付図面、および添付した請求範囲から、当業者にとって明らかとなる。

40

【発明を実施するための最良の形態】

【0018】

図2は、本発明の第1の実施例に係るLCDの駆動回路と共通電圧配線を示す図である。図2の構造は図1の構造を改良したものである。図2に示したように、元来は回路基板130上に配置されていたバッファが、各ソース駆動装置110および各ゲート駆動装置112の内部に配置されている(例えば、図2の位置112aおよび110a)。共通電圧線120の配線は回路基板130から各ソース駆動装置110およびパネル100内部の

50

I T O 層 (図示しない) まで延在している。更に、共通電圧線 1 2 0 は各ゲート駆動装置 1 1 2 までも延在しており、各ゲート駆動装置 1 1 2 が共通電圧 V c o m を出力できるようになっている。

【 0 0 1 9 】

この構造によれば、共通電圧 V c o m は各ソース駆動装置からパネル 1 0 0 内部の I T O 層へと出力され、可変抵抗 / トリマ 1 2 2 はやはり回路基板 1 3 0 上にあり、共通電圧の微調節は手動により行われる。しかし、バッファ 1 3 5 がソース駆動装置 1 1 0 およびゲート駆動装置 1 1 2 に一体化されており、バッファ 1 3 5 の入力端子が高抵抗結節点であるので、可変抵抗 / トリマ 1 2 2 とバッファ 1 3 5 との間に電流は流れない。したがって、各ソース駆動装置 1 1 0 から出力される共通電圧 V c o m がより均一となり、先行技術における共通電圧の降下という欠点が解消してちらつきの問題が解決する。

10

【 0 0 2 0 】

しかし、上述の構造では共通電圧の降下の問題が部分的に解消されるに過ぎず、また、共通電圧の微調節は手動により行われる。共通電圧の降下を更に効果的に防止し、共通電圧を自動的にすなわち動的に調節するために、以下の実施例を提案する。

【 0 0 2 1 】

図 3 は、本発明の第 2 の実施例に係る L C D の駆動回路と共通電圧配線を示す図である。この L C D 駆動回路は、液晶ディスプレイの複数の薄膜トランジスタを選択的に駆動する複数のゲート駆動装置 1 1 2 と、画像信号を受信する複数のソース駆動装置 1 1 0 と、を少なくとも備えている。この複数のソース駆動装置は複数のゲート駆動装置と協働して液晶ディスプレイ上に画像を表示する。ソース駆動装置 1 1 0 の各々は可変共通電圧発生回路 1 1 6 を更に備えており、可変共通電圧発生回路 1 1 6 の各々は、共通電圧可変データ (図 4 および図 5 に示した V c o m _ d a t a) およびクロック信号に基づいて、可変共通電圧発生回路 1 1 6 の各々からの共通電圧 V c o m 出力を補償することにより、可変共通電圧発生回路の各々からの各共通電圧出力を実質的に等しくする。更に、可変共通電圧発生回路 1 1 4 が各ゲート駆動装置 1 1 2 に一体化されて、共通電圧分布をより均一にすることができる。駆動回路は、複数のゲート駆動装置 1 1 2 および複数のソース駆動装置 1 1 0 に対して制御信号およびデータフローを供給し、可変共通電圧発生回路 1 1 4 および 1 1 6 に対して共通電圧可変データを供給するタイミングシーケンスコントローラ 1 4 0 を更に備えている。

20

30

【 0 0 2 2 】

図 3 に示したように、上述の可変共通電圧発生回路 1 1 4 および 1 1 6 は、デジタルインターフェイス 1 1 4 a / 1 1 6 a とデジタル - アナログ変換器 (D A C : d i g i t a l - t o - a n a l o g c o n v e r t e r) 1 1 4 b / 1 1 6 b とを更に備えている。デジタルインターフェイス 1 1 4 a / 1 1 6 a は共通電圧可変データ V c o m _ d a t a およびクロック信号を受信するために用いられる。デジタル - アナログ変換器 (D A C) 1 1 4 b / 1 1 6 b はデジタルインターフェイス 1 1 4 a / 1 1 6 a に結合されており、共通電圧可変データ V c o m _ d a t a に基づいてアナログ信号を生成するために用いられる。出力バッファ 1 1 4 c / 1 1 6 c はデジタル - アナログ変換器に結合されており、アナログ信号に基づいて共通電圧 V c o m を発生させて共通電圧の負荷を駆動するために用いられる。デジタルインターフェイス 1 1 4 a / 1 1 6 a は、直列デジタルインターフェイスと、並列デジタルインターフェイスと、シングルエンドデジタルインターフェイスと、差分デジタルインターフェイスと、のうちの少なくとも 1 つであって良い。デジタルインターフェイス 1 1 4 a / 1 1 6 a は、例えば、シフトレジスタおよび / またはラッチを備えている。出力バッファ 1 1 4 c / 1 1 6 c は、例えば、演算増幅器から構成されていても良い。

40

【 0 0 2 3 】

図 4 は、図 3 のタイミングコントローラのブロック図である。図 4 に示したように、タイミングシーケンスコントローラ 1 4 0 はタイミングシーケンス制御装置 1 4 2 を備えている。共通電圧可変データ生成装置 1 4 4 はタイミングシーケンス制御装置 1 4 2 に結合さ

50

れており、共通電圧可変データ V_{com_data} を生成して、この共通電圧可変データ V_{com_data} を各ゲート駆動装置 112 の共通電圧発生器 114 と各ソース駆動装置 110 の共通電圧発生器 116 とに出力するために用いられる。タイミングシーケンス制御装置 142 は、例えば、従来のタイミングシーケンスコントローラであっても良く、ソース駆動装置 110 およびゲート駆動装置 112 の各々に対して制御信号およびデータフローを供給するために用いられる。共通電圧可変データ生成装置 144 は、共通電圧 V_{com} を調節するデータを生成してパネル 100 の ITO 層上の共通電圧 V_{com} を動的に調節することができ、これによって各共通電圧を等しく、または実質的に等しく、できるか、または、ITO 層上の各共通電圧を等しく、または実質的に等しく、できる。したがって、共通電圧分布を均一にするという目的を達成できる。共通電圧可変データ生成装置 144 の動作タイミングシーケンスはタイミングシーケンス制御装置 142 によって制御される。

10

【0024】

図 5 は、図 4 の共通電圧可変データ生成装置のブロック図である。共通電圧可変データ生成装置 144 は、処理装置 144a と、記憶装置 144b と、インターフェイス装置 144c と、を備えている。処理装置 144a はタイミングシーケンス制御装置 142 から入力データを受信する。処理装置 144a はマイクロプロセッサであっても良い。記憶装置 144b は処理装置に結合されて、共通電圧の調節または微調節に関するデータを記憶する。処理装置 144a は、受信した入力データに基づいて、記憶装置 144b から共通電圧の調節量または微調節量に関するデータを得る。処理装置 144a は、タイミングシーケンスコントローラ 140 からインターフェイス 144c を介して、共通電圧の調節量または微調節量に関するデータを出力する。

20

【0025】

図 3 を参照すれば、共通電圧可変データ V_{com_data} がタイミングシーケンスコントローラ 140 からインターフェイス 144c を介して出力された後、共通電圧可変データ V_{com_data} は各ソース駆動装置 110 の共通電圧発生器 116 と各ゲート駆動装置 112 の共通電圧発生器 114 とに伝送される。次いで、共通電圧発生器 114 および 116 は共通電圧 V_{com} をパネル 100 の ITO 層に対して出力する。この構造によれば、ソース駆動装置 110 およびゲート駆動装置 112 の各々の共通電圧発生器 114 および 116 は相異なる共通電圧補償量を出力することになるので、共通電圧発生器 114 および 116 から出力される最終共通電圧が等しく、または実質的に等しく、なるか、または、ITO 層上の各共通電圧が等しく、または実質的に等しく、なる。したがって、ITO 層上の共通電圧 V_{com} がより均一になり、ちらつきが防止できる。

30

【0026】

図 6 は、本発明に係る共通電圧データ生成器を備えたソース駆動装置の図である。図 6 に示したように、ソース駆動装置 110 は、通常のソース駆動装置 110b (すなわち、図 6 の、RSDS 受信器、データレジスタ、シフトレジスタ、ラインラッチ、レベルシフタ、DAC、および出力バッファ) に加えて、共通電圧発生器 116 を更に備えている。ソース駆動装置 110b の機能と構造は先行技術と同様であるので、説明の必要はない。共通電圧発生器 116 は、デジタルインターフェイス 116a と、DAC 116b と、出力バッファ 116c と、を備えている。

40

【0027】

デジタルインターフェイス 116a は共通電圧可変データ生成装置 144 から共通電圧可変データ V_{com_data} を受信する。次いで、DAC 116b が、デジタルインターフェイス 116a からの共通電圧可変データ V_{com_data} に基づいてアナログ信号を生成する。次いで、出力バッファ 116c がアナログ信号を増幅して共通電圧 V_{com} を発生させる。DAC 116b は如何なる種類の DAC であっても良く、微調節できる。

【0028】

上述の構造を用いて、本発明では、通常のソース駆動装置と共通電圧発生器とを一体化している。本発明のソース駆動装置によれば、全てのソース駆動装置がパネルの ITO 層に

50

対して共通電圧 V_{com} を出力することになる。更に、全てのソース駆動装置の共通電圧発生器が、それぞれの条件に応じて相異なる共通電圧補償量を生成することになるので、ITO層上の各共通電圧が等しく、または実質的に等しく、なる。したがって、ITO層上の共通電圧がより均一になり、ちらつきが防止できる。

【0029】

図7は、本発明に係る共通電圧データ生成器を備えたゲート駆動装置の図である。図7に示したように、ゲート駆動装置112は、通常のゲート駆動装置112b(すなわち、図7の、RSDS受信器、データレジスタ、シフトレジスタ、ラインラッチ、レベルシフタ、DAC、および出力バッファ)に加えて、共通電圧発生器114を更に備えている。ゲート駆動装置112bの機能と構造は先行技術と同様であるので、ここでは詳細な説明を省略する。共通電圧発生器114は、デジタルインターフェイス114aと、DAC114bと、出力バッファ114cと、を備えている。

10

【0030】

デジタルインターフェイス114aは共通電圧可変データ生成装置144から共通電圧可変データ V_{com_data} を受信する。次いで、DAC114bが、デジタルインターフェイス114aからの共通電圧可変データ V_{com_data} に基づいてアナログ信号を生成する。次いで、出力バッファ114cがアナログ信号を増幅して共通電圧 V_{com} を発生させる。DAC114bは如何なる種類のDACであっても良く、微調節できる。

【0031】

上述の構造を用いて、本発明では、通常のゲート駆動装置と共通電圧発生器とを一体化している。本発明のゲート駆動装置によれば、全てのゲート駆動装置がパネルのITO層に対して共通電圧 V_{com} を出力することになる。更に、全てのゲート駆動装置の共通電圧発生器が、それぞれの条件に応じて相異なる共通電圧補償量を生成することになるので、ITO層上の各共通電圧が等しく、または実質的に等しく、なる。したがって、ITO層上の共通電圧がより均一になり、ちらつきが防止できる。

20

【0032】

本発明の一実施例では、上述の共通電圧発生器がソース駆動装置およびゲート駆動装置の中に配置できる。したがって、各ソース駆動装置および/または各ゲート駆動装置の共通電圧発生器が同じ共通電圧を出力することになり、共通電圧分布の不均一性を解消できる。

30

【0033】

以上では本発明を好適な実施例に沿って説明したが、この説明は、本発明を制限することを意味しない。これらの実施例の様々な修正は、当業者にとっては明らかであろう。したがって、そのような修正や実施例は、それが本発明の技術範囲に該当する限り、添付の請求範囲に含まれることに留意されたい。

【図面の簡単な説明】

【0034】

【図1】従来の共通電圧回路配置および電圧調節回路を示す図である。

【図2】本発明の第1の実施例に係るLCDの駆動回路と共通電圧回路配置を示す図である。

40

【図3】本発明の第2の実施例に係るLCDの駆動回路と共通電圧回路配置を示す図である。

【図4】図3のタイミングコントローラのブロック図である。

【図5】図4の共通電圧可変データ生成装置のブロック図である。

【図6】本発明の一実施例に係る共通電圧データ生成器を備えたソース駆動装置の図である。

【図7】本発明の一実施例に係る共通電圧データ生成器を備えたゲート駆動装置の図である。

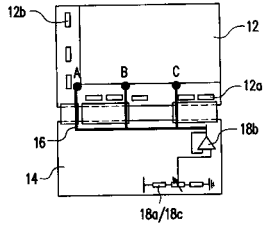
【符号の説明】

【0035】

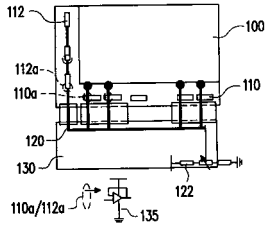
50

| | | |
|---------|------------------|----|
| 1 2 | パネル | |
| 1 4 | 駆動回路基板 | |
| 1 6 | 共通電圧線 | |
| 1 8 a | 可変抵抗 | |
| 1 8 b | バッファ | |
| 1 8 c | トリマ | |
| 1 0 0 | パネル | |
| 1 1 0 | ソース駆動装置 | |
| 1 1 0 a | 位置 | |
| 1 1 0 b | ソース駆動装置 | 10 |
| 1 1 2 | ゲート駆動装置 | |
| 1 1 2 a | 位置 | |
| 1 1 2 b | ゲート駆動装置 | |
| 1 1 4 | 可変共通電圧発生回路 | |
| 1 1 4 a | デジタルインターフェイス | |
| 1 1 4 b | デジタル - アナログ変換器 | |
| 1 1 4 c | 出力バッファ | |
| 1 1 6 | 可変共通電圧発生回路 | |
| 1 1 6 a | デジタルインターフェイス | |
| 1 1 6 b | デジタル - アナログ変換器 | 20 |
| 1 1 6 c | 出力バッファ | |
| 1 2 0 | 共通電圧線 | |
| 1 2 2 | トリマ | |
| 1 3 0 | 回路基板 | |
| 1 3 5 | バッファ | |
| 1 4 0 | タイミングシーケンスコントローラ | |
| 1 4 2 | タイミングシーケンス制御装置 | |
| 1 4 4 | 共通電圧可変データ生成装置 | |
| 1 4 4 a | 処理装置 | |
| 1 4 4 b | 記憶装置 | 30 |
| 1 4 4 c | インターフェイス装置 | |

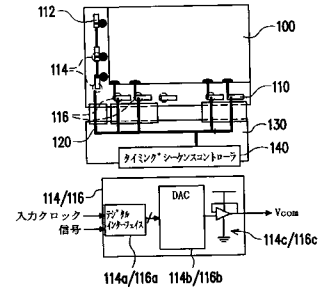
【図1】



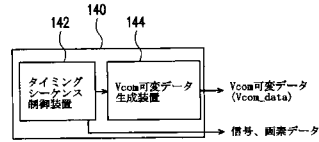
【図2】



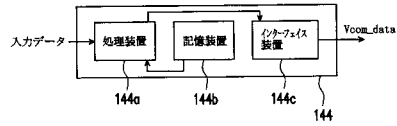
【図3】



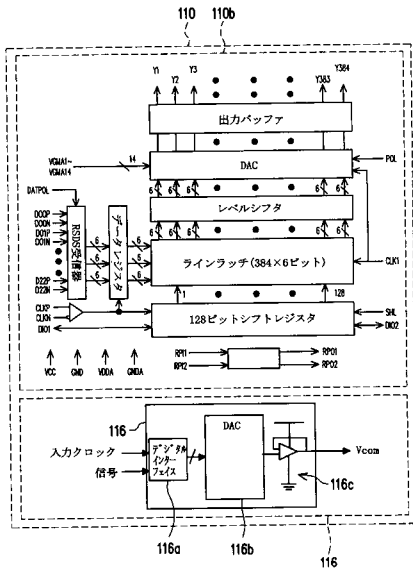
【図4】



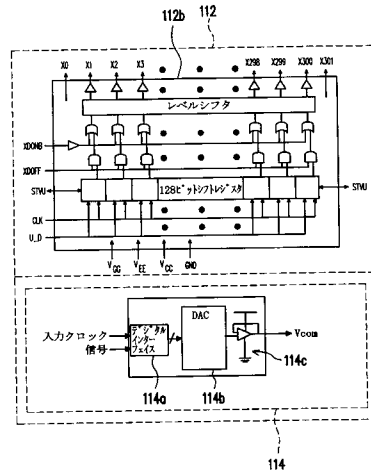
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 G
G 0 9 G 3/20 6 2 3 R
G 0 9 G 3/20 6 2 4 D
G 0 9 G 3/20 6 2 4 E
G 0 9 G 3/20 6 3 1 U
G 0 9 G 3/20 6 8 0 G

(74)代理人 100121186
弁理士 山根 広昭

(72)発明者 林 哲立
台湾台北市中坡北路92号8楼之6

審査官 一宮 誠

(56)参考文献 特開平06-004046(JP,A)
特開2001-166726(JP,A)
特開2000-310768(JP,A)
特開2004-021067(JP,A)
特開2001-134246(JP,A)
特開平05-323365(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示器的驱动电路 | | |
| 公开(公告)号 | JP4102336B2 | 公开(公告)日 | 2008-06-18 |
| 申请号 | JP2004186855 | 申请日 | 2004-06-24 |
| [标]申请(专利权)人(译) | RENEI KAGI古坟YUGENKOSHI | | |
| 申请(专利权)人(译) | 联咏科技股▲ふん▼有限公司 | | |
| 当前申请(专利权)人(译) | 联咏科技股▲ふん▼有限公司 | | |
| [标]发明人 | 林哲立 | | |
| 发明人 | 林哲立 | | |
| IPC分类号 | G09G3/36 G02F1/133 G09G3/20 | | |
| CPC分类号 | G09G3/3655 G09G3/3611 G09G3/3677 G09G3/3688 G09G2300/0426 G09G2310/0267 G09G2310/027 G09G2370/04 | | |
| FI分类号 | G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.612.P G09G3/20.621.M G09G3/20.622.G G09G3/20.623.R G09G3/20.624.D G09G3/20.624.E G09G3/20.631.U G09G3/20.680.G | | |
| F-TERM分类号 | 2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC18 2H093/NC22 2H093/NC23 2H093/ND09 2H193/ZD32 2H193/ZF59 5C006/AC25 5C006/AF13 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF71 5C006/AF84 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF24 5C006/BF25 5C006/EB04 5C006/FA18 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE28 5C080/JJ02 | | |
| 代理人(译) | 田中 秀佳 熊野刚 | | |
| 审查员(译) | 一宫诚 | | |
| 优先权 | 093108464 2004-03-29 TW | | |
| 其他公开文献 | JP2005284239A | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：提供液晶显示器的驱动电路，使ITO层上的公共电压分布更均匀，以提高显示质量，自动调节公共电压，使ITO层上的公共电压分布更多因此，栅极驱动器和源极驱动器可以为公共电压产生不同的补偿电压，以便修整每个公共电压，以便获得更均匀的公共电压分布。
 ΣSOLUTION：驱动电路包括多个栅极驱动器，用于选择性地驱动液晶显示器的多个薄膜晶体管，多个源极驱动器，用于接收图像信号，多个源极驱动器与多个栅极驱动器配合，在上面显示图像在液晶显示器中，多个源极驱动器中的每一个还包括可调节的公共电压产生电路，每个可调节的公共电压产生电路补偿从每个可调节的公共电压产生电路输出的公共电压，以使每个公共电压输出从每个可调节的公共电压产生电路相同或者使每个公共电压输出到液晶显示器的面板的ITO层基于共同的电压可调数据和时钟信号，及时序控制器，用于向多个栅极驱动器和多个源极驱动器提供控制信号和数据流，并向每个可调节的公共电压发生电路提供公共电压可调数据。

6】

