

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4089227号  
(P4089227)

(45) 発行日 平成20年5月28日(2008.5.28)

(24) 登録日 平成20年3月7日(2008.3.7)

(51) Int.Cl.		F I	
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G 3/36
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G 3/20 611H
			G09G 3/20 623D

請求項の数 22 (全 16 頁)

(21) 出願番号 特願2001-558990 (P2001-558990)  
 (86) (22) 出願日 平成12年2月10日 (2000.2.10)  
 (86) 国際出願番号 PCT/JP2000/000748  
 (87) 国際公開番号 W02001/059750  
 (87) 国際公開日 平成13年8月16日 (2001.8.16)  
 審査請求日 平成17年3月2日 (2005.3.2)

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100100310  
 弁理士 井上 学  
 (72) 発明者 秋元 肇  
 日本国茨城県日立市大みか町七丁目1番1  
 号株式会社日立製作所日立研究所内  
 (72) 発明者 三上 佳朗  
 日本国茨城県日立市大みか町七丁目1番1  
 号株式会社日立製作所日立研究所内

審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶容量と、該液晶容量の一方の電極に接続された画素スイッチを有し、マトリクス状に配置された複数の表示画素と、

画像表示データに基づいて第一のアナログ画像信号電圧を発生する画像信号電圧発生手段と、

上記第一のアナログ画像信号電圧を入力として第二のアナログ画像信号電圧を出力し、多結晶Si薄膜トランジスタを用いて構成され、かつ差動増幅器を有する複数のインピーダンス低減手段と、

該インピーダンス低減手段の出力端子と上記画素スイッチとに接続された複数の信号線と

10

、  
 上記第二のアナログ画像信号電圧を、上記信号線と上記画素スイッチを介して、所定の上記液晶容量に書込むための信号電圧書込み手段と、

第一のタイミングに従って、上記インピーダンス低減手段の出力インピーダンスを実質的に無限大に切替える第一の切替手段と、

上記第一のタイミングより後の第二のタイミングに従って、同一の上記画像表示データに基づく上記第二のアナログ画像信号電圧が入力されている信号線同士を接続させる第二の切替手段とを有することを特徴とする画像表示装置。

【請求項2】

上記インピーダンス低減手段は、負帰還を有する差動増幅器であることを特徴とする請求

20

の範囲第 1 項記載の画像表示装置。

【請求項 3】

上記差動増幅器はカスコード構成であることを特徴とする請求の範囲第 2 項記載の画像表示装置。

【請求項 4】

上記インピーダンス低減手段は、上記差動増幅器の入出力間のオフセット電圧をキャンセルするためのオフセットキャンセル回路を含むことを特徴とする請求の範囲第 1 項記載の画像表示装置。

【請求項 5】

上記オフセットキャンセル回路は、上記オフセット電圧を容量に記憶させ、この後に該容量を上記差動増幅器の負帰還路に挿入するものであることを特徴とする請求の範囲第 4 項記載の画像表示装置。

10

【請求項 6】

上記オフセットキャンセル回路は、上記オフセット電圧を容量に記憶させ、この後に該容量を上記インピーダンス低減手段の入力端子と直列に挿入して上記差動増幅器の正入力端子に逆極性の上記オフセット電圧を印加するものであることを特徴とする請求の範囲第 4 項記載の画像表示装置。

【請求項 7】

上記画像信号電圧発生手段は、階調電圧が印加された複数の階調電源線と、上記画像表示データに基づいて所定の上記階調電源線を選択する選択回路群を有していることを特徴とする請求の範囲第 1 項記載の画像表示装置。

20

【請求項 8】

上記階調電源線の長さは、該階調電源線の長さ方向における、上記マトリクス状に配置された複数の表示画素からなる画像表示領域の幅より長いことを特徴とする請求の範囲第 7 項記載の画像表示装置。

【請求項 9】

上記第二の切替手段は、上記インピーダンス低減手段の入力端子と出力端子とを短絡させるスイッチであることを特徴とする請求の範囲第 7 項記載の画像表示装置。

【請求項 10】

上記第二の切替手段は、上記信号線同士を互いに接続させるために設けられた複数のシャント配線と、上記画像表示データに基づいて所定の上記シャント配線を選択する選択回路群を有していることを特徴とする請求の範囲第 1 項記載の画像表示装置。

30

【請求項 11】

上記シャント配線の長さは、上記シャント配線の長さ方向における、上記マトリクス状に配置された複数の表示画素からなる画像表示領域の幅より長いことを特徴とする請求の範囲第 10 項記載の画像表示装置。

【請求項 12】

上記シャント配線の数は、上記画像表示データの種類の数よりも少なく、所定の画像表示データが入力された場合に、上記選択回路が駆動されることを特徴とする請求の範囲第 10 項記載の画像表示装置。

40

【請求項 13】

上記第一の切替手段は、上記インピーダンス低減手段群の出力部と上記信号線の間設けられた、多結晶 Si 薄膜トランジスタ素子を用いて構成された第一のトランスファスイッチであることを特徴とする請求の範囲第 1 項記載の画像表示装置。

【請求項 14】

上記第二の切替手段は、多結晶 Si 薄膜トランジスタ素子を用いて構成された第二のトランスファスイッチを有することを特徴とする、特許請求の範囲第 13 項記載の画像表示装置。

【請求項 15】

上記第一および第二のトランスファスイッチの少なくとも一方は、CMOS 構成であるこ

50

とを特徴とする請求の範囲第 1 4 項記載の画像表示装置。

【請求項 1 6】

上記第一のトランスファスイッチのオン抵抗は、上記第二のトランスファスイッチのオン抵抗よりも小さいことを特徴とする請求の範囲第 1 4 項記載の画像表示装置。

【請求項 1 7】

上記第一のトランスファスイッチのチャンネル幅は、上記第二のトランスファスイッチのチャンネル幅よりも大きいことを特徴とする請求の範囲第 1 6 項記載の画像表示装置。

【請求項 1 8】

上記第一のトランスファスイッチのチャンネル長は、上記第二のトランスファスイッチのチャンネル長よりも短いことを特徴とする請求の範囲第 1 6 項記載の画像表示装置。

10

【請求項 1 9】

上記第一および第二のトランスファスイッチは、上記インピーダンス低減手段の出力について、該出力を上記マトリクス状に配置された複数の表示画素の奇数列の信号線に接続した状態、該出力を上記マトリクス状に配置された複数の表示画素の偶数列の信号線に接続した状態、および該出力を遮断した状態の 3 通りの状態を選択可能であることを特徴とする請求の範囲第 1 4 項記載の画像表示装置。

【請求項 2 0】

少なくとも上記画素スイッチと上記インピーダンス低減手段は、同一の絶縁基板上に多結晶 Si 薄膜トランジスタ素子を用いて形成されていることを特徴とする請求の範囲第 1 項記載の画像表示装置。

20

【請求項 2 1】

上記インピーダンス低減手段は、上記マトリクス状に配置された複数の表示画素から構成される表示画素領域に対して、一列置きに、該表示画素領域の上側または下側に設けられていることを特徴とする請求の範囲第 1 項記載の画像表示装置。

【請求項 2 2】

入力される上記画像表示データはデータ圧縮されており、該圧縮データを伸長して上記画像表示データを再生した後に、上記マトリクス状に配置された複数の表示画素から構成される表示画素領域に対して、上記入力された画像表示データに基づく画像表示を行うことを特徴とする請求の範囲第 1 項記載の画像表示装置。

【発明の詳細な説明】

30

技術分野

本発明は特に高品位な画像表示が可能な液晶画像表示装置に関する。

背景技術

従来の液晶画像表示装置における低温多結晶 Si TFT パネル駆動回路用オフセットキャンセルバッファの回路図を図 1 3 に示す。この回路は、バッファを構成する差動増幅器 1 1 5 の出力のオフセット電圧自体をキャンセルするもので、その結果として、液晶画像表示装置の複数のバッファ間におけるオフセット電圧のばらつきにより生じる、液晶パネル上の縦筋状の輝度むらを防ぐことができる。バッファ間のオフセット電圧のばらつきは、差動増幅器 1 1 5 の正および負（反転）の入力部を構成する低温多結晶 Si TFT が、単結晶 MOS トランジスタに比較して素子性能のばらつきが大きいために生じる。

40

図 1 3 において、入力端子  $V_{in}$  に入力されたアナログ入力信号は、負帰還をかけた差動増幅器 1 1 5 を介して、出力端子  $V_{out}$  からアナログ出力信号となって表示画素領域（図示せず）に入力される。オフセットキャンセル回路は、容量 1 5 1、スイッチ 1 5 2、1 5 3、1 5 4、スイッチ 1 5 2 と容量 1 5 1 を経由する負帰還路、およびスイッチ 1 5 2 と容量 1 5 1 の間からスイッチ 1 5 4 を経由して入力端子  $V_{in}$  に接続されている配線から構成されている。

以下に図 1 3 の動作を説明する。水平走査期間の前半では、スイッチ 1 5 3、1 5 4 がオン、スイッチ 1 5 2 がオフされる。このとき、容量 1 5 1 には、差動増幅器 1 1 5 の出力のオフセット電圧が記憶される。次いで後半では、スイッチ 1 5 3、1 5 4 をオフ、スイッチ 1 5 2 をオンする。この操作によってできる負帰還路に、差動増幅器 1 1 5 のオフセ

50

ット電圧を記憶した容量 151 が直列に挿入されるので、オフセット電圧は差動増幅器 115 内で減算される。すなわち、オフセット電圧がキャンセルされる。

本従来技術に関しては、例えば電子情報通信学会技術報告 EID98-125 (1999 年 1 月) 等に詳しく記載されている。

#### 発明の開示

上記従来技術によれば、多結晶 Si TFT を用いた差動増幅器の不整合に起因するオフセット電圧をキャンセルすることが可能である。しかし、オフセットキャンセル回路のスイッチを多結晶 Si TFT を用いて構成した場合には、スイッチ 153 が液晶画像表示装置の複数のオフセットキャンセルバッファ間におけるオフセット電圧のばらつきの新たな原因となる。

10

以下に図 14 を用いてこれを説明する。図 14 は図 13 に示したオフセットキャンセルバッファの回路図に、説明に必要な事項を書き込んだものである。Cm は容量 151 の容量値、Cp は差動増幅器 115 の反転入力端子の寄生容量 155 の容量値、ノード A は差動増幅器 115 の反転入力端子、q1 および q2 はスイッチ 153 がオフした際に生じるフィードスルー電荷、G は差動増幅器 115 の開放利得である。

オフセットキャンセル動作において、容量 151 に差動増幅器 115 のオフセット電圧を記憶させた後に、スイッチ 153, 154 がオフする際に、それぞれのスイッチを構成する TFT はフィードスルー電荷をそれぞれのソースおよびドレイン側端子に放出する。その結果、スイッチ 153 のフィードスルー電荷 q1 はノード A に蓄えられる電荷量を変調してしまう。この変調は、スイッチ 153, 154 をオフにする順序に関係なく生じる。なお、スイッチ 153 のフィードスルー電荷 q2 は特に影響は及ぼさない。また、スイッチ 154 のフィードスルー電荷によるノード A に蓄えられる電荷量の変調は、スイッチ 153 を先にオフすることにより回避できる。

20

ノード A に蓄えられる電荷量の変調により、式 (1) で表される新たなオフセット電圧 Vout がオフセットキャンセルバッファの出力端子 Vout に生じる。

$$V_{out} = -G / (G \cdot C_m + C_p + C_m) \cdot q_1 \quad \text{式 (1)}$$

一般に差動増幅器 115 の開放利得 G は極めて大きな値に設計されるが、G を無限大と近似しても、式 (1) から求まるように、(-q1 / Cm) のオフセット電圧 Vout が発生する。

そして、このオフセット電圧 Vout が、次の理由で、液晶画像表示装置の複数のオフセットキャンセルバッファ間においてばらつく。

30

バッファの役割はインピーダンス低減であるから、入力インピーダンスを小さく設計することは好ましくなく、容量 151 の容量値 Cm はあまり大きくはできない。その結果、スイッチ 153 がオフした際に生じるスイッチフィードスルー電荷 q1 の影響が大きくなる。

一般に単結晶 MOS トランジスタをスイッチとして用いた場合には、閾値電圧 Vth は最大でも 20 mV 程度しかばらつくことはなく、ゲート寸法はサブミクロンの大きさである。しかし多結晶 Si TFT の場合はチャンネルに結晶粒構造を有し、ゲート絶縁膜界面も安定しないため、Vth は数 100 mV から最大で 1 V 近くもばらつくことがあり、なおかつ低温多結晶 Si TFT の場合には基板寸法が数 10 cm から 1 m と比較的大きいためゲート加工寸法は最小でも数ミクロンの大きさであり、加工ばらつきも比較的大きい。

40

フィードスルー電荷 q1 は主にチャンネル電荷 Cg · (Vg - Vth) に起因する。ここで、Cg はゲート面積、ゲート絶縁膜厚およびゲート絶縁膜誘電率で決まるゲート容量である。従って Vth およびゲート面積のばらつきはそのままフィードスルー電荷 q1 のばらつきに反映されてしまい、ひいてはオフセット電圧 Vout のオフセットキャンセルバッファ間でのばらつきが生じる。

例えば Vth が 1 V ばらつき、Cm がスイッチ 153 のチャンネル容量の 100 倍、スイッチ 153 のチャンネル電荷の半分が q1 となると仮定すると、差動増幅器 115 の開放利得 G を無限大と仮定してもオフセットキャンセルバッファの出力には 5 mV のオフセット電

50

圧  $V_{out}$  のばらつきが生じることになる。さらに、実際にはこれにゲート面積のばらつき等が加算され、オフセット電圧  $V_{out}$  のばらつきは  $5\text{ mV}$  より大きくなり、実用的レベルにない。

なお、ここではスイッチ 153 に起因する問題点として、従来のオフセットキャンセル回路が有する課題を説明したが、これは図 14 に示した回路に特有の問題ではなく、広く一般のオフセットキャンセル回路に共通の問題である。オフセットキャンセル回路は、予め容量に蓄えたオフセット電圧を差動増幅器の入力に加えて減算するものであるが、このためには容量の一端は必ず差動増幅器の入力に接続される必要がある。更にこの容量にオフセット電圧を書きこむためには、上記の一端は同時にスイッチにも接続されていなければならない。従ってこのスイッチがオフした際のフィードスルー電荷は、上記容量を介して原理的に差動増幅器の入力に電圧として印加されてしまうのである。ここで、スイッチを、 $n$ 型 T F T、 $p$ 型 T F T、C M O S T F T のいずれの T F T で構成しても、フィードスルー電荷のばらつきの観点からは同様の問題が生じる。

本発明の目的は、オフセットキャンセル回路の有無にかかわらず、差動増幅器を有するバッファ（インピーダンス低減手段）間のオフセット電圧ばらつきを防ぐことにある。

上記目的は、液晶容量と、この液晶容量の一方の電極に接続された画素スイッチを有し、マトリクス状に配置された複数の表示画素と、画像表示データに基づいて第一のアナログ画像信号電圧を発生する画像信号電圧発生手段と、第一のアナログ画像信号電圧を入力として第二のアナログ画像信号電圧を出力し、多結晶  $S i$  薄膜トランジスタを用いて構成され、かつ差動増幅器を有する複数のインピーダンス低減手段と、インピーダンス低減手段の出力端子と画素スイッチとに接続された複数の信号線と、第二のアナログ画像信号電圧を、信号線と画素スイッチを介して、所定の液晶容量に書込むための信号電圧書込み手段と、第一のタイミングに従って、インピーダンス低減手段の出力インピーダンスを実質的に無限大に切替える第一の切替手段と、第一のタイミングより後の第二のタイミングに従って、同一の画像表示データに基づく上記第二のアナログ画像信号電圧が入力されている信号線同士を接続させる第二の切替手段とを有する画像表示装置により達成できる。

発明を実施するための最良の形態

#### 第一の実施例

本発明における第一の実施例である多結晶  $S i$  液晶表示パネルを図 1 ~ 図 4 を用いて説明する。図 1 は多結晶  $S i$  液晶表示パネルの構成図である。所定の電圧が印加される液晶対向電極との間に形成された液晶容量 12 およびこれに接続された画素 T F T 11 とから構成される表示画素は、マトリクス状に配置されて画像表示領域を構成している。ここで画素 T F T 11 のゲートはゲート線 13 を介してゲート線駆動回路 14 に接続されており、画素 T F T 11 の他端は信号線 7 を介してオフセットキャンセルバッファ出力スイッチ 16 および信号線シャントスイッチ 17 に接続されている。なおここで各スイッチは多結晶  $S i$  T F T を用いた C M O S スイッチを採用している。オフセットキャンセルバッファ出力スイッチ 16 は、オフセットキャンセルバッファ 20 の出力端に接続され、更にオフセットキャンセルバッファ 20 の入力端は信号線シャントスイッチ 17 の他端と合流して階調選択スイッチ 3 に接続されている。階調選択スイッチ 3 は階調選択線 25 によりそのゲートが選択的に制御され、他端は階調電源線 2 に接続されることによって、全体としては D / A 変換器として動作するデコーダとして機能する。ここでは画像表示データは 6 b i t としたため、階調電源線 2 は異なった階調電圧が印加された 64 本の並列配線で構成されており、階調電圧発生回路 1 に接続されている。また階調電源線 2 は、図示したようにガラス基板 18 を横方向にほぼ全体にわたって横断しており、表示画素からなる画像表示領域の幅より長くなっている。一方、階調選択線 25 は 1 次ラッチ回路 23 より 2 次ラッチ回路 24 を介して出力されており、1 次ラッチ回路 23 にはデジタルデータ入力線 22 およびラッチアドレス選択回路 21 の出力が入力している。なおこれらの回路全体はタイミングパルス生成回路 19 によって制御されている。また各回路ブロックは多結晶  $S i$  T F T 素子を用いて、ガラス基板 18 上に形成されている。

次に、液晶表示パネルの動作の概略を説明する。デジタルデータ入力線 22 に入力された

画像表示データは、ラッチアドレス選択回路 2 1 によって選択されたアドレスを有する 1 次ラッチ回路 2 3 にラッチされる。一行分の書込みに必要な画像表示データのラッチが一水平走査期間内に完了すると、これらの画像表示データは一括して 1 次ラッチ回路 2 3 から 2 次ラッチ回路 2 4 に一対一に転送され、2 次ラッチ回路 2 4 はこの画像表示データを階調選択線 2 5 に出力する。デコードスイッチ群より構成される階調選択スイッチ 3 は、階調選択線 2 5 の内容に応じて、所定のアナログ画像信号電圧を階調電源線 2 からオフセットキャンセルバッファ 2 0 および信号線シャントスイッチ 1 7 に供給する。

一水平期間の前半では、信号線シャントスイッチ 1 7 はオフ、オフセットキャンセルバッファ出力スイッチ 1 6 はオン状態になっている。このとき、オフセットキャンセルバッファ 2 0 は、供給された画像信号電圧と基本的に等しい画像信号電圧を、オフセットキャンセルバッファ出力スイッチ 1 6 を介して信号線 7 に供給する。バッファはインピーダンス低減手段として働くので、オフセットキャンセルバッファ 2 0 がいない場合の階調選択スイッチ 3 の出力インピーダンスよりも、オフセットキャンセルバッファ 2 0 を設けた場合のオフセットキャンセルバッファ 2 0 の出力インピーダンスの方が低くなるので、信号線 7 の入力インピーダンスの影響による信号線 7 同士のクロストークを防止できる。

次いで一水平期間の後半では、信号線シャントスイッチ 1 7 はオンになり、オフセットキャンセルバッファ出力スイッチ 1 6 はオフ状態になる。このとき、階調選択スイッチ 3 を介した画像信号電圧出力が直接信号線 7 に供給されるとともに、階調選択スイッチ 3 と階調電源線 2 を介して、同一の画像表示データに基づく画像信号電圧を入力されている信号線 7 同士が短絡される。その結果、オフセットキャンセルバッファ 2 0 の出力に含まれていた、フィードスルー電荷に起因するオフセット電圧ばらつきは消滅する。

以上のようにして信号線 7 に入力されたオフセット電圧ばらつきのない画像信号電圧は、ゲート線 1 3 を介してゲート線駆動回路 1 4 が所定の行の画素 T F T をオンすることによって、対応する液晶容量 1 2 に書込まれる。オフセットキャンセルバッファ 2 0 の回路構成、

以下に、オフセットキャンセルバッファ 2 0 の回路構成、差動増幅器 1 5 の回路構成およびオフセットキャンセル回路の動作について説明する。図 2 は、オフセットキャンセルバッファ 2 0 にオフセットキャンセルバッファ出力スイッチ 1 6 および信号線シャントスイッチ 1 7 が接続した回路図である。オフセットキャンセルバッファ 2 0 は、差動増幅器 1 5 とオフセットキャンセル回路とから構成されている。オフセットキャンセル回路は、オフセットキャンセル容量 5 1 の一端を差動増幅器 1 5 の反転入力端子、およびスイッチ 5 3 を介して差動増幅器 1 5 の出力端子に、他端をスイッチ 5 4 を介して差動増幅器 1 5 の正入力端子、およびスイッチ 5 2 を介して差動増幅器 1 5 の出力端子に接続した構成となっている。

図 3 は差動増幅器 1 5 の回路図である。差動段は、基本的には p 型の多結晶 S i T F T 3 2 , 3 3 からなるドライバ部分と、n 型の多結晶 S i T F T 3 4 , 3 5 からなる負荷部分、更に p 型の多結晶 S i T F T 3 1 よりなる定電流源とから構成されており、p 型の多結晶 S i T F T 3 6 , 3 7、n 型の多結晶 S i 3 8 , 3 9 はこれをカスコード構成とするために付加されている。T F T には基板バイアス効果を持たないという長所があるものの、ドレインコンダクタンスが大きいという問題点もあるため、数百倍程度に差動増幅器の利得を十分に確保するためには、このようなカスコード構成が必要となる。差動段の次段には、同様な理由でカスコード構成の増幅段が設けられている。ここで n 型の多結晶 S i 4 0 はドライバ、p 型の多結晶 S i T F T 4 1 は負荷であり、n 型の多結晶 S i 4 2 がカスコード接続素子である。最終段には、出力インピーダンスを低減するためにソースフォロア段が設けられている。n 型の多結晶 S i T F T 4 4 , 4 5 はそれぞれドライバおよび負荷トランジスタである。差動増幅器 1 5 は以上の構成を採用することにより、多結晶 S i T F T で構成されているにもかかわらず、十分に大きな電圧利得と十分に低い出力インピーダンスを両立させることができる。

図 4 は、本実施例における各動作パルスの一水平期間のタイミングチャートである。本チャートにおいては、スイッチのオン/オフは、図中にも記したように上側をオン、下側を

10

20

30

40

50

オフとして表わしてある。

一水平期間の初めに、ゲート線駆動回路14によって選択されたゲート線13と階調選択スイッチ3がオンする。続いてオフセットキャンセルバッファ20におけるオフセットキャンセル回路の動作が開始され、スイッチ53, 54がオンしてオフセットキャンセル容量51に差動増幅器15のオフセット電圧が記憶される。この後、スイッチ53、スイッチ54の順で両スイッチがオフする。このオフする順序は、前述のように、スイッチ54のフィードスルー電荷の影響を除去するために大切である。次いでスイッチ52がオンすることによって、オフセットキャンセル容量51に記憶されていた差動増幅器15のオフセット電圧は負帰還路に入力され、多結晶Si TFTを用いた差動増幅器15のTFT不整合に起因するオフセット電圧はキャンセルされる。この状態でオフセットキャンセルバッファ出力スイッチ16がオンすると、信号線7にはオフセットキャンセルバッファ20より画像信号電圧が出力される。

しかしながらこの時点では未だに差動増幅器15の入力に接続されているスイッチ53のフィードスルー電荷のばらつきが、オフセット電圧ばらつきとして存在していることは既に述べたとおりである。ここでは同一の画像表示データに基づく画像信号電圧を入力されている信号線として、7(a), 7(b)の2本を取り上げ、オフセット電圧ばらつきの消滅を説明する。図4において、Hとの差をJ、Kの記号で表わすように、両者の出力電圧は一般には異なってしまふ。この後、信号線7へのアナログ画像信号電圧出力の後半では、オフセットキャンセルバッファ出力スイッチ16がオフ状態になった後に、信号線シャントスイッチ17はオンになる。この際には階調選択スイッチ3を介した画像信号電圧出力が、直接信号線7(a), 7(b)に供給されるため、オフセットキャンセルバッファ20の出力に含まれていたオフセット電圧ばらつきは消滅し、信号線7(a), 7(b)の出力が共に等しい値(ここではこの値をHとした)になる。

この後ゲート線13がオフした後に、階調選択スイッチ3、スイッチ52、信号線シャントスイッチ17が相次いでオフすることによって、一水平期間内の書込み動作は終了し、液晶容量12にはオフセット電圧ばらつきのない画像信号電圧が書込まれる。

これによって本実施例においては、差動増幅器の入力に接続されているスイッチのフィードスルー電荷のばらつきに起因するオフセット電圧ばらつきを解消することが可能であり、多結晶Si液晶表示パネル上に縦筋状の輝度むらが生じることはない。

なおこのとき、信号線シャントスイッチ17を介した信号線7の充電電荷量は、オフセットキャンセルバッファ出力スイッチ16を介した信号線7の充電電荷量より遥かに少ない。従ってレイアウト面積を縮小するためには、信号線シャントスイッチ17を構成する多結晶Si TFT-CMOSトランジスタのチャンネル幅をオフセットキャンセルバッファ出力スイッチ16を構成する多結晶Si TFT-CMOSトランジスタのチャンネル幅より小さく設計して、前者のオン抵抗を後者のオン抵抗よりも大きくすることが望ましい。また前者のオン抵抗を低減するためには、信号線シャントスイッチ17のトランジスタのチャンネル長をオフセットキャンセルバッファ出力スイッチ16のトランジスタのチャンネル長より短くすることも効果的である。

本実施例においては、各回路ブロックは多結晶Si TFT素子を用いてガラス基板18上に構成したが、例えばタイミングパルス生成回路19や階調電圧発生回路1等の一部の回路ブロックを単結晶Si LSIで構成することが可能である。またガラス基板に変えて、石英基板、透明プラスチック基板を用いることや、液晶表示方式を反射型に変えることでSi基板を始めとする不透明基板を用いることも可能である。

また差動増幅器においては、TFTのn型, p型の導電型を逆に構成することや、その他の回路構成を用いることも、本発明の範囲内で可能である。また説明を簡略化するために画像表示データを6bit、階調電源線は異なった階調電圧が印加された64本の並列配線としたが、画像表示データがn-bitであれば、階調電源線は異なった階調電圧が印加された $2^n$ 本の並列配線であること、更に反転駆動を考慮すれば並列配線はその2倍になること等は明らかである。

この他、本実施例ではスイッチ群の構成はCMOSスイッチ、画素TFTはn型TFTス

10

20

30

40

50

イチを採用したが、任意のスイッチ構成を用いても本発明を適用することは可能である。また本発明の範囲内で、表示画素構造を含めて様々なレイアウト構成を適用可能である。

次に、公知例調査の結果、本発明に類似した特開平10-301539号公報（以下、公知例という）が見つかったので、本発明との差違を述べておく。図15は、公知例のアモルファスSi TFT液晶パネル110とドライバLSI 111の接続を示す回路構成図である。

図15において、多値電圧生成回路101によって生成された複数の基準電圧は複数の基準電圧線102に出力されており、各基準電圧線102には並列に複数の電圧選択スイッチ103が接続されている。電圧選択スイッチ103の出力はソースフォロア接続されたp MOSトランジスタ104および信号線駆動スイッチ105に入力される。p MOSトランジスタ104のソース端子と信号線駆動スイッチ105の他端は信号線107およびプリチャージスイッチ106に接続されている。これら全体はSi基板111上に形成されている。信号線107はアモルファスSi TFT液晶パネル110内の信号線107に接続される。

次に、公知例の動作を説明する。多値電圧生成回路101は異なった基準電圧を基準電圧線102に出力しており、電圧選択スイッチ103は入力されたデジタル画像信号に従って所定の基準電圧を選択することで、A/D変換器として動作する。予めプリチャージスイッチ106は一水平期間の初期にオンして信号線107をプリチャージするが、その後オフすることによって、ソースフォロア接続されたp MOSトランジスタ104は、信号線107を〔（ゲートに入力された信号電圧）-  $V_{th}$ 〕まで充電する。しかし、（ゲートに入力された信号電圧）まで書込むには、この $V_{th}$ の分だけ不足する。そこで、一水平期間の後半に、信号線駆動スイッチ106をオンさせることによって、信号線107に不足分の $V_{th}$ 相当分を基準電圧線102から追加書込みする。

公知例ではこの構成により、ソースフォロア接続されたp MOSトランジスタの有するバッファリング効果、バッファを貫通する電流が存在しないことによる低消費電力効果、および信号線駆動スイッチ105がオンすることによる $V_{th}$ のばらつきを消滅させる効果を有している。

一方、本発明においては、バッファアンプの出力は基本的には最終的な画像信号電圧と等しく、これにばらつき電圧分が加味されているだけである。従って本発明における信号線シャントスイッチの役割は、本来等しくあるべき信号線の電圧を平均化することであり、信号線への追加書込みを行うことではない。

以上より、公知例は、ソースフォロア接続されたp MOSトランジスタ104の入力側と出力側を信号線駆動スイッチ105でシャント（短絡）させる点で本発明で類似しているが、両者は全く異なる考え方に立っていることが理解できる。

この考え方の違いは、次の2点の具体的構造の違いとして現れている。1点目はバッファの構造である。公知例における単一のソースフォロアトランジスタは、〔（ゲートに入力された信号電圧）-  $V_{th}$ 〕を超えたゲート電圧ではオフしているので、本来書込み電圧として欲しい（ゲートに入力された信号電圧）に対してはインピーダンス低減手段として働かない。一方、本発明で提示しているものは（ゲートに入力された信号電圧）に対してもインピーダンス低減手段として働くバッファである。

2点目は、公知例では単一のソースフォロアトランジスタの出力インピーダンスをソースフォロアトランジスタが自動的にカットオフするのに対し、本発明ではインピーダンス低減手段の出力インピーダンスを実質的に無限大に切替える第一の切替手段を設けたことである。

なお、両者の違いは、本発明が対象とする多結晶Si TFT液晶パネルのドライバとして公知例を適用することが困難であることから理解できる。公知例は、信号線駆動スイッチ105がオンすることによる追加書込みを前提としているが、この技術は、基準電圧線102の全長が短いことで可能となる技術である。すなわち、公知例が元々ドライバLSIへの適用を対象としており、基準電圧線102をドライバLSIチップの全長に亘っ

10

20

30

40

50

て設けたとしても、その長さはチップサイズであり、20mm未満と短い。一方、本発明が対象とする多結晶Si TFT液晶パネルの場合には、外部接続端子数の低減が本来の主目的の一つであるために、本発明で定義する階調電源線は一般的にはパネルの両端に伸びており、20cm以上に及ぶこともある。この場合には階調電源線の抵抗は数kにもなってしまう、階調電源線を介した信号線への追加書込みは時定数的に、或いは階調電源線の電圧降下からも殆ど困難である。

### 第二の実施例

本発明における第二の実施例である多結晶Si液晶表示パネルを説明する。本実施例の第一の実施例との相違点は、オフセットキャンセルバッファに関して以下に説明を行う。図5は、オフセットキャンセルバッファ20aにオフセットキャンセルバッファ出力スイッチ16および信号線シャントスイッチ17が接続した回路図である。

10

オフセットキャンセルバッファ20aは差動増幅器15とオフセットキャンセル回路とから構成されている。オフセットキャンセル回路はオフセットキャンセル容量51aの一端を差動増幅器15の正入力端子、およびスイッチ53aを介してオフセットキャンセルバッファ20aの入力端子Vinに、他端をスイッチ54aを介して差動増幅器15の出力端子、およびスイッチ52aを介してオフセットキャンセルバッファ20aの入力端子Vinに接続した構成となっている。また差動増幅器15の出力端子は、反転入力端子に帰還されている。

差動増幅器15のTFT不整合に起因するオフセット電圧はキャンセルについては、第一の実施例では、オフセット電圧の記憶されたオフセットキャンセル容量51を負帰還路に直列に挿入することによりキャンセルしている。一方、本実施例では、オフセット電圧の記憶されたオフセットキャンセル容量51aをオフセットキャンセルバッファ20aの入力端子Vinと直列に挿入して差動増幅器15の正入力端子に逆極性のオフセット電圧を印加することによりキャンセルしている。

20

なお、本実施例の各スイッチの動作タイミングは、図4中のスイッチ52, 53, 54の符号が各々52a, 53a, 54aに変更されていること以外は第一の実施例のものと同一であるので省略する。

本実施例においても、差動増幅器15の入力に接続されているスイッチ53aのフィードスルー電荷のばらつきに起因する、オフセットキャンセル動作後の出力電圧オフセットばらつきは、信号線シャントスイッチ17の働きによって消去される。

30

本実施例の場合には、差動増幅器反転入力端子の寄生容量Cpの影響をも受けて、オフセットキャンセル動作後の出力電圧オフセットばらつきは第一の実施例の場合よりも拡大する傾向にあるが、本発明においては、いずれにしてもオフセット電圧ばらつきは消滅するために、このことは問題にはならない。

本実施例の利点としては、差動増幅器15の負帰還路にスイッチが入っていないため、差動増幅器15がスイッチから生じる雑音の影響を受け難く、雑音特性がより安定していることが挙げられる。

### 第三の実施例

本発明における第三の実施例である多結晶Si液晶表示パネルを図6、図7を用いて説明する。図6は多結晶Si液晶表示パネルの構成図である。本実施例の特徴は、第一の実施例におけるオフセットキャンセルバッファ20に替えて、オフセットキャンセル回路が設けられていない、負帰還を有する差動増幅器15からなるバッファを用いることにある。

40

差動増幅器15の構造は第一の実施例において図3を用いて説明したものと同様である。図7に、本実施例における各動作パルスの一水平期間のタイミングチャートを示す。本チャートにおいては、スイッチのオン/オフは、上側をオン、下側をオフとして表わしてある。一水平期間の始めに、ゲート線駆動回路14によって選択されたゲート線13と階調選択スイッチ3がオンする。続いてオフセットキャンセルバッファ出力スイッチ16がオンすると、信号線7には差動増幅器15より画像信号電圧が出力される。

この時点では、差動増幅器15自体の出力のオフセット電圧のばらつきが存在している。ここでは同一の画像表示データに基づく画像信号電圧が入力されている信号線を2本取り

50

上げ、それぞれを7(c), 7(d)と称する。オフセット電圧は、図7において、7(c)ではL、7(d)ではMの符号で表わされるように、出力電圧のシフトとして現れる。ここで、LとMは等しくなく、ばらつきが存在している。

この後、信号線7へのアナログ画像信号電圧出力の後半では、オフセットキャンセルバッファ出力スイッチ16がオフ状態になった後に、信号線シャントスイッチ17はオンになる。この際には階調選択スイッチ3を介した画像信号電圧出力が、直接信号線7(c), 7(d)に供給されるため、出力電圧が平均化される。その結果、差動増幅器15の出力に含まれていたオフセット電圧のばらつきは消滅し、信号線7(c), 7(d)の出力が共にHになる。

この後ゲート線13がオフした後に、階調選択スイッチ3、信号線シャントスイッチ17が相次いでオフすることによって、一水平期間内の書込み動作は終了し、液晶容量12にはオフセット電圧のばらつきのない画像信号電圧が書込まれる。

本実施例のようにオフセットキャンセル回路が設けられていない場合にも、本発明を適用することによって、差動増幅器15自体が有するオフセット電圧のばらつきを解消することが可能であり、多結晶Si液晶表示パネル上に縦筋状の輝度むらが生じることを回避することができる。

#### 第四の実施例

本発明における第四の実施例である多結晶Si液晶表示パネルを図8、図9を用いて説明する。図8は多結晶Si液晶表示パネルの構成図である。オフセットキャンセルバッファ出力スイッチ16が存在しないことと、差動増幅器26の回路構成が変更されていることを除けば、第三の実施例の構造および動作と同様である。

本実施例においては、オフセットキャンセルバッファ出力スイッチ16が有する機能は、差動増幅器26の中に組み込まれている。図9に、差動増幅器26の回路図を示す。差動段は、p型の多結晶Si T F T 3 2, 3 3からなるドライバ部分と、n型の多結晶Si T F T 3 4, 3 5からなる負荷部分、更にp型の多結晶Si T F T 3 1よりなる定電流源とから構成されており、p型の多結晶Si T F T 3 6, 3 7、n型の多結晶Si 3 8, 3 9はこれをカスコード構成とするために付加されている。T F Tには基板バイアス効果を持たないという長所があるものの、ドレインコンダクタンスが大きいという問題点もあるため、数百倍程度に差動増幅器の利得を確保するためには、このようなカスコード構成が必要となる。差動段の次段には、同様な理由でカスコード構成の増幅段が設けられている。ここでn型の多結晶Si 4 0はドライバ、p型の多結晶Si T F T 4 1は負荷であり、n型の多結晶Si 4 2がカスコード接続素子である。最終段には、出力インピーダンスを低減するためにソースフォロア段が設けられている。n型の多結晶Si T F T 4 4, 4 5がそれぞれドライバおよび負荷である。ここでドライバおよび負荷T F T 4 4, 4 5のゲートには切替スイッチ5 5, 5 6が設けられており、両スイッチはオフセットキャンセルバッファ出力スイッチ16と同様な機能を有する。即ち切替スイッチ5 5, 5 6がオフしている際には差動増幅器26は低出力インピーダンスで信号線7を駆動するが、切替スイッチ5 5, 5 6がオンした場合には差動増幅器26の出力は実質的に開放になり、オフセットキャンセルバッファ出力スイッチ16がオフした場合と同等の効果を有する。ここで、n型の多結晶Si T F T 4 4, 4 5の駆動電圧およびしきい値電圧は、切替スイッチ5 5, 5 6がオンした際に両T F Tがターンオフするように設定されている。

第三の実施例によれば、信号線7を所定の時間内に充電するためには、オフセットキャンセルバッファ出力スイッチ16は、そのオン抵抗が十分に小さくなるように比較的大きなゲート幅を有する必要がある。しかし本実施例によれば、切替スイッチ5 5, 5 6は比較的大きなオン抵抗に設計することが可能であり、差動増幅器の面積を小さく設計することが可能である。

#### 第五の実施例

本発明における第五の実施例である多結晶Si液晶表示パネルを図10の構成図を用いて説明する。構造および基本的動作は、信号線シャントスイッチ61の先がシャント線選択

10

20

30

40

50

スイッチ 6 2 を介してシャント配線 6 3 に接続されていることを除けば、先に説明した第一の実施例の構造および動作と同様である。ここでシャント線選択スイッチ 6 2 は、階調選択線 2 5 によって、階調選択スイッチ 3 と同様に制御される。またシャント配線 6 3 は、図示したようにガラス基板 1 8 をほぼ全体にわたって横断しており、表示画素からなる画像表示領域の幅より長くなっている。

本実施例の特徴は、信号線 7 同士のシャント専用シャント配線 6 3 を設け、オフセットキャンセルバッファ 2 0 の出力に含まれているオフセット電圧のばらつきを消滅させることにある。すなわち、本実施例では、信号線 7 へのアナログ画像信号電圧出力の後半において、同一の画像表示データに基づく画像信号電圧が入力されている信号線 7 同士の短絡を、第一の実施例における階調選択スイッチ 3 と階調電源線 2 を介してではなく、シャント線選択スイッチ 6 2 とシャント配線 6 3 を介して行う。

10

本実施例においては、このようにシャント専用シャント配線 6 3 を設けたことにより、信号線シャントスイッチ 6 1 をオフした際の影響がオフセットキャンセルバッファ 2 0 に及ぶ危険がなくなり、設計上のマージンを増大させることができる。

また、オフセット電圧のばらつきは、特に中間調を液晶表示する際に問題となる。そこでシャント配線 6 3 の本数を中間調に相当する本数のみに減らして、レイアウト面積を縮小させることも可能である。例えば本実施例においては、階調電源線 2 が 6 4 本 × 2 (反転駆動分) であるのに対して、シャント配線 6 3 は 3 2 本 × 2 (反転駆動分) だけ設けている。

#### 第六の実施例

20

本発明における第六の実施例である多結晶 Si 液晶表示パネルを図 1 1 の構成図を用いて説明する。構造および基本的動作は、信号線 7 への書込み回路が上下に設けられていること、またオフセットキャンセルバッファ出力スイッチ 6 6、信号線シャントスイッチ 6 7 に接続される信号線が 2 本存在することを除けば、図 1 を用いて先に説明した第一の実施例と同様である。図 1 と対応する構成要素に関して、図 1 1 においては上側の書込み回路の対応する符号には A、下側の書込み回路のそれには B をつけて示した。

液晶の駆動時には、各信号線 7 への画像信号電圧の書込みはフィールド毎に正負の電圧を反転させてを行う。本実施例においては、オフセットキャンセルバッファ出力スイッチ 6 6 および信号線シャントスイッチ 6 7 に接続される信号線 7 をフィールド毎に交互に切替えることにより、奇数列と偶数列の信号線 7 をフィールド毎に交互に上側または下側の書込み回路と接続する。また、上側の書込み回路から正電圧を書込み、下側の書込み回路から反転電圧を書込む。

30

本実施例においては、上下に書込み回路を設けたことによって、オフセットキャンセルバッファ 2 0 のレイアウトピッチを第一の実施例の 2 倍にすることができ、高解像度化に有利である。

#### 第七の実施例

本発明における第七の実施例である画像ビューア 7 1 を図 1 2 の構成図を用いて説明する。無線インターフェース (I/F) 回路 7 3 には、圧縮された画像データが外部から無線データとして入力し、無線 I/F 回路 7 3 の出力は中央演算ユニット (CPU) / デコーダ 7 4 を経てフレームメモリ 7 5 に入力している。更にフレームメモリ 7 5 の出力は多結晶 Si 液晶表示パネル 7 6 に設けられたインターフェース (I/F) 回路 7 7 を介して行選択回路 7 9 およびデータ入力回路 7 8 に接続されており、画像表示領域 8 0 は行選択回路 7 9 およびデータ入力回路 7 8 により駆動される。画像ビューア 7 1 には更に電源 8 2 および光源 8 1 が設けられている。ここで多結晶 Si 液晶表示パネル 7 6 は、先に述べた第一の実施例と同一の構成および動作を有している。

40

次に本実施例の動作を説明する。無線 I/F 回路 7 3 は圧縮された画像データを外部から取り込み、このデータを CPU / デコーダ 7 4 に転送する。CPU / デコーダ 7 4 はユーザからの操作を受けて、必要に応じて画像ビューア 7 1 を駆動、或いは圧縮された画像データのデコード処理を行う。デコードされた画像データはフレームメモリ 7 5 に一時的に蓄積され、CPU / デコーダ 7 4 の指示に従って、蓄積されていた画像を表示するための

50

画像データおよびタイミングパルスをI/F回路77に出力する。I/F回路77は、第一の実施例で述べたとおり、これらの信号を用いて、行選択回路79およびデータ入力回路78を駆動して画像表示領域に画像を表示する。光源は液晶表示に対するバックライトであり、電源82には二次電池が含まれており、これらの装置を駆動する電源を供給する。

本実施例によれば、圧縮された画像データを元に、バッファ毎のオフセット電圧に起因する縦筋状の輝度むらのない、高品位な画像を表示させることができる。

【図面の簡単な説明】

図1は第一の実施例の多結晶Si液晶表示パネルの構成図。

図2は第一の実施例における多結晶Si液晶表示パネル中のオフセットキャンセルバッファにオフセットキャンセルバッファ出力スイッチ16および信号線シャントスイッチが接続した回路図。

10

図3は第一の実施例における多結晶Si液晶表示パネル中の差動増幅器の回路図。

図4は第一の実施例における多結晶Si液晶表示パネル中の各動作パルスの一水平期間のタイミングチャート。

図5は第二の実施例における多結晶Si液晶表示パネル中のオフセットキャンセルバッファにオフセットキャンセルバッファ出力スイッチおよび信号線シャントスイッチ17が接続した回路図。

図6は第三の実施例の多結晶Si液晶表示パネルの構成図。

図7は第三の実施例における多結晶Si液晶表示パネル中の各動作パルスの一水平期間のタイミングチャート。

20

図8は第四の実施例の多結晶Si液晶表示パネルの構成図。

図9は第四の実施例における多結晶Si液晶表示パネル中の差動増幅器の回路図。

図10は第五の実施例の多結晶Si液晶表示パネルの構成図。

図11は第六の実施例である多結晶Si液晶表示パネルの構成図。

図12は第七の実施例の画像ビューア71の構成図。

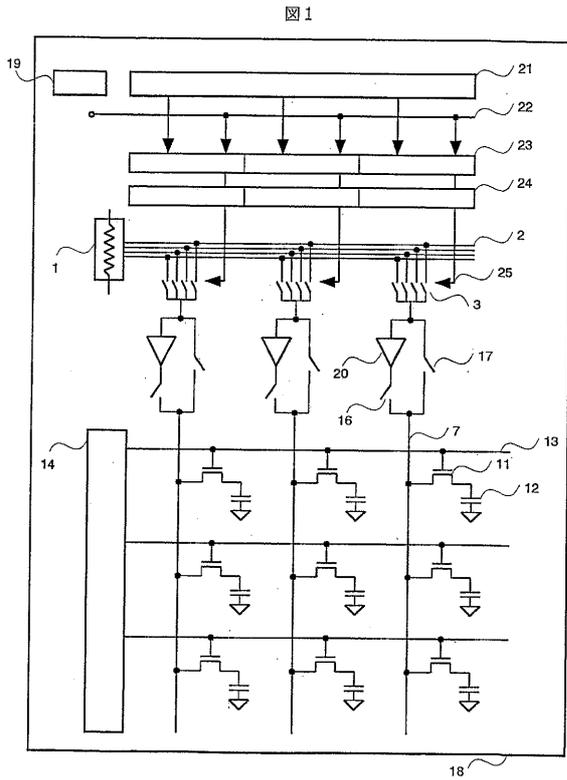
図13は従来が多結晶Si液晶表示パネルにおけるオフセットキャンセルバッファの構成図。

図14は従来が多結晶Si液晶表示パネルにおけるオフセットキャンセルバッファの構成図。

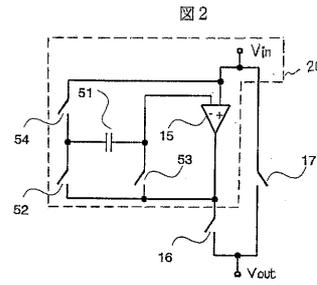
30

図15は特開平10-301539号公報におけるアモルファスSi TFT液晶パネルとドライバLSIの接続を示す回路構成図。

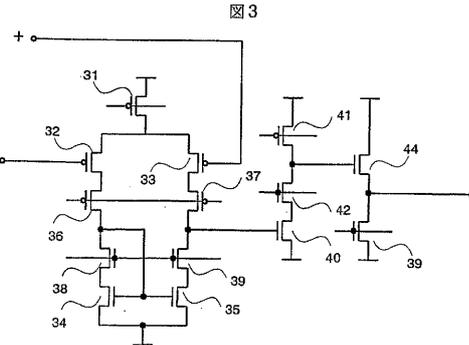
【図1】



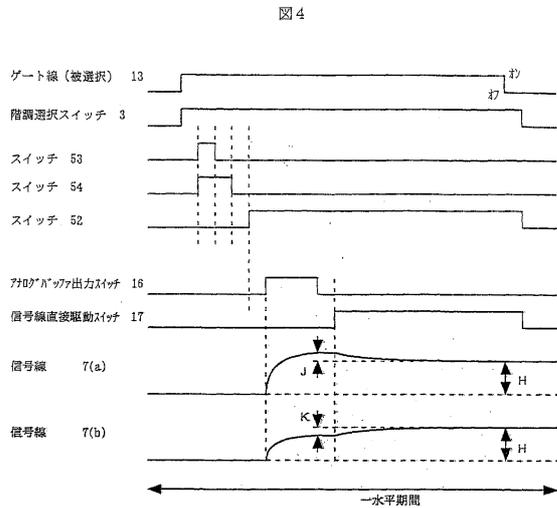
【図2】



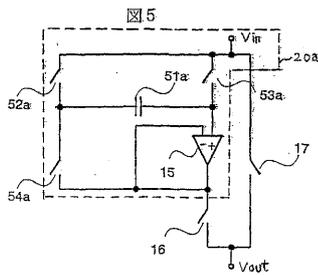
【図3】



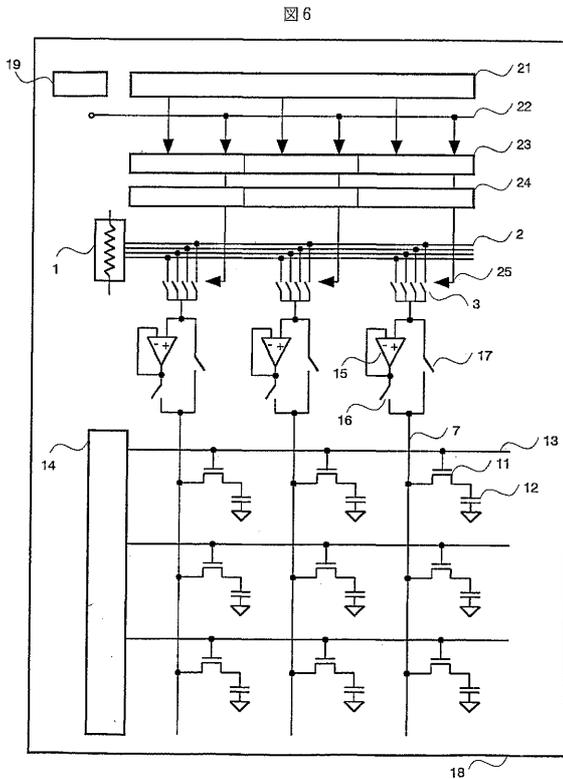
【図4】



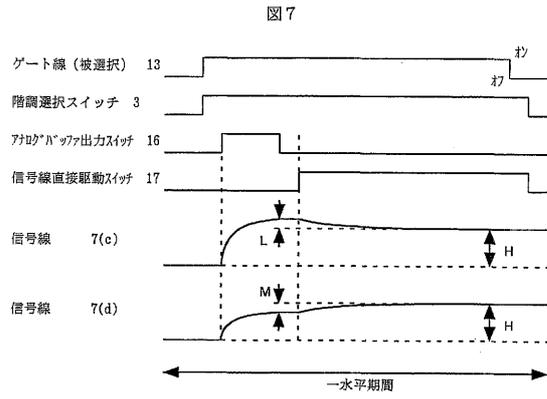
【図5】



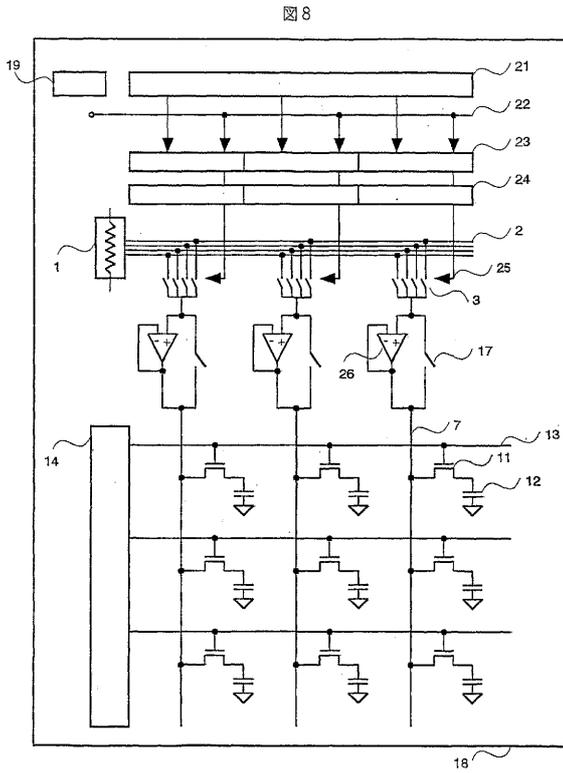
【図6】



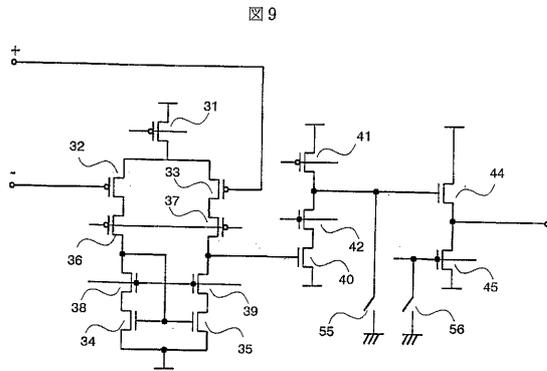
【 図 7 】



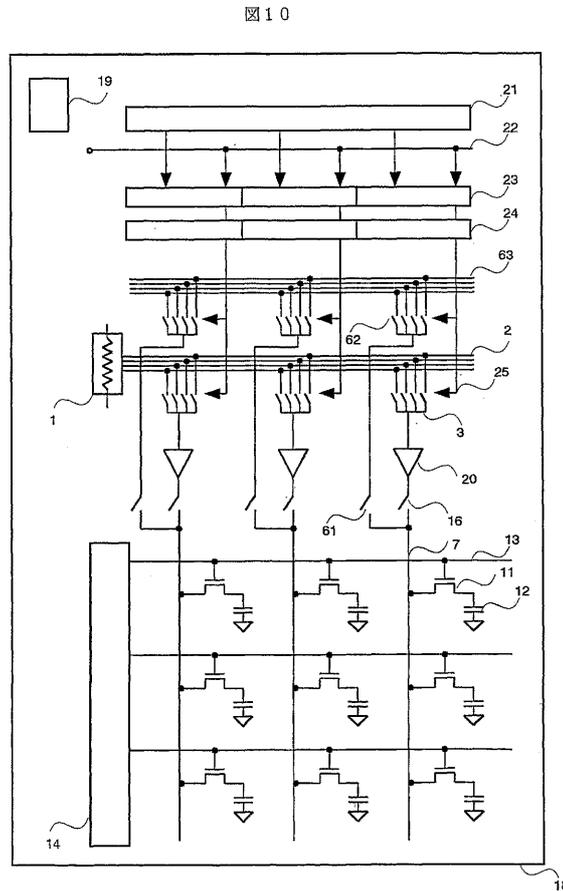
【 図 8 】



【 図 9 】

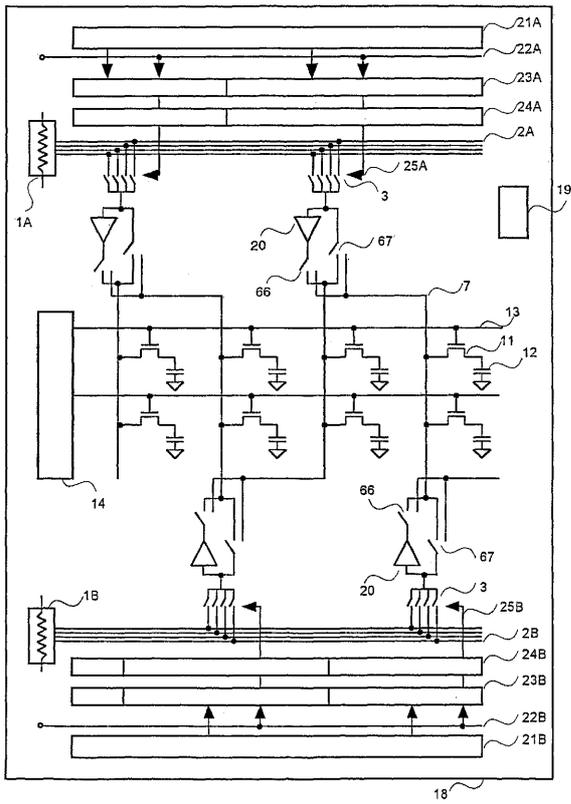


【 図 10 】



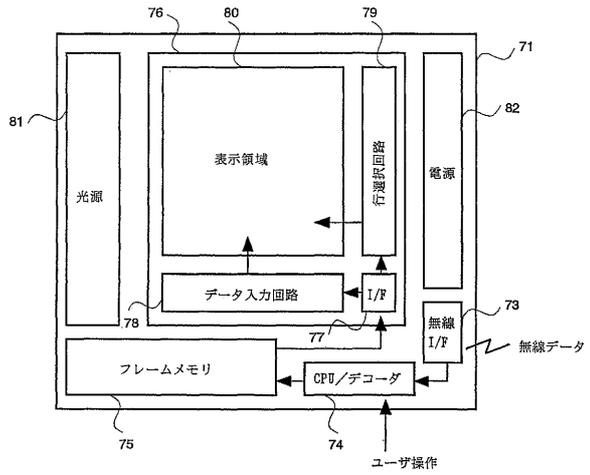
【図11】

図11



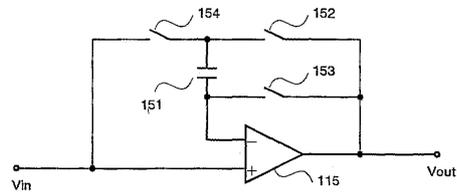
【図12】

図12



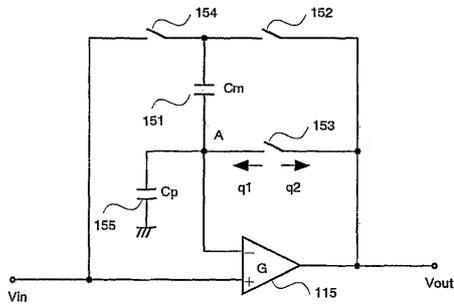
【図13】

図13



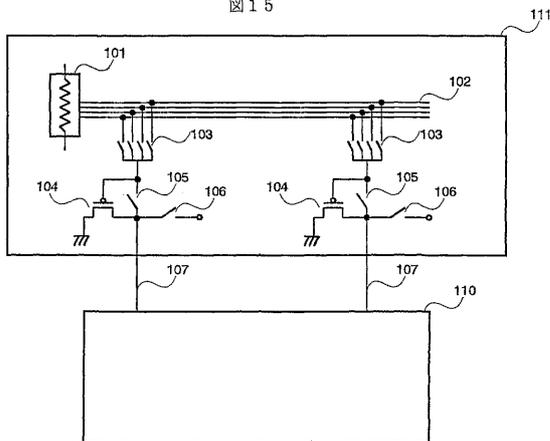
【図14】

図14



【図15】

図15



---

フロントページの続き

- (56)参考文献 特開平10-301539(JP,A)  
特開平3-167977(JP,A)  
特開平7-162788(JP,A)  
特開平8-335059(JP,A)  
特開平9-244590(JP,A)  
特開平11-73163(JP,A)  
特開平11-73165(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/20-3/38  
G02F 1/133

专利名称(译)	画像表示装置		
公开(公告)号	<a href="#">JP4089227B2</a>	公开(公告)日	2008-05-28
申请号	JP2001558990	申请日	2000-02-10
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	秋元肇 三上佳朗		
发明人	秋元 肇 三上 佳朗		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/2011 G09G3/3688 G09G2310/0251 G09G2310/027 G09G2310/0291 G09G2310/0297 G09G2320/0233		
FI分类号	G09G3/36 G09G3/20.611.H G09G3/20.623.D		
代理人(译)	井上 学		
审查员(译)	小川博		
其他公开文献	JPWO2001059750A1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种液晶图像显示器，包括差分放大器，该差分放大器由并入信号线驱动器的缓冲器中的多晶Si TFT组成。图像显示器包括用于关闭缓冲器的输出的缓冲器输出开关和用于使缓冲器的输入和输出端子短路的信号线分路开关。在一个水平周期的前半段，信号线分流开关保持断开状态，而缓冲器输出开关保持导通状态，以通过缓冲器将由电平选择开关选择的图像信号电压馈入信号线。在水平周期的后半段，信号线分流开关保持导通状态，而缓冲器输出开关保持断开状态，以直接向信号线馈送由电平选择开关选择的图像信号电压，并向信号线馈送信号。相等的图像信号电压被短路以防止垂直条纹的亮度不均匀，否则可能由于所述缓冲器具有不同的偏移电压而引起。

【图 3】

