

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4080511号
(P4080511)

(45) 発行日 平成20年4月23日(2008.4.23)

(24) 登録日 平成20年2月15日(2008.2.15)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 520

G02F 1/133 575

G02F 1/133 525

G02F 1/133 550

請求項の数 3 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2006-121292 (P2006-121292)

(22) 出願日 平成18年4月25日(2006.4.25)

(62) 分割の表示 特願2004-242738 (P2004-242738)
の分割

原出願日 平成7年10月18日(1995.10.18)

(65) 公開番号 特開2007-206665 (P2007-206665A)

(43) 公開日 平成19年8月16日(2007.8.16)

審査請求日 平成18年4月25日(2006.4.25)

(73) 特許権者 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町2番2号

(74) 代理人 110000338

特許業務法人原謙三国際特許事務所

(72) 発明者 榎本 弘美

神奈川県川崎市中原区上小田中1015番

地 富士通株式会社内

(72) 発明者 三輪 裕一

神奈川県川崎市中原区上小田中1015番

地 富士通株式会社内

(72) 発明者 磯貝 博之

神奈川県川崎市中原区上小田中1015番

地 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びデータライン・ドライバ

(57) 【特許請求の範囲】

【請求項1】

液晶パネルに配列されたデータラインを駆動するために、前記液晶パネルの片側のみに設けられるデータライン・ドライバであって、

前記データライン・ドライバ内に、

データ切り換え信号に基づいて、前記データライン・ドライバの第1のチャネルから出力されるべき第1のデータを第2のチャネルへ、第2のチャネルから出力されるべき第2のデータを第1のチャネルへ、入れ換えて供給する入力側データクロス部と、

前記第1のチャネルに接続され、極性反転駆動における正側の基準電圧を有する第1の基準電源部と、

前記第2のチャネルに接続され、極性反転駆動における負側の基準電圧を有する第2の基準電源部と、

前記第1又は第2のデータに応じて、前記第1又は第2の基準電源部より、所定の基準電圧を選択するセレクト部と、

前記データ切り換え信号に基づいて、前記セレクト部から出力された、前記第1のチャネルの前記第2のデータに対応する第2のデータ電圧を前記第2のチャネルへ、前記第2のチャネルの前記第1のデータに対応する第1のデータ電圧を前記第1のチャネルへ、入れ換えて出力する出力側データクロス部とを備え、

前記第1及び第2の基準電源部はそれぞれ階調電圧作成部を有し、

前記階調電圧作成部にて作成された複数の階調電圧を伝達する階調電圧ライン群は、第

1の基準電源部の階調電圧作成部にて作成された階調電圧を伝達する階調電圧ラインと第2の基準電源部の階調電圧作成部にて作成された階調電圧を伝達する階調電圧ラインとの同じ階調に対応する階調電圧ライン同士が隣接するように配置されていることを特徴とするデータライン・ドライバ。

【請求項2】

請求項1に記載のデータライン・ドライバにおいて、前記第1の基準電源部及び前記第2の基準電源部の一方が奇数チャンネルに割り当てられ、且つ、他方が偶数チャンネルに割り当てられていることを特徴とするデータライン・ドライバ。

【請求項3】

液晶パネルと、前記液晶パネルに配列されたデータラインに接続される、請求項1または2に記載のデータライン・ドライバとを備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置（LCD）に係り、特に、LCDに組み込まれる液晶パネルを片側から駆動する場合において64階調等の多階調表示を実現するのに適応化されたデジタル方式のデータライン・ドライバに関する。

【0002】

薄膜トランジスタ（TFT）方式の液晶パネルに代表されるアクティブマトリクス型LCDは、一般家庭用TVやOA機器の表示装置として普及が期待されている。これは、アクティブマトリクス型LCDは、陰極線管（CRT）に比べ、薄型で軽量であり、CRTに劣らない表示品質を得ることができるためである。この薄型、軽量という点を活かして、アクティブマトリクス型LCDは、ノート型パーソナルコンピュータ等の携帯型情報機器だけでなく、マルチメディア情報機器等への対応が求められている。

【背景技術】

【0003】

アクティブマトリクス型LCDの液晶パネルは、対向する電極基板間に液晶が封入された構造を持っている。すなわち、一方の基板には複数のデータラインから成るデータバスの電極（信号電極）と複数のスキャンラインから成るスキャンバスの電極（走査電極）がマトリクス状に交差し、その交差部の全てにTFT等のスイッチング素子が接続されており（この基板を「TFT基板」と称する）、対向基板には電極が一面に形成されている（この基板を「共通（コモン）基板」と称する）。

【0004】

かかるLCDを駆動する場合、TFT基板と共通基板の間に電圧を印加する。すなわち、TFT基板上の信号電極（データライン）に映像信号に応じたデータ電圧を印加する。スキャンバス中の選択されたスキャンラインにつながるTFTがオンすることにより、対応する各データラインに印加されたデータ電圧と共通基板のコモン電圧との電位差が各画素に書き込まれ、次にそのライン（スキャンライン）が選択されるまで電荷を保持することで情報が保たれる。保持された情報に応じて液晶の電圧が決まるので、光の透過量が制御されて階調表示が可能となる。また、カラー表示を行うには、RGBのカラーフィルタを用いることで光の色分解/色合成を行い、実現している。

【0005】

LCDを駆動する回路は、各スキャンラインを駆動するスキャンライン・ドライバ及び各データラインを駆動するデータライン・ドライバとコモン電圧回路から構成されている。スキャンライン・ドライバがスキャンラインを選択すると、当該スキャンラインにつながる各画素に、データライン・ドライバから各データラインを通して映像信号に応じたデータ電圧がそれぞれ印加される。LCDでは一般に、同じ画素に同じ極性のデータ電圧を印加し続けるとLCDの寿命に悪影響をきたし液晶の劣化を招くため、これを防ぐために一定の周期（1フレーム周期又は1水平周期）毎に正極性及び負極性の駆動電圧を交互に印加している。これを「交流駆動」という。また、かかる交流駆動を行うと画面のちらつ

10

20

30

40

50

き（フリッカ）が発生するため、これを抑えるためにデータライン毎の極性反転等を行っている。例えば、隣合うデータライン間に正負反対の極性の駆動電圧を印加し、隣接画素間に反対の極性の電圧を印加するといった方法を採用している。かかる駆動方法を「縦ライン反転」駆動と称する。

【 0 0 0 6 】

図 1 3 には典型的なデータライン・ドライバの構成が示される。

図示のドライバは、シフトレジスタ部 5 1 と、表示用デジタルデータ D_n のビット数分の容量をそれぞれ有するデータレジスタ部 5 2 及びラッチ部 5 3 と、デコーダ部 5 4 と、アナログスイッチ群から成るセクタ部 5 5 と、階調電圧作成部 5 6 とを備えており、クロック CLK と、データ取り込みの開始を指示するスタート信号 ST と、出力の切り換えのタイミングを指示するラッチ信号 LP とにより制御される。

10

【 0 0 0 7 】

先ず、シフトレジスタ部 5 1 は、表示ライン（1 水平周期）毎に供給されるスタート信号 ST により動作を開始し、クロック CLK により歩進してタイミング信号を生成する。データレジスタ部 5 2 は、このタイミング信号に応答して表示用デジタルデータ D_n を順次取り込む。ラッチ部 5 3 は、データレジスタ部 5 2 にデータが取り込まれた後、次の 1 ライン分のデータが到来する前に、データレジスタ部 5 2 内のデータをラッチ信号 LP に応答して取り込む。次いで、デコーダ部 5 4 は、ラッチ部 5 3 に保持されたデジタルデータをデコードする。セクタ部 5 5 は、このデコード結果に基づいて、階調電圧作成部 5 6 で作成される複数の階調電圧（図示の例では 6 4 階調の電圧）の 1 つを選択出力する。選択出力された階調電圧は、駆動電圧として各チャネル（データライン $Q_1 \sim Q_{192}$ ）に送出される。

20

【 0 0 0 8 】

なお、階調電圧作成部 5 6 は、例えば図 1 4 に示すように、抵抗アレイ型 D/A コンバータの形態で構成される。図示の例では、基準電源として入力される 9 本の基準電圧 $V_0 \sim V_8$ から、6 4 個の抵抗器を用いて $V_0 \sim V_1$ の間、 $V_1 \sim V_2$ の間、……、 $V_7 \sim V_8$ の間をそれぞれ 8 等分に分圧することで、 V_0 及び $V_{R01} \sim V_{R63}$ の 6 4 階調の電圧を作成している。作成された 6 4 個の階調電圧は、そのうちの 하나가、上述したようにデコーダ部 5 4 により制御されるセクタ部 5 5 内のアナログスイッチにより選択される。

30

【 0 0 0 9 】

図 1 5 には液晶パネルに対するデータライン・ドライバの配置形態が示されており、（a）は両側駆動の場合、（b）は片側駆動の場合を示している。なお、1 0 0 は液晶パネルを模式的に表している。

【 0 0 1 0 】

両側駆動の場合には、液晶パネル 1 0 0 の左右いずれか一方の側にスキャンライン・ドライバが配置され、また、液晶パネル 1 0 0 の上側と下側にそれぞれデータライン・ドライバが配置されている。この場合、各データライン・ドライバは、各々の出力ライン（データライン）が交互に串刺しの形になるように設けられる。かかる配置形態において、上側データライン・ドライバの駆動電圧と下側データライン・ドライバの駆動電圧を互いに反対の極性とすれば、「縦ライン反転」駆動となり、横方向（スキャンラインの方向）に隣合った画素には反対の極性のデータ電圧を印加することができる。これによって、画面のフリッカを抑えることができ、また、フレーム毎に極性を変える交流駆動により液晶の劣化を防ぐことができる。

40

【 0 0 1 1 】

これに対し、片側駆動の場合には、スキャンライン・ドライバの配置形態は両側駆動の場合と同様であるが、データライン・ドライバについては、液晶パネル 1 0 0 の上下いずれか一方の側にのみ配置されている。この片側駆動では、縦ライン反転駆動を実現するために、各データライン毎に 1 チャネルずつ表示用データを反転させて供給する必要がある。かかるデータ反転機能は、ドライバの外部にそのための手段を設けてもよいし、或いは

50

ドライバ内部にその機能を持たせてもよい。図 15 (b) の例示は後者の場合を示す。片側駆動の場合、上述した両側駆動の場合に比べて、LCD 全体から液晶パネル 100 の実装領域を除いた部分 (いわゆる額縁領域) を小さくできるという利点がある。

【 0012 】

片側駆動において、ドライバ内部にデータ反転機能を持たせる場合、ドライバ出力の奇数チャンネル及び偶数チャンネルからそれぞれ正極性の駆動電圧及び負極性の駆動電圧を出力できるようにドライバを構成する必要がある。これを実現するための構成例が図 16 に示される。

【 0013 】

図 16 は、従来形の LCD のデータライン・ドライバにおける要部の構成 (階調電圧ラインの配列) を示す。

図示のように、外部から入力する基準電圧を偶数本 (図示の例では $V_0 \sim V_9$ の 10 本) とし、中央の電圧を挟んで対称に正側と負側にそれぞれ 5 本ずつの 2 グループの基準電圧群とする。隣合う基準電圧間 (例えば V_5 と V_6 の間) を、4 個の抵抗器を用いて 4 等分に分圧し、4 階調 ($VA_{01} \sim VA_{04}$) の階調電圧 ($VR_{17} \sim VR_{20}$) を作成する。ここに、各グループの基準電圧群間の中央の電圧と各階調電圧の差が表示階調となり、図示の例では、正側と負側にそれぞれ 16 階調の階調電圧が作成される。正側の階調電圧 $VR_{17} \sim VR_{32}$ は、そのうちの一つがセクタ内のアナログスイッチにより選択されて、対応する奇数チャンネル (データライン $Q_1, Q_3, \dots$) に送出される。同様に、負側の階調電圧 $VR_{01} \sim VR_{16}$ は、そのうちの一つがセクタ内のアナログスイッチにより選択されて、対応する偶数チャンネル (データライン $Q_2, Q_4, \dots$) に送出される。

【 0014 】

図 16 の構成からわかるように、抵抗分圧で作成した各階調電圧を伝達する階調電圧ラインは、全チャンネル分の回路に亘って配列されている。また、チャンネル単位の回路で見た場合、各階調電圧ラインからアナログスイッチで選択された規定の階調電圧は、当該スイッチの箇所から出力パッドまでの配線を経由して出力される。

【 0015 】

LCD に関して、これからの技術開発の目的の一つに、その液晶パネルの表示面積の拡大と共に額縁スペースの削減といったことが挙げられる。額縁スペースを考えた場合、ドライバ (特にデータライン・ドライバ) の占有面積を小さくするのが好ましく、そのためには、図 15 (b) に示したようにデータライン・ドライバを片側配置とするのが得策である。

【 0016 】

しかしながら、片側駆動を行う場合、図 16 に関して説明したように、縦ライン反転駆動を実現するためにはドライバ出力の各チャンネル (奇数チャンネル及び偶数チャンネル) 毎に正極性の駆動電圧及び負極性の駆動電圧を出力できるようにドライバを構成する必要がある。このためには、基準電源数やアナログスイッチを倍に増やす (つまり、16 階調を実現するために 32 個の階調電圧を作成する) 必要があり、この結果、ドライバ内の階調電圧作成部及びセクタ部の回路規模が増大するといった問題があった。これは、ドライバ全体の回路規模の増大につながり、ひいては額縁スペースの増大にもつながるので、好ましくない。

【 0017 】

また、片側駆動で縦ライン反転駆動を実現するための他の手法として、従来使用されている基準電源の数を半分ずつ正側と負側に振り分けるといったことも考えられる。しかしこの方法では、表示階調数が半分になってしまい、良好な表示の実現という観点から好ましくない。

【 0018 】

また、図 16 に示したように、従来のデータライン・ドライバでは、各階調電圧を伝達する階調電圧ラインは全チャンネル分の回路に亘って配列されており、また、チャンネル単位

10

20

30

40

50

で見た場合、各階調電圧ラインからアナログスイッチで選択された規定の階調電圧はその箇所から出力配線を経由して出力されるようになっていたので、以下のような問題があった。

【0019】

すなわち、出力配線の長さ（階調電圧を選択した箇所から出力パッドまでの距離）は各階調毎に一定ではなく、また配線層の抵抗は0ではないから、階調間で配線抵抗の差が生じるといった問題があった。かかる問題は、特に配線層の線幅が細い場合や、抵抗の大きい配線層を使用する場合には、一層顕著に現れる。

【0020】

図16を参照すると、各階調電圧ラインは、中央の電圧（ V_c とする）に対し正側と負側のグループに分けてそれぞれの電圧レベルに従って順番に配列されているが、正側と負側の同じ階調同士（例えば V_{A16} と V_{B16} ）で配線位置が離れてしまうため、それぞれのアナログスイッチから出力パッドまでの距離、すなわち出力配線の長さに差が生じる。この結果、両者の配線抵抗に差が生じ、同じ階調の正側と負側で出力抵抗が異なり、出力抵抗及びデータラインの抵抗の和（ R とする）と液晶パネルの負荷容量（ C とする）とをまとめて考えた場合、 CR で決まる時定数に差が生じる。これは他の階調でも同様である。

10

【0021】

液晶パネルの駆動時間を十分長く確保できれば問題はないが、高精細表示あるいは多階調表示への応用のため駆動時間に制限があり十分な充電時間がとれない場合には、ドライバ入力での正負の基準電圧が同じレベル（例えば、 $V_9 - V_c = V_4 - V_c$ ）であったとしても、図17に示すように、正極性と負極性とは同一時間内に画素に印加される電圧 v_a 、 v_b は異なる（ $v_a \neq v_b$ ）。この結果、階調毎に階調電圧がばらつき、階調間の変動が大きくなるといった問題があった。

20

【0022】

なお、図17において、例えば v_{a16} は、階調レベル V_{A16} の階調電圧 V_{R32} と中央の電圧 V_c との電位差により画素に印加される電圧を示し、同様に v_{b16} は、階調レベル V_{B16} の階調電圧 V_{R16} と中央の電圧 V_c との電位差により画素に印加される電圧を示す。

【0023】

また、図16に示したような階調電圧ラインの配列形態では、奇数チャネルの出力配線と負側の階調電圧ラインの交差部、及び、偶数チャネルの出力配線と正側の階調電圧ラインの交差部は、それぞれ回路的に空きスペースとなる（つまりアナログスイッチが設けられていない）ため、ドライバをICとして実現する場合にチップサイズが大きくなってしまふといった課題もあった。

30

【特許文献1】特開平9-319340号公報（平成9年12月12日公開）

【特許文献2】特許第3307308号公報（平成14年5月17日公開）

【特許文献3】特開平6-324642号公報（平成6年11月25日公開）

【発明の開示】

【発明が解決しようとする課題】

40

【0024】

本発明の主な目的は、上述した従来技術における課題に鑑み、液晶の劣化防止とフリッカを抑えた良好な表示を実現する一方で、額縁スペースの削減を図ることができるデータライン・ドライバを提供することにある。

【0025】

本発明の他の目的は、反対極性の同じ階調同士の階調電圧間のばらつきを少なくし、ひいては品質の良い多階調表示を可能とするデータライン・ドライバを提供することにある。

【課題を解決するための手段】

【0026】

50

上述した従来技術の課題を解決するため、本発明の基本形態によれば、液晶パネルに配列された各データラインを駆動するディジタル方式のデータライン・ドライバであって、外部からのクロックに応答してデータを取り込むデータ入力部と、複数の階調レベルに応じた基準電圧を有する基準電源部と、前記基準電源部から前記データに応じた規定の基準電圧を選択するセレクト部と、前記セレクト部で選択された基準電圧をそれぞれ表示データとして各データラインに出力する出力部とを具備し、前記データ入力部と前記出力部が、それぞれ外部からのデータ切り換え制御信号に基づいて、前記各データラインの隣合うチャンネル間でデータの入れ換えを行うデータクロス機能を有し、隣接出力チャンネル間において、極性反転した電圧を出力できることを特徴とするデータライン・ドライバが提供される。

10

【0027】

より詳細に言えば、本発明は、液晶パネルに配列されたデータラインを駆動するデータライン・ドライバであって、前記データライン・ドライバ内に、データ切り換え信号に基づいて、前記データライン・ドライバの第1のチャンネルから出力されるべき第1のデータを第2のチャンネルへ、第2のチャンネルから出力されるべき第2のデータを第1のチャンネルへ、入れ換えて供給する入力側データクロス部と、前記第1のチャンネルに接続され、極性反転駆動における正側の基準電圧を有する第1の基準電源部と、前記第2のチャンネルに接続され、極性反転駆動における負側の基準電圧を有する第2の基準電源部と、前記第1又は第2のデータに応じて、前記第1又は第2の基準電源部より、所定の基準電圧を選択するセレクト部と、前記データ切り換え制御信号に基づいて、前記セレクト部から出力された、前記第1のチャンネルの前記第2のデータに対応する第2のデータ電圧を前記第2のチャンネルへ、前記第2のチャンネルの前記第1のデータに対応する第1のデータ電圧を前記第1のチャンネルへ、入れ換えて出力する出力側データクロス部とを備えるデータライン・ドライバを提供する。

20

【0028】

また、本発明の好適な実施形態においては、第1の基準電源部及び第2の基準電源部の一方が奇数チャンネルに割り当てられ、且つ、他方が偶数チャンネルに割り当てられる。さらに、本発明の好適な実施形態においては、第1のチャンネルと第2のチャンネルとが隣接して配置される。

【0029】

上述した本発明に係るデータライン・ドライバの構成によれば、隣合うチャンネル間でデータの入れ換えを行うデータクロス機能を入力側データクロス部（データ入力部）と入力側データクロス部（出力部）にそれぞれ持たせているので、同一チャンネルのデータラインに対して正極性と負極性の駆動電圧を交互に出力することができる。つまり、交流駆動を容易に行うことができ、これによって液晶の劣化防止を図ることが可能となる。

30

【0030】

また、階調電圧を作成するための第1及び第2の基準電源部をそれぞれ各データラインの奇数チャンネル及び偶数チャンネルに割り当てているので、例えば、第1の基準電源部を正側に、第2の基準電源部を負側に設定することにより、隣合うチャンネルのデータラインに対して異なる極性の駆動電圧を同時に出力することができる。つまり、縦ライン反転駆動を行うことができ、これによって画面のフリッカの抑制を図り、ひいては良好な表示を実現することが可能となる。

40

【0031】

さらに、各データラインの奇数チャンネルと偶数チャンネルにそれぞれ専用に基準電源部を割り当てているので、従来形に見られたように基準電源数やアナログスイッチを倍に増やすことなく、縦ライン反転駆動を片側駆動方式で実現することができる。これによって、ドライバ内の階調電圧作成部やセレクト部の回路規模を縮小し、ひいては額縁スペースの削減を図ることが可能となる。

【0032】

また、本発明の実施形態によれば、上述したデータライン・ドライバにおいて、第1及

50

び第2の基準電源部が、それぞれ複数の基準電圧から複数の階調レベルに応じた基準電圧をそれぞれ作成する第1及び第2の階調電圧作成部を有し、セクタ部が、第1及び第2の階調電圧作成部で作成された複数の階調電圧をそれぞれ対応する奇数チャンネル及び偶数チャンネルに伝達する第1及び第2の階調電圧ライン群を有し、該第1及び第2の階調電圧ライン群の各々の同じ階調同士のラインを隣合わせに配列し、且つ、階調電圧の順序に従って交互に配列したことを特徴とするデータライン・ドライバが提供される。

【0033】

この構成によれば、第1及び第2の階調電圧ライン群の各々の同じ階調同士のラインを隣合わせに配列し、且つ、各階調電圧ライン群の各々の階調電圧ラインを交互に階調電圧の順序に従って配列しているため、例えば第1の階調電圧ライン群を正側に、第2の階調電圧ライン群を負側に割り当てることにより、正側と負側の同じ階調同士の配線位置を相対的に近づけることができる。この結果、両者の出力配線の長さの差は小さくなり、配線抵抗の差も小さくなる。

10

【0034】

従って、正極性と負極性とで同一時間内に画素に印加される電圧の差を縮小することができ(図10参照)、これによって、反対極性の同じ階調同士の階調電圧間のばらつきを少なくすることができる。これは、品質の良い多階調表示の実現に寄与するものである。

【0035】

また、上述したように第1、第2の階調電圧ライン群を特定の配列形態で配置することにより、従来形(図16参照)に見られたような無駄な空きスペースを無くすることが可能となる。これは、ドライバをICとして実現する場合にチップサイズの縮小化に寄与する。

20

【発明の効果】

【0036】

本発明によれば、液晶の劣化防止とフリッカを抑えた良好な表示を実現する一方で、縁スペースの削減を図ることが可能となる。また、反対極性の同じ階調同士の階調電圧間のばらつきを少なくし、ひいては品質の良い多階調表示を実現することができる。

【発明を実施するための最良の形態】

【0037】

図1には本発明の第1実施形態に係るLCDのデータライン・ドライバの構成が示される。本実施形態は16階調デジタル方式のデータライン・ドライバであり、その基本的な構成は図13に示したデータライン・ドライバと同じであるため、その説明は省略する。

30

【0038】

本実施形態に係るデータライン・ドライバの構成上の特徴は、(1)階調電圧作成部として、予め各データラインの奇数チャンネルOCH及び偶数チャンネルECHに対し専用に割り当てられた正側基準電源部15及び負側基準電源部16を設けたこと、(2)ドライバ外部からのデータ切り換え制御信号POLに基づいて隣合うチャンネル間でデータの入れ換えを行うデータクロス機能をデータ入力部10と出力部18にそれぞれ持たせたこと、である。

40

【0039】

本実施形態では、正側及び負側の各基準電源部15、16は、それぞれ16本の基準電圧V16~V31、V0~V15を16階調の階調電圧として、セクタ部17の対応する奇数チャンネル及び偶数チャンネルにつながる階調電圧ラインに直接出力している。16階調の階調電圧は、そのうちの 하나가、デコーダ部14のデコード結果に基づいてセクタ部17内の対応するアナログスイッチにより選択出力される。

【0040】

なお、データ入力部10とシフトレジスタ部11に入力されている信号R/Lは、データのシフト方向を切り換えるための制御信号である。また、シフトレジスタ部11から出力されている信号SPは、データレジスタ部12によるデータ取り込みのタイミングを制

50

御するための信号である。

【 0 0 4 1 】

図 2 にはデータ入力部 1 0 の回路構成が示される。図示の回路は、データの 1 ビットについてデータクロス機能を実現する場合の構成例で、データを右シフト及び左シフトに対して使用可能な構成例を示している。図中、F F 1 ~ F F 6 はクロック C L K に応答するフリップフロップ、F F 7 ~ F F 1 2 はクロック C L K 1 (クロック C L K を 1 / 2 分周したクロック) に応答するフリップフロップ、S L 1 ~ S L 6 はシフト方向切り換え制御信号 R / L に応答するセクタ、S L 7 ~ S L 1 2 はデータ切り換え制御信号 P O L に応答するセクタを示す。最終段のフリップフロップ群 F F 7 ~ F F 1 2 から出力される各データ (3) 及び (4) と各制御信号 R / L 及び P O L との関係については、図 3 に示される通りである。

10

【 0 0 4 2 】

図 4 にはデータ入力部 1 0 の回路動作のタイミングの一例が示される。図中、R 1 , R 2 , ... , R 8 0 は、それぞれ赤 (R) の 1 クロック目のデータ、2 クロック目のデータ、...、8 0 クロック目のデータといった具合に入力データを表している。緑 (G) の G 1 , G 2 , ... , G 8 0 と、青 (B) の B 1 , B 2 , ... , B 8 0 についても同様である。図 4 の例では、8 0 クロック分のデータを R , G , B の 3 系統で入力した場合の 2 4 0 出力の場合が示されている。

【 0 0 4 3 】

まず、クロック C L K により取り込まれたデータは、1 段目のフリップフロップ群 F F 1 ~ F F 6 を通り、動作タイミング図の (1) のようになる。更に 2 段目のフリップフロップ群 F F 7 ~ F F 1 2 を通過すると、(2) のようになる。このようにして (1) と (2) でタイミング的に揃った 6 個のデータを、各セクタ S L 1 ~ S L 1 2 においてシフト方向切り換え制御信号 R / L とデータ切り換え制御信号 P O L によりそれぞれ選択する。選択されたデータは、最終段のフリップフロップ群 F F 7 ~ F F 1 2 においてクロック C L K 1 のタイミングで取り込まれ (動作タイミング図の (3) , (4) 参照)、データレジスタ部 1 2 (図 1 参照) へ送られる。

20

【 0 0 4 4 】

この時、図 3 に示すように、隣合うチャンネルの出力は、データ切り換え制御信号 P O L のレベル (1 又は 0) に応じて交互に入れ換えられている。

30

【 0 0 4 5 】

図 5 には出力部 1 8 の回路構成が示される。この回路は、データ切り換え制御信号 P O L に応答するインバータ I N V と、セクタ部 1 7 から供給される隣合うチャンネル間のデータに対応するチャンネルにそのまま出力するか、或いは入れ換えて出力するかを選択するスイッチ群とから構成されている。このスイッチ群は、例えばデータ D 1 , D 2 について見ると、データ切り換え制御信号 P O L によりデータ D 1 を対応するチャンネル (データライン Q 1) に送出するスイッチ S W 1 1 と、インバータ I N V の出力によりデータ D 1 を隣のチャンネル (データライン Q 2) に送出するスイッチ S W 1 2 と、インバータ I N V の出力によりデータ D 2 を隣のチャンネル (データライン Q 1) に送出するスイッチ S W 2 1 と、データ切り換え制御信号 P O L によりデータ D 2 を対応するチャンネル (データライン Q 2) に送出するスイッチ S W 2 2 とを有している。

40

【 0 0 4 6 】

以上説明したように、本実施形態に係るデータライン・ドライバの構成によれば、データ入力部 1 0 と出力部 1 8 においてそれぞれデータ切り換え制御信号 P O L により隣合うチャンネル間でデータの入れ換えを行うようにしているので、同一チャンネルのデータラインに対して正極性と負極性の駆動電圧を交互に出力することができる。つまり、交流駆動を行うことができ、これによって液晶の劣化防止を図ることができる。これは、液晶の長寿命化にも有効である。

【 0 0 4 7 】

また、階調電圧を作成するための正側及び負側の各基準電源部 1 5 , 1 6 をそれぞれ各

50

データラインの奇数チャンネル O C H 及び偶数チャンネル E C H に割り当てているので、隣合うチャンネルのデータラインに対して異なる極性の駆動電圧を同時に出力することができる。つまり、縦ライン反転駆動を行うことができ、これによって画面のフリッカの抑制を図ることができる。これは、良好な表示の実現に寄与する。

【 0 0 4 8 】

さらに、奇数チャンネル O C H と偶数チャンネル E C H にそれぞれ専用に基準電源部 1 5 , 1 6 を割り当てているので、従来形に見られたように基準電源数やアナログスイッチを増やすことなく、縦ライン反転駆動を片側駆動方式で実現することができる。つまり、片側駆動の実現により額縁スペースの削減を図ることが可能となる。

【 0 0 4 9 】

図 6 には本発明の第 2 実施形態に係る L C D のデータライン・ドライバの構成が示される。本実施形態に係るデータライン・ドライバは、上述した第 1 実施形態（図 1 参照）の構成と比べて、正側及び負側の各基準電源部 1 5 a , 1 6 a にそれぞれ階調電圧作成部 2 1 , 2 2 を内蔵させた点で異なっている。他の構成については第 1 実施形態と同じであるので、その説明は省略する。

【 0 0 5 0 】

正側及び負側の各階調電圧作成部 2 1 , 2 2 は、例えば図 1 4 に示したような抵抗アレイ型 D / A コンバータの形態でそれぞれ構成することができる。本実施形態では、正側及び負側の各基準電源部 1 5 a , 1 6 a において各階調電圧作成部 2 1 , 2 2 は、それぞれ 5 本の基準電圧 $V_5 \sim V_9$, $V_0 \sim V_4$ から 1 6 階調のレベルに応じた基準電圧をそれぞれ作成している。作成された 1 6 階調の電圧は、セクタ部 1 7 の対応する奇数チャンネル及び偶数チャンネルにつながる階調電圧ラインにそれぞれ出力され、各々一つの電圧が、デコード部 1 4 のデコード結果に基づいてセクタ部 1 7 内の対応するアナログスイッチにより選択出力される。

【 0 0 5 1 】

この第 2 実施形態によれば、上述した第 1 実施形態（図 1 参照）で得られた効果に加えて、外部からの入力基準電源数を第 1 実施形態に比べて少なくできるという利点が得られる。

【 0 0 5 2 】

図 7 には本発明の第 3 実施形態に係る L C D のデータライン・ドライバの構成が示される。本実施形態に係るデータライン・ドライバは、上述した第 2 実施形態（図 6 参照）の構成と比べて、デコード部 1 4 a に階段状電圧制御部を内蔵させた点で異なっている。他の構成については第 2 実施形態と同じであるので、その説明は省略する。

【 0 0 5 3 】

デコード部 1 4 a における階段状電圧制御部は、データ入力部 1 0 からデータレジスタ部 1 2 及びラッチ部 1 3 を介して入力される 6 ビットのデータのうち 2 ビットのデータと外部から供給される制御信号 A P , B P とに基づいて 4 階調レベルを指示する階段状電圧制御信号を出力する機能を有している。この第 3 実施形態では、セクタ部 1 7 において、上記階段状電圧制御信号に基づいて作成した階段状電圧を、正側及び負側の各階調電圧作成部 2 1 , 2 2 で作成された 1 6 階調の電圧にそれぞれ重畳させることを特徴としている。

【 0 0 5 4 】

図 8 には本実施形態における階調制御の原理が示される。図 8 (a) に示すように、デコード部では、ラッチ部から供給される 6 ビットのデータのうち上位 4 ビットを上位デコード部でデコードし、1 6 階調の電圧 V_0 及び $V_{R01} \sim V_{R15}$ の中から 1 つを選択する。一方、下位 2 ビットのデータを下位デコード部でデコードし、制御信号 A P , B P を用いて 4 階調レベルを指示する階段状電圧制御信号を作成する（図 8 (b) 参照）。そして、この階段状電圧制御信号に基づいて階段状電圧を作成し（図 8 (c) 参照）、これを、1 6 階調の電圧 V_0 及び $V_{R01} \sim V_{R15}$ にそれぞれ重畳させることで、 $16 \times 4 = 64$ 階調の表示を実現することができる。

10

20

30

40

50

【 0 0 5 5 】

この第3実施形態によれば、上述した第2実施形態（図6参照）で得られた効果に加えて、第2実施形態と同じ入力基準電源数でありながら表示階調数を増やすことができるという利点が得られる。これは、多階調表示の実現に大いに有効である。

【 0 0 5 6 】

図9には本発明の第4実施形態に係るLCDのデータライン・ドライバにおける要部の構成（階調電圧ラインの配列）が示される。図中、20は抵抗アレイ型D/Aコンバータの形態で構成された階調電圧作成部を示す。この階調電圧作成部20は、正側の基準電源として入力される5本の基準電圧V5～V9から、16個の抵抗器を用いてV5～V6の間、……、V8～V9の間をそれぞれ4等分に分圧することで、VR17～VR32の正側の16階調（VA01～VA16）の電圧を作成し、また、負側の基準電源として入力される5本の基準電圧V0～V4から、16個の抵抗器を用いてV0～V1の間、……、V3～V4の間をそれぞれ4等分に分圧することで、VR01～VR16の負側の16階調（VB01～VB16）の電圧を作成している。作成された正側の16階調の電圧VR17～VR32は、セクタ部の対応する奇数チャネル（Q1，Q3，……）につながる階調電圧ラインにそれぞれ出力され、同様に、負側の16階調の電圧VR01～VR16は、セクタ部の対応する偶数チャネル（Q2，Q4，……）につながる階調電圧ラインにそれぞれ出力される。そして、各ターフの電圧が、セクタ部内の対応するアナログスイッチにより選択出力される。

10

【 0 0 5 7 】

なお、図9の例示では階調電圧作成部20は1つのブロック単位で構成されているが、機能的には、第2実施形態（図6参照）における2つの階調電圧作成部21，22と同じである。

20

【 0 0 5 8 】

この第4実施形態の構成上の特徴は、正側の階調電圧ライン群（VR17～VR32）と負側の階調電圧ライン群（VR01～VR16）の各々の同じ階調同士（例えばVA16とVB16、VA15とVB15、……）のラインを隣合わせに配列し、且つ、正負交互に階調電圧の順序に従って配列したことである。

【 0 0 5 9 】

図16に示した従来形の配列形態では、正側と負側の同じ階調同士（例えばVA16とVB16）で配線位置が離れていたが、この第4実施形態に係る配列形態では、正側と負側の同じ階調同士（VA16とVB16）のラインの位置を近づけることができる。この結果、両者のそれぞれのアナログスイッチから出力パッドまでの距離、すなわち出力配線の長さの差は小さくなり、配線抵抗の差も小さくなる。

30

【 0 0 6 0 】

従って、図10に示すように、正極性と負極性とで同一時間内に画素に印加される電圧va，vbの差を極小にすることができる（va－vb）。これによって、反対極性の同じ階調同士の階調電圧間のばらつきを少なくすることができ、ひいては品質の良い多階調表示を実現することが可能となる。

【 0 0 6 1 】

また、正側及び負側の各階調電圧ライン群を上述したように特定の配列形態で配置することにより、従来形（図16参照）に見られたような無駄な空きスペースを無くすることができる。これは、ドライバをICとして実現する場合にチップサイズの縮小化に寄与する。

40

【 0 0 6 2 】

図11には本発明の第5実施形態に係るLCDのデータライン・ドライバにおける要部の構成（階調電圧ラインの配列）が示される。この第5実施形態の構成上の特徴は、正側の階調電圧ライン群（VR17～VR32）と負側の階調電圧ライン群（VR01～VR16）の各々の同じ階調同士のラインを2本単位で（例えばVA16，VA15とVB16，VB15、……）隣合わせに配列し、且つ、正負交互に階調電圧の順序に従って配

50

列したことである。

【0063】

この第5実施形態によれば、上述した第4実施形態（図9参照）と同等の効果を奏することができる。

【0064】

なお、本実施形態では正側と負側で同じ階調同士のラインを2本単位で隣合わせに配列したが、両者間の配線抵抗の差が許容できる範囲であれば、2本に限定されることなく、任意の複数本毎に交互に配列することも可能である。

【0065】

図12には本発明の第6実施形態に係るLCDのデータライン・ドライバにおける要部の構成（階調電圧ラインの配列）が示される。この第6実施形態の構成上の特徴は、正側の階調電圧ライン群（VR17～VR32）と負側の階調電圧ライン群（VR01～VR16）の各々において最も高い電圧のライン（VR32，VR16）、最も低い電圧のライン（VR17，VR01）、2番目に高い電圧のライン（VR31，VR15）、2番目に低い電圧のライン（VR18，VR02）、……の順序で各階調電圧ラインを配列し、且つ、正負交互に配列したことである。

【0066】

この第6実施形態によれば、上述した第4実施形態（図9参照）で得られた効果に加えて、黒レベル及び白レベルの階調にそれぞれ対応する高電圧及び低電圧の各ラインが近接していることにより、配線抵抗による偏差の影響を小さくできるという利点が得られる。

【0067】

ここで、参考のため、本発明と関連する技術文献である特開平10-62744号公報（特許第3056085号公報）の「特許請求の範囲」の部分を記載しておく。この技術文献に記載の発明は、本発明より後に出願されたものであるが、本発明より先に特許登録がなされている。

〔請求項1〕 供給されるデータビットに応じて、液晶駆動電圧の1/2の電圧または液晶共通電極の電圧を基準として正及び負の電圧を発生させ、出力端子に時系列に正及び負の電圧を交互に出力するマトリクス型液晶表示装置の駆動回路であって、該駆動回路が、前記データビットを第1の系統の回路又は第2の系統の回路の何れかを選択して供給する第1のスイッチ回路と、前記第1の系統の回路に設けられ、前記第1のスイッチ回路が前記第1の系統の回路を選択した時に前記データビットを第1の電圧レベルにシフトさせる第1のレベルシフト回路と、前記第2の系統の回路に設けられ、前記第1のスイッチ回路が前記第2の系統の回路を選択した時に前記データビットを前記第1の電圧レベルよりも低圧の第2の電圧レベルにシフトさせる第2のレベルシフト回路と、前記第1のスイッチ回路により選択された前記第1の系統の回路又は前記第2の系統の回路からの出力に対応する出力端子に与えるように切り換える第2のスイッチ回路とを備えたことを特徴とするマトリクス型液晶表示装置の駆動回路。

〔請求項2〕 前記第2のスイッチ回路の耐圧は、液晶のしきい電圧値の2倍以上に設定したものであることを特徴とする請求項1に記載のマトリクス型液晶表示装置の駆動回路。

〔請求項3〕 前記第1の系統の回路と前記第2の系統の回路には、それぞれ高圧側オペアンプと低圧側オペアンプとを有し、これら高圧側オペアンプ及び低圧側オペアンプの差動入力段は、導電型の異なるトランジスタで構成されたものであることを特徴とする請求項1に記載のマトリクス型液晶表示装置の駆動回路。

〔請求項4〕 前記第1の系統の回路と前記第2の系統の回路には、それぞれ高圧側階調電圧発生回路と低圧側階調電圧発生回路とを有し、これら高圧側階調電圧発生回路と低圧側階調電圧発生回路は、外部入力に基づいて液晶に階調表示する階調電圧が微調整されるものであることを特徴とする請求項1に記載のマトリクス型液晶表示装置の駆動回路。

〔請求項5〕 前記高圧側階調電圧発生回路と前記低圧側階調電圧発生回路は、抵抗分割方式により液晶γ曲線に合うような抵抗比に階調電圧が微調整されるものであることを特

10

20

30

40

50

徴とする請求項 4 に記載のマトリクス型液晶表示装置の駆動回路。

〔請求項 6〕 隣接する全ての出力端子間には共通端子スイッチが設けられ、全出力端子には前記共通端子スイッチを介して液晶駆動電圧の $1/2$ の電圧が与えられることを特徴とする請求項 1 に記載のマトリクス型液晶表示装置の駆動回路。

【図面の簡単な説明】

【0068】

【図 1】本発明の第 1 実施形態に係る LCD のデータライン・ドライバの構成を示すブロック図である。

【図 2】図 1 におけるデータ入力部の回路構成を示すブロック図である。

【図 3】図 2 における各種制御信号とデータの関係を示す図である。

10

【図 4】図 2 の回路の動作タイミング図である。

【図 5】図 1 における出力部の回路構成を示す図である。

【図 6】本発明の第 2 実施形態に係る LCD のデータライン・ドライバの構成を示すブロック図である。

【図 7】本発明の第 3 実施形態に係る LCD のデータライン・ドライバの構成を示すブロック図である。

【図 8】図 7 の実施形態における階調制御の説明図である。

【図 9】本発明の第 4 実施形態に係る LCD のデータライン・ドライバにおける要部の構成（階調電圧ラインの配列）を示す図である。

【図 10】図 9 の実施形態における階調レベルと画素印加電圧の関係を示す図である。

20

【図 11】本発明の第 5 実施形態に係る LCD のデータライン・ドライバにおける要部の構成（階調電圧ラインの配列）を示す図である。

【図 12】本発明の第 6 実施形態に係る LCD のデータライン・ドライバにおける要部の構成（階調電圧ラインの配列）を示す図である。

【図 13】典型的なデータライン・ドライバの構成を示すブロック図である。

【図 14】図 13 における階調電圧作成部の回路構成を示す図である。

【図 15】液晶パネルに対するデータライン・ドライバの配置形態を示す図である。

【図 16】従来形の LCD のデータライン・ドライバにおける要部の構成（階調電圧ラインの配列）を示す図である。

【図 17】図 16 の構成における階調レベルと画素印加電圧の関係を示す図である。

30

【符号の説明】

【0069】

10 (データクロス機能付) データ入力部

11 シフトレジスタ部

12 データレジスタ部

13 ラッチ部

14, 14a デコーダ部

15, 15a 第 1 の基準電源部 (正側基準電源部)

16, 16a 第 2 の基準電源部 (負側基準電源部)

17 セレクタ部

40

18 (データクロス機能付) 出力部

20, 21, 22 階調電圧作成部 (抵抗アレイ型 D/A コンバータ)

AP, BP (階段状電圧制御のための) 外部制御信号

CLK クロック

Dn データ (表示用デジタルデータ)

ECH 偶数チャンネル (データライン)

LP ラッチ信号

OCH 奇数チャンネル (データライン)

POL データ切り換え制御信号

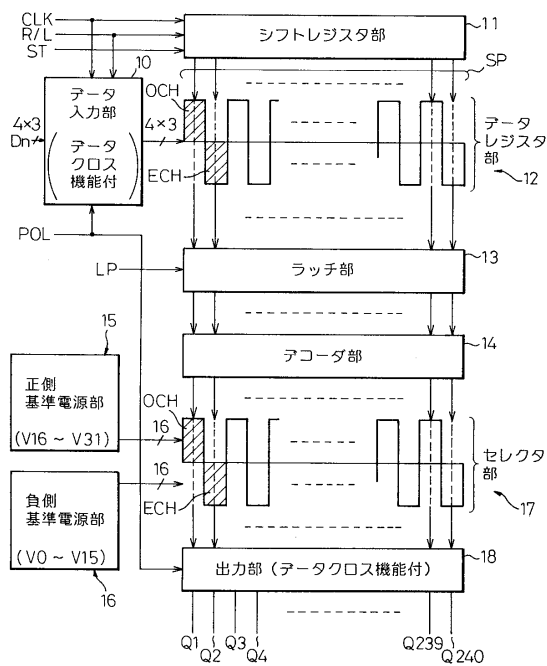
R/L シフト方向切り換え制御信号

50

S P タイミング信号
S T スタート信号

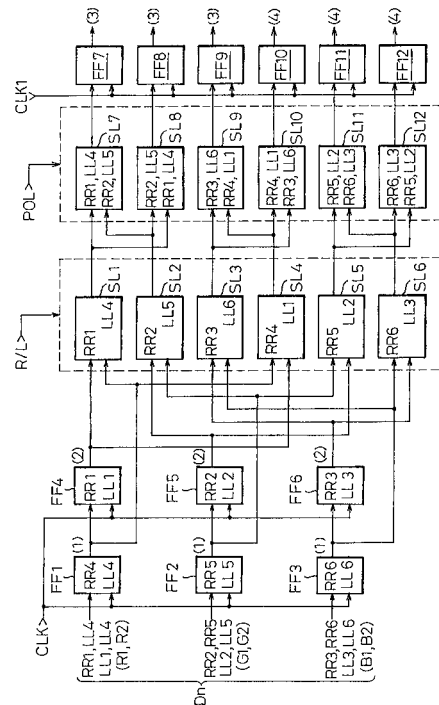
【図 1】

本発明の第1実施形態に係るLCDのデータライン・ドライバの構成を示すブロック図



【図 2】

図 1 におけるデータ入力部の回路構成を示すブロック図



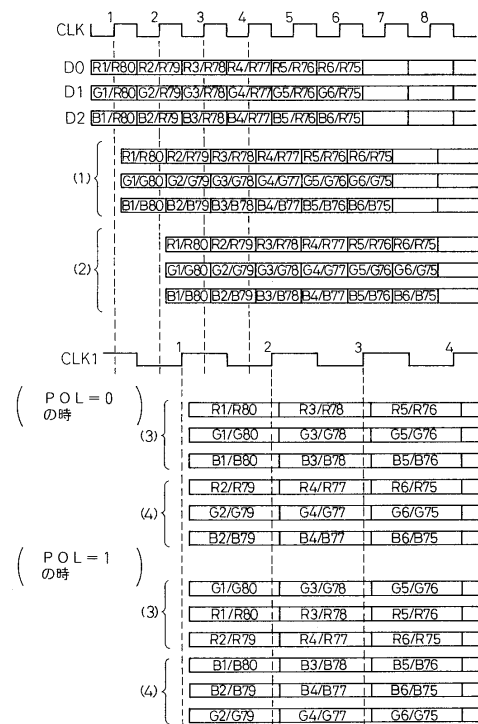
【図 3】

図 2 における各種制御信号とデータの関係を示す図

データ	(R/L, POL)			
	(0, 0)	(0, 1)	(1, 0)	(1, 1)
(3)	RR1 (R1)	RR2 (G1)	LL4 (R2)	LL5 (G2)
(3)	RR2 (G1)	RR1 (R1)	LL5 (G2)	LL4 (R2)
(3)	RR3 (B1)	RR4 (R2)	LL6 (B2)	LL1 (R1)
(4)	RR4 (R2)	RR3 (B1)	LL1 (R1)	LL6 (B2)
(4)	RR5 (G2)	RR6 (B2)	LL2 (G1)	LL3 (B1)
(4)	RR6 (B2)	RR5 (G2)	LL3 (B1)	LL2 (G1)

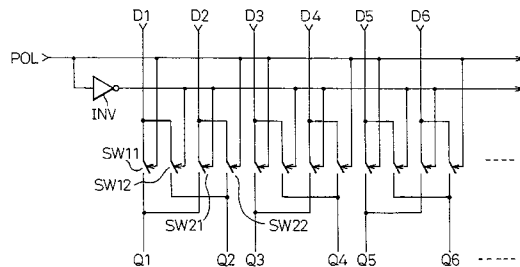
【図 4】

図 2 の回路の動作タイミング図



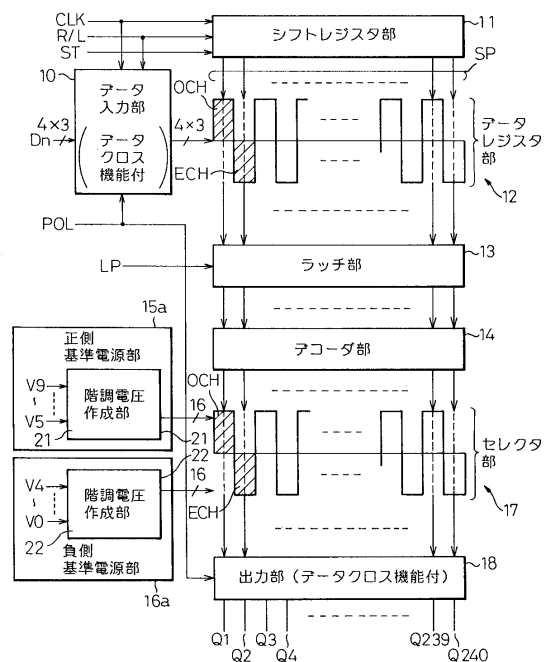
【図 5】

図 1 における出力部の回路構成を示す図



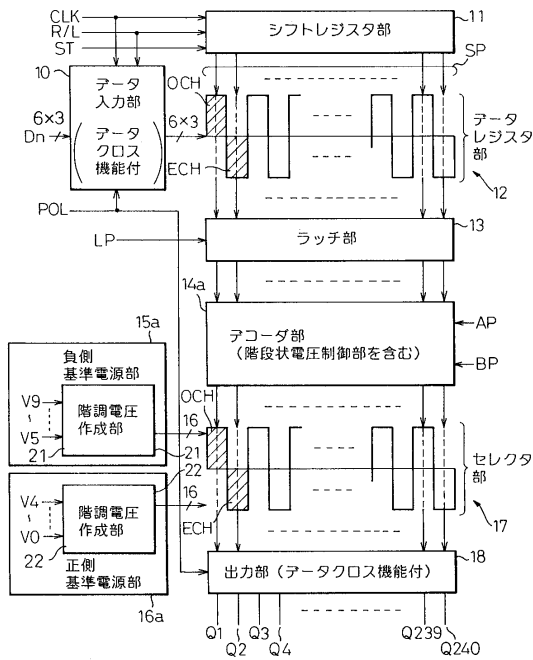
【図 6】

本発明の第 2 実施形態に係る LCD のアータライン・ドライバの構成を示すブロック図



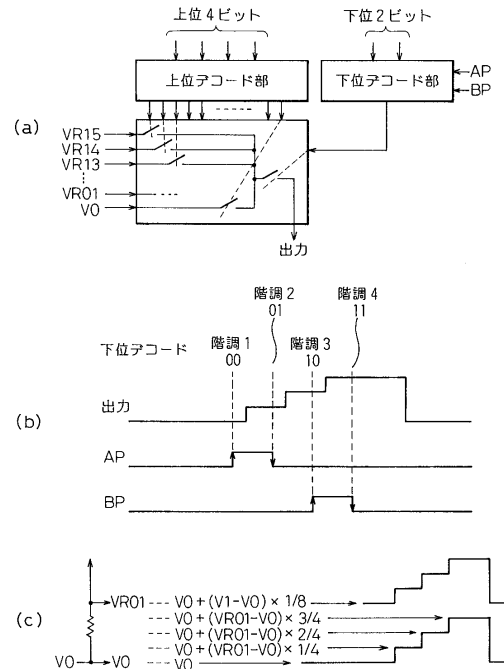
【図 7】

本発明の第3実施形態に係るLCDのデータライン・ドライバの構成を示すブロック図



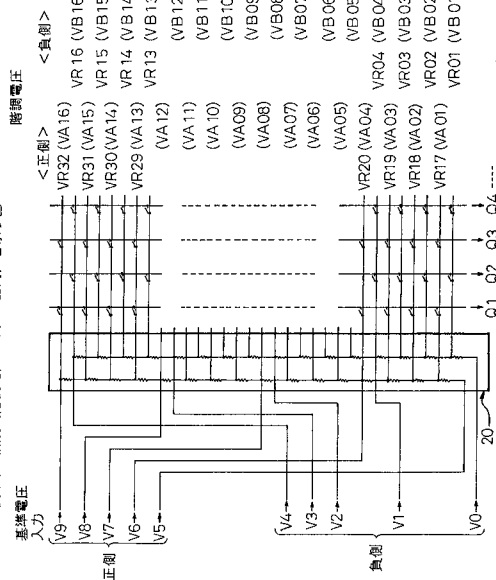
【図 8】

図7の実施形態における階調制御の説明図



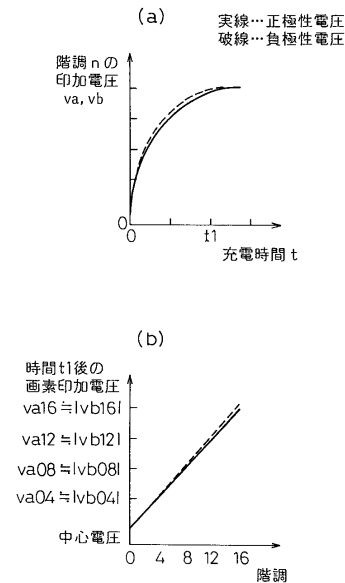
【図 9】

本発明の第4実施形態に係るLCDのデータライン・ドライバにおける階調レベルと画素印加電圧の配列を示す図

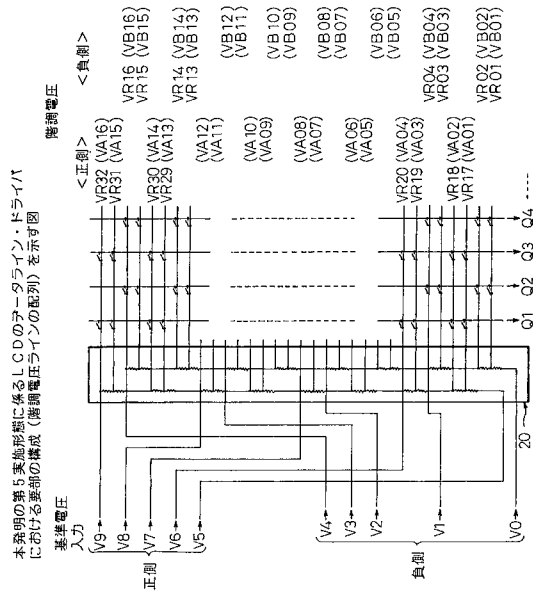


【図 10】

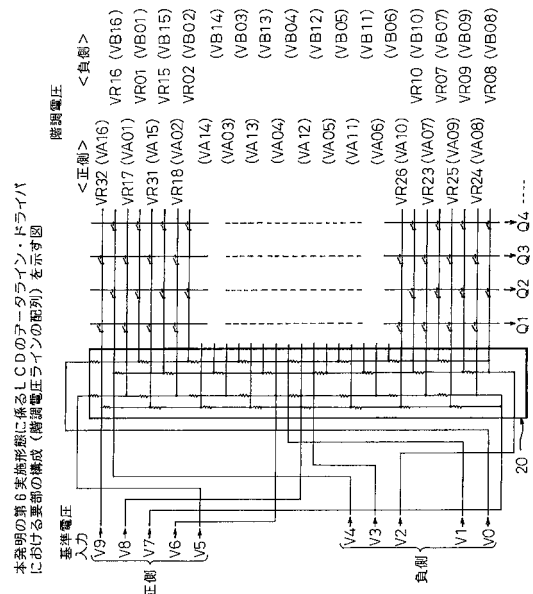
図9の実施形態における階調レベルと画素印加電圧の関係をj示す図



【図 1 1】

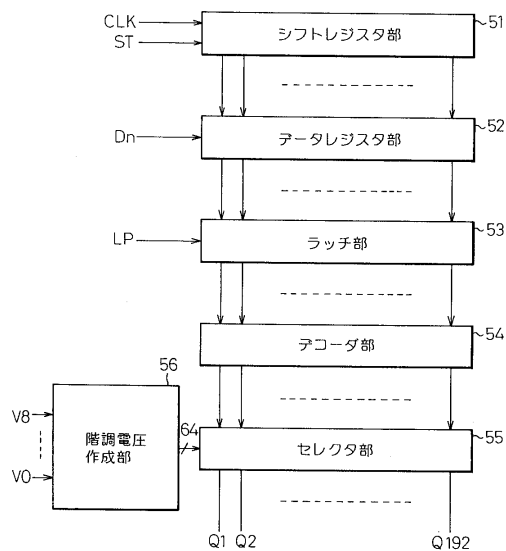


【図 1 2】



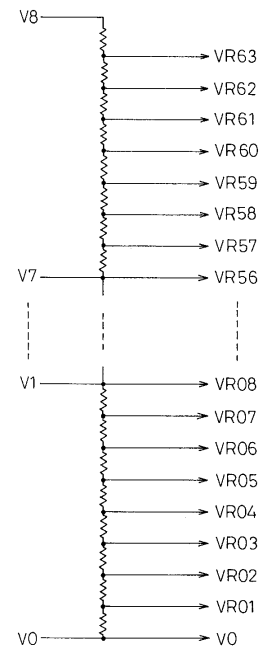
【図 1 3】

典型的なデータライン・ドライバの構成を示すブロック図



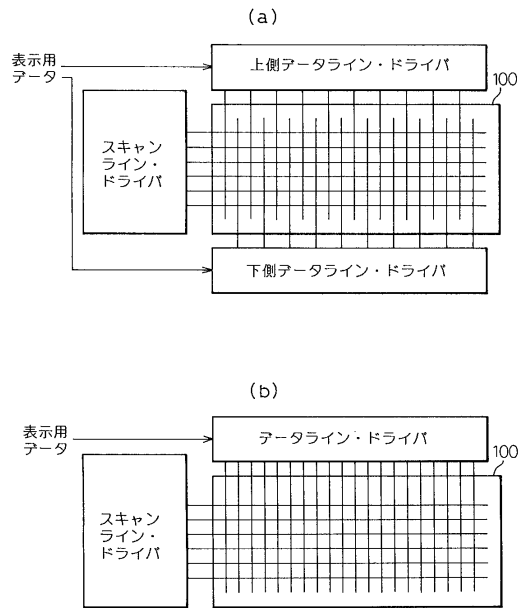
【図 1 4】

図13における階調電圧作成部の回路構成を示す図



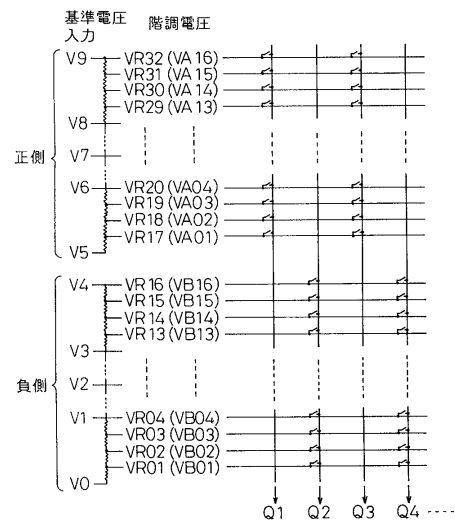
【図 15】

液晶パネルに対するデータライン・ドライバの配置形態を示す図



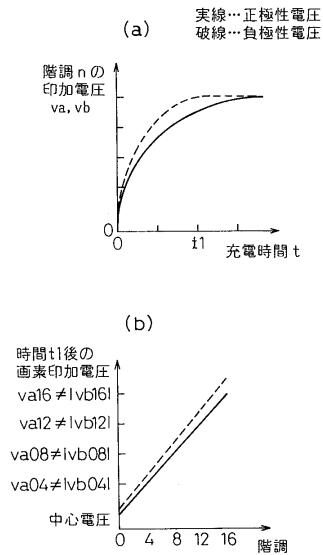
【図 16】

従来形のLCDのデータライン・ドライバにおける要部の構成（階調電圧ラインの配列）を示す図



【図 17】

図16の構成における階調レベルと画素印加電圧の関係を示す図



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 1 E
	G 0 9 G	3/20	6 1 1 H
	G 0 9 G	3/20	6 1 2 F
	G 0 9 G	3/20	6 2 1 B
	G 0 9 G	3/20	6 2 1 M
	G 0 9 G	3/20	6 2 3 F
	G 0 9 G	3/20	6 2 3 Q
	G 0 9 G	3/20	6 2 3 W
	G 0 9 G	3/20	6 4 1 C

審査官 濱本 禎広

(56)参考文献 特開平06-324642(JP,A)
 特開平03-260622(JP,A)
 特開平05-181436(JP,A)
 特開平05-158446(JP,A)
 特許第3922736(JP,B2)

(58)調査した分野(Int.Cl.,DB名)
 G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置和数据线驱动器		
公开(公告)号	JP4080511B2	公开(公告)日	2008-04-23
申请号	JP2006121292	申请日	2006-04-25
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	榎本弘美 三輪裕一 磯貝博之		
发明人	榎本 弘美 三輪 裕一 磯貝 博之		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.520 G02F1/133.575 G02F1/133.525 G02F1/133.550 G09G3/20.611.E G09G3/20.611.H G09G3/20.612.F G09G3/20.621.B G09G3/20.621.M G09G3/20.623.F G09G3/20.623.Q G09G3/20.623.W G09G3/20.641.C		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA53 2H093/NB01 2H093/NC03 2H093/NC11 2H093/NC21 2H093/NC34 2H093/ND10 2H093/ND47 2H093/ND60 2H193/ZA04 2H193/ZD23 2H193/ZF03 5C006/AA16 5C006/AA22 5C006/AC27 5C006/AF22 5C006/AF43 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF24 5C006/BF43 5C006/FA16 5C006/FA23 5C006/FA26 5C006/FA37 5C006/FA43 5C006/FA45 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD06 5C080/DD23 5C080/DD25 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP2007206665A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其能够防止液晶的劣化，抑制闪烁，实现令人满意的显示，减小帧边缘空间，并且进一步减少具有相反的相同灰度的灰度电压之间的波动。极性。解决方案：液晶显示装置具有输入侧数据交叉部分，该输入侧数据交叉部分分别从第一和第二通道提供要输出的第一和第二数据，同时将第一和第二数据替换为彼此相对的通道;第一和第二标准电源部分15,16分别连接到第一和第二通道并具有参考电压极性反转驱动的正侧和负侧;选择器部分17，根据第一或第二数据从第一或第二参考电源部分中选择规定的参考电压;输出侧数据交叉部分，其输出第一通道的第二数据和从选择器部分输出的第二通道的第一数据，同时将第一通道的第二数据和第二通道的第一数据交换到通道彼此相对，其中，传输由第一和第二参考电源部分15,16准备的灰度电压的灰度电压线被布置成使得对应于相同灰度的灰度电压线相邻其他。

