

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4024604号
(P4024604)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/133 (2006.01)	GO2F 1/133 550
GO2F 1/1345 (2006.01)	GO2F 1/1345
GO9G 3/20 (2006.01)	GO9G 3/20 611J
GO9G 3/36 (2006.01)	GO9G 3/20 621M
請求項の数 5 (全 13 頁) 最終頁に続く	

(21) 出願番号 特願2002-196667 (P2002-196667)
 (22) 出願日 平成14年7月5日(2002.7.5)
 (65) 公開番号 特開2004-37956 (P2004-37956A)
 (43) 公開日 平成16年2月5日(2004.2.5)
 審査請求日 平成16年11月8日(2004.11.8)

早期審査対象出願

(73) 特許権者 595059056
 株式会社アドバンスト・ディスプレイ
 熊本県合志市御代志997番地
 (74) 代理人 100103894
 弁理士 家入 健
 (72) 発明者 北村 幸男
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内
 (72) 発明者 池本 哲也
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内
 審査官 奥田 雄介

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶層を挟持して対向する第1の基板と第2の基板のうち、
 前記第1の基板は透明性導電膜からなる対向電極を備え、
 前記第2の基板には直交して設けられた複数のゲート配線及びソース配線と、
 前記ゲート配線及び前記ソース配線の交差点に設けられた複数のスイッチング素子と、
 該スイッチング素子に接続され、前記対向電極に対向する複数の画素電極と、
 前記対向電極と電氣的に接続されたトランスファー電極とを備え、
 共通電圧及び走査電圧を生成する電圧生成手段と、
 前記走査電圧と走査信号を入力して、ゲート走査電圧を前記複数のゲート配線に供給する複数の駆動回路をさらに備え、
 前記走査電圧及び走査信号が前記駆動回路内に配設された内部配線を経由して縦続接続され、前記複数の駆動回路間を伝搬される液晶表示装置であって、
 前記複数の駆動回路は四角形の外形を持ち、前記ゲート走査電圧の出力は列状に配置された第1のLCD用出力端子を介して表示領域に対向する第1の辺から各々対応する前記複数のゲート配線に接続され、
 前記共通電圧は、前記駆動回路内に配設された端子ダミー配線と、この配線に接続された前記駆動回路の間の縦続接続配線を介して伝搬され、
 さらに前記端子ダミー配線に接続された第2のLCD用出力端子が前記第1の辺の端部に配設され、

前記共通電圧は、前記第2のLCD用出力端子と前記トランスファ電極間の接続配線を経由して前記トランスファ電極に印加され、

前記接続配線と前記第1のLCD用出力端子と前記ゲート配線間の配線とが前記第2の基板上において交差することなく配設されていることを特徴とする液晶表示装置。

【請求項2】

前記駆動回路内に配設された前記内部配線は、双方向バッファを介して配線され、前記走査信号が前記双方向バッファを経由して縦続接続され、前記複数の駆動回路間を伝搬されることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記駆動回路内に配設された前記端子ダミー配線は、双方向バッファを介して配線され、前記共通電圧が前記双方向バッファを経由して縦続接続され、前記複数の駆動回路間を伝搬されることを特徴とする請求項1に記載の液晶表示装置。

10

【請求項4】

請求項1乃至3いずれか一つに記載の液晶表示装置であって前記駆動回路が第2の基板上に設けられているCOG(Chip On Glass)方式の液晶表示装置。

【請求項5】

請求項1乃至3いずれか一つに記載の液晶表示装置であって前記駆動回路がフィルム上に設けられているCOF(Chip On Film)方式の液晶表示装置。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、アクティブマトリクス型の液晶表示装置に関し、さらに薄膜トランジスタの駆動回路に関する。

【0002】

【従来の技術】

通常、液晶表示装置は液晶層を挟持する対向する2枚の基板からなる液晶パネルを備えている。その一方の基板はマトリクス状にスイッチング素子として薄膜トランジスタ(TFT)を備え、そのTFTに画素電極が接続されたTFTアレイ基板であり、もう一方の基板はRGBの着色層及びITO等の透明性導電膜からなる対向電極(透明電極)を有するカラーフィルタ基板(CF基板)である。この画素電極と対向電極の電位差によって液晶層が配向され、各色を表示する。

30

【0003】

従来の液晶表示装置の駆動電圧供給方法について図5を用いて説明する。図5に一般的なTFTを用いた液晶表示装置(LCD)の構成を示す。1は液晶パネル、2はゲートドライバIC、3はソースドライバIC、5はタイミングコントローラ(以下、TCONと称す)、6はDC/DC部、18はゲート配線、19はゲートダミー配線、20はソース配線、21はソースダミー配線、22はゲート第一ラインTFT、23はゲート第二ラインTFT、24はゲート第一ラインTFTの画素電極、25はゲート第二ラインTFTの画素電極、26は液晶層、27は共通電極、28はゲート電極、29はソース電極、30はドレイン電極、31は保持容量を示している。ここで数字の後ろに付したa～nまでの符号は複数ある配線、電極等の個々の配線、電極等を示している。

40

【0004】

液晶パネル1は略垂直に配置された複数のゲート配線18a～nと複数のソース配線20a～nを備えている。またゲート配線18とソース配線20の本数は同じa～nで示しているが、同一の本数に限られるものではない。互いにマトリクス状に交差するゲート配線18とソース配線20の交点にTFT22、23が形成されている。このTFT22、23のうち一番上のゲート配線18aに対応して形成されたTFTをゲート第一ラインTFT22、二番目のゲート配線に対応して形成されたTFTをゲート第二ラインTFT23とする。そしてさらにそれぞれのソース配線20a～nに対応してそれぞれゲート第一ラインTFT22a～n、ゲート第二ラインTFT23a～nとする。さらにゲート第一ラ

50

インTFT22a～nに対応してゲート第一ラインTFTの画素電極24a～n、ゲート第二ラインTFT23a～nに対応してゲート第二ラインTFTの画素電極25a～nが形成される。各画素はこれらの各画素電極24、25と共通電極27(COM)とその間に挟まれた液晶層26とから構成される。

【0005】

各TFT22a～n、23a～nのゲート電極28は対応するゲート配線18に、ソース電極29はソース配線20に、ドレイン電極31は画素電極24、25にそれぞれ接続されている。

【0006】

さらにゲート配線18には垂直走査に従ってTFTのゲートをONさせるゲートドライバIC2が、ソース配線には表示画素データを液晶駆動電圧に変換するソースドライバIC3が設けられている。そしてゲートドライバIC2及びソースドライバIC3はタイミングを制御するTCON5によって制御される。 10

【0007】

次に図6を用いて図5に示した液晶表示装置の信号の動作の概略について説明をする。図6は液晶表示装置の駆動タイミングチャートである。

【0008】

まずソースドライバIC3はTCON5から供給される表示データを1ゲート配線分（例えば、18a）サンプリングし保持する。この表示データは1ゲート配線分の各々のTFT素子に供給されるため、図6に示すように1～n個分保持される。 20

【0009】

ゲート配線18aの表示データがソースドライバICに保持された後、TCON5によってシフト開始信号が出力され、そしてVDDG電圧が供給される。これによりゲート配線18aに接続されている全てのゲート第一ラインTFT22a～nのゲート電極にOFFレベル（以下、VEEG電圧とする）からONレベル（以下、VDDG電圧とする）へ電圧が印加されゲートがONされる。

【0010】

その後、ゲートがONされることでソースドライバIC3に保持されている表示データが出力され、全てのソース配線20a～nに先ほどサンプリングした表示データに応じた液晶駆動電圧を供給する。ゲート電極28がONされているゲート第一ラインTFT22a～nのソース電極29を介してドレイン電極30及びゲート第一ラインTFTの画素電極24に電圧が供給され、液晶層26に電圧を印加する。 30

【0011】

上記動作の中でソースドライバIC3がサンプリングした表示データを液晶駆動電圧に変換した後、ソースドライバIC3はTCON5からのサンプリング開始信号によって、次のゲート配線分（例えば、18b）の表示データのサンプリングを開始する。上記の動作を各ゲート配線について繰り返すことにより、コンピュータ等の信号源からの表示データを良好に表示することができる。

【0012】

図7を用いて従来のTFT液晶パネルでのダミー配線への電圧供給方法を説明する。図7は液晶パネルのTFTアレイ基板側の構成を示す平面図である。図5で付した符号と同一の符号は同じ構成を示すので説明を省略する。33はFPC(Flexible Printed Circuit)、4はソースバス基板、7はTCP(Tape Carrier Package)、8はVCOM、9はVEEG、19はゲートダミー配線、21はソースダミー配線、32はゲートバス基板である。ここでTFTの構成は図5と同一なので省略している。 40

【0013】

液晶パネル1の表示領域周辺端部にはパターンの繰り返しの特異性により、表示が不均一になるのを防ぐためにダミー画素（図示せず）を備えている。該ダミー画素の表示を行うために表示領域周辺端部にはゲートダミー配線19及びソースダミー配線21が設けられ 50

ている。DC/DC部6で生成されたVCOM電圧がソースバス基板4及びTCP7に設けられたVCOM8からソースダミー配線21に供給される。

【0014】

同様にDC/DC部6で生成されたVEEG電圧がソースバス基板4、FPC33、TCP7、ゲートバス基板に設けられたVEEG9からゲートダミー配線19に供給される。これによりダミー画素に信号が供給される。

【0015】

次に図8、図9を用いて従来の液晶パネルの構成を説明する。図8は液晶パネルのCF基板側の構成を示す平面図である。図9は液晶パネルの断面図である。図5で付した符号と同一の符号は同じ構成を示すので説明を省略する。13は対向電極、14はトランスファ
10

【0016】

RGBの着色層及びブラックマトリクス(BM)からなるカラーフィルタ34とITOなどの透明性導電膜からなる対向電極13で構成されるカラーフィルタ基板35にVCOM電圧を供給するために、ガラス基板36上に導体パターン37が配置されたTFTアレイ
基板38上に導電性ペースト等からなるトランスファ電極14を塗布する。これにより
対向電極13とTFTアレイ基板38の導体パターン37が電氣的に接続される。

【0017】

DC/DC部6により生成されたVCOM電圧はTFTアレイ基板38のTCP及びトラ
20
ンスファ電極14を介して対向電極13に供給される。これによりTFTアレイ基板38の導体パターン37中に設けられている画素電極と対向電極13に電位差が生じ液晶層が配向されることになる。

【0018】

上述の液晶表示装置の構成部品点数を少なくするために、FPCに設けられている配線をガラス基板上に配置することも可能である。この液晶パネルの構成について図10を用いて説明する。ここで図5、図7、図8、図9で付した符号と同一の符号は同じ構成を示すため説明を省略する。またTFTアレイ基板内のTFTの構成は図5と同一なので図示を省略する。12は走査信号(ゲート信号ともいう)を供給する走査信号配線、10はVDDG、11はVDDD、17はドライバIC内部回路、39はLCD用出力端子、41
30
はドライバIC用入力端子、43はドライバIC用出力端子である。ここでは信号供給用の配線、端子等を詳細に説明するために拡大して図示している。

【0019】

ゲートドライバIC2へ入力する走査信号配線12、走査電圧(VCOM電圧、VEEG電圧、VDDG電圧、VDDD電圧)のドライバIC用入力端子41とドライバIC用出力端子43がそれぞれゲートドライバIC上の中心に対して対称に設けており鏡像配置(ミラー状配置)をしている。LCD用出力端子39はそれぞれのゲート配線18a~nに対応しており、一列に設けられている。またVCOM8は基板上に設けられたトランスファ電極14に接続されている。このDC/DC部6で生成されたVCOM電圧はトランスファ電極14を介して対向電極13に供給される。またその他の走査電圧、走査信号
40
もTFTアレイ基板上に設けられた信号配線(走査信号配線12、VEEG9、VDDG10、VDDD11)を経由してゲートドライバIC2に供給される。これによりFPCを用いることなく液晶パネルを製造することができる。

【0020】

さらに部品点数を減らすために信号供給用のゲートバス基板32を無くし、ゲートドライバIC2、信号配線、入出力端子をTFTアレイ基板上に設けるCOG方式(Chip On Glass)の液晶表示装置が用いられるようになっている。さらに液晶パネルの大画面化、高精細化のために対向電極13のインピーダンスを下げる必要がある。しかし従来の液晶表示装置においては対向電極13のインピーダンスを抑制する方法がなかった。
。

【0021】

このCOG方式の液晶表示装置の構成について図11を用いて説明する。ここで図5、図7、図8、図10で付した符号と同じ符号は同じ構成を示すので説明を省略する。基本的な構成は図10の液晶パネルと相違なく、ドライバIC用入力端子41とドライバIC用出力端子43がミラー状に配置されている。この配線、端子等の構成を詳細に説明するために拡大して図示している。LCD用出力端子39はそれぞれのゲート配線18に対応して設けられている。しかしゲートドライバIC2、ドライバIC内部回路17、各種配線8～12及びドライバIC用入力端子41、LCD用出力端子39等が全てTFTアレイ基板上に設けられている点で異なる。

【0022】

10

図11に示す構成の液晶パネル1ではトランスファ電極14cに配線(VCOM8)を接続しようとする他の配線と交差してしまいガラス基板上の配線が単層で引き回せない。またトランスファ電極14aに配線を接続する際も、他の配線と交差してしまい単層で配線が引き回せなかった。従ってガラス基板上の信号配線等を積層で形成する必要があり、製造工程が増えてしまうという問題点があった。さらには積層した箇所配線の断線が生じやすくなるという問題点もあった。

【0023】

また大画面の液晶パネルにおいてはガラス基板上の配線長が長くなってしまう。配線自体の抵抗値を下げることは困難であり、電圧供給側からより遠くなるに従って、インピーダンスの影響により電圧、信号に歪みが生じる。これにより表示特性が劣化や表示不良が発生するといった問題点が生じていた。上記の対策としてはパターン幅を広くする等の方法があるが表示領域周辺の額縁部が大きくなるという問題点があった。

20

【0024】

【発明が解決しようとする課題】

このように、従来のCOG方式やバス基板を無くしガラス基板上にて走査電圧、信号を供給するような構造をとる液晶パネル1においてはガラス基板上の配線が積層構造になるという問題点があった。また配線が長くなった場合に表示不良が発生するといった問題点があった。

【0025】

本発明は、このような問題点を解決するためになされたもので、ガラス基板上の配線を単層構造にして、製造工程を簡略化することができる駆動回路及び液晶表示装置を提供することを第1の目的とする。また配線長が長くなることによる表示特性の劣化を抑制することができる駆動回路及び液晶表示装置を提供することを第2の目的とする。

30

【0026】

【課題を解決するための手段】

本発明にかかる液晶表示装置は液晶層を挟持して対向する第1の基板(例えば、本実施の形態におけるカラーフィルタ基板35)と第2の基板(例えば、本実施の形態におけるTFTアレイ基板38)のうち、前記第1の基板は透明性導電膜からなる対向電極(例えば、本実施の形態における対向電極13)を備え、前記第2の基板には直交して設けられた複数のゲート配線(例えば、本実施の形態におけるゲート配線18)及びソース配線(例えば、本実施の形態におけるソース配線20)と、前記ゲート配線及び前記ソース配線の交差点に設けられた複数のスイッチング素子(例えば、本実施の形態におけるゲート第一ラインTFT22、ゲート第二ラインTFT23)と、前記スイッチング素子に接続され、前記対向電極に対向する複数の画素電極(例えば、本実施の形態におけるゲート第一ラインTFTの画素電極24、ゲート第二ラインTFTの画素電極25)と、前記対向電極と電氣的に接続されたトランスファ電極(例えば、本実施の形態におけるトランスファ電極14)とを備え、共通電圧(例えば、本実施の形態におけるVCOM8)及び走査電圧(例えば、本実施の形態におけるVEEG9、VDDG10、VDDD11)を生成する電圧生成手段(例えば、本実施の形態におけるDC/DC部6)と、前記走査電圧と走査信号を入力して、ゲート走査電圧(例えば、本実施の形態におけるゲートドライバI

40

50

C 2 の出力) を前記複数のゲート配線に供給する複数の駆動回路 (例えば、本実施の形態におけるゲートドライバ I C 2、2 a) をさらに備えている。そして、前記走査電圧及び走査信号が前記駆動回路内に配設された内部配線を経由して縦続接続され、前記複数の駆動回路間を伝搬される液晶表示装置であって、前記複数の駆動回路は四角形の外形を持ち、前記ゲート走査電圧の出力は列状に配置された第 1 の L C D 用出力端子 (例えば、本実施の形態における L C D 用出力端子 3 9) を介して表示領域に対向する第 1 の辺から各々対応する前記複数のゲート配線に接続され、前記共通電圧は、前記駆動回路内に配設された端子ダミー配線 (例えば、本実施の形態における端子ダミー配線 1 5) と、この配線に接続された前記駆動回路の間の縦続接続配線を介して伝搬され、さらに前記端子ダミー配線に接続された第 2 の L C D 用出力端子 (例えば、本実施の形態における L C D 用ダミー出力端子 4 0 a、4 0 d) が前記第 1 の辺の端部に配設され、前記共通電圧は、前記第 2 の L C D 用出力端子と前記トランスファ電極間の接続配線を経由して前記トランスファ電極に印加され、前記接続配線と前記第 1 の L C D 用出力端子と前記ゲート配線間の配線とが前記第 2 の基板上において交差することなく配設されていることを特徴とするものである。これによりトランスファ電極を増設してもガラス基板上の配線を単層構造にすることができる。

10

【0028】

上述の液晶表示装置において、前記駆動回路内に配設された前記内部配線は、双方向バッファを介して配線され、前記走査信号が前記双方向バッファを経由して縦続接続され、前記複数の駆動回路間を伝搬されていてもよい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

20

【0029】

また上述の液晶表示装置において、前記駆動回路内に配設された前記端子ダミー配線は、双方向バッファを介して配線され、前記共通電圧が前記双方向バッファを経由して縦続接続され、前記複数の駆動回路間を伝搬されていてもよい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【0032】

上述の液晶表示装置は前記駆動回路が第 2 の基板上に設けられている C O G (C h i p O n G l a s s) 方式の液晶表示装置に対して用いることができる。

【0033】

上述の液晶表示装置であって前記駆動回路がフィルム上に設けられている C O F (C h i p O n F i l m) 方式の液晶表示装置に対して用いることも可能である。

30

【0038】

【発明の実施の形態】

本発明の実施の形態 1.

本発明にかかる液晶パネルの構造について図 1、図 2 を用いて説明する。図 1 は液晶表示装置の概略を示す外観図である。図 2 は液晶パネルの構成を示す平面図であり、特にゲートドライバ I C の配線、端子の周辺を拡大し詳細に図示している。ここで 1 は液晶パネル、2 はゲートドライバ I C、3 はソースドライバ I C、4 はソースバス基板、5 はタイミングコントローラ (以下、T C O N と称す)、6 は D C / D C 部、7 は T C P (T a p e C a r r i e r P a c k a g e)、8 は V C O M、9 は V E E G、10 は V D D G、11 は V D D D、12 は走査信号配線、13 は対向電極、14 はトランスファ電極、15 は端子ダミー配線、16 は双方向バッファ、17 はドライバ I C 内部回路、18 はゲート配線、19 はゲートダミー配線、39 は L C D 用出力端子、40 は L C D 用ダミー出力端子、41 はドライバ I C 用入力端子、42 a、42 b はドライバ I C 用ダミー入力端子、43 はドライバ I C 用出力端子、42 c、42 d はドライバ I C 用ダミー出力端子である。数字の後ろの a ~ n は複数ある構成物 (配線、端子等) の個々の構成物を示している。

40

【0039】

図 1 はゲートドライバ I C 2 が液晶パネル 1 上に設けられた C O G 方式の液晶表示装置を

50

示している。ここでT F Tアレイ基板の構成は図5と同一なので省略する。また走査信号等を供給するタイミングも図6と同様なので説明を省略する。

【0040】

図2に示すようにソースバス基板4上に設けられたT C O N 5、D C / D C 部6とゲートドライバI C 2 aに設けられたドライバI C 用入力端子4 1が配線1 0、1 1、1 2によって接続されている。走査信号配線1 2はソースバス基板4、T C P 7、T F Tアレイ基板を通してゲートドライバI C 2 a上のドライバI C 用入力端子4 1に接続される。そしてドライバI C 用入力端子4 1は双方向バッファ1 6と接続されている。双方向バッファ1 6からの配線の一方はドライバI C 用出力端子4 3と電氣的に接続されている。もう一方の配線はドライバI C 内部回路1 7と接続される。そして表示領域側に設けられたL C D用出力端子3 9を介してゲート配線1 8にゲート電圧等が供給される。このドライバI C 用入力端子4 1とドライバI C 用出力端子4 3はゲートドライバI C 2 a上の表示領域の反対側に一列に設けられている。

10

【0041】

さらにこのドライバI C 用入力端子4 1とドライバI C 用出力端子4 3は対称に設けられており、ゲートドライバI C 2 a上でドライバI C 用入力端子4 1とドライバI C 用出力端子4 3がミラー状の配置となっている。すなわちドライバI C 用入力端子4 1 a及びドライバI C 用出力端子4 3 aが外側に設けられており、ドライバI C 用入力端子4 1及びドライバI C 用出力端子4 3のアルファベットが外側から順に入出力端子ともb、c、dの順になっている(図示せず)。そして、ドライバI C 用出力端子4 3は隣接するゲートドライバI C 2のドライバI C 用入力端子4 1と接続されている。また同様にドライバI C 用ダミー入力端子4 2 c、4 2 dは隣接するゲートドライバI C 2のドライバI C 用ダミー入力端子4 2 e、4 2 fと接続されている。さらにドライバI C 用入力端子4 1とドライバI C 用出力端子4 3で同一のアルファベットの入出力端子が双方向バッファ1 6を介して接続される。このような構成を繰り返し、全ゲート配線1 8に対応するようにL C D用出力端子3 9を設ける。これにより、各配線を重ねることなく、各ゲート配線1 8に走査信号を供給することができる。

20

【0042】

本実施の形態1にかかる液晶表示装置の配線等の配置は図1 1で示した従来のC O G方式の液晶表示装置と異なる点について図2を用いて説明する。ゲートドライバI C 2の表示領域と反対側にドライバI C 用ダミー入力端子4 2 a、4 2 b及びドライバI C 用ダミー出力端子4 2 c、4 2 dがドライバI C 用入力端子4 1及びドライバI C 用出力端子4 3の外側にそれぞれ2個ずつ設けられている。またドライバI C 2の表示領域側にL C D用ダミー出力端子4 0がL C D用出力端子3 9の両端に2個ずつ設けられている。V C O M 8及びV E E G 9はゲートドライバI C 2上のドライバI C 用ダミー入力端子4 2 a、4 2 bに接続される。その同一のアルファベットのドライバI C 用ダミー入力端子4 2 a、4 2 bとL C D用ダミー出力端子4 0 a、4 0 bが同じアルファベットの端子ダミー配線1 5 a、1 5 bによりそれぞれ電氣的に接続されている。その端子ダミー配線1 5 aは途中で二つに分かれておりゲートドライバI C 2上に設けられている端子ダミー配線1 5 dと双方向バッファ1 6を介して接続されている。そしてこの端子ダミー配線1 5 dはドライバI C 用ダミー出力端子4 2 dとL C D用ダミー出力端子4 0 dを電氣的に接続している。同様に端子ダミー配線1 5 bは双方向バッファ1 6を介して端子ダミー配線1 5 cと接続されている。そしてこの端子ダミー配線1 5 cはドライバI C 用ダミー出力端子4 2 cとL C D用ダミー出力端子4 0 cを接続している。

30

40

【0043】

また端子ダミー配線1 5 a、1 5 dに対応するL C D用ダミー出力端子4 0 a、4 0 dからの配線はそれぞれトランスファ電極1 4 a、1 4 cに接続している。これによりV C O M電圧がドライバI C 用ダミー入力端子4 2 a及びL C D用ダミー出力端子4 0 aをスルーしトランスファ電極1 4 aに供給される。端子ダミー配線1 5 bに対応するL C D用ダミー出力端子4 0 bはゲートダミー配線1 9と接続されている。これによりV E E

50

G電圧がドライバIC用ダミー入力端子42b及びLCD用ダミー出力端子40bをスルーしゲートダミー配線19に供給される。LCD用ダミー出力端子40及びドライバIC用ダミー入力端子42a、42bをLCD用出力端子39及びドライバIC用入力端子41の外側にそれぞれ2個ずつ設けることによりガラス基板上でそれぞれの配線が交差することなく、単層構造でLCD用駆動配線を製造することができる。これにより製造工程を簡略化することができ、製造コストを低減することができる。

【0044】

さらにゲートドライバIC2上のドライバIC用入力端子41とLCD用出力端子39の間に双方向バッファ16が設けられている。このため、ゲートドライバIC間のガラス上配線のインピーダンスのみの影響を考慮して、ガラス上配線を設計することができる。これにより大画面化によって長くなった配線のインピーダンスの影響を低減することができ、表示特性の劣化や表示不良の発生を抑制することが可能となる。

10

【0045】

本実施の実施の形態2.

本実施の実施の形態2にかかる液晶表示装置の構成について図3を用いて説明する。図3は液晶表示パネルの構成を示す平面図であり、特にゲートドライバIC2の配線、端子を拡大し詳細に図示している。図1、図2で付した符号と同一の符号は同じ構成を示すため説明を省略する。

【0046】

本実施の形態2では配線、端子等の配置は図1に示した実施の形態1と同一である。しかし本実施の形態2ではゲートドライバIC2がガラス基板上ではなくFPC上に設けられている点が図2で示した実施の形態1と異なる。従ってFPC上に配線、ドライバIC用入力端子41、LCD用出力端子39が設けられているCOF(Chip On Film)方式となる。

20

【0047】

実施の形態1と同様にドライバIC用ダミー入力端子42a、42b、LCD用ダミー出力端子40がそれぞれドライバIC用入力端子41、LCD用出力端子39の外側に2個ずつ設けられている。これによりCOF方式のガラス基板上でも配線が交差することなく、単層構造でLCD駆動用配線を製造することができる。

【0048】

またドライバIC用ダミー入力端子42a、42bとLCD用ダミー出力端子40c、40dが双方向バッファを介して電氣的に接続されている。これにより大画面化によって長くなった配線のインピーダンスの影響を低減することができ、表示特性の劣化や表示不良の発生を抑制することが可能となる。

30

【0049】

またこの構成はCOF方式に限らず、ゲートバス基板32をなくしガラス基板上に配線を設けて走査電圧、走査信号を供給する液晶パネルに対して用いることが可能である。

【0050】

その他の実施の形態.

本発明のその他の実施の形態にかかる液晶表示装置の構成の一例について図3を用いて説明する。図4は液晶表示パネルの構成を示す平面図であり、特にゲートドライバICの配線、端子等を拡大し詳細に図示している。図1、図2で付した符号と同一の符号は同じ構成を示すため説明を省略する。

40

【0051】

本実施の形態ではゲートドライバIC上の配線、端子等の配置は図1に示した実施の形態1と同一である。しかし本実施の形態ではソースドライバICがガラス基板上に設けられている点が図1で示した実施の形態1と異なる。

【0052】

このようなTCPを用いていない構成のCOG方式の液晶表示装置においても、ゲートドライバIC上の配線、入出力端子、ドライバIC内部回路及び双方向バッファ等を図2で

50

示した配置と同様の配置にすれば、ガラス基板上でも配線が交差することなく、単層構造でLCD用駆動配線を製造することができる。さらに大画面化によって長くなった配線のインピーダンスの影響を低減することができ、表示特性の劣化や表示不良の発生を抑制することが可能となる。

【0053】

また同様に実施の形態2で示したCOF方式の液晶表示装置においても同様にソースドライバICをガラス基板上に設けてもよい。このような構成でも同様の効果を得ることができる。

【0054】

本発明はゲートドライバIC上にトランスファー電極及び端子ダミー配線用のダミー入出力端子を設けるものであり、上述の実施の形態で図示した構成に限られるではない。さらにゲートドライバIC上の入出力端子間に双方向バッファを設けることにより表示特性の劣化や表示不良の発生を抑制することが可能となる。

例えばCOP (Chip On Plastic) 方式やCOB (Chip On Board) 方式の液晶表示装置に対しても用いることができる。

【0055】

また本発明にかかる駆動回路の配置はゲートドライバICのみではなく、ソースドライバICに適用しても、同様の効果を得ることができる。

【0056】

【発明の効果】

本発明によれば、ガラス基板上の配線を単層構造にして、製造工程が簡略化された液晶表示装置を提供することができる。さらに配線長が長くなることによる表示特性の劣化が抑制された液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明にかかる液晶表示装置の液晶パネルの外観を示した平面図である。

【図2】 本発明の実施の形態1にかかる液晶パネルの構成を示す平面図である。

【図3】 本発明の実施の形態2にかかる液晶パネルの構成を示す平面図である。

【図4】 本発明のその他の実施の形態にかかる液晶パネルの構成を示す平面図である。

【図5】 液晶パネルの液晶パネルの構成を示す平面図である。

【図6】 液晶表示装置の動作を説明するタイミングチャートである。

【図7】 従来の液晶パネルのTFTアレイ基板側の構成を示す平面図である。

【図8】 従来の液晶パネルのカラーフィルタ基板側の構成を示す平面図である。

【図9】 従来の液晶パネルの構成を示す断面図である。

【図10】 従来の液晶パネルの構成を示す平面図である。

【図11】 従来の液晶パネルの構成を示す平面図である。

【符号の説明】

- 1 液晶パネル
- 2 ゲートドライバIC
- 3 ソースドライバIC
- 4 ソースバス基板
- 5 タイミングコントローラ (TCO)
- 6 DC/DC部
- 7 TCP
- 8 VCOM
- 9 VEEG
- 10 VDDG
- 11 VDDD
- 12 走査信号配線
- 13 対向電極
- 14 トランスファー電極

10

20

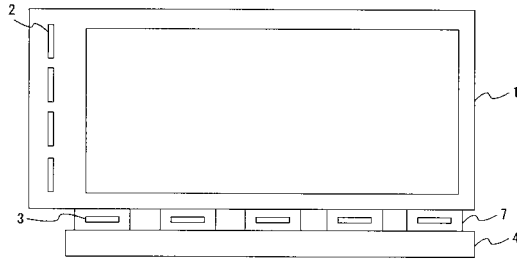
30

40

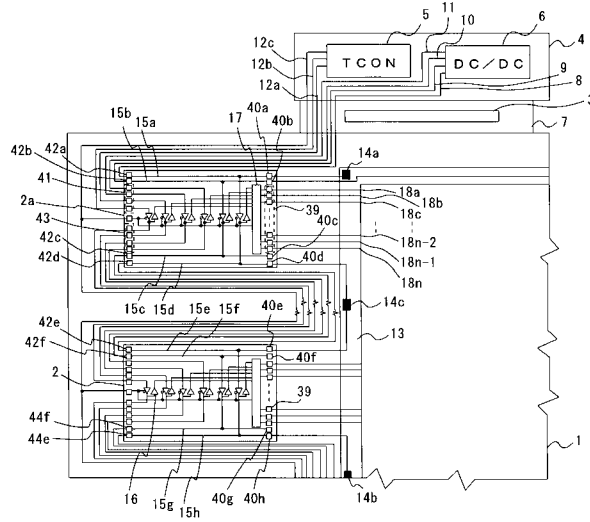
50

1 5	端子ダミー配線	
1 6	双方向バッファ	
1 7	ドライバ I C 内部回路	
1 8	ゲート配線	
1 9	ゲートダミー配線	
2 0	ソース配線	
2 1	ソースダミー配線	
2 2	ゲート第一ライン T F T	
2 3	ゲート第二ライン T F T	
2 4	ゲート第一ライン T F T の画素電極	10
2 5	ゲート第二ライン T F T の画素電極	
2 6	液晶層	
2 7	共通電極	
2 8	ゲート電極	
2 9	ソース電極	
3 0	ドレイン電極	
3 1	保持容量	
3 2	ゲートバス基板	
3 3	F P C	
3 4	カラーフィルタ	20
3 5	カラーフィルタ基板 (C F 基板)	
3 6	ガラス基板	
3 7	導体パターン	
3 8	T F T アレイ基板	
3 9	L C D 用出力端子	
4 0、4 0 a、4 0 b、4 0 c、4 0 d	L C D 用ダミー出力端子	
4 1	ドライバ I C 用入力端子	
4 2 a、4 2 b	ドライバ I C 用ダミー入力端子	
4 2 c、4 2 d	ドライバ I C 用ダミー出力端子	
4 3	ドライバ I C 用出力端子	30

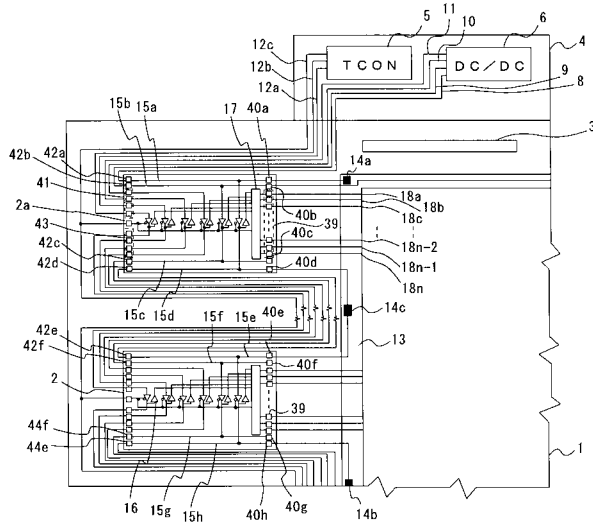
【図 1】



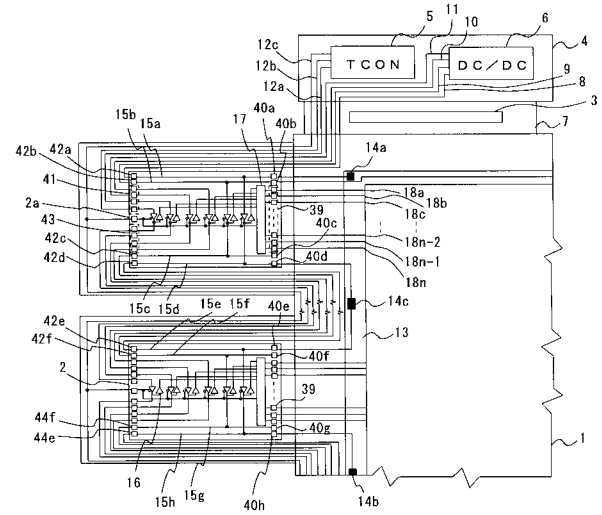
【図 2】



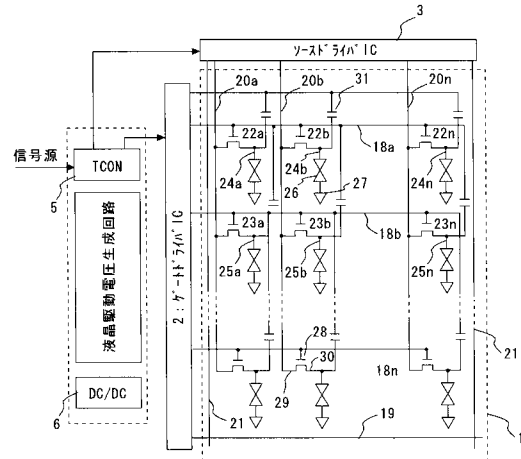
【図 4】



【図 3】



【図 5】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/36	

(56)参考文献 特開平07-263485 (JP, A)
特開平07-049657 (JP, A)
特開昭63-275146 (JP, A)
特開2002-311451 (JP, A)
特開2001-005403 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F	1/1368
G02F	1/133
G02F	1/1345

专利名称(译)	液晶表示装置		
公开(公告)号	JP4024604B2	公开(公告)日	2007-12-19
申请号	JP2002196667	申请日	2002-07-05
申请(专利权)人(译)	有限公司高级显示		
当前申请(专利权)人(译)	有限公司高级显示		
[标]发明人	北村幸男 池本哲也		
发明人	北村 幸男 池本 哲也		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1345 G09G3/20 G09G3/36		
FI分类号	G02F1/1368 G02F1/133.550 G02F1/1345 G09G3/20.611.J G09G3/20.621.M G09G3/20.622.A G09G3/20.622.G G09G3/20.623.B G09G3/20.624.C G09G3/20.680.G G09G3/36		
F-TERM分类号	2H092/JA24 2H092/JA46 2H092/NA16 2H092/NA27 2H092/NA28 2H092/NA29 2H093/NA16 2H093/NC03 2H093/NC10 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC28 2H093/NC34 2H093/ND42 2H093/ND50 2H093/ND53 2H093/ND54 2H192/AA24 2H192/EA43 2H192/FA01 2H192/FA11 2H192/FA48 2H192/FA52 2H192/FA54 2H192/FB22 2H192/FB46 2H193/ZA04 2H193/ZF03 2H193/ZF22 2H193/ZF51 5C006/AA16 5C006/AA22 5C006/AC25 5C006/AF35 5C006/AF50 5C006/AF59 5C006/BB16 5C006/BB27 5C006/BC02 5C006/BC03 5C006/BC20 5C006/BC24 5C006/BF24 5C006/BF25 5C006/BF42 5C006/BF46 5C006/BF49 5C006/EB04 5C006/EB05 5C006/FA22 5C006/FA25 5C006/FA37 5C006/FA42 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD07 5C080/DD23 5C080/DD25 5C080/DD28 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
其他公开文献	JP2004037956A5 JP2004037956A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种驱动电路和液晶显示器，通过在玻璃基板上形成单层结构的布线，简化了制造工艺。解决方案：液晶显示器设置有具有对电极13和TFT阵列基板38的CF基板。TFT阵列基板38具有彼此正交的栅极线18和源极线20，以及连接的传输电极14基板还具有产生VCOM电压和VEEG电压的DC / DC部分6，向栅极线18提供VEEG电压的栅极驱动器IC2，以及用于LCD的输入/输出端子41,39。输入和输出VEEG电压。衬底具有虚设输入/输出端子42,44，用于驱动器IC在栅极驱动器IC2上输入和输出VCOM电压，这些元件通过虚线直通线15连接。

【图2】

