

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3900256号
(P3900256)

(45) 発行日 平成19年4月4日(2007.4.4)

(24) 登録日 平成19年1月12日(2007.1.12)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G02F 1/1368 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G02F 1/1368

G09G 3/20 612L

G09G 3/20 612T

請求項の数 3 (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-375676 (P2001-375676)
 (22) 出願日 平成13年12月10日(2001.12.10)
 (65) 公開番号 特開2003-177720 (P2003-177720A)
 (43) 公開日 平成15年6月27日(2003.6.27)
 審査請求日 平成16年7月20日(2004.7.20)

(73) 特許権者 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100091546
 弁理士 佐藤 正美
 (72) 発明者 森田 真太郎
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 地崎 誠
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 液晶駆動装置および液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上の、垂直方向に配列された複数の走査線と水平方向に配列された複数の信号線との交差位置において、複数の画素、および、これをスイッチングする複数のスイッチング素子がマトリクス状に配置された液晶表示素子を駆動する装置であって、

当該画素を、当該画素に映像信号電圧を書き込む水平走査期間である当該水平走査期間、およびその前の水平走査期間では、プリチャージしないで、当該水平走査期間の直前の水平ブランキング期間内、およびその前の映像信号電圧の極性が当該水平走査期間と同じ1つまたは複数の水平走査期間の直前の水平ブランキング期間内において、映像信号電圧の極性反転に対応して極性が反転するプリチャージ電圧によってプリチャージすることを特徴とする液晶駆動装置。

10

【請求項2】

請求項1の液晶駆動装置において、
 前記液晶表示素子を垂直方向に走査して前記走査線を順次選択するための、多段接続されたシフトレジスタと、

このシフトレジスタの入力信号および出力信号、水平ブランキング期間を示す出力イネーブル信号、および水平ブランキング期間内のプリチャージ期間を示すプリチャージタイミング信号から、前記走査線に供給される信号を生成する信号生成回路と、

前記複数の信号線に個々に接続された複数のアナログスイッチが前記プリチャージタイミング信号により同時にオンにされることによって、前記複数の信号線に同時にプリチャー

20

ジ電圧を印加するプリチャージ駆動回路と、
を備えることを特徴とする液晶駆動装置。

【請求項 3】

垂直方向に配列された複数の走査線と水平方向に配列された複数の信号線との交差位置において、複数の画素、および、これをスイッチングする複数のスイッチング素子がマトリクス状に配置された液晶表示素子と、請求項 1 または 2 に記載の液晶駆動装置とが、同一基板上に形成された液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

この発明は、アクティブマトリクス駆動方式の液晶表示素子を駆動する装置、および、同一基板上に、アクティブマトリクス駆動方式の液晶表示素子と、これを駆動する装置とが形成された液晶表示装置に関する。

【0002】

【従来の技術】

アクティブマトリクス駆動方式の液晶表示素子は、垂直方向に配列された複数の走査線（ゲート線）と水平方向に配列された複数の信号線との交差位置に、複数の画素、および、これをスイッチングする TFT（Thin Film Transistor：薄膜トランジスタ）などの複数のスイッチング素子がマトリクス状に配置される。

【0003】

20

この液晶表示素子では、垂直走査回路によって、各走査線が順次選択され、信号線駆動回路によって、各信号線を通じて、選択された走査線と各信号線との交差位置の各画素の画素電極に映像信号電圧（階調電圧）が印加される。

【0004】

この場合、画素に映像信号電圧を書き込む水平走査期間の直前の水平ブランキング期間において、信号線および画素をプリチャージすることによって、信号線および画素への充電、および画素および信号線からの放電を促進して、画素への書き込み不足を防止する。

【0005】

【発明が解決しようとする課題】

しかしながら、液晶表示素子をフルライン駆動するなど、液晶表示素子を高速で駆動する場合には、水平ブランキング期間が短くなって、水平ブランキング期間内でプリチャージ期間を十分に確保することができなくなり、プリチャージが不十分となって、画素電極への書き込み不足や、液晶自体の低温特性による書き込み不足を生じ、走査の終わり付近の画面輝度が意図した輝度より高くなるなどの画質劣化を生じる。

30

【0006】

そこで、この発明は、アクティブマトリクス駆動方式の液晶表示素子を駆動する装置において、水平ブランキング期間が短くても、画素への書き込み不足を解消することができ、書き込み不足による画質劣化を防止することができるようにしたものである。

【0007】

【課題を解決するための手段】

40

この発明の液晶駆動装置は、

基板上の、垂直方向に配列された複数の走査線と水平方向に配列された複数の信号線との交差位置において、複数の画素、および、これをスイッチングする複数のスイッチング素子がマトリクス状に配置された液晶表示素子を駆動する装置であって、

当該画素を、当該画素に映像信号電圧を書き込む水平走査期間である当該水平走査期間、およびその前の水平走査期間では、プリチャージしないで、当該水平走査期間の直前の水平ブランキング期間内、およびその前の映像信号電圧の極性が当該水平走査期間と同じ 1 つまたは複数の水平走査期間の直前の水平ブランキング期間内において、映像信号電圧の極性反転に対応して極性が反転するプリチャージ電圧によってプリチャージすることを特徴とする。

50

【 0 0 0 8 】

このように構成した、この発明の液晶駆動装置では、水平ブランキング期間が短くても、プリチャージ期間のトータルの時間幅が広くなって、信号線および画素が十分にプリチャージされ、画素への書き込み不足が解消されて、書き込み不足による画質劣化が防止される。

【 0 0 0 9 】**【 発明の実施の形態 】**

図 1 は、この発明の液晶駆動装置の一実施形態、および、この発明の液晶表示装置の一実施形態を示す。

【 0 0 1 0 】

この実施形態では、ガラス基板 1 , 2 間に、液晶表示素子 1 0 および液晶駆動装置が形成される。すなわち、液晶表示素子 1 0 のパネル内に、液晶駆動装置が組み込まれる。

【 0 0 1 1 】

液晶表示素子 1 0 は、アクティブマトリクス駆動方式のもので、図 2 および図 3 と合わせて示すと、一方のガラス基板 1 上に、走査線 1 1 が複数、垂直方向に配列されて形成され、これと絶縁されて、信号線 1 2 が複数、水平方向に配列されて形成され、各走査線 1 1 と各信号線 1 2 の交差位置において、透明電極からなる画素電極 1 3、ガラス基板 1 , 2 間に注入された液晶の画素 1 4、スイッチング素子としての T F T 1 5、および保持容量 1 6 が形成される。

【 0 0 1 2 】

なお、カラー画像を表示する液晶表示素子では、ガラス基板 2 の内面に、赤、緑、青の色フィルタが順次、水平方向に配列されて形成される。

【 0 0 1 3 】

T F T 1 5 のゲート電極 1 5 g は走査線 1 1 に接続され、ソース電極 1 5 s は信号線 1 2 に接続され、ドレイン電極 1 5 d は画素電極 1 3 に接続される。

【 0 0 1 4 】

そして、走査線 1 1 を通じてゲート電極 1 5 g に走査パルスが印加されることによって、T F T 1 5 がオンとなって、後述のように信号線 1 2 から画素電極 1 3 にプリチャージ電圧および映像信号電圧が印加される。

【 0 0 1 5 】

図 1 に示すように、液晶駆動装置は、信号線 1 2 側の信号線駆動回路 2 1 およびプリチャージ駆動回路 2 5、および走査線 1 1 側の垂直走査回路 3 0 を備え、信号線駆動回路 2 1、プリチャージ駆動回路 2 5 および垂直走査回路 3 0 は、液晶表示素子 1 0 のスイッチング素子と同じ素子によって、この実施形態では T F T によって、形成される。

【 0 0 1 6 】

信号線駆動回路 2 1 は、各信号線 1 2 に順次、すなわち水平方向に点順次で、映像信号電圧を印加するものである。一般に、液晶表示素子の駆動では、液晶の焼き付きやフリッカーを防止するため、画素電極には 1 走査線ごとに反転した極性の階調電圧が書き込まれる。それに対応した極性反転した映像信号電圧およびプリチャージ電圧を入力しなければならない。

【 0 0 1 7 】

この実施形態でも、信号線駆動回路 2 1 は、図 6 に示すように、1 水平期間ごとに映像信号電圧 V_s の極性を反転させて、映像信号電圧 V_s を信号線 1 2 に印加するものとする。したがって、ある一つおきの水平期間では、映像信号電圧 V_s が基準電位に対して正の電圧となり、残りの一つおきの水平期間では、映像信号電圧 V_s が基準電位に対して負の電圧となる。

【 0 0 1 8 】

なお、カラー画像を表示する液晶表示素子では、信号線駆動回路 2 1 から信号線 1 2 に、映像信号電圧 V_s として、赤、緑、青の色信号電圧が順次、すなわち水平方向に点順次で、印加される。

10

20

30

40

50

【 0 0 1 9 】

プリチャージ駆動回路 2 5 は、各信号線 1 2 に個々に接続されたアナログスイッチ 2 7 を備え、水平ブランキング期間内のプリチャージ期間において、プリチャージタイミング信号 P C G によりアナログスイッチ 2 7 がオンにされることによって、プリチャージ電圧 V_p が各信号線 1 2 に印加される構成とする。

【 0 0 2 0 】

垂直走査回路 3 0 は、各走査線 1 1 に対応して、シフトレジスタ 3 1、信号生成回路 3 2 および走査線駆動用の出力バッファ回路 3 9 を備え、出力バッファ回路 3 9 の出力信号が対応する走査線 1 1 に供給される構成とする。

【 0 0 2 1 】

シフトレジスタ 3 1 は、各走査線 1 1 に対応したものが多段接続され、走査開始信号 S T を順次遅延させることによって、液晶表示素子 1 0 を垂直方向に走査して、走査線 1 1 を順次選択するものである。

【 0 0 2 2 】

図 4 に示すように、信号生成回路 3 2 は、それぞれ、2 個の反転回路 3 3 , 3 4 および 4 個のナンド回路 3 5 , 3 6 , 3 7 , 3 8 によって構成される。

【 0 0 2 3 】

そして、N 番目の走査線 1 1 に対応した信号生成回路 3 2 では、N 段目のシフトレジスタ 3 1 の入力信号 S i および出力信号 S o が、反転回路 3 3 および 3 4 によって反転され、プリチャージタイミング信号 P C G、シフトレジスタ入力信号 S i、およびシフトレジスタ出力信号 S o の反転信号 S o v が、ナンド回路 3 5 に供給され、プリチャージタイミング信号 P C G、シフトレジスタ入力信号 S i の反転信号 S i v、およびシフトレジスタ出力信号 S o が、ナンド回路 3 6 に供給され、水平ブランキング期間を示す出力イネーブル信号 E N B、シフトレジスタ入力信号 S i の反転信号 S i v、およびシフトレジスタ出力信号 S o が、ナンド回路 3 7 に供給される。

【 0 0 2 4 】

さらに、ナンド回路 3 5 , 3 6 , 3 7 の出力信号 S a , S b , S c が、ナンド回路 3 8 に供給され、ナンド回路 3 8 の出力信号が、出力バッファ回路 3 9 を通じて、N 番目の走査線 1 1 に供給される信号 S g として取り出される。

【 0 0 2 5 】

図 5 に、各信号のタイミング関係を示す。垂直走査回路 3 0 の信号生成回路 3 2 に供給される出力イネーブル信号 E N B は、水平ブランキング期間 P b において低レベル、水平走査期間 P s において高レベルとなるものであり、プリチャージタイミング信号 P C G は、水平ブランキング期間 P b 内の期間において高レベル、その他の期間において低レベルとなるものである。なお、プリチャージタイミング信号 P C G は、水平ブランキング期間 P b 内の、垂直走査用のシフトレジスタ 3 1 に入力されるクロック信号の極性反転タイミングより後で、高レベルとなる。

【 0 0 2 6 】

走査開始信号 S T は、図 5 では省略するが、フィールド（垂直走査期間）の初めの 2 水平期間において高レベル、その他の期間において低レベルとなるものである。したがって、図 5 に示すように、N 段目のシフトレジスタ 3 1 の入力信号 S i および出力信号 S o は、それぞれ連続する 2 水平期間において高レベルとなり、かつ出力信号 S o が入力信号 S i に対して 1 水平周期遅れたものとなる。

【 0 0 2 7 】

シフトレジスタ入力信号 S i の反転信号 S i v、シフトレジスタ出力信号 S o の反転信号 S o v、信号生成回路 3 2 のナンド回路 3 5 , 3 6 , 3 7 の出力信号 S a , S b , S c、および出力バッファ回路 3 9 の出力信号 S g は、それぞれ同図に示すものとなる。

【 0 0 2 8 】

したがって、垂直走査回路 3 0 から N 番目の走査線 1 1 に供給される信号 S g は、N 番目の走査線 1 1 に対応する水平走査期間 P s n、その直前の水平ブランキング期間内の期間

10

20

30

40

50

P p b、および、その2水平期間前の水平ブランキング期間内の期間P p aにおいて、所定電位のパルスとなる。

【0029】

これによって、N番目の走査線11と各信号線12との交差位置の各画素は、期間P p aおよびP p bにおいて、プリチャージタイミング信号PCGによりプリチャージ駆動回路25のアナログスイッチ27がオンにされることによって、プリチャージ電圧V pが印加され、プリチャージされるとともに、期間P p bの直後の水平走査期間P s nにおいて、信号線駆動回路21によって、映像信号電圧V sが印加され、書き込まれる。

【0030】

すなわち、N番目の走査線11と各信号線12との交差位置の各画素は、信号線駆動回路21によって映像信号電圧V sが印加される書き込み水平走査期間P s nの直前の、互いの間に1水平期間おいた、図6に示すように映像信号電圧V sが同じ極性となる2つの水平期間内の水平ブランキング期間内の期間P p aおよびP p bにおいて、プリチャージされる。

10

【0031】

したがって、水平ブランキング期間P bが短くても、プリチャージ期間のトータルの時間幅が広がって、信号線12および画素14が十分にプリチャージされ、画素14への書き込み不足が解消されて、書き込み不足による画面領域内の輝度むらなどの画質劣化が防止される。

【0032】

20

このように、書き込み水平走査期間P s nの直前の水平ブランキング期間内、および、その2水平期間前の水平ブランキング期間内に、それぞれプリチャージ期間P p bおよびP p aを設定するので、各画素14では、1フィールドより2水平期間短い期間、映像信号電圧V sを保持容量16に保持させる。

【0033】

プリチャージ電圧V pが一定値であると、画素14に直流電圧が印加されて、液晶の焼き付きを生じる。そのため、図6に示すように、プリチャージ電圧V pは、映像信号電圧V sに対応させて1水平期間ごとに極性を反転させ、周期が2水平期間分の、デューティが50%の矩形波電圧とする。この場合、プリチャージ電圧V pは、水平ブランキング期間P b内のプリチャージ期間となる期間内で反転させずに、その手前の時点で反転させるようにする。

30

【0034】

期間P p aは、N番目の走査線と各信号線12との交差位置の各画素に対する1回目のプリチャージ期間であると同時に、2ライン前の(N - 2)番目の走査線と各信号線12との交差位置の各画素に対する2回目のプリチャージ期間であり、期間P p bは、N番目の走査線と各信号線12との交差位置の各画素に対する2回目のプリチャージ期間であると同時に、2ライン後の(N + 2)番目の走査線と各信号線12との交差位置の各画素に対する1回目のプリチャージ期間である。

【0036】

なお、水平ブランキング期間P bが非常に短い場合などには、書き込み水平走査期間P s nの直前の水平ブランキング期間内の期間P p bと、その前の、映像信号電圧V sの極性が書き込み水平走査期間P s nと同じ2つ以上の水平期間内の水平ブランキング期間内に、それぞれプリチャージ期間を設定して、同一画素を1フィールド内で3回以上に渡ってプリチャージするように、液晶駆動装置を構成してもよい。

40

【0037】

【発明の効果】

上述したように、この発明によれば、水平ブランキング期間が短くても、プリチャージ期間のトータルの時間幅を広くすることができ、信号線および画素を十分にプリチャージすることができる。したがって、画素への書き込み不足を解消することができ、書き込み不足による画面領域内の輝度むらなどの画質劣化を防止することができる。

50

【図面の簡単な説明】

【図 1】この発明の液晶駆動装置の一実施形態を示す図である。

【図 2】アクティブマトリクス駆動方式の液晶表示素子の一例を示す図である。

【図 3】アクティブマトリクス駆動方式の液晶表示素子の一例を示す図である。

【図 4】図 1 の実施形態の垂直走査回路の一例を示す図である。

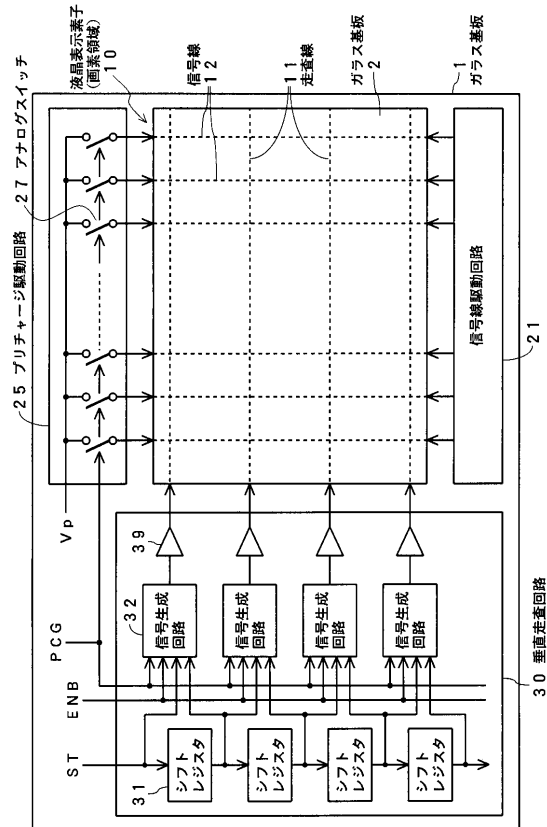
【図 5】図 1 の実施形態における各信号のタイミング関係を示す図である。

【図 6】図 1 の実施形態における各信号のタイミング関係を示す図である。

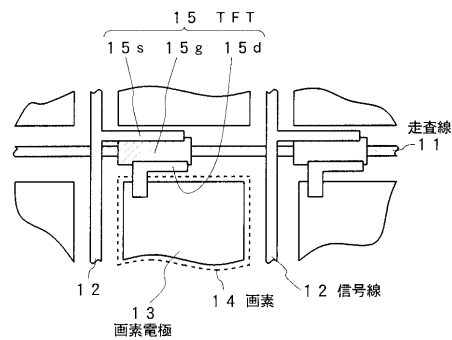
【符号の説明】

主要部については図中に全て記述したので、ここでは省略する。

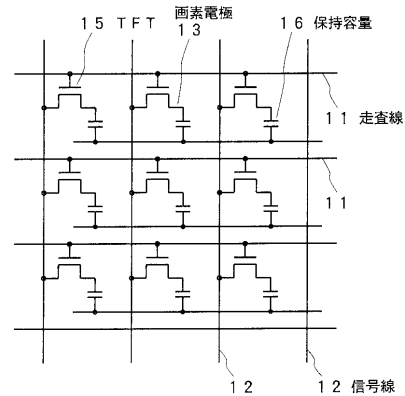
【図 1】



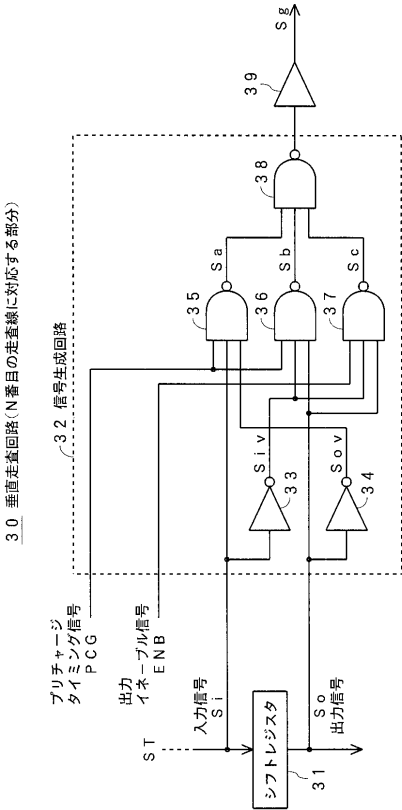
【図 2】



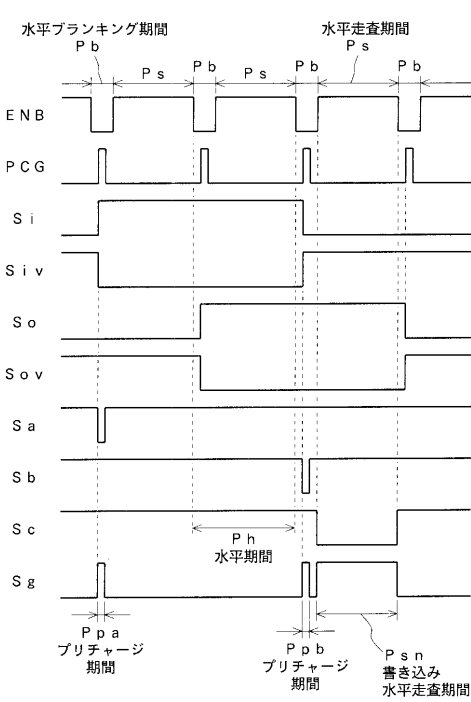
【図 3】



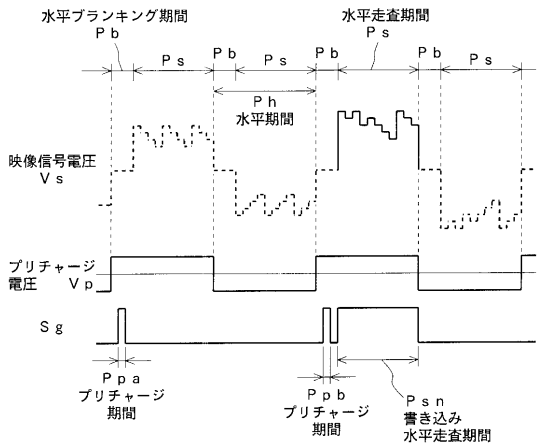
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 1 1 J

(56)参考文献 特開平 0 2 - 1 6 8 2 2 9 (J P , A)
特開平 0 4 - 3 0 9 9 2 0 (J P , A)
特開平 1 1 - 0 3 8 3 7 9 (J P , A)
特開平 1 1 - 1 4 2 8 0 7 (J P , A)
特開平 0 7 - 2 9 5 5 2 1 (J P , A)
特開平 0 8 - 2 2 1 0 3 9 (J P , A)
特開 2 0 0 1 - 3 1 8 6 5 9 (J P , A)
特開平 1 1 - 1 6 0 7 3 0 (J P , A)
特開 2 0 0 1 - 0 4 2 2 8 2 (J P , A)
特開 2 0 0 0 - 2 2 7 7 8 4 (J P , A)
特開平 1 1 - 3 4 4 6 9 1 (J P , A)
特開平 1 1 - 3 0 5 7 1 1 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G09G 3/36
G02F 1/133
G02F 1/1368
G09G 3/20

专利名称(译)	液晶驱动装置和液晶显示装置		
公开(公告)号	JP3900256B2	公开(公告)日	2007-04-04
申请号	JP2001375676	申请日	2001-12-10
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	森田真太郎 地崎誠		
发明人	森田 真太郎 地崎 誠		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.612.L G09G3/20.612.T G09G3/20.642.A G09G3/20.621.A G09G3/20.621.F G09G3/20.611.J		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/NA01 2H092/PA06 2H093/NA16 2H093/NC22 2H093/NC34 2H093/ND09 2H192/AA24 2H192/CC04 2H192/DA12 2H192/FB07 2H192/GD61 2H193/ZA04 2H193/ZD32 2H193/ZE06 2H193/ZE09 5C006/AA22 5C006/AF73 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF26 5C006/BF49 5C006/FA24 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	佐藤雅美		
审查员(译)	Naoaki桥本		
其他公开文献	JP2003177720A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有源矩阵驱动型液晶显示元件驱动装置，其中即使在水平消隐间隔较短时也不会出现对像素的写入不充分和由写入不充分引起的图像质量劣化的发生。ŽSOLUTION：从垂直扫描电路提供给第N条扫描线的信号Sg被制成在对应于第N条扫描线的水平扫描间隔Psn中具有规定电位的脉冲，水平消隐间隔内的间隔Ppb紧接在间隔Psn之前和在间隔Ppb之前的两个水平间隔的水平消隐间隔内的间隔Ppa。在间隔Ppa和Ppb中，预充电电压Vp被施加到位于第N扫描线和每条信号线的交叉位置处的像素，使得这些像素被预充电。根据视频信号电压Vs，每个水平间隔反转电压Vp的极性。Ž

【 图 2 】

