

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-128014
(P2010-128014A)

(43) 公開日 平成22年6月10日(2010.6.10)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 621D	2H193
G02F 1/133 (2006.01)	G09G 3/20 611A	5C006
	G09G 3/20 612L	5C080
	G09G 3/20 622E	

審査請求 未請求 請求項の数 9 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2008-300006 (P2008-300006)
(22) 出願日 平成20年11月25日 (2008.11.25)

(71) 出願人 302020207
東芝モバイルディスプレイ株式会社
埼玉県深谷市幡羅町一丁目9番地2
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司

最終頁に続く

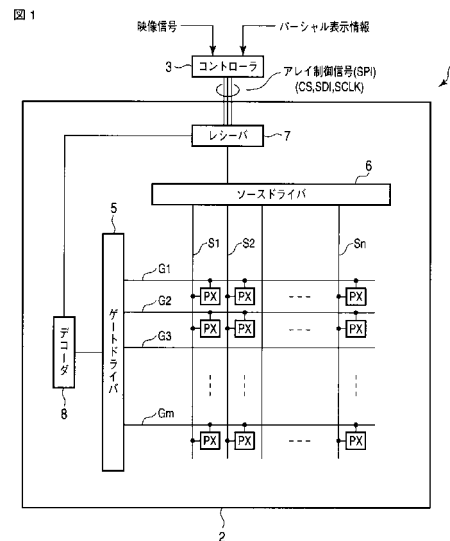
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】安価にパーシャル表示できるとともに、SOG技術の拡大、狭額縁化などにも対応することのできる液晶表示装置を提供する。

【解決手段】基板2上にマトリクス状に配置された液晶画素PXと、列毎に設けられ各列のそれぞれの液晶画素と接続するソース線にソース信号を供給するソースドライバ6と、行毎に設けられ各行のそれぞれの液晶画素と接続するゲート線にゲート信号を供給するゲートドライバ5と、パーシャル表示のためのアレイ制御信号を出力するコントローラ3と、アレイ制御信号からパーシャル表示を開始するゲート線のアドレスを指定するパーシャル開始アドレスとパーシャル表示を終了するゲート線のアドレスを指定するパーシャル終了アドレスとを取得するレシーバ部7と、レシーバ部からのパーシャル開始アドレス、パーシャル終了アドレスを示すデータに基づいてゲートドライバに対してゲート線を駆動する範囲を制御する信号を出力するデコーダ部8とを備えた液晶表示装置である。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基板上にマトリクス状に配置された液晶画素と、

列毎に設けられ各列のそれぞれの液晶画素と接続するソース線にソース信号を供給するソースドライバと、

行毎に設けられ各行のそれぞれの液晶画素と接続するゲート線にゲート信号を供給するゲートドライバと、

パーシャル表示のためのアレイ制御信号を出力するコントローラと、

前記アレイ制御信号から、パーシャル表示を開始するゲート線のアドレスを指定するパーシャル開始アドレスとパーシャル表示を終了するゲート線のアドレスを指定するパーシャル終了アドレスとを取得するレシーバ部と、

前記レシーバ部からの前記パーシャル開始アドレス、パーシャル終了アドレスを示すデータに基づいて前記ゲートドライバに対してゲート線を駆動する範囲を制御する信号を出力するデコーダ部と

を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記アレイ制御信号は、3線シリアルインターフェースに準拠して、3つの制御信号で構成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記 3 つの制御信号は、

前記レシーバ部に処理の実行を指示するチップセレクト信号と、

前記レシーバ部が処理を実行する際のクロック信号と、

全画面表示とパーシャル表示とを区分する表示モード、前記パーシャル開始アドレス、前記パーシャル終了アドレス及び前記ソース信号を前記ソースドライバが生成するための表示データを含むシリアルデータ信号と

を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記ゲートドライバは、垂直パルス信号をシフトさせて前記ゲート信号を出力する複数のシフトレジスタと、前記複数のシフトレジスタの接続を切り替える複数のスイッチとを有し、

前記デコーダ部は、前記パーシャル開始アドレス、パーシャル終了アドレスから前記複数のスイッチのそれぞれを制御する信号を生成するスイッチ制御信号生成部を有することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記スイッチ制御信号生成部は、

前記パーシャル開始アドレス、パーシャル終了アドレスを表すアドレスバス配線と結線するコンタクトホールを規定して前記複数のスイッチのそれぞれを制御する信号を生成することを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記レシーバ部と前記デコーダ部とが、前記基板上に設けられていることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記液晶画素は、S R A Mであることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記パーシャル開始アドレス、パーシャル終了アドレスが、走査本数の異なる規格毎に異なっていることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記液晶画素は、D R A Mであることを特徴とする請求項 6 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】**

10

20

30

40

50

【 0 0 0 1 】

本発明は、パーシャル表示を行う液晶表示装置に関する。

【 背景技術 】

【 0 0 0 2 】

液晶表示装置は、コンピュータ、カーナビゲーションシステム、あるいはテレビ受信機等の表示装置として広く利用されている。なかでも、どこにでも持ち運べる携帯用の表示装置、大画面の表示装置に対するニーズが高まっている。このようなニーズに応えるため、軽量化、使用時間の長時間化、低消費電力化が求められている。これらの課題を解決するためには、電源用バッテリーの高性能化に加え、表示装置自体の消費電力を下げることで効果的である。

10

【 0 0 0 3 】

低消費電力を実現する液晶表示装置として、パーシャル表示が可能な液晶表示装置が知られている。パーシャル表示は、画面の一部に画像を表示する方式で、例えば、同一表示パネル上に、それぞれ別個に駆動可能な複数の領域を設けて、それぞれを個別に駆動制御することで実現することができる。しかし、この方式では任意の位置に任意のパターンを表示したいとする要求に対応することは困難である。

そこで、任意位置に任意のパターンをパーシャル表示できると共に、必要に応じてその際の消費電力を低減することのできる表示装置が開示されている（例えば、特許文献1、特許文献2参照）。

【 特許文献 1 】 特開 2 0 0 1 - 3 5 6 7 4 6 号 公 報

20

【 特許文献 2 】 特開 2 0 0 3 - 5 7 2 7 号 公 報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

しかしながら、上述の液晶表示装置では、例えば、パーシャル駆動に対応したゲートドライバIC、ソースドライバICなどの駆動回路を必要とし、また、パーシャル表示の制御のための駆動タイミングを実現するためのタイミングコントローラICの開発が必要となる。さらに、パーシャル駆動を実現するために、部品数が増加する。

この結果、製品のコスト増につながると共に、駆動回路をアレイ内に設けることが困難なことから、SOG技術の拡大、狭額縁化などを進めることが困難であるとの指摘もされていた。

30

【 0 0 0 5 】

本発明は、かかる事情に鑑みてなされたものであって、安価にパーシャル表示できるとともに、SOG技術の拡大、狭額縁化などにも対応することのできる液晶表示装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 6 】

上記課題を解決するための本発明に係る液晶表示装置は、基板上にマトリクス状に配置された液晶画素と、列毎に設けられ各列のそれぞれの液晶画素と接続するソース線にソース信号を供給するソースドライバと、行毎に設けられ各行のそれぞれの液晶画素と接続するゲート線にゲート信号を供給するゲートドライバと、パーシャル表示のためのアレイ制御信号を出力するコントローラと、前記アレイ制御信号から、パーシャル表示を開始するゲート線のアドレスを指定するパーシャル開始アドレスとパーシャル表示を終了するゲート線のアドレスを指定するパーシャル終了アドレスとを取得するレシーバ部と、前記レシーバ部からの前記パーシャル開始アドレス、パーシャル終了アドレスを示すデータに基づいて前記ゲートドライバに対してゲート線を駆動する範囲を制御する信号を出力するデコーダ部とを備えたことを特徴としている。

40

【 発明の効果 】

【 0 0 0 7 】

本発明によれば、安価にパーシャル表示できるとともに、SOG技術の拡大、狭額縁化

50

などにも対応することのできる液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0008】

〔第1の実施の形態〕

以下、本発明の一実施形態に係る液晶表示装置について添付図面を参照して説明する。

【0009】

図1は、液晶表示装置の概略の回路構成を示す図である。

図1に示すように、液晶表示装置は、表示パネル1および表示パネル1を制御するコントローラ3を備えている。

【0010】

表示パネル1は一对の電極基板であるアレイ基板2および対向基板（不図示）間に液晶層（不図示）を挟持した構造である。

表示パネル1は、ガラス板等の光透過性絶縁基板であるアレイ基板2上にマトリクス状に配列される $m \times n$ 個の液晶画素 PX 、液晶画素 PX の行毎に接続されている m 本のゲート線 $G1 \sim Gm$ 、液晶画素 PX の列毎にそれぞれ接続された n 本の信号線 $S1 \sim Sn$ を備えている。

【0011】

更にアレイ基板2は、ゲート線 $G1 \sim Gm$ の駆動を制御するゲートドライバ5、ソース線 $S1 \sim Sn$ の駆動を制御するソースドライバ6、レシーバ7およびデコーダ8を備えている。

【0012】

コントローラ3は、液晶画素 PX に印加される液晶駆動電圧を制御して表示パネル1の透過率を制御する。コントローラ3は、パシャル表示のためのアレイ制御信号を3線シリアル信号（SPI準拠）としてレシーバ7に対して出力すると共に、ゲートドライバ5、ソースドライバ6、レシーバ7及びデコーダ8に対して各種タイミング信号（不図示）を出力する。アレイ制御信号には、パシャル表示用のゲート線のアドレス、表示データなどが含まれている。

【0013】

ゲートドライバ5は、液晶画素 PX を行単位に選択するように複数のゲート線 $G1 \sim Gm$ を順次駆動する。ゲートドライバ5はゲート線 G を選択するために、例えばシフトレジスタ回路を用いて構成される。ソースドライバ6は、各行の液晶画素 PX が対応ゲート線 G の駆動によって選択される期間において、画素電圧 Vs を複数のソース線 $S1 \sim Sn$ にそれぞれ出力する。

【0014】

レシーバ7は、コントローラ3から受信したアレイ制御信号から、パシャル表示用アドレス、表示データを取り出す。そして、パシャル表示用アドレスをデコーダ8に出力し、表示データをソースドライバ6に出力する。

【0015】

デコーダ8は、パシャル表示用アドレスで指定された表示開始アドレスと表示終了アドレスから、駆動するゲート線の範囲を選択する信号を生成してゲートドライバ5に出力する。ゲートドライバ5は、指定された範囲のゲート線を駆動し、ソースドライバ6は、そのゲート線の駆動に合わせて表示データに対応する画素電圧 Vs をソース線 $S1 \sim Sn$ にそれぞれ出力する。

【0016】

図2は、アレイ制御信号の内容を示す図である。

上述のように、アレイ制御信号は、SPI（Serial Peripheral Interface：3線シリアルインターフェース）に準拠して、3本の制御信号で構成されている。この3本のアレイ制御信号には、チップセレクト（CS）、シリアルクロック（SCLK）、シリアルデータ（SDI）の各信号が割り付けられている。

【0017】

10

20

30

40

50

チップセレクト (CS) が ON となっている場合に、レシーバ 7 は、アレイ制御信号の処理を実行する。シリアルクロック (SCLK) は、レシーバ 7 がアレイ制御信号を処理する際の基準クロックである。

【0018】

シリアルデータ (SDI) は、表示モード、パースャル開始アドレス、パースャル終了アドレス、表示データを含み、シリアルクロック (SCLK) に同期して順次レシーバ 7 にシリアル信号として入力される。

表示モードは、全画面表示かパースャル表示かを区別する信号である。パースャル開始アドレスは、パースャル表示を開始するゲート線のアドレスを指定する。パースャル終了アドレスは、パースャル表示を終了するゲート線のアドレスを指定する。表示データは、液晶画素 PX に書込む画素電圧 Vs に対応したデータである。

10

【0019】

この表示モード、パースャル開始アドレス、パースャル終了アドレスは、例えば、ユーザによる操作機器 (不図示) からの設定入力に従って発生するパースャル表示に関する情報をコントローラ 3 が受信して生成する。表示データは、外部から入力される映像信号に基づいてコントローラ 3 が生成する。

なお、表示モードがパースャル表示のときは、シリアルデータ SDI には、パースャル開始アドレス、パースャル終了アドレスが含まれるが、全画面表示のときは、これらのデータは含まれない。

【0020】

本実施の形態では、表示モード 8 bit、パースャル開始アドレス 9 bit、パースャル終了アドレス 9 bit として記載しているが、本発明はこの形態に限られるものではない。

20

【0021】

図 3 は、レシーバ 7 の構成と動作を説明するための図である。

上述のようにレシーバ 7 は、アレイ基板 2 上に設けられている。そして、レシーバ 7 には、レベルシフタ 11 (11a, 11b, 11c)、サンプリング信号生成回路 12、シリアル・パラレル変換回路 13、格納メモリ 14 (14a, 14b, 14c, 14d) 及び制御回路 15 が備えられている。

【0022】

レベルシフタ 11 は、アレイ制御信号の信号レベルを変換する。シリアル・パラレル変換回路 13 は、シリアルデータ (SDI) に含まれる各データを順次受信してパラレルデータに変換して格納メモリ 14 へ出力する。格納メモリ 14 は、シリアルデータ (SDI) に含まれる各データを、それぞれ表示モード格納メモリ 14a、開始アドレス格納メモリ 14b、終了アドレス格納メモリ 14c、表示データ格納メモリ 14d に保存するためのバッファである。サンプリング信号生成回路 12 は、シリアル・パラレル変換回路 13 から格納メモリ 14 へデータ出力のタイミングを指示する信号を生成する。制御回路 15 は、各部の動作を統括して制御する。なお、図 3 では、制御回路 15 のブロック中に開始・終了アドレスに関する概略の処理内容を表示している。

30

【0023】

続いて、レシーバ 7 の動作について説明する。

チップセレクト (CS) が ON となったときからサンプリング信号生成回路 12 が動作を開始する。サンプリング信号生成回路 12 とシリアル・パラレル変換回路 13 は入力されるシリアルクロック (SCLK) を基準クロックとして用いて動作を実行する。

【0024】

シリアルデータ (SDI) は、シリアル・パラレル変換回路 13 を構成するシフトレジスタをシリアルクロック (SCLK) に同期して移動する。そして、所定数の bit がシリアル・パラレル変換回路 13 へ入力されたタイミングで、サンプリング信号生成回路 12 からタイミング信号が出力される。このタイミング信号によって、シリアル・パラレル変換回路 13 から格納メモリ 14 にデータが取り込まれる。

40

50

【 0 0 2 5 】

例えば、シリアルデータ (S D I) の最初の 8 b i t が入力されたタイミングで、そのデータが表示モード格納メモリ 1 4 a に格納される。シリアルデータ (S D I) の続く 9 b i t が入力されたタイミングで、そのデータが開始アドレス格納メモリ 1 4 b に格納される。シリアルデータ (S D I) の続く 9 b i t が入力されたタイミングで、そのデータが終了アドレス格納メモリ 1 4 c に格納される。シリアルデータ (S D I) の続く所定 b i t が入力されたタイミングで、そのデータが表示データ格納メモリ 1 4 d に格納される。

【 0 0 2 6 】

制御回路 1 5 は、表示モード格納メモリ 1 4 a に格納されたデータを読み込み、表示モードが全画面表示かパーシャル表示かを判別する。

表示モードがパーシャル表示であった場合は、シリアルデータ (S D I) 中のパーシャル開始アドレス、パーシャル終了アドレスを、この表示パネル 1 でパーシャル表示をする際の開始アドレス、終了アドレスとする。なお、表示パネル 1 によって表示サイズが異なる場合もあるため、制御回路 1 5 が、自身の表示パネルのサイズに合わせて開始アドレス、終了アドレスを変換して格納メモリ 1 4 b、1 4 c に格納しても良い。

【 0 0 2 7 】

表示モードが全画面表示であった場合は、シリアルデータ (S D I) 中にはパーシャル開始アドレス、パーシャル終了アドレスは含まれていない。従って、このときは制御回路 1 5 は、表示パネル 1 の第 1 ラインのアドレスを開始アドレス格納メモリ 1 4 b にセットし、表示パネル 1 の最終ラインのアドレスを終了アドレス格納メモリ 1 4 c にセットする。

【 0 0 2 8 】

この開始アドレス格納メモリ 1 4 b 及び終了アドレス格納メモリ 1 4 c に格納されたデータに従って、デコーダ 8 は、ゲートドライバ 5 の走査範囲を制御する。

【 0 0 2 9 】

図 4 は、全画面表示時の、デコーダ 8 とゲートドライバ 5 との信号の接続を模式的に示す図である。

図 4 に描かれたシフトレジスタ (S R 1、・・・) とゲート信号 (G a t e 1、・・・) を出力するバッファとはゲートドライバ 5 に設けられている。図 4 に描かれた複数の第 1 スイッチ (S W a 1、・・・) 及び第 2 スイッチ (S W b 1、・・・) はデコーダ 8 に設けられている。

【 0 0 3 0 】

表示モードが全画面表示のときは、デコーダ 8 は第 1 スイッチの内、スイッチ S W a 1 のみ O N とし、残りのスイッチ (S W a 2、・・・) を O F F とする。そして、第 2 スイッチの全てのスイッチ (S W b 1、・・・) を O N とする。

このようにスイッチを切り替えることによって、垂直スタートパルス S T V は、図で太い線で示すように先頭のシフトレジスタ S R 1 に入力される。そしてシフトレジスタは、最終段までパルスシフト動作を実行する。従って、先頭のゲートから最終段のゲートまでスキャンが行われる。

【 0 0 3 1 】

図 5 は、パーシャル表示時の、デコーダ 8 とゲートドライバ 5 との信号の接続を模式的に示す図である。

表示モードがパーシャル表示のときは、デコーダ 8 は第 1 スイッチの内、開始アドレスに対応するスイッチのみ O N とし、残りのスイッチを O F F とする。ここでは、スイッチ S W a 3 のみ O N となっている。第 2 スイッチは、第 1 スイッチとは逆にアクティブ時に O F F (開放) し、非アクティブ時に O N (導通) する。従って、通常時は第 2 スイッチは O N となっており、終了アドレスに対応して選択されたスイッチのみが O F F とされる。この結果、スイッチ S W b 1 ~ S W b 4 が O N となり、スイッチ S W b 5 のみが O F F となる。

10

20

30

40

50

【 0 0 3 2 】

このようにスイッチを切り替えることによって、垂直スタートパルス S T V は、開始アドレスに対応するシフトレジスタ S R 3 に入力され、終了アドレスに対応するシフトレジスタ S R 5 までパルスシフト動作を実行する。従って、パーシャル開始アドレスのゲートからパーシャル終了アドレスのゲートまでスキャンが行われる。

【 0 0 3 3 】

図 6 は、デコーダ 8 のパーシャル開始アドレスデコード回路を示す図である。

【 0 0 3 4 】

図 6 で、パーシャル開始アドレスを表す 9 ビットの信号 (P [0]、 \dots 、P [8]) 及びその反転信号 (/ P [0]、 \dots 、/ P [8]) は 1 8 本のアドレスバスに割り付けられている。そして、アドレスデコード回路を介して、第 1 のスイッチを制御する第 1 のスイッチ信号 (P a r t i a l [1]、 \dots) 及びその反転信号 (/ P a r t i a l [1]、 \dots) が出力される。

10

【 0 0 3 5 】

なお、図 6 に示すパーシャル開始アドレスを表す 1 8 本のアドレスバス配線と A N D 回路に接続する配線は、図 6 中の 印で示すコンタクトホールを介して接続される。

パーシャル開始アドレスを表す 1 8 本のアドレスバス配線と結線するコンタクトホール位置の信号が 9 A N D 回路に入力されて、第 1 のスイッチ信号 (P a r t i a l [1]、 \dots) 及びその反転信号 (/ P a r t i a l [1]、 \dots) にデコードされる。

【 0 0 3 6 】

図 7 は、9 A N D 回路の動作を説明する図である。

20

図 7 (1) に示す 9 A N D 回路は、入力 b i t (n 0、 \dots 、n 8) が全て " 1 " のときにのみ、出力信号 P a r t i a l が " 1 " となる論理回路である。

【 0 0 3 7 】

いまパーシャル開始アドレスが「 3 」である場合、信号 P [0] = P [1] = " 1 " であり、信号 P [2] = \dots = P [8] = " 0 " である。また、信号 / P [0] = / P [1] = " 0 " であり、信号 / P [2] = \dots = / P [8] = " 1 " である。

【 0 0 3 8 】

従って、図 7 (2) に示すように、9 A N D 回路の入力として、信号値が " 1 " となっている信号 P [0] = P [1]、及び信号 / P [2] = \dots = / P [8] を選択すれば、信号 G a t e 3 を O N とすることができる。

30

【 0 0 3 9 】

このようなデコード回路を実現するために図 6 に示すように、コンタクトホール位置が第 1 のスイッチ信号 (P a r t i a l [1]、 \dots) 毎に割り付けられている。例えば、パーシャル開始アドレスが「 3 」である場合、信号 P [0] = P [1] にコンタクトホール位置が割り付けられ、さらに信号 / P [2] = \dots = / P [8] にコンタクトホール位置が割り付けられている。

【 0 0 4 0 】

なお、9 A N D 回路の出力信号として、第 1 のスイッチ信号 P a r t i a l [m] のみでなく、その反転信号 / P a r t i a l [m] を生成しているのは、この 2 つの信号を用いてトランスファゲートを構成し、閾値変動の少ない信号を得るためである。

40

【 0 0 4 1 】

図 8 は、デコーダ 8 のパーシャル終了アドレスデコード回路を示す図である。

この回路は第 2 のスイッチを制御する第 2 のスイッチ信号 (L i n e [1]、 \dots) 及びその反転信号 (/ L i n e [1]、 \dots) を生成する回路である。この回路は、図 7 に示すパーシャル開始アドレスデコード回路と同様にコンタクトホール位置をアドレスバス配線に割り付けることで第 2 スwitch の O N - O F F を制御する。

【 0 0 4 2 】

いまパーシャル終了アドレスが「 5 」である場合、信号 L [0] = L [2] = " 1 " であり、信号 L [1] = L [3] = \dots = L [8] = " 0 " である。また、信号 / L [0] = / L [2]

50

= " 0 " であり、信号 / L [1] = / L [3] = . . . = / L [8] = " 1 " である。

【 0 0 4 3 】

従って、9 AND回路の入力として、信号値が " 1 " となっている信号 L [0] = L [2]、及び信号 / L [1] = / L [3] = . . . = / L [8]を選択すれば、信号 Gate 5をOFFとすることができる。

【 0 0 4 4 】

このようなデコード回路を実現するために図 6 に示すように、コンタクトホール位置が第 1 のスイッチ信号 (Line [1]、. . .) 毎に割り付けられている。例えば、パースナル終了アドレスが「 5 」である場合、信号 L [0] = L [2]にコンタクトホール位置が割り付けられ、さらに信号 / L [1] = / L [3] = . . . = / L [8]にコンタクトホール位置が割り付けられている。

10

【 0 0 4 5 】

以上説明したように、図 6、図 8 に示すデコード回路では、1本のゲート線を選択する回路に工夫をこらし、アドレスバス配線と結線するコンタクトホール位置を規定することによって、デコード回路の大幅な簡素化を図っている。

【 0 0 4 6 】

図に示した例では、アドレスバス幅を 9 b i t としているため、ゲート本数が 5 1 2 本までは、デコードの回路面積を変更せずに対応することができる。さらにゲート本数が増えた場合には、アドレスバス幅を 1 0 b i t とすればゲート本数が 1 0 2 4 本まで対応でき、アドレスバス幅を 1 1 b i t とすればゲート本数が 2 0 4 8 本まで対応できる。

20

このようにゲート本数増加に対する回路面積の増加は僅かであり、従って、SOG化、狭額縁化にとって極めて有効である。

【 0 0 4 7 】

[適用事例]

本発明の上述の実施の形態によれば、シリアルで送られてくる開始アドレスと終了アドレスをアレイ基板に内蔵された回路がデコードして、表示パネルの「任意」の一部分の書き換えを可能としている。ここで、画素 P X を S R A M で構成すれば、書き換え部分以外の領域は、画素 S R A M で保持できるため消費電力を低減することができる。

【 0 0 4 8 】

なお、本実施の形態では、画素のメモリ回路を S R A M で構成しているが、S R A M の代わりに D R A M であっても良い。

30

【 0 0 4 9 】

例えば、携帯電話液晶画面で、画面の一部分に時計の動画像を表示し、残りの部分には静止画を表示する場合、時計部分のみを更新表示すれば良いため、電池の消費を低く抑えることができる。

【 0 0 5 0 】

図 9 は、レターボックス表示への適用を示す図である。

図 9 (1) は、デジタルビデオカメラ (D V C) あるいは液晶テレビなどでアスペクト比 4 : 3 の表示パネルに、N T S C 規格によるアスペクト比 4 : 3 の映像を表示する通常の状態を示している。図 9 (2) は、アスペクト比 4 : 3 の表示パネルに、P A L、H D などの規格によるアスペクト比 1 6 : 9 の映像を表示した状態を示している。この表示では、映像が不自然に歪められている。

40

【 0 0 5 1 】

このため、図 9 (3) に示すように、画面の上下にサイドブラックと呼ばれる黒マスク部を固定して設け、それ以外の部分に映像を表示するレターボックス表示によって、画質の低下を防止することができる。

【 0 0 5 2 】

しかしながら、従来の液晶パネルでは、N T S C、P A L、H D など走査本数が異なる規格に対しては、間引きによる擬似表示を行うか、異なる規格毎に処理回路を設けるなど個別の対応が必要であった。

50

【 0 0 5 3 】

これまで、異なる2つの規格を取り入れた表示装置が知られている。本願発明を適用することにより、異なる規格についての数の制限を受けることが少なくなる。即ち、特別なハードウェア、間引き処理、補間処理を必要とせず、パーシャル表示開始アドレスと終了アドレスとを指定することによって、2以上の異なる規格の表示を容易に実現することができる。

【 0 0 5 4 】

[実施の形態の効果]

以上説明した本実施の形態を用いることで、種々の効果を奏することができる。

【 0 0 5 5 】

(1) 本実施の形態では、パーシャル表示に用いる制御信号を3本のみとすることが可能となっている。また、本実施の形態のパーシャル表示用のデコード回路を採用することにより、コンパクトな構成とすることができる。

これにより、従来、アレイ基板の外に設けられていたタイミングコントローラ、パーシャルアドレス・デコード回路、パーシャル対応ゲートドライバICなどの駆動回路を、画素トランジスタと同じプロセスで製造し(COG技術)、全てアレイ基板内に集積することが可能となった。

【 0 0 5 6 】

(2) 本実施の形態では、任意の開始アドレスと、任意の終了アドレスを指定することで表示の一部分の書き換えを可能としている。このように簡便な方式でパーシャル表示を可能としているため、特別なハードウェア、間引き処理、補間処理を必要とせず、2以上の異なる規格の表示を容易に実現することができる。

【 0 0 5 7 】

(3) 本実施の形態と画素SRAMあるいは画素DRAMとを組み合わせることによって低消費電力化を実現することができる。

【 0 0 5 8 】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【 0 0 5 9 】

【図1】液晶表示装置の概略の回路構成を示す図。

【図2】アレイ制御信号の内容を示す図。

【図3】レシーバの構成と動作を説明するための図。

【図4】全画面表示時のデコーダとゲートドライバとの信号の接続を模式的に示す図。

【図5】パーシャル表示時のデコーダとゲートドライバとの信号の接続を模式的に示す図。

【図6】デコーダのパーシャル開始アドレスデコード回路を示す図。

【図7】9AND回路の動作を説明する図。

【図8】デコーダのパーシャル終了アドレスデコード回路を示す図。

【図9】レターボックス表示への適用を示す図。

【符号の説明】

【 0 0 6 0 】

PX...液晶画素、G1~Gm...ゲート線、S1~Sn...ソース線、SDI...シリアルデータ、SWa...スイッチ、SWb...スイッチ、1...表示パネル、2...アレイ基板、3...コントローラ、5...ゲートドライバ、6...ソースドライバ、7...レシーバ、8...デコーダ、11...レベルシフタ、12...サンプリング信号生成回路、13...シリアル・パラレル変換回路、14...格納メモリ、15...制御回路。

10

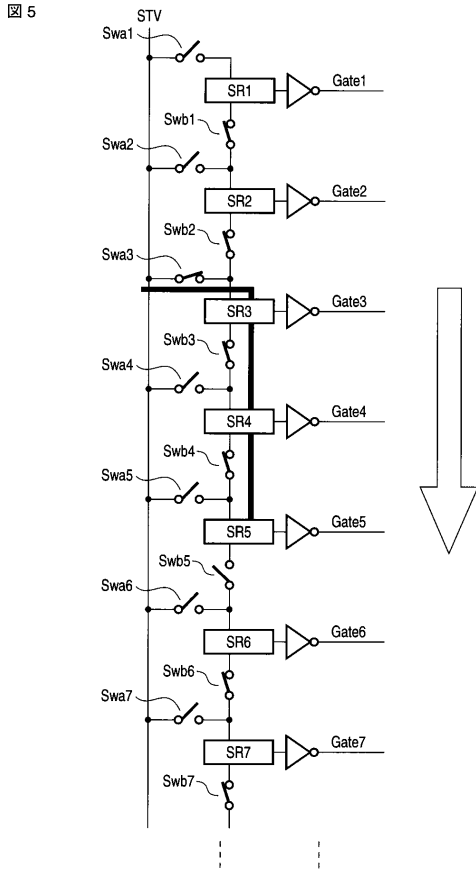
20

30

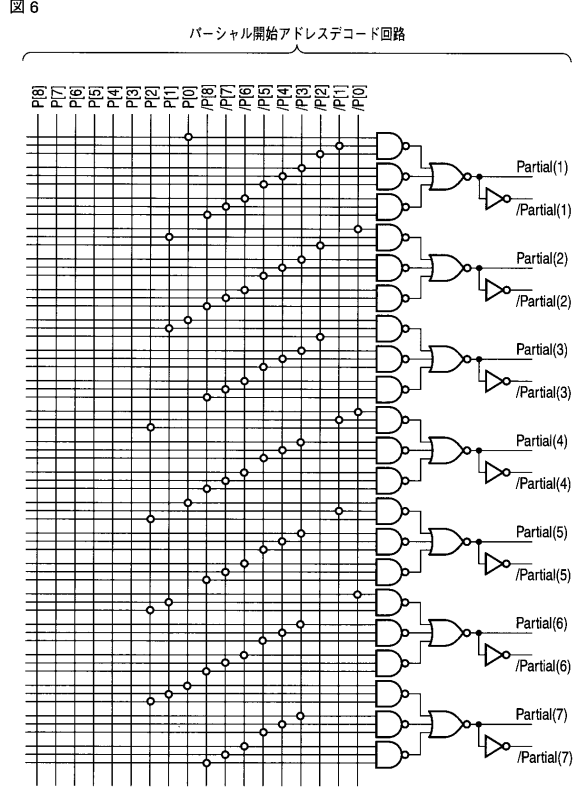
40

50

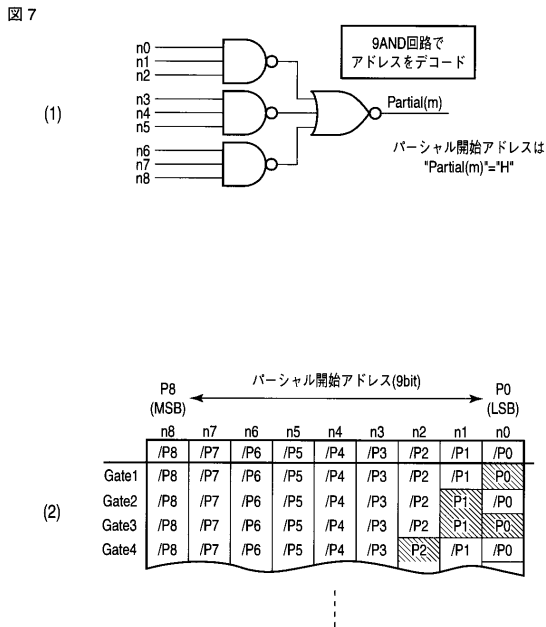
【 図 5 】



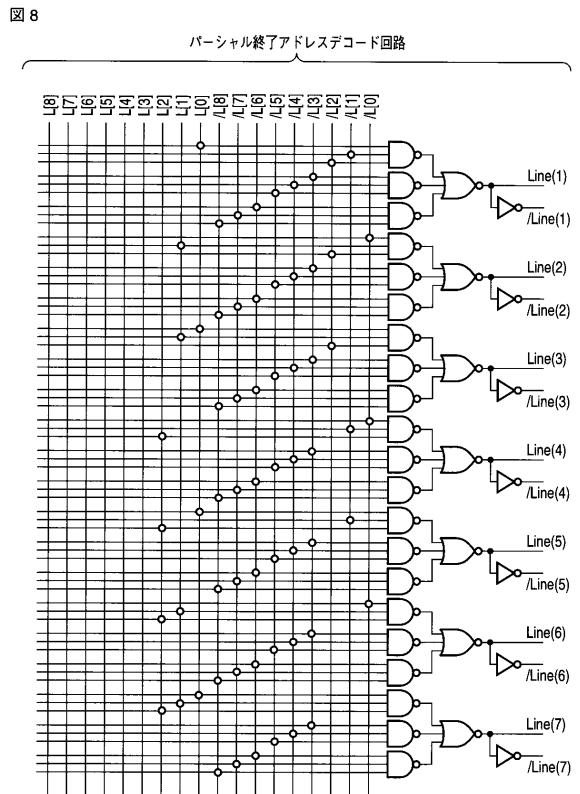
【 図 6 】



【 図 7 】

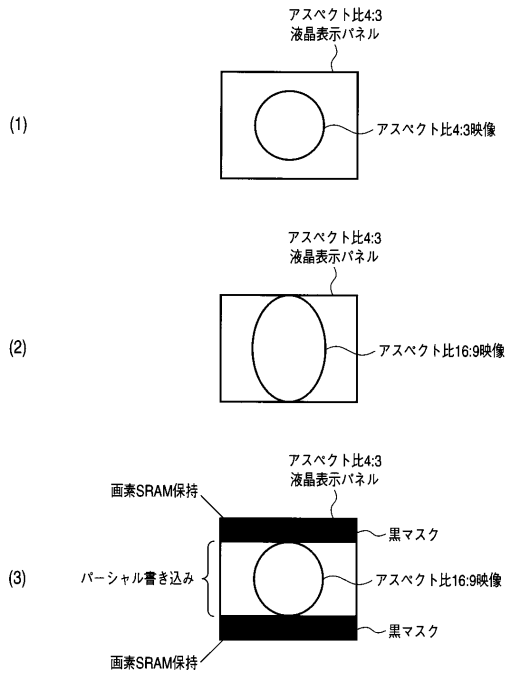


【 図 8 】



【 図 9 】

図 9



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 1 K
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 2 2 G
	G 0 9 G 3/20	6 1 2 P
	G 0 9 G 3/20	6 3 3 D
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/133	5 0 5
	G 0 9 G 3/20	6 1 2 R

- (74)代理人 100095441
 弁理士 白根 俊郎
- (74)代理人 100084618
 弁理士 村松 貞男
- (74)代理人 100103034
 弁理士 野河 信久
- (74)代理人 100119976
 弁理士 幸長 保次郎
- (74)代理人 100153051
 弁理士 河野 直樹
- (74)代理人 100140176
 弁理士 砂川 克
- (74)代理人 100100952
 弁理士 風間 鉄也
- (74)代理人 100101812
 弁理士 勝村 紘
- (74)代理人 100070437
 弁理士 河井 将次
- (74)代理人 100124394
 弁理士 佐藤 立志
- (74)代理人 100112807
 弁理士 岡田 貴志
- (74)代理人 100111073
 弁理士 堀内 美保子
- (74)代理人 100134290
 弁理士 竹内 将訓
- (74)代理人 100127144
 弁理士 市原 卓三
- (74)代理人 100141933
 弁理士 山下 元
- (72)発明者 原田 賢治

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H093 NA16 NC10 NC12 NC28 NC34 ND39 ND42 ND54
 2H193 ZA04 ZF22 ZF36
 5C006 AF31 AF42 BB16 BC03 BC06 BC20 BF03 BF16 BF34 FA05
 FA41 FA47 FA51
 5C080 AA10 BB05 DD22 DD26 DD27 FF07 FF11 JJ01 JJ02 JJ03
 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010128014A	公开(公告)日	2010-06-10
申请号	JP2008300006	申请日	2008-11-25
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	原田賢治		
发明人	原田 賢治		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G06F3/147 G09G3/3674 G09G2310/04 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.621.D G09G3/20.611.A G09G3/20.612.L G09G3/20.622.E G09G3/20.621.K G09G3/20.624.B G09G3/20.622.G G09G3/20.612.P G09G3/20.633.D G02F1/133.550 G02F1/133.505 G09G3/20.612.R		
F-TERM分类号	2H093/NA16 2H093/NC10 2H093/NC12 2H093/NC28 2H093/NC34 2H093/ND39 2H093/ND42 2H093/ND54 2H193/ZA04 2H193/ZF22 2H193/ZF36 5C006/AF31 5C006/AF42 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF03 5C006/BF16 5C006/BF34 5C006/FA05 5C006/FA41 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD26 5C080/DD27 5C080/FF07 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA19 2H193/ZC25 2H193/ZC32 2H193/ZD23 2H193/ZD36 2H193/ZF09 2H193/ZF16 2H193/ZF20 2H193/ZF21 2H193/ZF31 2H193/ZF43 2H193/ZR07		
代理人(译)	河野 哲 中村 诚 河野直树 冈田 隆 山下 元		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，该液晶显示装置能够以低成本进行部分显示，并且还能够应对SOG技术的扩展和框架的变窄。解决方案：在基板2上以矩阵形式排列的液晶像素PX，为每一列提供源驱动器6，并将源信号提供给与每一列的每一液晶像素和每一行相连的源极线。栅极驱动器5将栅极信号提供给设置的栅极线，该栅极线连接到每行中的每个液晶像素；控制器3输出用于部分显示的阵列控制信号的控制信号3；以及栅极线，其从阵列控制信号开始部分显示。基于接收器部分7，该接收器部分从接收器部分获得指定该地址的部分起始地址和指定结束该部分显示的栅极线的地址的部分结束地址，以及部分起始地址和部分结束地址。解码器向栅极驱动器输出用于控制栅极线的驱动范围的信号8它是包括显示部分8的液晶显示装置。[选型图]图1

