

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-145797

(P2009-145797A)

(43) 公開日 平成21年7月2日(2009.7.2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/1345 (2006.01)	G02F 1/1345	2H093
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G02F 1/133 (2006.01)	G02F 1/133 550	5C080
G09G 3/20 (2006.01)	G09G 3/20 642D	
審査請求 未請求 請求項の数 6 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2007-325544 (P2007-325544)
 (22) 出願日 平成19年12月18日 (2007.12.18)

(71) 出願人 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 小橋 裕
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 Fターム(参考) 2H092 GA59 JA26 JB69 KA04 KA07
 NA25 PA06

最終頁に続く

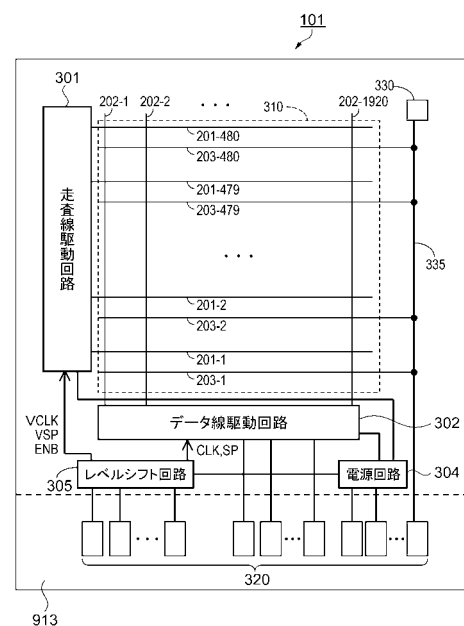
(54) 【発明の名称】 アクティブマトリクス装置、液晶表示装置及び電子機器

(57) 【要約】

【課題】液晶の表示品位と駆動ICの低コスト化は互いに相反する側面を有するため、低コストの中耐圧ICを用いる場合、液晶へ印加できる最大電圧が高くなるように最適化する必要がある。

【解決手段】データ線202に所望の電位を書き込むためのスイッチ回路はnチャネル型トランジスタとpチャネル型トランジスタとにより構成され、共通電位は一定期間で反転するように駆動されて、共通電位に応じてスイッチ回路を構成するnチャネル型トランジスタもしくはpチャネル型トランジスタのいずれか一方を選択してデータ線202に所望の電位を書き込む。

【選択図】図2



913

【特許請求の範囲】**【請求項 1】**

基板上に、
データ線と、
共通電位を供給するための共通電位配線と、
前記データ線に所望の電位を書き込むためのスイッチ回路と、を有してなるアクティブマトリクス装置であって、

前記スイッチ回路は n チャネル型トランジスタと p チャネル型トランジスタとにより構成され、

前記共通電位は一定期間で反転するように駆動されて、当該共通電位に応じて前記スイッチ回路を構成する前記 n チャネル型トランジスタもしくは前記 p チャネル型トランジスタのいずれか一方を選択して前記データ線に所望の電位を書き込む駆動回路を有することを特徴とするアクティブマトリクス装置。

10

【請求項 2】

前記基板上に昇圧回路を内蔵してなり、

外部から前記アクティブマトリクス装置に供給される電源及び信号の最大電位と最小電位との差は 6 V 未満であることを特徴とする請求項 1 に記載のアクティブマトリクス装置。

【請求項 3】

前記スイッチ回路を構成する前記 n チャネル型トランジスタもしくは前記 p チャネル型トランジスタの少なくともいずれか一方は、ボトムゲート型構造であるか又は G O L D D (Gate Overlapped Lightly Doped Drain) 構造であることを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス装置。

20

【請求項 4】

前記スイッチ回路を構成する前記 n チャネル型トランジスタもしくは前記 p チャネル型トランジスタの少なくともいずれか一方のゲート電極と前記データ線との間に容量を有してなることを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス装置。

【請求項 5】

請求項 1 から 4 のいずれか一項に記載のアクティブマトリクス装置を備えることを特徴とする液晶表示装置。

30

【請求項 6】

請求項 5 に記載の液晶表示装置を備えることを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、アクティブマトリクス装置、当該アクティブマトリクス装置を備える液晶表示装置、及び当該液晶表示装置を備える電子機器に関する。

【背景技術】**【0002】**

近年、低温ポリシリコン薄膜形成技術を用いてガラス基板上に薄膜トランジスタ (TFT) による駆動回路を形成する、いわゆる駆動回路内蔵型液晶表示装置において、ガラス基板上に電源回路 (昇圧回路あるいは DCDC コンバータ等) を形成することで、外付け駆動 IC のコストを低減した表示装置が普及しつつある (例えば以下の特許文献 1)。

40

【0003】

【特許文献 1】特開 2001 - 183702 号公報

【発明の開示】**【発明が解決しようとする課題】****【0004】**

いわゆる中耐圧プロセスで製造された安価な中耐圧駆動 IC を用いて LCD を駆動する場合、駆動 IC から出力される電源あるいは信号の最大電位差は、駆動 IC の耐圧条件に

50

より、せいぜい6 V程度、typ条件で5 V程度までとなる。ガラス基板上に上記したような電源回路を形成することにより、十分な電位をパネル内の駆動回路に供給して駆動回路を動作させることが可能となる。

しかし一方で、この駆動IC内で生成できる電源は5 V～6 V程度であることから、精度よくアナログ出力できる電位の幅は4.5 V～5.5 V程度になってしまう。すなわち、LCDのコモン電源電位及びデータ線への書き込み電位は、せいぜい振幅が4.5 V～5.5 V程度となる。

一般に液晶へ印加できる最大電位が高ければ高いほど、高速応答・高コントラスト・高信頼性に向く。従って、表示品位という面からみると液晶へ印加できる最大電位は少しでも高い方がよい。このように、液晶の表示品位と駆動ICの低コスト化は互いに相反する側面を有するため、安価な中耐圧駆動ICを用いる場合、液晶へ印加できる最大電圧が高くなるように最適化する必要がある。

【課題を解決するための手段】

【0005】

本発明は、上記の課題の少なくとも一部を解決するためになされたものであり、以下の形態又は適用例として実現することが可能である。

【0006】

[適用例1]

基板上に、データ線と、共通電位を供給するための共通電位配線と、前記データ線に所望の電位を書き込むためのスイッチ回路と、を有してなるアクティブマトリクス装置であって、前記スイッチ回路はnチャネル型トランジスタとpチャネル型トランジスタとにより構成され、前記共通電位は一定期間で反転するように駆動されて、当該共通電位に応じて前記スイッチ回路を構成する前記nチャネル型トランジスタもしくは前記pチャネル型トランジスタのいずれか一方を選択して前記データ線に所望の電位を書き込む駆動回路を有することを特徴とするアクティブマトリクス装置。

【0007】

上記したアクティブマトリクス装置によれば、データ線に電位を書き込むためのスイッチ回路は、極性が逆となる2つのトランジスタにより構成されている。これにより、一定期間で反転する共通電位に応じて、データ線に書き込むトランジスタ極性を変えることで、より高い電圧を液晶素子に印加できる。この結果、中耐圧プロセスで製造された安価な中耐圧駆動ICを用いた場合に、液晶素子の最大印加電圧を高くすることで表示品位や信頼性の低下を防止できる。

【0008】

[適用例2]

前記基板上に昇圧回路を内蔵してなり、外部から前記アクティブマトリクス装置に供給される電源及び信号の最大電位と最小電位との差は6 V未満であることを特徴とする上記アクティブマトリクス装置。

【0009】

上記したアクティブマトリクス装置によれば、アクティブマトリクス基板装置上の駆動回路に供給する電位を基板上の昇圧回路から供給でき、アクティブマトリクス基板装置に接続する全ての構成部品を中耐圧プロセスのICで構成できることから、さらにコストを低減することができる。

【0010】

[適用例3]

前記スイッチ回路を構成する前記nチャネル型トランジスタもしくは前記pチャネル型トランジスタの少なくともいずれか一方は、ボトムゲート型構造であるか又はGOLD D (Gate Overlapped Lightly Doped Drain) 構造であることを特徴とする上記アクティブマトリクス装置。

【0011】

[適用例4]

10

20

30

40

50

前記スイッチ回路を構成する前記 n チャンネル型トランジスタもしくは前記 p チャンネル型トランジスタの少なくともいずれか一方のゲート電極と前記データ線との間に容量を有してなることを特徴とする上記アクティブマトリクス装置。

【 0 0 1 2 】

[適用例 5]

上記に記載のアクティブマトリクス装置を備えることを特徴とする液晶表示装置。

【 0 0 1 3 】

上記した液晶表示装置によれば、高速応答・高コントラスト・高信頼性を実現した高品位な表示装置を安価に提供することができる。

[適用例 6]

上記に記載の液晶表示装置を備えることを特徴とする電子機器。

【 0 0 1 4 】

上記した電子機器によれば、高品位な表示装置を搭載した電子機器を安価に提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 5 】

以下、本実施形態に係るアクティブマトリクス装置を備えた液晶表示装置について図面に基づいて説明する。

【 0 0 1 6 】

図 1 は本実施形態に係る液晶表示装置 9 1 0 の斜視構成図（一部断面図）である。液晶表示装置 9 1 0 は、アクティブマトリクス装置としてのアクティブマトリクス基板 1 0 1 と対向基板 9 1 2 とをシール材 9 2 3 により一定の間隔で貼り合わせ、ネマティック相液晶材料 9 2 2 を挟持してなる。アクティブマトリクス基板 1 0 1 上には、図示しないが、ポリイミドなどからなる配向材料が塗布されラビング処理されて配向膜が形成されている。

また、対向基板 9 1 2 は、図示しないが、画素に対応したカラーフィルタと、光抜けを防止してコントラストを向上させるための低反射・低透過率樹脂よりなるブラックマトリクスと、アクティブマトリクス基板 1 0 1 上の対向導通部 3 3 0（図 2 参照）と短絡される I T O 膜でなる対向電極 9 3 0（図 3 参照）とが形成される。ネマティック相液晶材料 9 2 2 と接触する面には、ポリイミドなどからなる配向材料が塗布され、アクティブマトリクス基板 1 0 1 の配向膜ラビング処理方向と直交する方向にラビング処理されている。

【 0 0 1 7 】

さらに対向基板 9 1 2 の外側には、上偏光板 9 2 4 を、アクティブマトリクス基板 1 0 1 の外側には、下偏光板 9 2 5 を各々配置し、互いの偏光方向が直交するよう（クロスニコル状）に配置する。さらに下偏光板 9 2 5 下には、バックライトユニット 9 2 6 と導光板 9 2 7 が配置され、バックライトユニット 9 2 6 から導光板 9 2 7 に向かって光が照射され、導光板 9 2 7 はバックライトユニット 9 2 6 からの光をアクティブマトリクス基板 1 0 1 に向かって垂直かつ均一な面光源となるように光を反射屈折させることで液晶表示装置 9 1 0 の光源として機能する。バックライトユニット 9 2 6 は、本実施形態では L E D ユニットであるが、冷陰極間（C C F L）であってもよい。バックライトユニット 9 2 6 はコネクタ 9 2 9 を通じて電子機器本体の外部電源回路 7 8 4（図 4 参照）に接続され、電源を供給される。

また、さらに必要に応じて、液晶表示装置 9 1 0 の周囲を外殻で覆ってもよいし、あるいは上偏光板 9 2 4 のさらに上に保護用のガラスやアクリル板を取り付けてもよいし、視野角改善のため光学補償フィルムを貼ってもよい。

【 0 0 1 8 】

また、アクティブマトリクス基板 1 0 1 は、対向基板 9 1 2 から張り出す張出し部 9 1 3 が設けられ、その張出し部 9 1 3 にある信号入力端子 3 2 0（図 2 参照）には、F P C（可撓性基板）9 2 8 及び駆動 I C 9 2 1 が実装され電氣的に接続されている。また駆動 I C 9 2 1 はアクティブマトリクス基板 1 0 1 の駆動に必要な信号と電源を供給し、F P

10

20

30

40

50

C 9 2 8 は電子機器本体に接続され、外部電源回路 7 8 4 及び映像処理回路 7 8 0 (図 4 参照) から必要な信号と電源を駆動 I C 9 2 1 及びアクティブマトリクス基板 1 0 1 に供給する。なお、本実施形態では、張出し部 9 1 3 に駆動 I C 9 2 1 を実装する C O G (Chip On Glass) 実装としたが、張出し部 9 1 3 には F P C 9 2 8 のみを実装し、駆動 I C 9 2 1 は F P C 9 2 8 に実装する C O F (Chip On Film) 実装としてもよいし、F P C 9 2 8 に接続した基板上に実装する C O B (Chip On Board) 実装としてもよい。ここで駆動 I C 9 2 1 はいわゆる中耐圧プロセスを用いて製造された比較的安価な I C であり、その最大耐圧は 6 V 程度である。

【 0 0 1 9 】

図 2 はアクティブマトリクス基板 1 0 1 の構成図である。アクティブマトリクス基板 1 0 1 上には 4 8 0 本の走査線 2 0 1 - 1 ~ 4 8 0 と 1 9 2 0 本のデータ線 2 0 2 - 1 ~ 1 9 2 0 が直交して形成されており、4 8 0 本の容量線 2 0 3 - 1 ~ 4 8 0 は走査線 2 0 1 - 1 ~ 4 8 0 と並行に配置されている。容量線 2 0 3 - 1 ~ 4 8 0 は相互に短絡され、共通電位配線 3 3 5 と接続され、さらに対向導通部 3 3 0 と接続されて信号入力端子 3 2 0 より共通電位 (C O M) を与えられる。本実施形態では、いわゆる共通電位反転駆動を用いるので、共通電位 (C O M) は一定期間で反転する反転信号となる。走査線 2 0 1 - 1 ~ 4 8 0 は走査線駆動回路 3 0 1 に接続され、またデータ線 2 0 2 - 1 ~ 1 9 2 0 はデータ線駆動回路 3 0 2 に接続され、それぞれ適切に駆動される。

電源回路 3 0 4 は、いわゆる昇圧回路あるいは D C D C コンバータであって、外部から供給される比較的低電位の電源と信号から比較的高電位の電源を発生させ、走査線駆動回路 3 0 1、データ線駆動回路 3 0 2、レベルシフト回路 3 0 5 に電源を供給する。

【 0 0 2 0 】

また、レベルシフト回路 3 0 5 は駆動 I C 9 2 1 (図 1 参照)、外部電源回路 7 8 4 (図 4 参照)、映像処理回路 7 8 0 (図 4 参照) のいずれかから信号入力端子 3 2 0 を介して入力された信号の電位振幅 (例えば 5 V 振幅) を増幅して走査線駆動回路 3 0 1 及びデータ線駆動回路 3 0 2 に相対的に高い振幅 (例えば 1 4 V 振幅) の電気信号を供給する。

信号入力端子 3 2 0 は張出し部 9 1 3 上に配置され、駆動 I C 9 2 1 もしくは F P C (可撓性基板) 9 2 8 に接続されて信号または電源電位を供給される。走査線駆動回路 3 0 1、データ線駆動回路 3 0 2、電源回路 3 0 4、レベルシフト回路 3 0 5 はアクティブマトリクス基板 1 0 1 上にポリシリコン薄膜トランジスタを集積することで形成されており、後述する画素スイッチング素子 4 0 1 - n - m と同一工程で製造される、いわゆる駆動回路内蔵型の液晶表示装置となっている。なお、図 2 における破線の矩形領域は表示領域 3 1 0 を示している。

【 0 0 2 1 】

図 3 は表示領域 3 1 0 における m 番目のデータ線 2 0 2 - m と n 番目の走査線 2 0 1 - n の交差部付近の回路図である。走査線 2 0 1 - n とデータ線 2 0 2 - m の各交点には n チャネル型電界効果ポリシリコン薄膜トランジスタよりなる画素スイッチング素子 4 0 1 - n - m が形成されており、そのゲート電極は走査線 2 0 1 - n に、ソース・ドレイン電極はそれぞれデータ線 2 0 2 - m と画素電極 4 0 2 - n - m に接続されている。画素電極 4 0 2 - n - m 及び同一電位に短絡される電極は容量線 2 0 3 - n と補助容量コンデンサ 4 0 3 - n - m を形成し、また液晶表示装置として組み立てられた際には液晶素子をはさんで対向電極 9 3 0 とやはりコンデンサを形成する。

【 0 0 2 2 】

図 4 は本実施形態での電子機器の具体的な構成を示すブロック図である。液晶表示装置 9 1 0 は図 1 で説明した液晶表示装置であって、外部電源回路 7 8 4、映像処理回路 7 8 0 が F P C 9 2 8 及びコネクタ 9 2 9 を通じて必要な信号と電源を液晶表示装置 9 1 0 に供給する。中央演算回路 7 8 1 は外部 I / F 回路 7 8 2 を介して入出力機器 7 8 3 からの入力データを取得する。ここで入出力機器 7 8 3 とは、例えば、キーボード、マウス、トラックボール、LED、スピーカー、アンテナなどである。中央演算回路 7 8 1 は外部からのデータをもとに各種演算処理を行ない、結果をコマンドとして映像処理回路 7 8 0 あ

10

20

30

40

50

るいは外部 I / F 回路 7 8 2 へ転送する。映像処理回路 7 8 0 は中央演算回路 7 8 1 から
 のコマンドに基づき映像情報を更新し、液晶表示装置 9 1 0 への信号を変更することで、
 液晶表示装置 9 1 0 の表示映像が変化する。ここで電子機器とは具体的には、例えば、モ
 ニター、T V、ノートパソコン、P D A、デジタルカメラ、ビデオカメラ、携帯電話、携
 帯フォトビューワー、携帯ビデオプレイヤー、携帯 D V D プレイヤー、携帯オーディオプ
 レイヤーなどである。

【 0 0 2 3 】

図 5 は本実施形態における走査線駆動回路 3 0 1 の回路図である。走査線駆動回路 3 0
 1 は 4 8 0 個の単位走査線駆動回路 4 1 0 - 1 ~ 4 8 0 を直列に並べてなり、単位走査線
 駆動回路 4 1 0 - n は走査線 2 0 1 - n に接続される (n = 1 ~ 4 8 0)。例えば単位走
 査線駆動回路 4 1 0 - 1 は、インバーター回路 4 2 1 とインバーター回路 4 2 2 を備え、
 その入力端子と出力端子が相互接続されてラッチ回路 (S R A M 回路) を構成してなり、その
 一端すなわちインバーター回路 4 2 1 の入力端子及びインバーター回路 4 2 2 の出力端子
 に接続されるノード A には、n チャネル型トランジスタ 4 2 9 と n チャネル型トランジス
 タ 4 3 0 と n チャネル型トランジスタ 4 3 2 のドレイン電極とが接続される。またその他
 端、すなわちインバーター回路 4 2 2 の入力端子及びインバーター回路 4 2 1 の出力端子
 に接続されるノード B には、n チャネル型トランジスタ 4 2 7 と n チャネル型トランジス
 タ 4 2 8 のドレイン電極とが接続される。

【 0 0 2 4 】

n チャネル型トランジスタ 4 2 9 のソース電極は n チャネル型トランジスタ 4 2 4 のド
 レイン電極に、n チャネル型トランジスタ 4 3 0 のソース電極は n チャネル型トランジス
 タ 4 2 6 のドレイン電極に、n チャネル型トランジスタ 4 2 7 のソース電極は n チャネル
 型トランジスタ 4 2 3 のドレイン電極に、n チャネル型トランジスタ 4 2 8 のソース電極
 は n チャネル型トランジスタ 4 2 5 のドレイン電極にそれぞれ接続され、n チャネル型ト
 ランジスタ 4 2 3 と n チャネル型トランジスタ 4 2 4 と n チャネル型トランジスタ 4 2 5
 と n チャネル型トランジスタ 4 2 6 と n チャネル型トランジスタ 4 3 2 との各ソース電極
 は、走査線駆動回路 3 0 1 の負電源配線に接続される。

また n チャネル型トランジスタ 4 2 3 と n チャネル型トランジスタ 4 2 4 のゲート電極
 はスキャン方向信号 U D に、n チャネル型トランジスタ 4 2 5 と n チャネル型トランジス
 タ 4 2 6 のゲート電極は反転スキャン方向信号 X U D にそれぞれ接続される。

【 0 0 2 5 】

n チャネル型トランジスタ 4 2 8 と n チャネル型トランジスタ 4 2 9 のゲート電極はそ
 れぞれノード C に、n チャネル型トランジスタ 4 2 7 と n チャネル型トランジスタ 4 3 0
 のゲート電極はそれぞれノード D に接続される。またノード A は C M O S 伝送ゲート 4 3
 1 の n チャネル型トランジスタゲート電極に、ノード B は C M O S 伝送ゲート 4 3 1 の p
 チャネル型トランジスタゲート電極にそれぞれ接続され、C M O S 伝送ゲート 4 3 1 の一
 端は G E N 1 信号に、他端はインバーター回路 4 3 4 の入力端子に接続される。

インバーター回路 4 3 4 の出力端子はインバーター回路 4 3 5 の入力端子に接続され、
 インバーター回路 4 3 5 の出力端子は走査線 2 0 1 - 1 に接続される。またインバーター
 回路 4 3 4 の入力端子には n チャネル型トランジスタ 4 3 3 のドレイン電極も接続され、
 n チャネル型トランジスタ 4 3 3 のゲート電極はノード B に、ソース電極は走査線駆動回
 路 3 0 1 の負電源に接続される。

【 0 0 2 6 】

単位走査線駆動回路 4 1 0 - 2 は C M O S 伝送ゲート 4 3 1 の一端が G E N 1 信号では
 なく、G E N 2 信号に接続される他は単位走査線駆動回路 4 1 0 - 1 と同様である。また
 、単位走査線駆動回路 4 1 0 - 3 , 5 , 9 , ... , 4 7 9 は単位走査線駆動回路 4 1 0 - 1
 と全く同じ構成であり、単位走査線駆動回路 4 1 0 - 4 , 6 , 1 0 , ... , 4 8 0 は単位走
 査線駆動回路 4 1 0 - 2 と全く同じ構成である。また、各単位走査線駆動回路 4 1 0 - 2
 ~ 4 8 0 のノード C は走査線 2 0 1 - n - 1 に接続され、単位走査線駆動回路 4 1 0 - 1
 のノード C は G S P 信号に接続される。各単位走査線駆動回路 4 1 0 - 1 ~ 4 7 9 のノード

10

20

30

40

50

ドDは走査線201 - n + 1に接続され、単位走査線駆動回路410 - 480のノードDはGSP信号に接続される。

【0027】

ここでスキャン方向信号UD、反転スキャン方向信号XUD、GSP信号、GEN1信号、GEN2信号はいずれも駆動IC921から0V / + 5V信号で供給され、レベルシフト回路305で - 4.5V / + 9.5V振幅に増幅されたタイミング信号である。また、走査線駆動回路301の正電源は+ 9.5V、負電源は - 4.5Vを電源回路304より供給される。

このように回路を構成すると、スキャン方向信号UD = High (+ 9.5V)、反転スキャン方向信号XUD = Low (- 4.5V)の時(正方向スキャン時)、各単位走査線駆動回路410 - nは、前段に接続された走査線201 - n - 1がHigh (+ 9.5V)になってから、次段に接続された走査線201 - n + 1がHigh (+ 9.5V)になるまでの期間はGEN1信号もしくはGEN2信号と同一のタイミングを走査線201 - nに出力し、それ以外の期間は走査線201 - nにLow (- 4.5V)を出力する。スキャン方向信号UD = Low (- 4.5V)、反転スキャン方向信号XUD = High (+ 9.5V)の時(逆方向スキャン時)は次段と前段が逆転する。

【0028】

図6はスキャン方向信号UD = High (+ 9.5V)、反転スキャン方向信号XUD = Low (- 4.5V)の時(正方向スキャン時)の走査線駆動回路301のタイミングチャートである。RST信号は電源立ち上がり後、最初のスキャンが行なわれる(すなわち最初にGSP信号がHighになる)前に50μ秒間Highになり、その後は電源立ち下げまでの間、Lowになる。また、GSP信号は16.667m秒間隔で28μ秒間Highになるスタートパルス信号である。GEN1信号はGSP信号がHighになってから34.6μ秒後に最初にHighになり、パルス幅28μ秒、周期69.2μ秒で241回Highになるパルス信号である。GEN2信号はGEN1信号と34.6μ秒位相がずれるほかは全く同一の信号である。COM(335)は共通電位配線(335)に供給される共通電位(COM)であって34.6μ秒毎に反転する信号であり、16.667m秒毎に位相が逆になるように設定される。すなわち、走査線201 - nが選択される毎に共通電位(COM)の極性は反転する。共通電位(COM)の振幅は後述する理由で0.3V / 4.7Vに設定される。

【0029】

このような信号を入力して走査線駆動回路301を駆動すると、走査線201 - 1、走査線201 - 2、走査線201 - 3、...、走査線201 - 480の順に、34.6μ秒間隔で28μ秒ずつ走査線が順次選択される。図示しないが、スキャン方向信号UD = Low (- 4.5V)、反転スキャン方向信号XUD = High (+ 9.5V)の時(逆方向スキャン時)はGEN1信号とGEN2信号が逆転するほかは全く同一の信号を入力すれば、走査線201 - 480、走査線201 - 479、走査線201 - 478、...走査線201 - 1というように逆順で選択されていく。

なお、本発明における走査線駆動回路は本実施形態の回路構成に限定されるものではなく、既知のあらゆるシフトレジスタ回路、順次選択回路を用いてもよいことはもちろんであるし、アクティブマトリクス基板上に走査線駆動回路を内蔵するのではなく、外部から走査線を駆動してもよい。

【0030】

図7はデータ線駆動回路302の回路図であり、1:3のデマルチプレクサ回路構成となっている。データ線駆動回路302においては、一つのpチャネル型トランジスタと一つのnチャネル型トランジスタとを並列に配置したスイッチ回路となるデータ線スイッチ451 - 1 ~ 1920が用いられる。また、1920本のデータ線202 - 1 ~ 1920に、データ線スイッチ451 - 1 ~ 1920を構成するnチャネル型トランジスタ及びpチャネル型トランジスタのドレイン電極が接続される。

データ線スイッチ451 - 1 ~ 3を構成するnチャネル型トランジスタ及びpチャネル

10

20

30

40

50

型トランジスタのソース電極はV I D E O 1 信号に接続され、データ線スイッチ 4 5 1 - 4 ~ 6 を構成する n チャンネル型トランジスタ及び p チャンネル型トランジスタのソース電極は V I D E O 2 信号に接続され、以下同様にデータ線スイッチ 4 5 1 - (n × 3 - 2) ~ (n × 3) を構成する n チャンネル型トランジスタ及び p チャンネル型トランジスタのソース電極は V I D E O n 信号に接続される (n = 1 ~ 6 4 0)。

またデータ線スイッチ 4 5 1 - 1 , 4 , 7 , ... 1 9 1 8 を構成する p チャンネル型トランジスタのゲート電極は R E N B 1 信号に、データ線スイッチ 4 5 1 - 2 , 5 , 8 , ... 1 9 1 9 を構成する p チャンネル型トランジスタのゲート電極は G E N B 1 信号に、データ線スイッチ 4 5 1 - 3 , 6 , 9 , ... 1 9 2 0 を構成する p チャンネル型トランジスタのゲート電極は B E N B 1 信号に、データ線スイッチ 4 5 1 - 1 , 4 , 7 , ... 1 9 1 8 を構成する n チャンネル型トランジスタのゲート電極は R E N B 2 信号に、データ線スイッチ 4 5 1 - 2 , 5 , 8 , ... 1 9 1 9 を構成する n チャンネル型トランジスタのゲート電極は G E N B 2 信号に、データ線スイッチ 4 5 1 - 3 , 6 , 9 , ... 1 9 2 0 を構成する n チャンネル型トランジスタのゲート電極は B E N B 2 信号に、それぞれ接続される。

【 0 0 3 1 】

図 8 はデータ線駆動回路 3 0 2 の動作を説明するためのタイミングチャートである。R E N B 1 信号は C O M (3 3 5) で示される共通電位が L o w (0 . 3 V) の期間中に走査線 2 0 1 - n (n = 1 ~ 4 8 0) のいずれかのうちの一つが H i g h (9 . 5 V) になると 2 μ 秒後に L o w (- 4 . 5 V) になり、7 μ 秒後に H i g h (+ 9 . 5 V) に戻る信号であり、C O M (3 3 5) の電位が H i g h (4 . 7 V) の期間中は H i g h (+ 9 . 5 V) を保持する。G E N B 1 信号は R E N B 1 信号から 9 μ 秒、B E N B 1 信号は R E N B 1 信号から 1 8 μ 秒、それぞれ位相がずれている他は R E N B 1 信号と同一の信号である。

一方、R E N B 2 信号は C O M (3 3 5) の電位が H i g h (4 . 7 V) の期間中に走査線 2 0 1 - n (n = 1 ~ 4 8 0) のうちの一つが H i g h (9 . 5 V) になってから 2 μ 秒後に H i g h (+ 9 . 5 V) になり、7 μ 秒後に L o w (- 4 . 5 V) に戻る信号であり、C O M (3 3 5) の電位が L o w (0 . 3 V) の期間中は L o w (- 4 . 5 V) を保持する。G E N B 2 信号は R E N B 2 信号から 9 μ 秒、B E N B 2 信号は R E N B 2 信号から 1 8 μ 秒、それぞれ位相がずれている他は R E N B 2 信号と同一の信号である。

ここで R E N B 1 信号、G E N B 1 信号、B E N B 1 信号、R E N B 2 信号、G E N B 2 信号、B E N B 2 信号はいずれも駆動 I C 9 2 1 から 0 V / + 5 V 信号で供給され、レベルシフト回路 3 0 5 で - 4 . 5 V / + 9 . 5 V 振幅に増幅されたタイミング信号である。

【 0 0 3 2 】

また図 7 の V I D E O 1 信号 ~ 6 4 0 信号は駆動 I C 9 2 1 から信号入力端子 3 2 0 を介して直接供給されるアナログ電位信号であり、R E N B 1 信号、G E N B 1 信号、B E N B 1 信号、R E N B 2 信号、G E N B 2 信号、B E N B 2 信号に同期したタイミングで画像に対応した適切な電位が供給される。

ここで V I D E O 1 信号 ~ 6 4 0 信号と共通電位 (C O M) は、いずれも駆動 I C 9 2 1 内のアナログアンプ回路から直接供給される。駆動 I C 9 2 1 は中耐圧プロセスで製造されるので、駆動 I C 9 2 1 内の回路にかかる電位差は 6 V 以下でないとブレークダウンを起こして破壊されてしまう。本実施形態では、駆動 I C 9 2 1 内の電源は + 5 V 電源と 0 V (G N D) 電源とする。V I D E O 1 信号 ~ 6 4 0 信号と共通電位 (C O M) は、アナログアンプ回路を介して供給され、その電源電圧は + 5 V / 0 V 電源とすると、十分な精度・電流供給能力で設定できる電位範囲は + 4 . 7 V ~ + 0 . 3 V 程度である。このため、液晶に印加する電位振幅を最大にするために本実施形態では、共通電位 (C O M) は + 4 . 7 V / + 0 . 3 V で 3 4 . 6 μ 秒毎に反転する反転信号を駆動 I C 9 2 1 から供給する。

【 0 0 3 3 】

次に V I D E O 1 信号 ~ 6 4 0 信号に与えられる電位範囲も同様の理由で + 0 . 3 V ~

+ 4.7 Vとなる。RENB 1 信号・GENB 1 信号・BENB 1 信号・RENB 2 信号・GENB 2 信号・BENB 2 信号のいずれかがLow (- 4.5 V) に設定されたタイミングでデータ線スイッチ 451 - 1 ~ 1920 を介してデータ線 202 - 1 ~ 1920 にも + 0.3 V ~ + 4.7 V 電位がデータ線に書き込まれるが、データ線スイッチ 451 - 1 ~ 1920 が閉じる (すなわち、RENB 1 信号・GENB 1 信号・BENB 1 信号・RENB 2 信号・GENB 2 信号・BENB 2 信号が + 9.5 V になる) ときにデータ線スイッチ 451 - 1 ~ 1920 のフィードスルー現象で V2 だけ電位が変動し、データ線 202 - 1 ~ 1920 に最終的に書き込まれる電位は、+ 0.3 V + V2 ~ + 4.7 V + V2 の範囲となる。

【 0034 】

ここで V2 は、データ線スイッチ 451 - 1 ~ 1920 を構成する p チャンネル型トランジスタ及び n チャンネル型トランジスタのゲート電極・ドレイン電極間容量 (Cgd) や閾値 (Vth)、データ線 202 - n の容量 (Cdata) 等によって決まる。本実施形態では共通電位 (COM) が Low (+ 0.3 V) である期間は p チャンネル型トランジスタによりデータ線に書き込みが行なわれる。このときのデータ線スイッチ 451 - 1 ~ 1920 のフィードスルーによる電位変動量は本実施形態では V2 = + 0.3 V であった。一方、COM 電位が High (+ 4.7 V) である期間は n チャンネル型トランジスタによりデータ線に書き込みが行なわれ、データ線スイッチ 451 - 1 ~ 1920 のフィードスルーによる電位変動量は本実施形態では V2 = - 0.3 V であった。すなわち、共通電位 (COM) が Low (+ 0.3 V) である期間と High (+ 4.7 V) である期間で V2 の符号が異なる。

【 0035 】

次に、走査線 201 - 1 ~ 480 のうち High (+ 9.5 V) となっている特定の走査線 201 - n にゲート電極が接続されている画素スイッチング素子 401 - n - 1 ~ 1920 は ON 状態となっているので、データ線 202 - 1 ~ 1920 に書き込まれた + 0.3 V + V2 ~ + 4.7 V + V2 の範囲の電位は画素スイッチング素子 401 - n - 1 ~ 1920 を介して画素電極 402 - n - 1 ~ 1920 に書き込まれる。その後、走査線 201 - n が Low (- 4.5 V) になったタイミングで、画素スイッチング素子 401 - n - 1 ~ 1920 も OFF 状態となるが、この時、やはりフィードスルー現象によって V1 だけ画素電極 402 - n - 1 ~ 1920 の電位が変動し、最終的に画素電極 402 - n - 1 ~ 1920 に書き込まれる電位は + 0.3 V + V1 + V2 ~ + 4.7 V + V1 + V2 となる。

ここで V1 は、画素スイッチング素子 401 - n - 1 ~ 1920 を構成する n チャンネル型トランジスタのゲート電極・ドレイン電極間容量 (Cgd) や閾値 (Vth)、補助容量コンデンサ 403 - n - m の容量 (Cs)、画素電極 402 - n - m と対向電極 930 間の液晶素子容量 (Clc) によって決まるが、本実施形態では V1 = - 0.2 V であった。

【 0036 】

すなわち、本実施形態においては COM 電位が Low (+ 0.3 V) である期間に画素電極 402 - n - m に最終的に書き込まれる電位は + 0.4 ~ + 4.8 V であり、液晶素子に印加できる最大電位差は 4.5 V である。一方、COM 電位が High (+ 4.7 V) である期間に画素電極 402 - n - m 書き込まれる電位は - 0.2 ~ + 4.2 V であり、液晶素子に印加できる最大電位差は 4.9 V である。極性によって同じ電位差を印加しないと表示中にフリッカーが見えてしまうので、結局、液晶素子に印加できる最大電位差は 4.5 V まで設定できる。

以上のように本実施形態では COM 電位極性によりデータ線に書き込むトランジスタ極性を変えることで、より高い電圧を液晶素子に印加でき、高コントラスト・高速応答・高信頼性な液晶表示装置を実現できるのである。

【 0037 】

上記から明らかなように、共通電位 (COM) が Low (+ 0.3 V) である期間の

10

20

30

40

50

V2とHigh(+4.7V)である期間のV2の差が大きいほど、本発明の効果は大きくなる。これにはデータ線スイッチ451-1~1920を構成するpチャネル型トランジスタ及びnチャネル型トランジスタのゲート電極・ドレイン電極間容量(Cgd)が大きくなる方がよい。この実現手段として、例えばデータ線スイッチ451-1~1920を構成するpチャネル型トランジスタ及びnチャネル型トランジスタをGOLD(Gate Overlapped Lightly Doped Drain)構造やボトムゲート構造などのゲート電極・ドレイン電極間容量(Cgd)が大きい電界効果型トランジスタで構成するなどすればよい。

またさらに、図9に示すデータ線駆動回路302'のように、データ線スイッチ451'-1~1920を構成するnチャネル型トランジスタのゲート電極・ドレイン電極間に第1の補助容量453-1~1920を付加し、データ線スイッチ451'-1~1920を構成するpチャネル型トランジスタのゲート電極・ドレイン電極間に第2の補助容量454-1~1920を付加することで一層の効果を得るように構成してもよい。なお、図9におけるその他の構成要素は図7と相違ないので同じ記号を付与することで説明は省略する。また、アクティブマトリクス基板装置についてもデータ線駆動回路302とデータ線駆動回路302'を置き換える以外は図2で説明したアクティブマトリクス基板装置となんら相違ないので説明は省略する。

【産業上の利用可能性】

【0038】

本発明は上記した実施形態に限定されるものではなく、TNモードではなく垂直配向モード(VAモード)、横電界を利用したIPSモード、フリンジ電界を利用したFFSモードなどの液晶表示装置に利用しても構わない。また、全透過型のみならず全反射型、反射透過兼用型であっても構わない。また、デマルチプレクサ型のデータ線駆動回路ではなく、アナログ順次駆動方式やDACをガラス基板上に内蔵したデータ線駆動回路方式であっても構わない。

【図面の簡単な説明】

【0039】

【図1】液晶表示装置の斜視構成図。

【図2】アクティブマトリクス基板の構成図。

【図3】アクティブマトリクス基板の画素回路図。

【図4】電子機器の実施形態を示すブロック図。

【図5】走査線駆動回路の実施形態を示す回路図。

【図6】走査線駆動回路のタイミングチャート。

【図7】データ線駆動回路の実施形態を示す回路図。

【図8】データ線駆動回路のタイミングチャート。

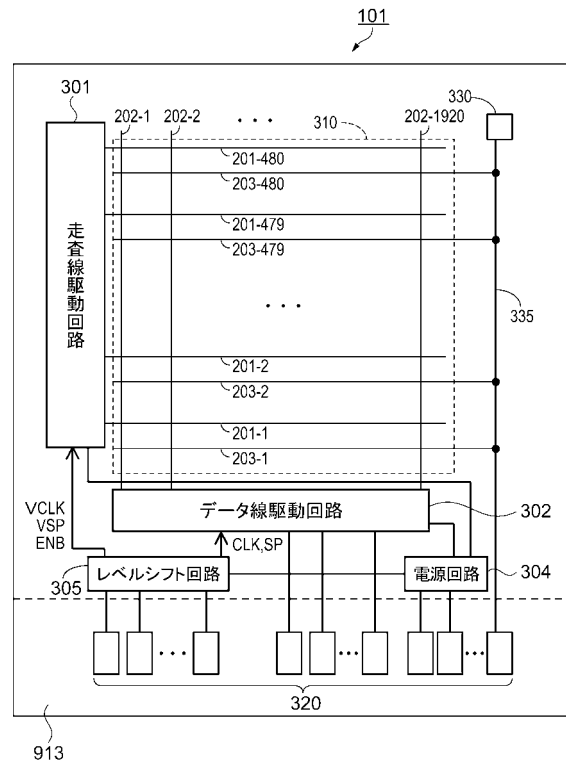
【図9】データ線駆動回路の別実施形態を示す回路図。

【符号の説明】

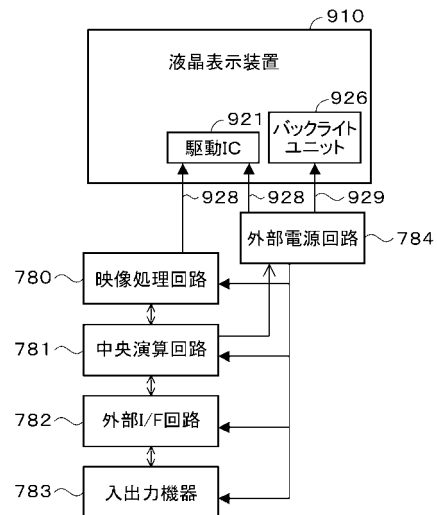
【0040】

101...アクティブマトリクス基板、201...走査線、202...データ線、301...走査線駆動回路、302...データ線駆動回路、304...電源回路、305...レベルシフト回路、401...画素スイッチング素子、402...画素電極、451...データ線スイッチ(スイッチ回路)、910...液晶表示装置、921...駆動IC。

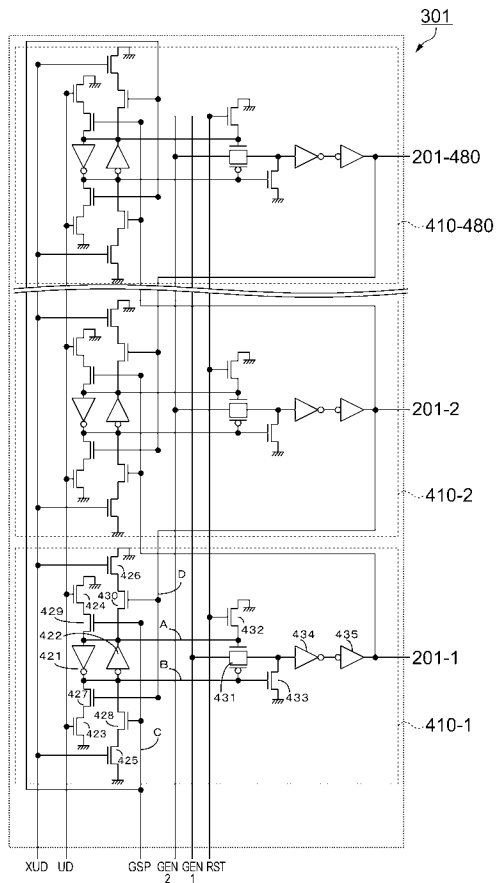
【 図 2 】



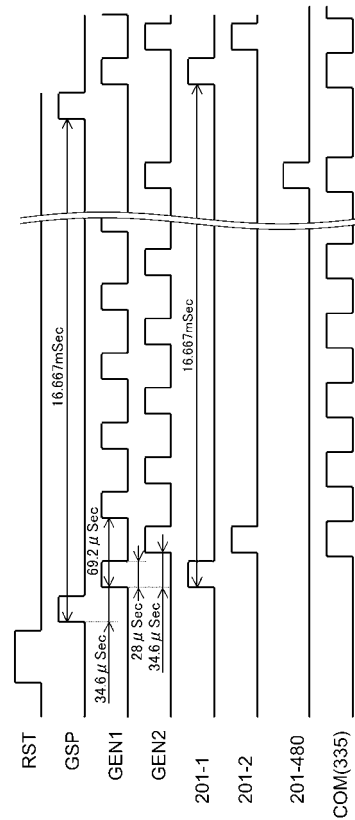
【 図 4 】



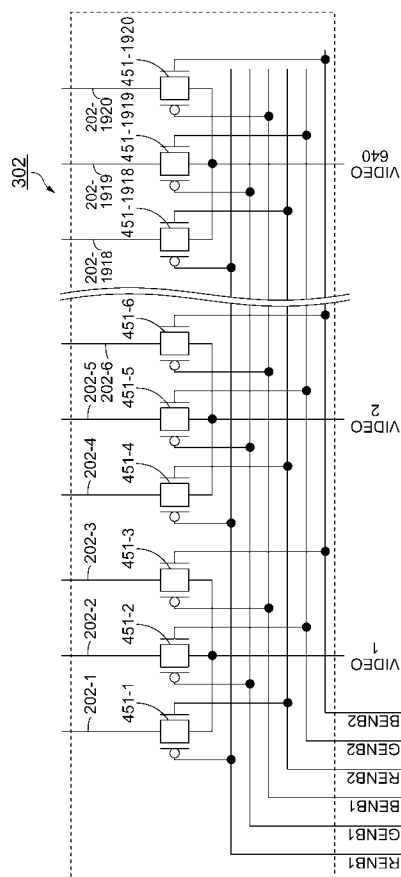
【図 5】



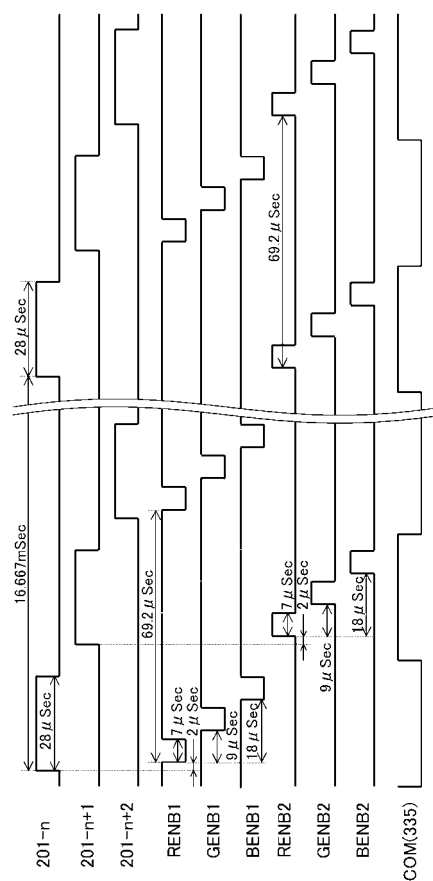
【図 6】



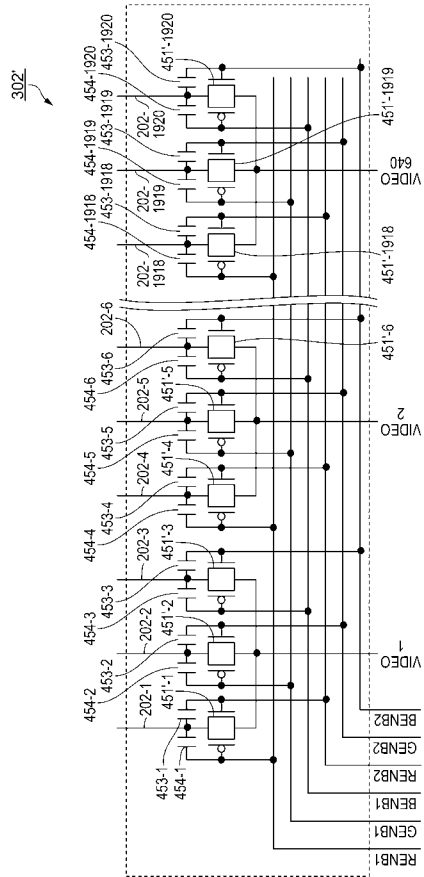
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 1 2 D
G 0 9 G	3/20	6 2 1 L
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 C

F ターム(参考) 2H093 NA16 NA31 NC02 NC34 NC35 ND37 NE07

5C006 AA22 AC25 AC27 BB15 BB16 BC06 FA11 FA51 FA54 GA01

5C080 AA10 BB05 CC03 DD03 DD08 DD27 DD30 FF11 JJ02 JJ03

JJ04 JJ06

专利名称(译)	有源矩阵装置，液晶显示装置和电子装置		
公开(公告)号	JP2009145797A	公开(公告)日	2009-07-02
申请号	JP2007325544	申请日	2007-12-18
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	小橋裕		
发明人	小橋 裕		
IPC分类号	G09G3/36 G02F1/1345 G02F1/1368 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/1345 G02F1/1368 G02F1/133.550 G09G3/20.642.D G09G3/20.621.F G09G3/20.621.B G09G3/20.612.D G09G3/20.621.L G09G3/20.624.B G09G3/20.624.C		
F-TERM分类号	2H092/GA59 2H092/JA26 2H092/JB69 2H092/KA04 2H092/KA07 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NA31 2H093/NC02 2H093/NC34 2H093/NC35 2H093/ND37 2H093/NE07 5C006/AA22 5C006/AC25 5C006/AC27 5C006/BB15 5C006/BB16 5C006/BC06 5C006/FA11 5C006/FA51 5C006/FA54 5C006/GA01 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD08 5C080/DD27 5C080/DD30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/CB05 2H192/CB34 2H192/CB53 2H192/DA12 2H192/FA73 2H192/FB02 2H192/FB13 2H192/FB27 2H192/GD61 2H192/JA06 2H193/ZA04 2H193/ZA07 2H193/ZB08 2H193/ZB14 2H193/ZB18 2H193/ZC25 2H193/ZD12 2H193/ZD23 2H193/ZF02 2H193/ZF03 2H193/ZF06 2H193/ZF23 2H193/ZF36 2H193/ZF42 2H193/ZF43 2H193/ZG04 2H193/ZG12 2H193/ZG14		
代理人(译)	须泽 修 宫坂和彦		
外部链接	Espacenet		

摘要(译)

要解决的问题：当使用低成本的中间耐压IC时，为了优化可施加到液晶的最大电压，因为液晶的显示质量和驱动IC的成本降低具有冲突的方面。用于将所需电位写入数据线202的开关电路包括n沟道晶体管和p沟道晶体管，驱动公共电位以便在预定时段内反转，并根据公共电位并选择构成开关电路的n沟道晶体管或p沟道晶体管，并将所需电位写入数据线202。The

