

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-58874

(P2009-58874A)

(43) 公開日 平成21年3月19日(2009.3.19)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H091
G02F 1/1335 (2006.01)	G02F 1/1335 520	2H092
G09F 9/30 (2006.01)	G09F 9/30 338	5C094

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21) 出願番号	特願2007-227592 (P2007-227592)	(71) 出願人	000004329
(22) 出願日	平成19年9月3日 (2007.9.3)		日本ビクター株式会社
			神奈川県横浜市神奈川区守屋町3丁目12番地
		(74) 代理人	100092808
			弁理士 羽鳥 亘
		(74) 代理人	100140981
			弁理士 中村 希望
		(72) 発明者	川中 博之
			神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
		Fターム (参考)	2H091 FA14Y FA34Y FB08 FC02 FC10 FC23 FC26 FD03 FD23 GA02 GA13 LA03

最終頁に続く

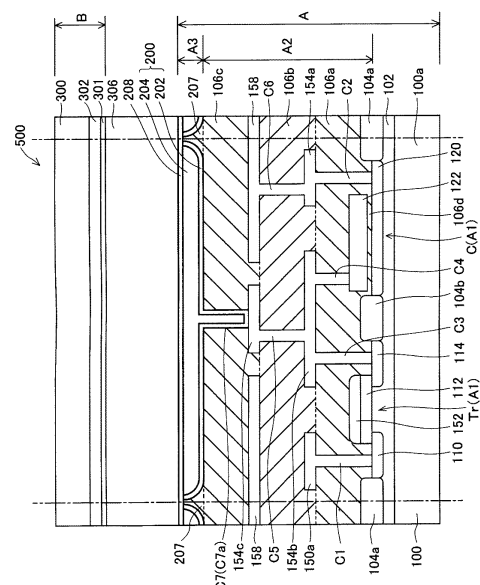
(54) 【発明の名称】 液晶表示素子及び液晶表示素子の製造方法

(57) 【要約】

【課題】画素電極分割部からの光リークを抑制するとともに開口率の大きい液晶表示素子及び液晶表示素子の製造方法を提供することを目的とする。

【解決手段】本発明に係る液晶表示素子の製造方法によれば、画素電極分割部207の幅を絶縁層106cの底面側から上面側に向かって徐々に狭めることが可能なため、表示領域に対する画素電極分割部207の占める割合を減少させ、開口率の大きい高輝度な液晶表示素子600を作製することができる。また、液晶表示素子600は画素電極分割部207の上面の幅が細いため、画素電極分割部207からの光リークを大幅に低減することができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

駆動回路部と光反射性を有する画素電極とが一面側に順次設けられた駆動基板と、
前記画素電極と所定の間隙を有して対向配置された光透過性電極を有する光透過性基板と、
前記所定の間隙に封入され、前記駆動回路部により前記画素電極毎に駆動される液晶と、
を備え、
前記画素電極は、前記一面に直交する方向に所定の厚さを有すると共に、前記一面に沿って互いに他の間隙を有してマトリクス状に配置され、
前記他の間隙は、前記画素電極の厚さ方向に沿って、前記駆動回路部側から前記液晶側に向かって徐々に狭くなるように構成されてなることを特徴とする液晶表示素子。

10

【請求項 2】

液晶表示素子の製造方法において、
液晶を駆動させる駆動回路部が一面側に形成された基板における前記駆動回路部上に、絶縁層を形成する絶縁層形成工程と、
前記絶縁層形成工程後に、前記絶縁層上に所定形状のレジストパターンを形成して、前記絶縁層に、前記レジストパターンで覆われた被覆領域と、前記絶縁層が露出した露出領域とを形成するレジストパターン形成工程と、
前記レジストパターン形成工程後に、前記露出領域の前記絶縁層を、前記被覆領域における前記レジストパターンの外周及びその近傍の領域の前記絶縁層を含んで、所定の深さまでエッチングすることにより、前記被覆領域に、エッチングされた後の前記露出領域における前記絶縁層の表面を底面とし、該底面に沿う方向の幅が前記底面から前記レジストパターンに向かって徐々に小さくなる凸状部を形成する凸状部形成工程と、
前記凸状部形成工程後に、前記レジストパターンを除去するレジストパターン除去工程と、
前記レジストパターン除去工程後に、前記凸状部の表面及びその近傍をエッチングして、前記凸状部の前記幅を小さくするエッチング工程と、
前記エッチング工程後に、前記凸状部及び前記絶縁層の各表面に導電層を形成する導電層形成工程と、
前記導電層形成工程後に、前記導電層上に、前記凸状部の段差を埋める反射金属層を形成する反射金属層形成工程と、
前記反射金属層形成工程後に、前記凸状部上の前記導電層を除去して、前記凸状部を露出させる凸状部露出工程と、
を有する液晶表示素子の製造方法。

20

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置を構成する液晶表示素子及び液晶表示素子の製造方法に関し、特に表示領域に対する画素電極分割部の占める割合が低く開口率が高い液晶表示素子及び液晶表示素子の製造方法に関するものである。

40

【背景技術】**【0002】**

従来より、分子配列が一定の秩序を保ちながらその一方で流動性を有し、さらに電界の印加によってその配向が変化する液晶は、表示装置用の材料として各分野の電気電子機器に広く利用されている。

【0003】

近年、これら液晶表示装置に関する技術の進歩によって、応答速度等の表示性能の向上、高解像度化、及び大型化が達成され、携帯電話、ノート型パソコン、携帯型オーディオプレーヤ、PDA、デジタルビデオカメラ、デジタルカメラ等の携帯型電気電子機器はもとより、カーステレオ、カーナビゲーションシステム、車載型のテレビモニタ等の車載型

50

電気電子機器、更には、テレビモニタ、パーソナルコンピュータのディスプレイ等の比較的大きな表示装置としても液晶表示装置が利用可能となった。特にテレビモニタの分野に関しては、高画質な映像表示に対応した高解像度、大画面の液晶表示装置が多く商品化されている。また、投射プロジェクタ等のように映像を外部スクリーンなどに表示するための投射型表示装置に関してもこの液晶表示装置を利用したものが商品化されている。

【0004】

これら液晶表示装置には液晶表示素子を構成する画素の制御方式として、アクティブマトリクス方式とパッシブマトリクス方式とに大別される。アクティブマトリクス方式は画素毎にスイッチング素子を有しており複雑な駆動回路の形成が必要となるが、パッシブマトリクス方式に比べ応答時間が短く、また、画素毎に表示、非表示を高精度に制御可能なため、走査線数の多い高解像度のテレビモニタ等に適している。

10

【0005】

また、液晶表示装置は、画面表示に必要な光の供給方法から透過型の液晶表示装置と反射型の液晶表示装置とに大別することができる。透過型の液晶表示装置はその裏面側もしくは側面側に設置されたバックライトからの光を透過させて画面表示を行うため、駆動回路等によって遮られる部分の光を画面表示に用いることができず開口率（表示領域全面に対する画素領域の占める割合）が小さいという問題点を有している。

【0006】

これに対して、反射型の液晶表示装置は表示面方向からの光を画素電極により反射して画面表示を行うため、駆動回路等が光を遮ることがなく、開口率を大きくとることができる。よって、反射型の液晶表示装置は、より高輝度な画面表示を行うことができる。

20

【0007】

ここで、図6に一般的なアクティブマトリクス方式の反射型液晶表示素子における一つの画素（画素部）の模式的断面図を示す。反射型の液晶表示素子を構成する一つの画素としての画素部400は、液晶表示素子の裏面側に位置する第1の基板としての回路基板部Aと、液晶表示素子の表示側に位置する全ての画素部400に共通の第2の基板としての光透過性基板部Bと、回路基板部Aと光透過性基板部Bとの間隙に封入された液晶層306とを有している。

【0008】

また、回路基板部Aはスイッチング素子部Tr及び保持容量部C等の回路素子が形成された回路素子部A1と、導電層202と反射金属層204とが画素電極分割部206で区切られた画素電極200を有する画素電極部A3と、回路素子部A1と画素電極部A3とを接続するとともに所定の信号等を回路基板部Aに供給する所定の配線電極等を備えた回路配線部A2と、を有している。

30

【0009】

また、光透過性基板部Bは、全ての画素部400に共通の光透過性電極302と、光透過性電極302を支持する光透過性基板300と、を有している。

【0010】

そして、上記の画素部400が半導体基板100上にマトリクス状に形成されるとともに、個々の画素部400に信号等を供給する信号ラインが形成されることで液晶表示素子が構成される。

40

【0011】

上記のような液晶表示素子は、前述のように光透過性基板部Bの側から入射した光を画素電極200で反射して画面表示を行うため、駆動回路を構成する回路素子部A1と回路配線部A2が光を遮ることがなく、開口率を大きくとることができる。しかしながら、反射型の液晶表示素子においても、その表示領域には隣接する画素電極200同士を絶縁するための画素電極分割部206が存在しているため、開口率は100%とはならない。例えば、実際の液晶表示素子における画素電極分割部206の幅は $0.5\mu\text{m} \sim 1\mu\text{m}$ あり、仮に画素電極200のピッチを $10\mu\text{m}$ とすると、単純に計算しただけでも開口率は約81%～90%程度となる。そして、高解像度化のために画素電極200のピッチを更に

50

小さくすれば、それだけ表示領域に対して画素電極分割部 206 の占める割合が増加して開口率は更に減少する。

【0012】

表示領域に対する画素電極分割部 206 の占める割合を低減し、開口率の向上を図るためには画素電極分割部 206 の幅を狭めることが効果的である。しかしながら、従来のフォトリソグラフィ法とエッチング処理とによる形成手法では、形成される画素電極分割部 206 の最小幅は $0.2\ \mu\text{m}$ が限界であり、これ以上のファインライン化は技術面及びコストの面から難しく、更なる改善が望まれる。

【0013】

また、この画素電極分割部 206 では、光源からの光が画素電極分割部 206 を通して回路基板部 A 側に侵入する光リークが生じる。この回路基板部 A 側に侵入した光がスイッチング素子部 Tr に到達すると光電変換されて光キャリアを生じさせ、スイッチング素子部 Tr と接続している保持容量部 C 及び画素電極 200 へ印加している電圧を低下させる場合がある。一般的な液晶表示素子では液晶層 306 の劣化を防止するために、液晶層 306 に対し対称の電圧が印加されるようバイアス電圧をかけて駆動しているが、光キャリアが生じて保持容量部 C 等の電圧が低下すると、バイアス電圧のバランスが崩れて液晶層 306 に対して非対称な電圧がかかり、表示画面上におけるフリッカの増大や、焼き付きの発生、更には直流ダメージによる信頼性の低下を引き起こす要因となり好ましいものではない。

10

【0014】

このため、通常、回路配線部 A2 にはリークした光がスイッチング素子部 Tr に到達することを防止するための遮光電極 158 が設けられる。しかしながら、リークした一部の光は、図 6 中の破線矢印で示すように、遮光電極 158 及びその他の配線電極（図 6 中では主に中継電極 154b、154c）等を繰り返し反射しながら回路配線部 A2 の絶縁層 106a、106b、106c を進行してスイッチング素子部 Tr に到達する場合があり、この場合でも上記のような悪影響が生じることとなる。そして、このような光リークによる悪影響は液晶表示装置に入射する光量（光密度）にほぼ比例し、特に高輝度の投射型表示装置等では大きな問題となる。

20

【0015】

この問題に対して、下記〔特許文献 1〕に開示された液晶表示装置及びその製造方法に関する発明では、画素電極分割部 206 の底面に反射膜を形成して、画素電極分割部 206 からの光リークを防止するとともに、画素電極分割部 206 に照射される光も画面表示に利用可能としている。

30

【0016】

【特許文献 1】特開 2004 - 326051 号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかしながら、〔特許文献 1〕に開示された発明では、画素電極分割部 206 からの光リークを防止することは可能であるが、表示領域に対する画素電極分割部 206 の占める割合は変化せず、開口率が小さいといった問題を解決するものではない。

40

【0018】

本発明は、上記事情に鑑みてなされたものであり、画素電極分割部からの光リークを抑制するとともに開口率の大きい液晶表示素子及び液晶表示素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明は、

（1）駆動回路部と光反射性を有する画素電極 200 とが一面側に順次設けられた駆動基板と、

50

前記画素電極 2 0 0 と所定の間隙を有して対向配置された光透過性電極 3 0 2 を有する光透過性基板（光透過性基板部 B）と、
前記所定の間隙に封入され、前記駆動回路部により前記画素電極 2 0 0 毎に駆動される液晶（液晶層 3 0 6）と、
を備え、

前記画素電極 2 0 0 は、前記一面に直交する方向に所定の厚さを有すると共に、前記一面に沿って互いに他の間隙（画素電極分割部 2 0 7）を有してマトリクス状に配置され、前記他の間隙は、前記画素電極 2 0 0 の厚さ方向に沿って、前記駆動回路部側から前記液晶側に向かって徐々に狭くなるように構成されてなることを特徴とする液晶表示素子 6 0 0 を提供することにより、上記課題を解決する。

10

（２）液晶表示素子の製造方法において、
液晶を駆動させる駆動回路部が一面側に形成された基板における前記駆動回路部上に、絶縁層 1 0 6 c を形成する絶縁層形成工程と、
前記絶縁層形成工程後に、前記絶縁層 1 0 6 c 上に所定形状のレジストパターン（レジスト層 1 0）を形成して、前記絶縁層 1 0 6 c に、前記レジストパターンで覆われた被覆領域と、前記絶縁層 1 0 6 c が露出した露出領域とを形成するレジストパターン形成工程と、

前記レジストパターン形成工程後に、前記露出領域の前記絶縁層 1 0 6 c を、前記被覆領域における前記レジストパターンの外周及びその近傍の領域の前記絶縁層 1 0 6 c を含んで、所定の深さまでエッチングすることにより、前記被覆領域に、エッチングされた後の前記露出領域における前記絶縁層 1 0 6 c の表面を底面とし、該底面に沿う方向の幅が前記底面から前記レジストパターンに向かって徐々に小さくなる凸状部 2 0 7 a を形成する凸状部形成工程と、

20

前記凸状部形成工程後に、前記レジストパターンを除去するレジストパターン除去工程と、

前記レジストパターン除去工程後に、前記凸状部 2 0 7 a の表面及びその近傍をエッチングして、前記凸状部 2 0 7 a の前記幅を小さくするエッチング工程と、

前記エッチング工程後に、前記凸状部（画素電極分割部 2 0 7）及び前記絶縁層 1 0 6 c の各表面に導電層 2 0 2 を形成する導電層形成工程と、

前記導電層形成工程後に、前記導電層 2 0 2 上に、前記凸状部の段差を埋める反射金属層 2 0 4 を形成する反射金属層形成工程と、

30

前記反射金属層形成工程後に、前記凸状部上の前記導電層 2 0 2 を除去して、前記凸状部を露出させる凸状部露出工程と、

を有する液晶表示素子の製造方法を提供することにより、上記課題を解決する。

【発明の効果】

【００２０】

本発明に係る液晶表示素子及び液晶表示素子の製造方法によれば、
画素電極分割部のファインライン化が可能となり、画素電極分割部からの光リークを抑制するとともに開口率の大きい液晶表示素子を得ることができる。

【発明を実施するための最良の形態】

40

【００２１】

以下、本発明に係る液晶表示素子及び液晶表示素子の製造方法の実施の形態について図面に基いて説明する。図 1 は本発明に係る液晶表示素子を構成する画素部の実施の一形態を説明するための模式的断面図である。図 2 は本発明に係る液晶表示素子の動作の実施例を説明するための図である。図 3 は本発明に係る液晶表示素子の製造方法において、特にその回路素子部及び回路配線部の製造方法の実施の一形態を説明するための模式的断面図である。図 4、図 5 は本発明に係る液晶表示素子の製造方法において、特にその画素電極及び画素電極分割部の製造方法の実施の一形態を説明するための模式的断面図である。尚、従来技術と同様の部材及び部位に関しては同符号にて示す。

【００２２】

50

図 1 に示す画素部 500 は、後述する反射型の液晶表示素子 600 にマトリクス状に配置された複数の画素部 500 のうちの一つを拡大したものである。尚、本実施の形態で示す画素部 500 は、特に画素電極 200 及び画素電極分割部 207 の形状及びその形成方法に特徴を有するものであり、それ以外の後述するスイッチング素子部 Tr、保持容量部 C などの回路素子部 A1 の構成、各配線電極、コンタクトホール等の回路配線部 A2 の構成、及び光透過性基板部 B 等の構成に関しては、前述した図 6 に示す従来の反射型液晶表示素子と同じである。また、これら各構成部については、特に図 1 に限定されるものではない。

【0023】

図 1 に示す画素部 500 は図 6 と同様に、主として、液晶表示素子 600 の裏面側（光が入射する側とは反対側）に位置する駆動基板を構成する回路基板部 A と、液晶表示素子 600 の表示側に位置するとともに全ての画素部 500 に共通の光透過性基板部 B と、回路基板部 A と光透過性基板部 B との間隙に封入された液晶層 306 とで構成される。

【0024】

画素部 500 の回路基板部 A は、主として、半導体基板部 100a と、半導体基板部 100a 上の回路素子領域に形成された回路素子としてのスイッチング素子部 Tr 及び保持容量部 C を有する回路素子部 A1 と、導電層 202 と反射金属層 204 とが画素電極分割部 207 で区切られた画素電極 200 を有する画素電極部 A3 と、回路素子部 A1 に対し所定の信号及び電力等を供給するとともに回路素子部 A1 からの出力を画素電極部 A3 側に伝達する配線電極等を備えた回路配線部 A2 と、を有している。そして、回路配線部 A2 により所定の配線がなされた回路素子部 A1 が画素部 500 の駆動回路部を構成する。

【0025】

回路基板部 A の半導体基板部 100a は、ウェル 102 が回路素子部 A1 側に形成された全ての画素部 500 に共通の半導体基板 100 が、絶縁性を有するフィールド酸化膜 104a により電氣的に分離されることで形成される。尚、半導体基板 100 としては Si（シリコン）基板が好適である。

【0026】

回路素子部 A1 のスイッチング素子部 Tr は、例えば p 型の MOSFET 等のスイッチングトランジスタであり、半導体基板部 100a 上にフィールド酸化膜 104b によって保持容量部 C と電氣的に絶縁された状態で設けられる。また、スイッチング素子部 Tr はソース部 110、ゲート絶縁膜 112、ドレイン部 114 を有しており、ソース部 110 は回路配線部 A2 を構成する絶縁層 106a に設けられたコンタクトホール C1 を介して絶縁層 106a 上の配線電極の一つであるソース電極 150a に接続される。また、スイッチング素子部 Tr のゲート絶縁膜 112 には、後述する走査信号 Xj をゲート絶縁膜 112 に対して出力する配線電極の一つであるゲート電極 152 が接続される。尚、コンタクトホール C1 及び後述するコンタクトホール C2 ~ C6 は、その内部に Al（アルミニウム）等の導電性を有する金属が成膜、充填されており、コンタクトホール C1 ~ C6 を介して上下配線電極等の電氣的接続が可能となる。

【0027】

保持容量部 C は、ウェル 102 上に例えばイオン注入によって形成された拡散容量電極 120 と、拡散容量電極 120 と対向するように設けられた容量電極 122 と、これら拡散容量電極 120 と容量電極 122 との間に介在する絶縁膜 106d と、を有している。そして、保持容量部 C の拡散容量電極 120 は絶縁層 106a に設けられたコンタクトホール C2 を介して絶縁層 106a 上の配線電極の一つである中継電極 154a に接続される。さらに、中継電極 154a は絶縁層 106b に設けられたコンタクトホール C6 を介して絶縁層 106b 上に設けられた遮光電極 158 に接続される。そして、拡散容量電極 120 には遮光電極 158 から、後述するウェル基準電圧 Vw が供給される。尚、拡散容量電極 120 に対してウェル基準電圧 Vw 等を印加するための配線電極を、遮光電極 158 とは別に設けても良い。

【0028】

また、スイッチング素子部 T r のドレイン部 1 1 4 は、絶縁層 1 0 6 a に設けられたコンタクトホール C 3 を介して絶縁層 1 0 6 a 上の配線電極の一つである中継電極 1 5 4 b に接続される。また、保持容量部 C の容量電極 1 2 2 はコンタクトホール C 4 を介して同じく中継電極 1 5 4 b に接続される。これにより、スイッチング素子部 T r のドレイン部 1 1 4 と保持容量部 C の容量電極 1 2 2 とが中継電極 1 5 4 b を介して電氣的に接続される。更に、中継電極 1 5 4 b は絶縁層 1 0 6 b に設けられたコンタクトホール C 5 を介して絶縁層 1 0 6 b 上の配線電極の一つである中継電極 1 5 4 c に接続される。そして、中継電極 1 5 4 c は絶縁層 1 0 6 c に設けられたコンタクトホール C 7 を介して絶縁層 1 0 6 c 上の画素電極 2 0 0 に電氣的に接続される。これにより、画素電極 2 0 0 は中継電極 1 5 4 c 等を介して回路素子部 A 1 を構成するスイッチング素子部 T r のドレイン部 1 1 4 及び保持容量部 C の容量電極 1 2 2 とに電氣的に接続される。

【 0 0 2 9 】

また、絶縁層 1 0 6 b 上の絶縁層 1 0 6 c は、隣接する画素電極 2 0 0 同士を電氣的に絶縁するための凸状の画素電極分割部 2 0 7 を有している。画素電極分割部 2 0 7 は、画素電極 2 0 0 を区切るように絶縁層 1 0 6 c の表面に略格子状に形成され、その幅は画素電極分割部 2 0 7 によって囲まれた絶縁層 1 0 6 c の表面（底面）側から画素電極分割部 2 0 7 の液晶層 3 0 6 側の面である上面に向かって徐々に狭くなっている。また、画素電極分割部 2 0 7 の側面は絶縁層 1 0 6 c の表面と連続した曲面をなしており、よって、画素電極分割部 2 0 7 の断面形状は、画素電極分割部 2 0 7 の上面と絶縁層 1 0 6 c の表面とを結ぶ側面が画素電極分割部 2 0 7 の内側に向かって略扇状に湾曲した略台形形状を呈している。

【 0 0 3 0 】

画素電極 2 0 0 は、絶縁層 1 0 6 c の表面、コンタクトホール C 7 となる後述するスルーホール C 7 a の内面、及び画素電極分割部 2 0 7 の側面に成膜された導電層 2 0 2 と、導電層 2 0 2 の表面に画素電極分割部 2 0 7 の上面と略同等な位置まで形成された反射金属層 2 0 4 とで主に構成される。そして、導電層 2 0 2 により導電性を付与されたスルーホール C 7 a はコンタクトホール C 7 となり、画素電極 2 0 0 と中継電極 1 5 4 c とを電氣的に接続する。尚、コンタクトホール C 7 による導電性を維持しながら、コンタクトホール C 7 の内面等にタングステンや絶縁部材などを充填して画素電極 2 0 0 の表面を平滑化し、画素部 5 0 0 の反射率の向上を図るようにしても良い。

【 0 0 3 1 】

更に、画素電極 2 0 0 の反射面（表面）には下部配向膜 2 0 8 が成膜され、これらが回路基板部 A の画素電極部 A 3 となる。

【 0 0 3 2 】

尚、回路配線部 A 2 の構成には、必要に応じて第 2 の遮光電極や光吸収層などを適宜設けても良い。また、画素電極分割部 2 0 7 の上面の幅が十分に細く、光リークを問題無いレベルにまで減少させることが可能であれば、遮光電極 1 5 8 は設けずとも良い。

【 0 0 3 3 】

上記の回路基板部 A の画素電極 2 0 0 側には、図示しないスペーサが配置され、このスペーサによって画素電極 2 0 0 から所定の間隔を隔てて光透過性基板部 B が配置される。光透過性基板部 B は、主として全ての画素部 5 0 0 に共通の光透過性電極 3 0 2 と、光透過性電極 3 0 2 を支持する例えば透明なガラス板からなる光透過性基板 3 0 0 と、光透過性電極 3 0 2 の画素電極 2 0 0 側の面に形成され回路基板部 A の下部配向膜 2 0 8 と 9 0 ° 異なった配向方向を有する上部配向膜 3 0 1 と、を備えている。

【 0 0 3 4 】

更に、光透過性基板部 B の上部配向膜 3 0 1 と回路基板部 A の下部配向膜 2 0 8 との間には液晶層 3 0 6 が封入される。そして、画素電極分割部 2 0 7 及びフィールド酸化膜 1 0 4 a によって区切られた部位が、液晶表示素子 6 0 0 の 1 画素として機能する画素部 5 0 0 となる。

【 0 0 3 5 】

10

20

30

40

50

次に、液晶表示素子 600 の動作を図 2 を用いて簡単に説明する。図 2 に示す液晶表示素子 600 は、主として複数の画素部 500 がマトリクス状に配置されて構成される。尚、図 2 中において、画素部 500 は主要部分の等価回路図として示す。画素部 500 のスイッチング素子部 Tr のソース部 110 は、ソース電極 150a を介して各列毎に共通の映像信号用配線 16 に接続される。また、それぞれの映像信号用配線 16 は水平シフトレジスタ回路部 71 によってスイッチング制御されるスイッチング回路部 72 に接続される。

【0036】

スイッチング素子部 Tr のゲート絶縁膜 112 は、ゲート電極 152 を介して各行毎に共通の走査信号用配線 13 に接続され、それぞれの走査信号用配線 13 は垂直シフトレジスタ回路部 75 に接続される。また、画素部 500 の保持容量部 C を構成する拡散容量電極 120 には、遮光電極 158 を介してウェル基準電圧 Vw が供給される。また、図示しないが、スイッチング素子部 Tr には画素電極 200 に所定の電位を供給するための固定電位が印加されている。尚、スイッチング素子部 Tr に印加する固定電位は、ウェル基準電圧 Vw としても良いし、別配線によってウェル基準電圧 Vw とは異なったものとしても良い。

10

【0037】

垂直シフトレジスタ回路部 75 は映像信号に含まれる水平同期信号に同期して、所定の走査信号 Xj を各行の走査信号用配線 13 に対して順次走査するように繰り返し出力する。また、水平シフトレジスタ回路部 71 には映像信号ライン V から映像信号が供給され、この映像信号に含まれる画素信号 Yj は、スイッチング回路部 72 のスイッチングによって映像信号の時系列的な出力タイミングに同期するように、所定の映像信号用配線 16 に出力される。そして、垂直シフトレジスタ回路部 75 からの走査信号 Xj と水平シフトレジスタ回路部 71 からの画素信号 Yj とが同時に供給される画素部 500 では、スイッチング素子部 Tr が ON 動作しドレイン部 114 から画素信号 Yj に応じた電圧が画素電極 200 に対して印加される。

20

【0038】

ここで、画素部 500 のスイッチング素子部 Tr が OFF の状態では、液晶層 306 の液晶分子は上部配向膜 301 と下部配向膜 208 とにより、90°ねじれた状態に配向している。このような状態では、光透過性基板部 B を透過した外光及び画素電極 200 からの反射光は液晶層 306 を透過することが可能で、その結果画素部 500 は表示状態となる。

30

【0039】

また、画素部 500 のスイッチング素子部 Tr が ON 動作すると、画素電極 200 にはドレイン部 114 を介して水平シフトレジスタ回路部 71 から供給される画素信号 Yj に応じた電位が生じる。これにより、画素電極 200 の電位と光透過性電極 302 に印加されている電位 Vcom と間に電位差が発生し、その電位差に応じて液晶層 306 の配向状態が変化する。この配向状態の変化によってその領域の光が変調され、画素部 500 は画素信号 Yj に応じた半表示状態もしくは非表示状態となる。そして、これらの動作を画素部 500 毎に行うことで、液晶表示素子 600 全体として所定の画像を表示する。

40

【0040】

尚、画素電極 200 に生じた電位は保持容量部 C に電荷のかたちで記憶され、スイッチング素子部 Tr が OFF 状態となっても、次の画素信号 Yj が入力するまで画素部 500 の表示状態は維持される。

【0041】

次に、画素部 500 の製造方法を説明する。初めに、図 3 を用いて画素部 500 の回路素子部 A1 及び回路配線部 A2 の形成方法を簡単に説明する。

【0042】

先ず、図 3 (a) に示すように、半導体基板 100 上に回路素子部 A1 等を形成する。これらの部位の形成手順としては、先ず、ウェル 102 が形成された半導体基板 100 の

50

所定の位置にフィールド酸化膜 104a、104bを形成し、これにより画素部500の半導体基板部100aを形成する。次に、半導体基板部100a上の所定の位置に、回路素子としてのソース部110、ゲート絶縁膜112、ドレイン部114を有するスイッチング素子部Trと、保持容量部Cの拡散容量電極120とを、フィールド酸化膜104a、104bによって電氣的に絶縁した状態で形成する。その後、スイッチング素子部Trのゲート絶縁膜112にゲート電極152と、拡散容量電極120と対向する位置に絶縁膜106dを介して保持容量部Cの容量電極122とを形成する。これにより、半導体基板部100a上にスイッチング素子部Trと保持容量部Cとを有する回路素子部A1が形成される。尚、回路素子部A1の形成は、CVD(Chemical Vapor Deposition法)法、スパッタリング法、フォトリソグラフィ法、及びエッチング処理などの周知の半導体プロセス技術を用いて順次行う。以上が、回路素子領域形成工程に相当する。

10

【0043】

次に、これら回路素子部A1上に、回路配線部A2を構成するSiO₂(二酸化珪素)等の絶縁層106aをCVD法等により成膜する。次に、絶縁層106aにコンタクトホールC1~C4となるスルーホールC1a~C4aを形成する。スルーホールC1a~C4aの形成は、先ず、絶縁層106a表面にフォトリソグラフィ法等を用いてスルーホールC1a~C4aに相当する部位に開口部を有するレジスト膜を形成する。次に、エッチングによって開口部から露出した領域の絶縁層106aを除去し、次に絶縁層106a表面のレジスト膜を除去する。これにより、絶縁層106aにスルーホールC1a~C4a

20

【0044】

次に、図3(b)に示すように、絶縁層106a上に絶縁層106b、106c及び各配線電極等を形成する。これらの形成手順としては、先ず、絶縁層106aの表面及びスルーホールC1a~C4aに、スパッタリング法などを用いてAlなどの導電性を有する金属層を形成する。これにより、スルーホールC1a~C4aは金属層で充填され、導電性を有するコンタクトホールC1~C4となる。次に、フォトリソグラフィ法及びエッチング処理等を用いて金属層の所定の部位を除去し、絶縁層106a上に配線電極としての、ソース電極150a、中継電極154a、154bを形成する。次に、絶縁層106a上にSiO₂等からなる絶縁層106bをCVD法等により成膜した後、上記の方法と同様にして、コンタクトホールC5、C6、中継電極154c、遮光電極158を順次形成する。以上が、回路配線部形成工程に相当する。次に、絶縁層形成工程として、中継電極154c等が形成された絶縁層106b上に、SiO₂等からなる絶縁層106cをCVD法等により成膜する。

30

【0045】

次に、絶縁層106c上の所定の位置に開口部を有するレジスト膜をフォトリソグラフィ法等を用いて形成する。次に、エッチング処理によって開口部から露出した部分の絶縁層106cを除去し、最後にレジスト膜を除去することにより絶縁層106cにスルーホールC7aを形成する。これにより、回路素子部A1上に回路配線部A2の主要部分が形成される。

40

【0046】

次に、画素部500の画素電極200及び画素電極分割部207の形成方法を図4、図5を用いて説明する。尚、図4、図5においては、画素部500の画素電極200及び画素電極分割部207の形成部及びその周辺のみを拡大して示す。

【0047】

先ず、図4(a)に示すように、絶縁層106cの表面の所定の位置に所定寸法の略格子状のレジスト層10をフォトリソグラフィ法を用いて形成する。尚、レジスト層10の幅は最終的に形成する画素電極分割部207の上面の幅よりも十分に広くて良い。仮に、画素電極分割部207の最終的な上面の幅を0.1μm以下としたい場合でも、レジスト層10の幅は0.4μm~0.6μm程度で構わない。以上が、レジストパターン形成工

50

程に相当する。

【0048】

次に、図4(b)に示すように、反応性イオンエッチングなどの等方性のドライエッチング処理により絶縁層106cの所定の部位を除去する。これにより、レジスト層10から露出した領域の絶縁層106cはレジスト層10の形成面から所定の厚みだけ除去されて凹状となるとともに、レジスト層10に覆われた領域の絶縁層106cは残留して凸状部207aを形成する。このとき、レジスト層10に覆われた領域の絶縁層106cもレジスト層10の辺縁部から除去されるため、凸状部207aの幅は絶縁層106cの凹部底面側からレジスト層10の形成面側に向かって徐々に狭まるとともに、凸状部207aの側面(除去面)は絶縁層106cの表面と連続した曲面となる。即ち、凸状部207aの断面形状はその両側がレジスト層10の辺縁部から略扇形に除去された、略台形形状を呈する。尚、凸状部207aの上面の幅は、レジスト層10が剥離しない $0.1\mu\text{m} \sim 0.2\mu\text{m}$ の範囲とすることが好ましい。以上が凸状部形成工程に相当する。

10

【0049】

次に、レジストパターン除去工程として、レジスト層10をアッシングなどにより除去する。

【0050】

次に、図4(c)に示すように、凸状部207aを含む絶縁層106cの表面に対して、垂直方向にアスペクト比の大きな異方性ドライエッチング処理を施す。これにより、凸状部207aは絶縁層106cの底面とともに更に除去されてその上面の幅が更に狭まり、目的とする上面の幅を有する画素電極分割部207となる。以上が、エッチング工程に相当する。この手法によれば、上面の幅が従来手法で形成可能な下限の約 $0.2\mu\text{m}$ よりも細い、 $0.1\mu\text{m}$ 以下の画素電極分割部207を形成することができる。尚、画素電極分割部207の上面の幅は細いほうが液晶表示素子600の開口率を大きくすることができるが、隣接する画素電極200同士の絶縁性の観点から、 $0.03\mu\text{m}$ 以上が好ましく、特に $0.05\mu\text{m}$ 前後が好ましい。

20

【0051】

次に、図5(a)に示すように、画素電極分割部207を含む絶縁層106cの表面に、TiN(窒化チタン)層、もしくはTi層、あるいはこれらの層を順次積層した層を、導電層202としてスパッタリング法や蒸着法などの周知の成膜手法を用いて形成する。尚、導電層202は中継電極154cと後述する反射金属層204とを電氣的に接続するとともに、中継電極154cと反射金属層204との間のマイグレーションを防止するためのものであり、この機能を有する材料であれば特に上記の材料に限定する必要はない。また、絶縁層106cに形成されたスルーホールC7aは、その内面に導電層202が成膜されることで導電性を有するコンタクトホールC7となる。以上が、導電層形成工程に相当する。

30

【0052】

次に、図5(b)に示すように、導電層202上に反射金属層204を成膜する。このときの反射金属層204の成膜手法としては、半導体基板100の少なくとも絶縁層106c及び導電層202を所定の温度に加熱しながらスパッタリングを行う高温スパッタリング法を用いる。この成膜手法によれば、スパッタリングにより生じた金属粒子は、導電層202表面に到達した際に加熱され、その運動エネルギーが増大することにより流動性が向上する。その結果、金属粒子は画素電極分割部207の突端である上面を避けるようにして、導電層202の形成された絶縁層106cの凹部に、自己整合的かつ選択的に堆積する。即ち、反射金属層204は、画素電極分割部207によって囲まれた絶縁層106cの凹部を充填するように、絶縁層106cの表面から画素電極分割部207の側面に沿って、画素電極分割部207の上面と略同等な位置まで形成される。このとき、導電層202は金属粒子の流動性を更に向上させる効果を有する。

40

【0053】

反射金属層204の材料としてはAlもしくはAlを主成分とした合金が好ましく、こ

50

の場合には、スパッタリング時の加熱温度は350 ~ 460 とすることが好ましい。尚、加熱温度がこの範囲よりも低いとA1等の金属粒子の流動性が十分でなく画素電極分割部207の上面にも反射金属層204が成膜される可能性があり、また加熱温度がこの範囲よりも高いと回路配線部A2内のA1製の配線電極等が軟化する可能性がある。また、反射金属層204の材料をA1以外とする場合には、加熱によって回路基板部Aの他の構成、特に回路配線部A2の各配線電極に軟化などの悪影響が生じないように加熱温度の設定及び材料の選択を行う必要がある。以上が、反射金属層形成工程に相当する。

【0054】

次に、図5(c)に示すように、導電層202の材料に対して選択比が高くなるような条件でドライエッチング処理を施し、反射金属層204から露出した導電層202、即ち画素電極分割部207の上面に位置する導電層202を除去する。以上が、凸状部露出工程に相当する。これにより、反射金属層204及び導電層202は画素電極分割部207によって電氣的に分割され、この画素電極分割部207によって分割された反射金属層204と導電層202とが、画素部500の画素電極200となる。

【0055】

上記の画素電極200上には、下部配向膜208が蒸着法等により成膜される。これにより画素電極部A3が形成され、画素部500の回路基板部Aが形成される。

【0056】

また、回路基板部Aには、これとは別に作製された全素子共通の光透過性基板部Bが、回路基板部Aの画素電極200と光透過性基板部Bの光透過性電極302とが対向しかつ所定の間隔を取るよう配置される。そして、回路基板部A側の下部配向膜208と光透過性基板部B側の上部配向膜301との間隙に液晶層306が封入されることで、液晶表示素子600を構成する1つの画素部500が作製される。

【0057】

上記の液晶表示素子の製造方法によれば、画素部500の画素電極分割部207の表示面側に位置する上面の幅を極めて細く形成することができるため、表示領域に対する画素電極分割部207の占める割合を減少させ、開口率の大きい高輝度な液晶表示素子600を作製することができる。

【0058】

また、液晶表示素子600は高輝度な画面表示を行うことができることに加え、画素ピッチの微細化に際しても開口率が従来のものに比べさほど低下しないため、高解像度かつ高輝度な画面表示を行うことができる。

【0059】

更に、液晶表示素子600は画素電極分割部207の上面の幅が細いため、画素電極分割部207からの光リークを大幅に低減することが可能となり、表示画面上におけるフリッカの増大や、焼き付きの発生、更には直流ダメージによる信頼性の低下などの悪影響をより抑制することができる。

【図面の簡単な説明】

【0060】

【図1】本発明に係る液晶表示素子を構成する画素部の実施の一形態を説明するための模式的断面図である。

【図2】本発明に係る液晶表示素子の動作の実施例を説明するための図である。

【図3】本発明に係る液晶表示素子の製造方法において、特にその回路素子部及び回路配線部の製造方法の実施の一形態を説明するための模式的断面図である。

【図4】本発明に係る液晶表示素子の製造方法において、特にその画素電極及び画素電極分割部の製造方法の実施の一形態を説明するための模式的断面図である。

【図5】本発明に係る液晶表示素子の製造方法において、特にその画素電極及び画素電極分割部の製造方法の実施の一形態を説明するための模式的断面図である。

【図6】従来の液晶表示素子を構成する画素部を説明するための模式的断面図である。

【符号の説明】

10

20

30

40

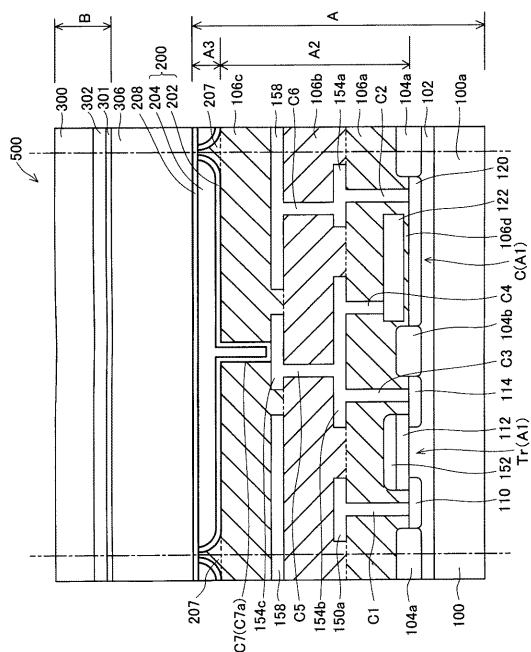
50

【 0 0 6 1 】

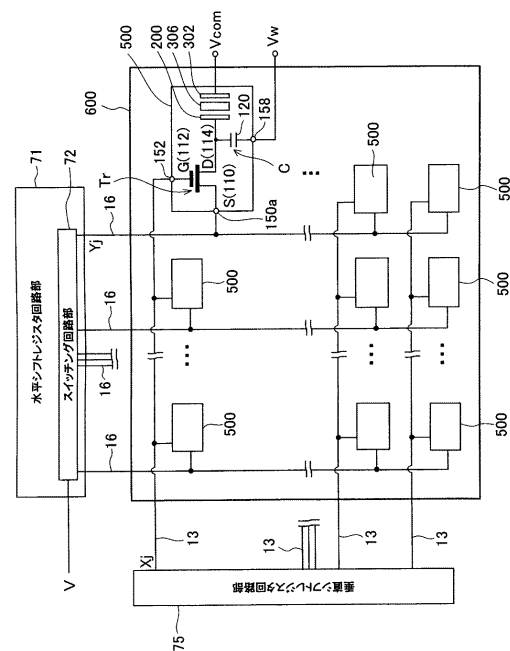
1 0	レジスト層（レジストパターン）
1 0 0	半導体基板
1 0 6 c	絶縁層
2 0 0	画素電極
2 0 2	導電層
2 0 4	反射金属層
2 0 7	画素電極分割部
2 0 7 a	凸状部
3 0 0	光透過性基板
3 0 2	光透過性電極
3 0 6	液晶層（液晶）
5 0 0	画素部
6 0 0	液晶表示素子
A	回路基板部
A 1	回路素子部
A 2	回路配線部
A 3	画素電極部
B	光透過性基板部

10

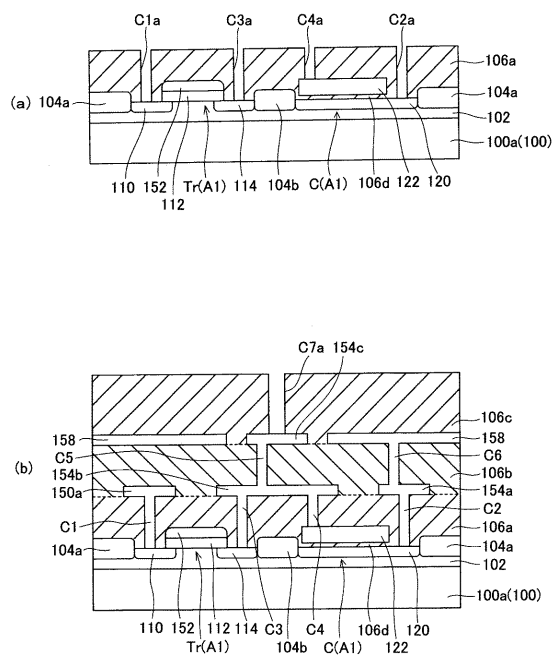
【 図 1 】



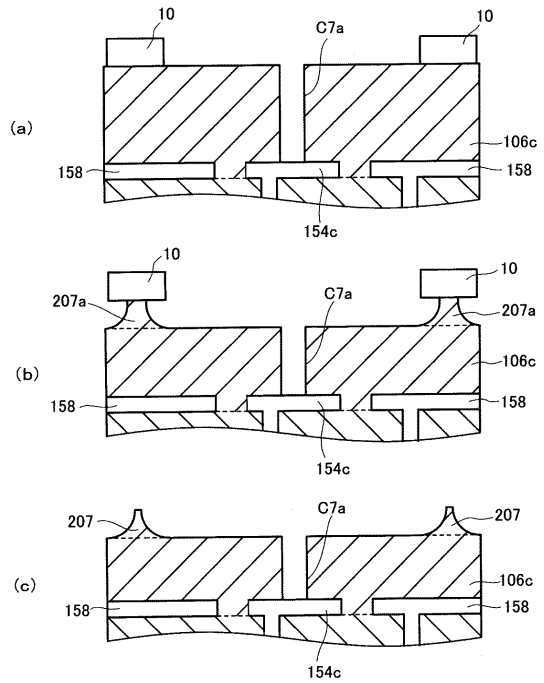
【 図 2 】



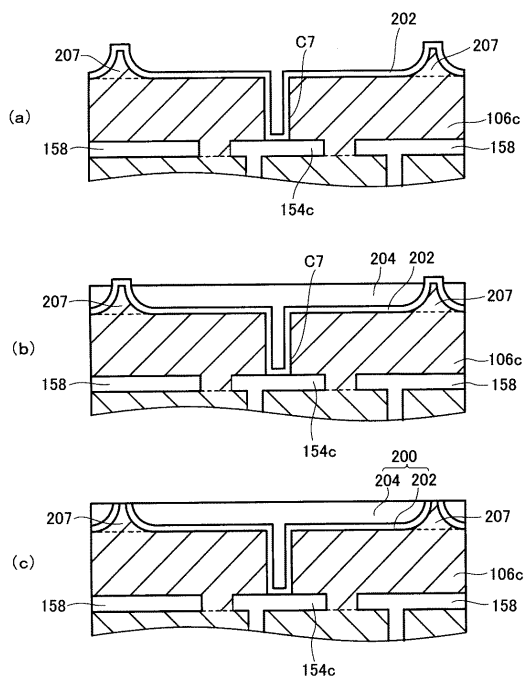
【図 3】



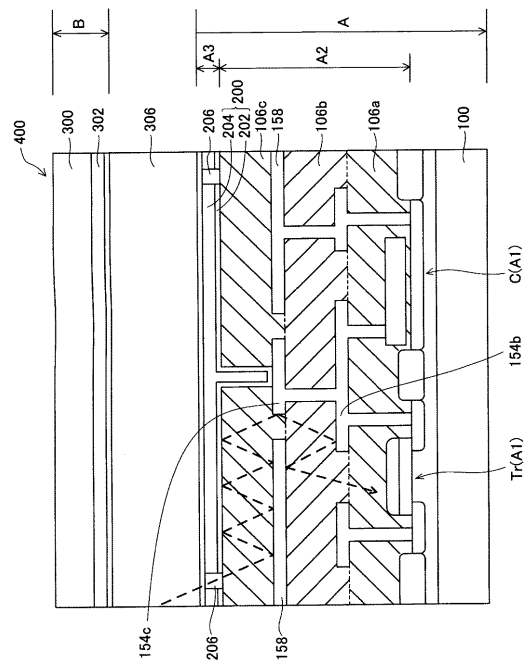
【図 4】



【図 5】



【図 6】



フロントページの続き

F ターム(参考) 2H092 GA17 HA05 JA24 JB07 JB54 MA05 MA15 MA18 NA07 NA22
5C094 AA10 AA16 BA03 BA43 CA19 DA13 EA06 EB02 FA10 GB10
HA10

专利名称(译)	液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	JP2009058874A	公开(公告)日	2009-03-19
申请号	JP2007227592	申请日	2007-09-03
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	川中博之		
发明人	川中 博之		
IPC分类号	G02F1/1343 G02F1/1335 G09F9/30		
FI分类号	G02F1/1343 G02F1/1335.520 G09F9/30.338		
F-TERM分类号	2H091/FA14Y 2H091/FA34Y 2H091/FB08 2H091/FC02 2H091/FC10 2H091/FC23 2H091/FC26 2H091/FD03 2H091/FD23 2H091/GA02 2H091/GA13 2H091/LA03 2H092/GA17 2H092/HA05 2H092/JA24 2H092/JB07 2H092/JB54 2H092/MA05 2H092/MA15 2H092/MA18 2H092/NA07 2H092/NA22 5C094/AA10 5C094/AA16 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA06 5C094/EB02 5C094/FA10 5C094/GB10 5C094/HA10 2H191/FA13Y 2H191/FA31Y 2H191/FB14 2H191/FC02 2H191/FC10 2H191/GA04 2H191/GA10 2H191/GA19 2H191/LA03 2H191/LA21 2H191/NA43 2H291/FA13Y 2H291/FA31Y 2H291/FB14 2H291/FC02 2H291/FC10 2H291/GA04 2H291/GA10 2H291/GA19 2H291/LA03 2H291/LA21 2H291/NA43		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种抑制从像素电极分割部分漏光并具有高孔径比的液晶显示元件，并提供一种制造液晶显示元件的方法。

ŽSOLUTION：根据本发明的液晶显示元件的制造方法，由于像素电极分割部207的宽度可以从绝缘层106c的下侧到上面侧逐渐变窄，因此占用可以减小像素电极分割部分207相对于显示区域的比例，并且可以制造具有高孔径比和高亮度的液晶显示元件600。由于液晶显示元件600的像素电极分割部分207的上表面较窄，因此可以显着减少来自像素电极分割部分207的光泄漏，并且可以进一步抑制由漏光引起的不利影响。 Ž

