

(11)特許出願公開番号

特開2008-281789

(P2008-281789A)

(43) 公開日 平成20年11月20日(2008.11.20)

(51) Int.Cl.

F 1

テーマコード (参考)

G09G 3/36 (2006.01)

G O 9 G 3/36

2H093

G09G 5/00 (2006.01)

G09G 5/00 520J

5C006

G O 9 G 5/36 (2006.01)

G O 9 G 5/36 5 2 0 A

5C080

G09G 3/20 (2006.01)

G09G 3/20 641H

5C082

GO2F 1/133 (2006.01)

G09G 3/20 641P

審査請求 未請求 請求項の数 20 O L (全 40 頁) 最終頁に続く

(21) 出願番号 特願2007-126085 (P2007-126085)

(22) 出願日 平成19年5月10日 (2007. 5. 10)

(71) 出願人 302062931

NECエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100102864

実藤 工 士理 弁

(72) 発明者 隆旗 弘史

神奈川県川崎市中原区下沼部1753番地

NECエレクトロニクス株式会社内

(72) 發明者 能勢 崇

神奈川県川崎市中原区下沼部1753番地

NECエレクトロニクス株式会社内

F ターム (参考) 2H093 NA16 NA53 NC03 NC10 NC12

NC21 NC22 NC26 NC34 NC49

NC50 ND05 ND09 ND10 NH18

[最終頁に続く](#)

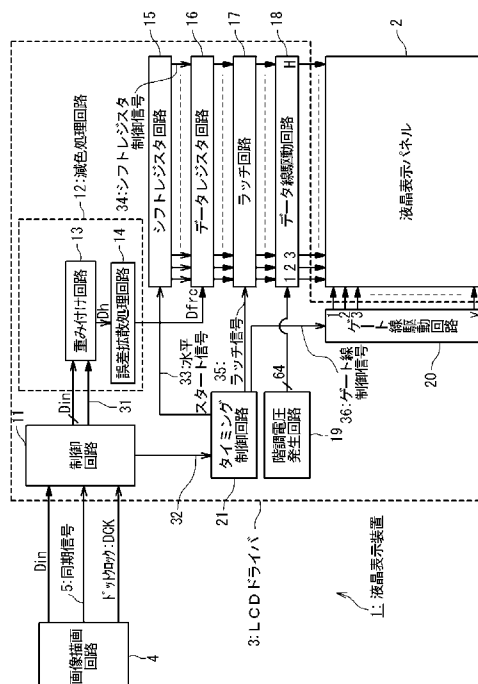
(54) 【発明の名称】 表示装置及び表示パネルドライバ

(57) 【要約】

【課題】デルタ配置を採用する液晶表示パネルの駆動の際、輝度の不均一性に起因するフリッカを抑制する。

【解決手段】本発明による液晶表示装置は、デルタ配置を採用する液晶表示パネル２と、入力画像データD_{in}に対して減色処理を行って減色画像データを生成する減色処理回路１２と、減色画像データに応答して液晶表示パネル２を駆動するデータ線駆動回路１８とを備えている。減色処理回路１２は、減色処理の対象であるサブピクセルが属するラインに応じて減色画像データを増加させ又は減少させる重み付け処理と、誤差拡散処理とを行うことにより減色画像データを生成する。減色処理回路１２は、或るラインに対応する減色画像データについては減色画像データを増加させ、他のラインに対応する減色画像データについては減色画像データを減少させるように重み付け処理を行う。

【選択図】 図5 A



【特許請求の範囲】

【請求項 1】

複数のサブピクセルで構成されるピクセルがデルタ配置によって配置されている表示パネルと、

前記複数のサブピクセルの階調を示す入力画像データに対して減色処理を行って減色画像データを生成する減色処理回路と、

前記減色画像データに応答して前記表示パネルを駆動する駆動回路とを備え、

前記減色処理回路は、誤差拡散処理を行うと共に重み付け処理を行うことによって、前記減色処理の対象であるサブピクセルが属するラインに応じて値が増加され、又は減少された前記減色画像データを生成するように構成され、且つ、

前記減色処理回路は、或るフレームの表示において、或るラインに属するサブピクセルに対応する前記減色画像データについては前記減色画像データを増加させ、前記或るラインに隣接する他のラインに属するサブピクセルに対応する前記減色画像データについては前記減色画像データを減少させるように前記重み付け処理を行う

表示装置。

【請求項 2】

請求項 1 に記載の表示装置であって、

前記減色処理回路は、

前記減色処理の対象である前記サブピクセルが属するラインに応じて前記入力画像データを増加させ、又は減少させる重み付け画像データを生成する重み付け回路と、

前記重み付け画像データに対して誤差拡散処理を行うことにより、前記減色画像データを生成する誤差拡散処理回路とを備える

表示装置。

【請求項 3】

請求項 2 に記載の表示装置であって、

前記重み付け回路は、前記或るラインに属するサブピクセルに対応する前記重み付け画像データについては、前記入力画像データの値以上の値になるように前記重み付け画像データを決定し、前記他のラインに属するサブピクセルに対応する前記重み付け画像データについては、前記入力画像データの値以下の値になるように前記重み付け画像データを決定する

表示装置。

【請求項 4】

請求項 3 に記載の表示装置であって、

前記重み付け回路は、前記入力画像データの値 D_{in} に対応する、前記或るラインに属するサブピクセルに対応する前記重み付け画像データの値 D_{hA} と、前記入力画像データの値 D_{in} に対応する、前記他のラインに属するサブピクセルに対応する前記重み付け画像データの値 D_{hB} とが、下記式：

$$D_{in} - 1 < (D_{hA} + D_{hB}) / 2 < D_{in} + 1,$$

を満足するように、前記重み付け画像データを生成する

表示装置。

【請求項 5】

請求項 4 に記載の表示装置であって、

前記入力画像データは m ビットのデータであり、

前記減色処理回路は、前記入力画像データに対して α ビットの減色処理を行って前記減色画像データを生成するように構成され、

前記重み付け回路は、前記減色処理の対象である前記サブピクセルが属する前記ラインに応じて前記入力画像データの値 D_{in} の下位 α ビット $D_{in}[(\alpha - 1) : 0]$ から $(\alpha + 1)$ ビットの重み付けデータ $D_{hlsb}[\alpha : 0]$ を生成し、且つ、前記重み付け画

像データの値 D_h を、 $D_{in}[(m-1):a]$ と $D_{hlsb}[a:0]$ との和がオーバーフローを起こさない場合には、

$$D_h = D_{in}[(m-1):a] + D_{hlsb}[a:0],$$

を使用して決定し、オーバーフローを起こす場合には、前記重み付け画像データの値 D_h をオール "1" であるように決定するように構成された

表示装置。

ただし、 $D_{in}[(m-1):a]$ は、その上位 $(m-a)$ ビットが前記入力画像データの値 D_{in} の上位 $(m-a)$ ビットと一致し、下位 a ビットがオール 0 であるデータである。

【請求項 6】

10

請求項 5 に記載の表示装置であって、

前記入力画像データの値 D_{in} の前記下位 a ビット $D_{in}[(a-1):0]$ の或る値に対して、前記或るラインについて定められた前記重み付けデータ $D_{hlsb}[a:0]$ と、前記下位 a ビット $D_{in}[(a-1):0]$ の前記或る値に対して前記他のラインについて定められた前記重み付けデータ $D_{hlsb}[a:0]$ との平均値は、前記下位 a ビット $D_{in}[(a-1):0]$ に一致する

表示装置。

【請求項 7】

請求項 2 ～ 6 のいずれかに記載の表示装置であって、

前記誤差拡散処理では、前記重み付け画像データに対して k ビットの減色処理が行われ

20

、
前記誤差拡散処理回路は、前記誤差拡散処理において使用される誤差の初期値を、0 以上 $2^k - 2$ 以下の偶数から選択する

表示装置。

【請求項 8】

請求項 7 に記載の表示装置であって、

前記誤差拡散処理回路は、前記初期値を 2 ライン毎に切り換える

表示装置。

【請求項 9】

30

請求項 1 に記載の表示装置であって、

前記減色処理回路は、

前記入力画像データに対して誤差拡散処理を行う誤差拡散処理回路と、

前記誤差拡散処理回路からの出力に対して前記重み付け処理を行うことにより、前記減色処理の対象であるサブピクセルが属するラインに応じて値が増加され又は減少された前記減色画像データを生成する重み付け回路

とを備える

表示装置。

【請求項 10】

請求項 9 に記載の表示装置であって、

前記誤差拡散処理回路は、

40

前記入力画像データの上位 $(m-a)$ ビットを上位ビット出力として出力し、且つ、前記入力画像データの下位 a ビットに対して、第 1 初期値を用いた誤差拡散処理と前記第 1 初期値と異なる第 2 初期値を用いた誤差拡散処理を行うことにより、それぞれが 1 ビットの第 1 下位ビット出力と第 2 下位ビット出力とを生成し、

前記減色処理の対象である前記サブピクセルが属するラインに応じて前記第 1 下位ビット出力と前記第 2 下位ビット出力との論理和又は論理積を前記上位ビット出力に加えることにより、前記上位ビット出力と前記第 1 下位ビット出力と前記第 2 下位ビット出力とから前記減色画像データを生成する重み付け回路

とを備える

表示装置。

50

【請求項 1 1】

請求項 1 0 に記載の表示装置であって、

前記重み付け回路は、前記或るラインに属するサブピクセルに対応する前記減色画像データの生成では、前記第 1 下位ビット出力と前記第 2 下位ビット出力との論理和を前記上位ビット出力に加えることによって前記減色画像データを生成し、前記他のラインに属するサブピクセルに対応する前記減色画像データの生成では、前記第 1 下位ビット出力と前記第 2 下位ビット出力との論理積を前記上位ビット出力に加えることによって前記減色画像データを生成する

表示装置。

【請求項 1 2】

10

請求項 1 に記載の表示装置であって、

前記減色処理回路は、前記或るフレームと異なる他のフレームの表示において、前記或るラインに属する前記サブピクセルに対応する前記減色画像データについては前記減色画像データを減少させ、前記他のラインに属する前記サブピクセルに対応する前記減色画像データについては前記減色画像データを増加させるように前記重み付け処理を行う

表示装置。

【請求項 1 3】

複数のサブピクセルで構成されるピクセルが配置されている表示パネルを駆動するための表示パネルドライバであって、

前記複数のサブピクセルの階調を示す入力画像データに対して減色処理を行って減色画像データを生成する減色処理回路と、

20

前記減色画像データに応答して前記表示パネルを駆動する駆動回路とを備え、

前記減色処理回路は、誤差拡散処理を行うと共に重み付け処理を行うことによって、前記減色処理の対象であるサブピクセルが属するラインに応じて値が増加され、又は減少された前記減色画像データを生成するように構成され、且つ、

前記減色処理回路は、或るフレームの表示において、或るラインに属するサブピクセルに対応する前記減色画像データについては前記減色画像データを増加させ、前記或るラインに隣接する他のラインに属するサブピクセルに対応する前記減色画像データについては前記減色画像データを減少させるように前記重み付け処理を行う

30

表示パネルドライバ。

【請求項 1 4】

請求項 1 1 に記載の表示パネルドライバであって、

前記減色処理回路は、

前記減色処理の対象である前記サブピクセルが属するラインに応じて前記入力画像データを増加させ、又は減少させて重み付け画像データを生成する重み付け回路と、

前記重み付け画像データに対して誤差拡散処理を行うことにより、前記減色画像データを生成する誤差拡散処理回路

とを備える

表示パネルドライバ。

40

【請求項 1 5】

請求項 1 3 に記載の表示パネルドライバであって、

前記減色処理回路は、

前記減色処理の対象である前記サブピクセルが属するラインに応じて前記入力画像データを増加させ、又は減少させて重み付け画像データを生成する重み付け回路と、

制御信号に応じて前記入力画像データと前記重み付け画像データとの一方のデータを選択するセレクト回路と、

前記セレクト回路によって選択された前記一方のデータに対して誤差拡散処理を行うことにより、前記減色画像データを生成する誤差拡散処理回路

とを備える

50

表示パネルドライバ。

【請求項 16】

請求項 15 に記載の表示パネルドライバであって、

前記誤差拡散処理では、前記重み付け画像データに対して k ビットの減色処理が行われ、

前記誤差拡散処理回路は、前記セクタ回路により前記重み付け画像データが選択された場合、前記誤差拡散処理において使用される誤差の初期値を 0 以上 $2^k - 2$ 以下の偶数から選択し、前記セクタ回路により前記画像データが選択された場合、前記誤差拡散処理において使用される誤差の初期値を 0 以上 $2^k - 1$ 以下の整数から選択する

表示パネルドライバ。

10

【請求項 17】

請求項 13 に記載の表示パネルドライバであって、

前記減色処理回路は、

前記入力画像データに対して誤差拡散処理を行う誤差拡散処理回路と、

前記誤差拡散処理回路からの出力に対して前記重み付け処理を行うことにより、前記減色処理の対象であるサブピクセルが属するラインに応じて値が増加され又は減少された前記減色画像データを生成する重み付け回路

とを備える

表示装置。

【請求項 18】

20

請求項 14 に記載の表示パネルドライバであって、

前記減色処理回路は、

前記画像データの上位 $(m - \alpha)$ ビットを上位ビット出力として出力し、且つ、前記画像データの下位 α ビットに対して、第 1 初期値を用いた誤差拡散処理と前記第 1 初期値と異なる第 2 初期値を用いた誤差拡散処理を行うことにより、それぞれが 1 ビットの第 1 下位ビット出力と第 2 下位ビット出力とを生成する誤差拡散処理回路と、

前記上位ビット出力と前記第 1 下位ビット出力と前記第 2 下位ビット出力とから前記減色画像データを生成する重み付け回路

とを備え、

前記重み付け回路は、制御信号に応答して下記 2 つの動作：

30

(1) 前記減色処理の対象である前記サブピクセルが属するラインに応じて前記第 1 下位ビット出力と前記第 2 下位ビット出力との論理和又は論理積を前記上位ビット出力に加えることにより前記減色画像データを生成する動作

(2) 前記上位ビット出力と前記第 1 下位ビット出力との和から、前記減色画像データを生成する動作

のいずれかを行うように構成された

表示パネルドライバ。

【請求項 19】

請求項 15 又は請求項 18 に記載の表示パネルドライバであって、

前記制御信号は、前記表示パネルがデルタ配置を採用するかストライプ配置を採用するかに応じて生成される

40

表示パネルドライバ。

【請求項 20】

複数のサブピクセルで構成されるピクセルが配置されている表示パネルを駆動するための表示パネルドライバであって、

前記複数のサブピクセルの階調を示す入力画像データに対して減色処理を行って減色画像データを生成する減色処理回路と、

前記減色画像データに応答して前記表示パネルを駆動する駆動回路

とを備え、

前記減色処理回路は、前記表示パネルがデルタ配置を採用するかストライプ配置を採用

50

するかを示す制御信号に応答して、異なる減色処理によって前記減色画像データを生成する

表示パネルドライバ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及び表示パネルの駆動方法に関し、特に、デルタ配置を採用する表示パネルの駆動において減色処理を行うように構成された表示装置、及び、そのように構成された表示パネルの駆動技術に関する。

【背景技術】

【0002】

ストライプ配置 (stripe arrangement) とデルタ配置 (delta arrangement) とは、LCD (liquid crystal display) パネルの各ピクセル (pixel) におけるサブピクセル (subpixel) の配置として、最も広く使用される2つの配置である。図1は、ストライプ配置を採用するLCDパネルの構成を示し、図2は、デルタ配置を採用するLCDパネルの構成を示している。

【0003】

ストライプ配置を採用するLCDパネルでは、図1に示されているように、一のピクセルに属する赤 (R)、緑 (G)、青 (B) の3つのサブピクセルが水平方向に一列に並んでおり、且つ、同一の色のサブピクセルは、垂直方向に直線上に並んで配置されている。以下では、赤、緑、青のサブピクセルを、それぞれ、Rサブピクセル、Gサブピクセル、Bサブピクセルと呼ぶことがある。ストライプ配置では、一般に、Rサブピクセル、Gサブピクセル、Bサブピクセルの3つのサブピクセルで構成される1つのピクセルは、正方形である。

【0004】

一方、図2に示されているように、デルタ配置を採用するLCDパネルでは、それぞれの中心が三角形の頂点に位置するように配置されたRサブピクセル、Gサブピクセル、Bサブピクセルによって1つのピクセルが構成されている。デルタ配置を採用するLCDパネルでは、1つのピクセルは、2ラインに渡って配置される。また、デルタ配置を採用するLCDパネルでは、同一の色のサブピクセルが千鳥状に並んでいる。例えば、第1のラインのGサブピクセルと、第1のラインに隣接する第2のラインのGサブピクセルとを考えると、第2のラインのGサブピクセルは、第1のラインのGサブピクセルに対して、サブピクセル1個半の分だけ水平方向にずれて配置されている。赤、青のサブピクセルについても同様である。デルタ配置が採用される場合、水平方向に一列に並んだ3つのサブピクセル (Rサブピクセル、Gサブピクセル、Bサブピクセル) は、全体として長方形をなしており、この点においても、デルタ配置はストライプ配置と異なる。

【0005】

デルタ配置を採用する場合でも、一本のデータ線には、同一の色に対応するサブピクセルが接続されることに留意されたい。例えば、図2の配置では、GサブピクセルG2、G0、G3、G1が、共通のデータ線に接続され、そのデータ線には、他の色のサブピクセルは接続されない。同様に、GサブピクセルG6、G4、G7、G5は、別の共通のデータ線に接続されており、そのデータ線には他の色のサブピクセルは接続されない。

【0006】

ストライプ配置及びデルタ配置のいずれを採用する場合でも、LCDパネルの駆動では、表示データに対して減色処理が行われることがある。減色処理とは、画像をなるべく劣化させずに、元のmビットの画像データから、nビットの減色画像データ ($n < m$) を生成する処理のことであり、ハードウェアの制約を克服して多階調表示を行うために広く使用される。

【0007】

最も広く使用される減色処理の一つが、誤差拡散処理である。誤差拡散処理とは、対象

10

20

30

40

50

サブピクセルの減色画像データを、それに隣接するサブピクセルの入力画像データと減色画像データとの誤差に依存して決定するアルゴリズムであり、例えば、特開平9-90902号公報、特開2002-162953号公報、特開2002-251173号公報、及び特開2002-258805号公報に知られている。図3は、8ビットの入力画像データDinから6ビットの減色画像データDfrcを生成するように構成された、誤差拡散処理を行う減色回路の一例を示している。図3の減色回路は、ドットクロック信号DCLの1クロック周期で、1つのサブピクセルの減色画像データDfrcが生成されるように構成されている。

【0008】

図3の減色回路は、加算回路101、102と、Dラッチ103と、セレクタ104と、初期値設定回路105とを備えている。Dラッチ103は、対象のサブピクセルの誤差Der rを保持する回路である。初期値設定回路105は、誤差拡散処理で使用される誤差の初期値Der r^{I N I}を与える回路である。初期値設定回路105には、減色処理の対象のフレームの番号を示すフレームカウンタと、対象のラインの番号を示すラインカウンタが与えられており、初期値設定回路105は、フレーム及びラインによって異なる初期値Der r^{I N I}を発生する。

【0009】

図3の減色回路の動作は下記のとおりである。

セレクタ104は、誤差初期値読み出し信号DE__POSに応答して初期値設定回路105によって発生された初期値Der r^{I N I}と、Dラッチ103に保持されている誤差Der rの一方を、加算回路102に供給する。具体的には、各ラインの最初に処理されるサブピクセルの誤差拡散処理では、誤差初期値読み出し信号DE__POSが"1"に設定され、誤差初期値読み出し信号DE__POSが"1"に設定されたことに応答してセレクタ104は、初期値Der r^{I N I}を加算回路102に供給する。一方、他のサブピクセルの誤差拡散処理では、誤差初期値読み出し信号DE__POSが"0"に設定され、セレクタ104は、Dラッチ103に格納されている誤差Der rを加算回路102に供給する。

【0010】

加算回路102は、入力画像データDinの下位2ビットと誤差Der r（又は初期値Der r^{I N I}）について加算演算を行い、キャリー出力cryと、次に減色画像データDfrcが算出されるサブピクセルの誤差拡散処理において使用される誤差Der r^Nを算出する。Dラッチ103は、ドットクロック信号DCLによってトリガーされると加算回路102から出力される誤差Der r^Nをラッチし、誤差Der rを更新する。加算回路101は、入力画像データDinの上位6ビットと加算回路102のキャリー出力cryとを加算して対象サブピクセルの減色画像データDfrcを生成する。

【0011】

このようにして減色画像データDfrcを生成する誤差拡散処理は、元の画像データに依存して輝度が高いサブピクセルの位置が変化するため、面フリッカが生じるような特異パターンの発生を抑制できるという利点がある。

【特許文献1】特開平9-90902号公報

【特許文献2】特開2002-162953号公報

【特許文献3】特開2002-251173号公報

【特許文献4】特開2002-258805号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら発明者は、従来の誤差拡散処理を、デルタ配置を採用するLCDパネルに適用すると、縦筋状の輝度ムラがちらちらと観察されるようなフリッカが発生してしまうという問題があるということを発見した。図4は、赤(R)、青(B)のサブピクセルの画像データが"0"であり、緑(G)のサブピクセルの画像データが所定値(例えば、"

10

20

30

40

50

2”）であるような画像を例として、その理由を説明する図である。図4において、薄いハッチングは、相対的に低い輝度を示しており、濃いハッチングは、相対的に高い輝度を示していることに留意されたい。

【0013】

まず、図4の左図のように、ストライプ配置が採用される場合には、誤差拡散処理による減色が行われると、同一のラインでは、相対的に輝度が高いGサブピクセルと相対的に輝度が低いGサブピクセルとが交互に配置される。加えて、誤差拡散処理ではライン毎に誤差の初期値が切り換えられるので、垂直方向に並んだGサブピクセルについても、相対的に輝度が高いGサブピクセルと相対的に輝度が低いGサブピクセルとが交互に配置される。この結果、ストライプ配置が採用される場合には、ある輝度が高いGサブピクセルに最近接する他のGサブピクセルは、全て輝度が低くなっている。例えば、相対的に輝度が高いGサブピクセルG0に最近接するGサブピクセルG1、G2は、相対的に輝度が低い。

10

【0014】

一方、図4の右図に示されているように、デルタ配置が採用されるLCDパネルでは、同じ誤差拡散処理を行うと、輝度が高い領域と輝度が低い領域とが発生してしまい、フリッカが発生してしまう。これは、デルタ配置では、誤差拡散処理による減色を行うと、輝度が高い複数のGサブピクセルが最近接してしまうからである。例えば、図4の右図のGサブピクセルG0について考えよう。GサブピクセルG0に最近接するGサブピクセルは、GサブピクセルG1～G4の4つであるが、GサブピクセルG1、G2は、GサブピクセルG0と同様に、輝度が高いサブピクセルである。したがって、図4の破線で囲まれた領域が、全体として輝度が高く観察される。これが縦筋状の輝度ムラとして認識されてしまう。また、この輝度が高い領域と輝度が低い領域とがフレーム毎の初期値の違い等によって入れ替わると、観察者には縦筋状のフリッカとして認識されてしまう。

20

【課題を解決するための手段】

【0015】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために、[発明を実施するための最良の形態]で使用される番号・符号が付記されている。但し、付記された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲を限定的に解釈するために用いてはならない。

30

【0016】

一の観点において、本発明による表示装置は、複数のサブピクセルで構成されるピクセルがデルタ配置によって配置されている表示パネル(2)と、前記複数のサブピクセルの階調を示す入力画像データ(Din)に対して減色処理を行って減色画像データ(Dfrc)を生成する減色処理回路(12、12A～12C)と、前記減色画像データ(Dfrc)に応答して前記表示パネルを駆動する駆動回路(18)とを備えている。前記減色処理回路(12、12A～12C)は、誤差拡散処理を行うと共に重み付け処理を行うことによって、前記減色処理の対象であるサブピクセルが属するラインに応じて値が増加され、又は減少された前記減色画像データを生成するように構成されている。前記減色処理回路(12、12A～12C)は、或るラインに属するサブピクセルに対応する前記減色画像データについては、前記減色画像データを増加させ、前記或るラインに隣接する他のラインに属するサブピクセルに対応する前記減色画像データについては、前記減色画像データを減少させるように前記重み付け処理を行う。

40

【0017】

このような構成の表示装置では、重み付け処理により、前記或るラインについてはサブピクセルの輝度が増加され、前記他のラインについてはサブピクセルの輝度が減少される。このような重み付け処理を行うことにより、本発明の表示装置では、パネル構造に起因する輝度の偏りを緩和し、これにより、フリッカを抑制することができる。詳細には、デ

50

ルタ配置が採用される表示パネルでは、各サブピクセルについて、上下に隣接するラインに配置される同色のサブピクセルよりも、同じラインに位置する同色のサブピクセルの方が遠い。従って、通常の誤差拡散処理を行うと、上下方向に輝度の偏りが生じやすい。本発明の表示装置では、上下方向の輝度の偏りを緩和するために重み付け処理が行われ、これにより、フリッカが抑制される。

【0018】

他の観点において、本発明の表示パネルドライバ（3、3A～3C）は、複数のサブピクセルで構成されるピクセルが配置されている表示パネル（2）を駆動するための表示パネルドライバ（3、3A～3C）である。本発明の表示パネルドライバ（3、3A～3C）は、前記複数のサブピクセルの階調を示す入力画像データ（Din）に対して減色処理を行って減色画像データ（Dfrc）を生成する減色処理回路（12、12A～12C）と、前記減色画像データ（Dfrc）に応答して前記表示パネル（2）を駆動する駆動回路（18）とを備えている。前記減色処理回路（12、12A～12C）は、誤差拡散処理を行うと共に重み付け処理を行うことによって、前記減色処理の対象であるサブピクセルが属するラインに応じて値が増加され、又は減少された前記減色画像データを生成するように構成されている。前記減色処理回路（12、12A～12C）は、或るフレームの表示において、或るラインに属するサブピクセルに対応する前記減色画像データについては前記減色画像データを増加させるように前記重み付け処理を行い、前記或るラインに隣接する他のラインに属するサブピクセルに対応する前記減色画像データについては前記減色画像データを減少させるように前記重み付け処理を行うように構成されている。このように構成された表示パネルドライバ（3、3A～3C）は、デルタ配置によって配置されている表示パネル（2）を駆動する際に、輝度の不均一性に起因するフリッカを抑制することができる。

【0019】

更に他の観点において、本発明による表示パネルドライバ（3A、3C）は、複数のサブピクセルで構成されるピクセルが配置されている表示パネル（2）を駆動するための表示パネルドライバ（3A、3C）である。本発明の表示パネルドライバ（3A、3C）は、前記複数のサブピクセルの階調を示す入力画像データ（Din）に対して減色処理を行って減色画像データ（Dfrc）を生成する減色処理回路（12、12A～12C）と、前記減色画像データに応答して前記表示パネルを駆動する駆動回路（18）とを備えている。前記減色処理回路（12、12A～12C）は、前記表示パネル（2）がデルタ配置を採用するかストライプ配置を採用するかを示す制御信号（6）に응答して、異なる減色処理によって前記減色画像データを生成する。

【0020】

発明者の知見では、前記表示パネル（2）がデルタ配置を採用するかストライプ配置を採用するかに応じて、最適な減色処理は異なる。当該表示パネルドライバ（3A、3C）は、前記表示パネル（2）がデルタ配置を採用するかストライプ配置を採用するかに応じて、異なる減色処理を行うことにより、いずれの配置が採用されても良好な画質で画像を表示することができる。

【発明の効果】

【0021】

本発明によれば、デルタ配置を採用する表示パネルの駆動の際、輝度の不均一性に起因するフリッカを抑制することができる。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施形態について詳細に説明する。添付図面において、同一又は類似する構成要素は、同一又は類似の符号によって示されていることに留意されたい。

【0023】

（第1の実施形態）

図5Aは、本発明の第1の実施形態に係る液晶表示装置1の構成を示すブロック図であ

10

20

30

40

50

る。本実施形態の液晶表示装置 1 は、液晶表示パネル 2 と、LCD ドライバ 3 とを備えている。

【0024】

液晶表示パネル 2 には、それぞれが R サブピクセル、G サブピクセル、B サブピクセルの 3 つのサブピクセルで構成された多数のピクセルが形成されている。サブピクセルのそれぞれには、薄膜トランジスタ (TFT) と画素電極とが設けられ、R サブピクセル、G サブピクセル、及び B サブピクセルは、それぞれ、赤色、緑色、又は青色を所望の輝度で表示する。

【0025】

液晶表示パネル 2 には、垂直方向に延設された H 本のデータ線と、水平方向に延設された V 本のゲート線が設けられている。各サブピクセルは、データ線とゲート線が交差する位置に設けられている。各データ線は、同一の色のサブピクセルに接続されており、接続されたサブピクセルを駆動するために使用される。また、液晶表示パネル 2 の水平方向に並んだ一行のサブピクセルは、同一のゲート線に接続されており、液晶表示パネル 2 の水平方向に並んだ一行のサブピクセルをラインと呼ぶことがある。

【0026】

各ピクセルの 3 つのサブピクセルは、デルタ配置によって配置されている。即ち、図 2 に示されているように、それぞれの中心が三角形の頂点に位置するように配置された R サブピクセル、G サブピクセル、B サブピクセルによって 1 つのピクセルが構成されている。同一の色のサブピクセルは、千鳥状に並んでいることに留意されたい。例えば、第 1 のラインの G サブピクセルと、第 1 のラインに隣接する第 2 のラインの G サブピクセルとを考えると、第 2 のラインの G サブピクセルは、第 1 のラインの G サブピクセルに対して、サブピクセル 1 個半の分だけ水平方向にずれて配置されている。赤、青のサブピクセルについても同様である。

【0027】

LCD ドライバ 3 は、外部から、具体的には画像描画回路 4 から入力画像データ D_{in} を受け取り、入力画像データ D_{in} に応答して液晶表示パネル 2 のデータ線を駆動する機能を有している。画像描画回路 4 としては、CPU や DSP (Digital Signal Processor) が例示される。入力画像データ D_{in} は、各サブピクセルの階調を m ビットで表すデータである。以下において、色を区別するために、R サブピクセルの階調を示す入力画像データ D_{in} を入力画像データ D_{in}^R と、G サブピクセルの階調を示す入力画像データ D_{in} を入力画像データ D_{in}^G と、B サブピクセルの階調を示す入力画像データ D_{in} を入力画像データ D_{in}^B ということがある。加えて、LCD ドライバ 3 は、液晶表示パネル 2 のゲート線を駆動する機能も有している。LCD ドライバ 3 には、同期信号 5、ドットクロック CLK その他の制御信号が画像描画回路 4 から供給されており、LCD ドライバ 3 は、供給された制御信号に応答して動作する。

【0028】

LCD ドライバ 3 は、制御回路 11 と、減色処理回路 12 と、シフトレジスタ回路 15 と、複数のレジスタから構成されたデータレジスタ回路 16 と、複数のラッチから構成されるラッチ回路 17 と、データ線駆動回路 18 と、階調電圧発生回路 19 と、ゲート線駆動回路 20 と、タイミング制御回路 21 とを備えている。

【0029】

制御回路 11 は、画像描画回路 4 から送られてくる入力画像データ D_{in} を減色処理回路 12 に転送すると共に、減色処理回路 12 に制御信号 31 を供給する機能を有している。制御信号 31 には、ドットクロック信号 CLK が含まれている。加えて、制御回路 11 は、同期信号 5 からタイミング信号 32 を発生し、タイミング制御回路 21 にタイミング信号 32 を供給する機能を有している。

【0030】

減色処理回路 12 は、m ビットの入力画像データ D_{in} に対して減色処理を行い、n ビットの減色画像データ D_{frc} を生成する機能を有している (ここで、 $m > n$)。本実施

形態では、本実施形態の液晶表示装置 1 の主たる特徴は、減色処理回路 1 2 で行われる減色処理にある。減色処理回路 1 2 の構成及び動作については、後に詳細に説明する。

【0031】

シフトレジスタ回路 1 5 は、1 入力多出力のシフトレジスタで構成されており、データレジスタ回路 1 6 の各レジスタにシフトレジスタ出力信号 3 4 を供給する機能を有している。ここでシフトレジスタ出力信号 3 4 は、各レジスタに減色画像データ D f r c の受け取りを許可する信号である。1 つのレジスタに、1 本のシフトレジスタ出力信号 3 4 が供給される。シフトレジスタ回路 1 5 の入力には、タイミング制御回路 2 1 から水平スタート信号 3 3 が供給されている。水平スタート信号 3 3 が活性化されると（典型的には " H i g h " レベルにプルアップされると）、シフトレジスタ回路 1 5 は、シフトレジスタ出力信号 3 4 を順次に活性化し、データレジスタ回路 1 6 の各レジスタに減色画像データ D f r c の受け取りを許可する。

10

【0032】

データレジスタ回路 1 6 は、複数のレジスタから構成されており、減色処理回路 1 2 から送られてくる減色画像データ D f r c を順次に受け取って保存する。データレジスタ回路 1 6 のレジスタの数は、液晶表示パネル 2 の 1 ラインのサブピクセルの駆動に必要な減色画像データ D f r c を記憶できるように決められている。上述のように、データレジスタ回路 1 6 の各レジスタは、シフトレジスタ出力信号 3 4 に応答して減色画像データ D f r c をラッチする。

【0033】

ラッチ回路 1 7 は、タイミング制御回路 2 1 から送られてくるラッチ信号 3 5 に応答してデータレジスタ回路 1 6 から 1 ライン分の減色画像データ D f r c を同時にラッチし、ラッチした減色画像データ D f r c をデータ線駆動回路 1 8 に転送する。

20

【0034】

データ線駆動回路 1 8 は、ラッチ回路 1 7 から送られてくる 1 ライン分の減色画像データ D f r c に応答して対応する液晶表示パネル 2 のデータ線を駆動する。より具体的には、データ線駆動回路 1 8 は、減色画像データ D f r c に応答して階調電圧発生回路 1 9 から供給される複数の階調電圧のうちから対応する階調電圧を選択し、対応する液晶表示パネル 2 の信号線を選択された階調電圧に駆動する。本実施形態では、階調電圧発生回路 1 9 から供給される階調電圧の数は 2^n である。

30

【0035】

ゲート線駆動回路 2 0 は、タイミング制御回路 2 1 から受け取ったゲート線制御信号 3 6 に応答して液晶表示パネル 2 のゲート線を駆動する

【0036】

タイミング制御回路 2 1 は、L C D ドライバ 3 全体のタイミング制御を行う役割を有している。詳細には、タイミング制御回路 2 1 は、水平スタート信号 3 3、ラッチ信号 3 5、及びゲート線制御信号 3 6 を生成し、それぞれシフトレジスタ回路 1 5、ラッチ回路 1 7、及びゲート線駆動回路 2 0 に供給する。

【0037】

続いて、減色処理回路 1 2 について説明する。以下では、m が 8 であり、n が 6 であるとして、即ち、減色処理回路 1 2 が、8 ビットの入力画像データ D i n から 6 ビットの減色画像データ D f r c を生成するとして説明する。ただし、m、n は、それぞれ、8、6 には限定されない。

40

【0038】

減色処理回路 1 2 は、重み付け回路 1 3 と誤差拡散処理回路 1 4 とを備えている。

【0039】

重み付け回路 1 3 は、入力画像データ D i n に対して「重み付け処理」を行う回路である。ここで「重み付け処理」とは、対象のサブピクセルが属するラインの位置に応じて、減色画像データ D f r c の値を増加させ、又は、減少させる処理のことである。本実施形態では、入力画像データ D i n に対して「重み付け処理」を行うことによって重み付け画

50

像データ D_h が生成され、重み付け画像データ D_h に対して誤差拡散処理が行われて減色画像データ D_{frc} が生成される。「重み付け処理」によって重み付け画像データ D_h を増加させ、又は減少させることにより、減色画像データ D_{frc} の値が、対象サブピクセルが属するラインの位置に応じて増加させ又は減少される。「重み付け処理」の詳細な内容及びその技術的意義については、後に詳細に説明する。

【0040】

図5Bに示されているように、重み付け回路13は、Rサブピクセルに対応して設けられたR重み付け回路41Rと、Gサブピクセルに対応して設けられたG重み付け回路41Gと、Bサブピクセルに対応して設けられたB重み付け回路41Bとを備えている。R重み付け回路41Rは、Rサブピクセルの入力画像データ D_{in}^R に対して重み付け処理を行って重み付け画像データ D_h^R を生成する。同様に、G重み付け回路41Gは、Gサブピクセルの入力画像データ D_{in}^G に対して重み付け処理を行って重み付け画像データ D_h^G を生成し、B重み付け回路41Bは、Bサブピクセルの入力画像データ D_{in}^B に対して重み付け処理を行って重み付け画像データ D_h^B を生成する。

【0041】

図6Aは、G重み付け回路41Gによって行われる「重み付け処理」を詳細に説明する図である。

【0042】

まず、G重み付け回路41Gは、Gサブピクセルのそれぞれについて、入力画像データ D_{in}^G の下位2ビット $D_{in}^G[1:0]$ から3ビットの重み付けデータ $D_{hlsb}[2:0]$ を決定する。下位2ビット $D_{in}^G[1:0]$ と、それから決定される重み付けデータ $D_{hlsb}[2:0]$ との対応関係は、以下に説明される重み付け「A」、「B」の2つから選択される。重み付け「A」を選択した場合、G重み付け回路41Gは、下記のように重み付けデータ $D_{hlsb}[2:0]$ を決定する（図6Aの下左図参照）：

- ・下位2ビット $D_{in}^G[1:0]$ が "0" (=00) である場合には、重み付けデータ $D_{hlsb}[2:0]$ は "0" (=000)
- ・下位2ビット $D_{in}^G[1:0]$ が "1" (=01) である場合には、重み付けデータ $D_{hlsb}[2:0]$ は "2" (=010)
- ・下位2ビット $D_{in}^G[1:0]$ が "2" (=10) 又は "3" (=11) である場合には、重み付けデータ $D_{hlsb}[2:0]$ は "4" (=100)

【0043】

一方、重み付け「B」を選択した場合、G重み付け回路41Gは、下記のように重み付けデータ $D_{hlsb}[2:0]$ を決定する（図6Aの下右図参照）：

- ・下位2ビット $D_{in}^G[1:0]$ が "0"、"1"、"2" である場合には、重み付けデータ $D_{hlsb}[2:0]$ は "0"
- ・下位2ビット $D_{in}^G[1:0]$ が "3" である場合には、重み付けデータ $D_{hlsb}[2:0]$ は "2"

【0044】

更にG重み付け回路41Gは、下記式によって8ビットの重み付け画像データ D_h^G を算出する：

$$D_h^G[7:0] = D_{in}^G[7:2] + D_{hlsb}[2:0], \quad \dots (1)$$

ここで、 $D_{in}^G[7:2]$ とは、その上位6ビットが入力画像データ D_{in}^G の上位6ビットと一致し、下位2ビットがオール "0"（即ち、"00"）であるデータである。

【0045】

ただし、 $D_{in}^G[7:2]$ と $D_{hlsb}[2:0]$ との和においてオーバーフローが発生した場合には、オーバーフロー処理が行われ、 $D_h^G[7:0]$ は、オール「1」、即ち、「255」に設定される。オーバーフローは、入力画像データ D_{in}^G が254又は255であり、且つ、重み付け「A」が選択された場合にのみ発生する。

【0046】

重み付け「A」、「B」の選択は、対象となるサブピクセルが属するラインに応じて決

10

20

30

40

50

定される。重要なことは、隣接するラインでは異なる重み付けが使用されることである。例えば、第0フレームでは、偶数ラインのGサブピクセルについては重み付け「B」が使用され、奇数ラインのGサブピクセルについては重み付け「A」が選択される。

【0047】

加えて、重み付け「A」、「B」の選択は、所定のフレーム毎に切り換えられる。本実施形態では、重み付け「A」、「B」の選択は、4フレームを1周期として、2フレーム毎に切り換えられる。例えば、第0、第1フレームでは、偶数ラインのGサブピクセルについては、重み付け「B」が使用され、奇数ラインのGサブピクセルについては、重み付け「A」が選択される一方、第2、第3フレームでは、偶数ラインのGサブピクセルについては、重み付け「A」が使用され、奇数ラインのGサブピクセルについては、重み付け「B」が選択される。以降のフレームでも同様に、重み付け「A」、「B」の選択は、2フレーム毎に切り換えられる。

【0048】

R重み付け回路41RとB重み付け回路41Bも、フレームに応じた重み付け「A」、「B」の選択が異なる点を除けば、G重み付け回路41Gと同一である。図8に示されているように、R重み付け回路41RとB重み付け回路41Bによる重み付け処理では、第0、第1フレームでは、偶数ラインのサブピクセルについては重み付け「A」が使用され、奇数ラインのサブピクセルについては重み付け「B」が選択される。一方、第2、第3フレームでは、偶数ラインのサブピクセルについては重み付け「B」が使用され、奇数ラインのサブピクセルについては重み付け「A」が選択される。以降のフレームでも同様に、重み付け「A」、「B」の選択は、2フレーム毎に切り換えられる。重み付け「A」「B」の選択が、Rサブピクセル及びBサブピクセルと、Gサブピクセルとで異なっていることは、赤、緑、青をトータルで考えた場合の輝度を均一化するために好適である。

【0049】

重み付け「A」、「B」に規定された下位2ビット $D_{in}^k [1:0]$ と対応関係において留意すべき点は、下記の3つである：

(a) 重み付け「A」は、入力画像データ D_{in}^k の下位2ビット $D_{in}^k [1:0]$ の値に対して重み付け「A」によって決定される重み付けデータ $D_{hlsb} [2:0]$ の値が、下位2ビット $D_{in}^k [1:0]$ の当該値以上になるように規定されている。

(b) 重み付け「B」は、入力画像データ D_{in}^k の下位2ビット $D_{in}^k [1:0]$ の値に対して重み付け「B」によって決定される重み付けデータ $D_{hlsb} [2:0]$ の値が下位2ビット $D_{in}^k [1:0]$ の当該値以下になるように規定されている。

(c) 重み付け「A」、「B」は、入力画像データ D_{in}^k の下位2ビット $D_{in}^k [1:0]$ の或る値に対して重み付け「A」、「B」によってそれぞれ決定される重み付けデータ $D_{hlsb} [2:0]$ の値の平均値が、当該下位2ビット $D_{in}^k [1:0]$ の値に一致するように決められている。

【0050】

例えば、下位2ビット $D_{in}^k [1:0]$ が“1”である場合に重み付け「A」によって決定される重み付けデータ $D_{hlsb} [2:0]$ の値は“2”であり、これは、当該下位2ビット $D_{in}^k [1:0]$ の値“1”よりも大きい。また、下位2ビット $D_{in}^k [1:0]$ が“1”である場合に重み付け「B」によって決定される重み付けデータ $D_{hlsb} [2:0]$ の値は“0”であり、これは、当該下位2ビット $D_{in}^k [1:0]$ の値“1”よりも小さい。そして、下位2ビット $D_{in}^k [1:0]$ が“1”である場合に重み付け「A」、「B」によって決定される重み付けデータ $D_{hlsb} [2:0]$ の値は、それぞれ“2”、“0”であり、その平均値は、下位2ビット $D_{in}^k [1:0]$ の値“1”に一致する。

【0051】

図6Bは、入力画像データ D_{in}^k と、重み付け処理によって生成された重み付け画像データ D_h^k との関係を示す。上記条件(a)、(b)により、重み付け「A」が選択された場合には重み付け画像データ D_h^k が入力画像データ D_{in}^k より大きいか又は等し

くなるように生成され、重み付け「B」が選択された場合には重み付け画像データ Dh^k が入力画像データ Din^k より小さい又は等しくなるように生成される。加えて、上記条件(c)により、重み付け画像データ Dh^k は、入力画像データ Din^k に対して重み付け「A」により生成される重み付け画像データ Dh^k と、入力画像データ Din^k に対して重み付け「B」により生成される重み付け画像データ Dh^k との平均値が入力画像データ Din^k に可能な限り一致するように生成される。具体的には、重み付け画像データ Dh^k は、

$$Din^k - 1 < (Dh_A^k + Dh_B^k) / 2 < Din^k + 1, \quad \dots (2)$$

が成立するように生成される。ここで、 Dh_A^k は、入力画像データ Din^k に対して重み付け「A」により生成される重み付け画像データであり、 Dh_B^k は、入力画像データ Din^k に対して重み付け「B」により生成される重み付け画像データである。式(2)の条件は、実質的な階調の数を減らさないためのものである。平均値 $(Dh_A^k + Dh_B^k) / 2$ は、実際に観察者に観察される階調であり、平均値 $(Dh_A^k + Dh_B^k) / 2$ が上記式(2)を満足すれば、重み付け処理の後も階調差を表現可能である。理想的には、平均値 $(Dh_A^k + Dh_B^k) / 2$ が入力画像データ Din^k に一致することが望ましい。このような観点から、本実施形態では、図6Bから理解されるように、入力画像データ Din^k が0以上253以下である場合、平均 $(Dh_A^k + Dh_B^k) / 2$ が入力画像データ Din^k に一致するように重み付け処理が行われる。一方、オーバーフローの関係で、入力画像データ Din^k が254又は255である場合には、平均 $(Dh_A^k + Dh_B^k) / 2$ を入力画像データ Din^k に一致させることができない。本実施形態では、入力画像データ Din^k が254又は255である場合、平均 $(Dh_A^k + Dh_B^k) / 2$ が入力画像データ $Din^k - 0.5$ に一致している。

【0052】

誤差拡散処理回路14は、重み付け回路13によって生成された8ビットの重み付け画像データ Dh に対して2ビットの誤差拡散処理を行い、6ビットの減色画像データ $Dfrc$ を生成する回路である。図5Bに示されているように、誤差拡散処理回路14は、Rサブピクセルに対応して設けられたR誤差拡散処理回路42Rと、Gサブピクセルに対応して設けられたG誤差拡散処理回路42Gと、Bサブピクセルに対応して設けられたB誤差拡散処理回路42Bとを備えている。R誤差拡散処理回路42Rは、Rサブピクセルの重み付け画像データ Dh^R に対して誤差拡散処理を行って減色画像データ Dh^R を生成する。同様に、G誤差拡散処理回路42Gは、Gサブピクセルの重み付け画像データ Dh^G に対して誤差拡散処理を行って減色画像データ Dh^G を生成し、B誤差拡散処理回路42Bは、Bサブピクセルの重み付け画像データ Dh^B に対して誤差拡散処理を行って減色画像データ Dh^B を生成する。

【0053】

図7は、R誤差拡散処理回路42R、G誤差拡散処理回路42G、B誤差拡散処理回路42Bの構成を示す図である。R誤差拡散処理回路42R、G誤差拡散処理回路42G、B誤差拡散処理回路42Bのそれぞれは、ドットクロック信号 DCL の1クロック周期で、1つのサブピクセルの減色画像データ $Dfrc$ を生成するように構成されている。より具体的には、R誤差拡散処理回路42R、G誤差拡散処理回路42G、B誤差拡散処理回路42Bのそれぞれは、加算回路51、52と、Dラッチ53と、セクタ54と、初期値設定回路55とを備えている。加算回路51の第1入力には入力画像データ Din^k の上位6ビットが入力され、第2入力には加算回路52のキャリー出力 cry が入力されている。加算回路52の第1入力には、入力画像データ Din^k の下位2ビットが入力され、第2入力は、セクタ54の出力に接続されている。加算回路52のデータ出力 $c+d$ は、Dラッチ53のデータ入力に接続されている。Dラッチ53の出力は、セクタ54の第1入力に接続されている。セクタ54の第2入力は、初期値設定回路55の出力に接続されている。初期値設定回路55は、誤差拡散処理において使用される誤差の初期値 $Derri^N$ を与える回路である。初期値設定回路55には、減色処理の対象のフレームの番号を示すフレームカウントと、対象のラインの番号を示すラインカウントが与えら

れており、初期値設定回路 55 は、フレーム及びラインによって異なる初期値 $Der r^{I N I}$ を供給する。セクタ 54 の出力が、対象のサブピクセルの誤差拡散処理に使用される誤差 $Der r$ であり、加算回路 52 のデータ出力 $c + d$ が、次のサブピクセルの誤差拡散処理に使用される誤差 $Der r^N$ である。

【0054】

図 7 の R 誤差拡散処理回路 42 R、G 誤差拡散処理回路 42 G、B 誤差拡散処理回路 42 B の動作は下記のとおりである。

セクタ 54 は、誤差初期値読み出し信号 DE_POS に応答して初期値設定回路 55 によって発生された初期値 $Der r^{I N I}$ と、D ラッチ 53 に保持されている誤差 $Der r$ の一方を、加算回路 52 に供給する。具体的には、各ラインの最初に処理されるサブピクセルの誤差拡散処理では、誤差初期値読み出し信号 DE_POS が "1" に設定され、誤差初期値読み出し信号 DE_POS が "1" に設定されたことに応答してセクタ 54 は、初期値 $Der r^{I N I}$ を加算回路 52 に供給する。一方、他のサブピクセルの誤差拡散処理では、誤差初期値読み出し信号 DE_POS が "0" に設定され、セクタ 54 は、D ラッチ 53 に格納されている誤差 $Der r$ を加算回路 52 に供給する。

【0055】

加算回路 52 は、入力画像データ Din の下位 2 ビットと誤差 $Der r$ 又は初期値 $Der r^{I N I}$ について加算演算を行い、キャリー出力 cry と、次に減色画像データ $Dfr c$ が算出されるサブピクセルの誤差拡散処理において使用される誤差 $Der r^N$ を算出する。D ラッチ 53 は、ドットクロック信号 DCL によってトリガーされると加算回路 52 から出力される誤差 $Der r^N$ をラッチし、誤差 $Der r$ を更新する。加算回路 51 は、入力画像データ Din の上位 6 ビットと加算回路 52 のキャリー出力 cry とを加算して対象サブピクセルの減色画像データ $Dfr c$ を生成する。

【0056】

結果として、R 誤差拡散処理回路 42 R、G 誤差拡散処理回路 42 G、B 誤差拡散処理回路 42 B では、下記の処理が行われることになる。

(1) 各ラインのうち最初に誤差拡散処理が行われるサブピクセルについての処理

$$Dfr c^k = (Dh^k + Der r^{I N I}) >> 2,$$

$$Der r^N = (Dh^k [1:0] + Der r^{I N I}) \% 4$$

ここで、 $Der r^{I N I}$ は、初期値設定回路 55 によって与えられる 2 ビットの初期値であり、 $Dh^k [1:0]$ は、重み付け画像データ Dh^k の下位 2 ビットであり、「 $>> 2$ 」は、下位 2 ビットを切り捨てる処理であり、「 $\% 4$ 」は、4 で割った余りを求める処理（即ち、この場合には、キャリーが発生した場合にそのキャリーを捨てる処理）である。

(2) 最初に誤差拡散処理が行われるサブピクセル以外のサブピクセルについての処理

$$Dfr c^k = (Dh^k + Der r) >> 2,$$

$$Der r^N = (Dh^k [1:0] + Der r) \% 4$$

【0057】

図 8 は、本実施形態において、初期値設定回路 55 によって生成される初期値 $Der r^{I N I}$ を示す表である。一般的な誤差拡散処理では、2 ビットの減色処理に対しては、0 ～ 3 の 4 種類の初期値が使用されるが、本実施形態では、誤差拡散処理に使用される初期値 $Der r^{I N I}$ が 0 と 2 の 2 種類である点に留意されたい。

【0058】

誤差拡散処理に使用される初期値 $Der r^{I N I}$ は、所定数のライン毎に、そして所定数のフレーム毎に切り換えられる。本実施形態では、初期値 $Der r^{I N I}$ は、4 ラインを 1 周期として 2 ライン毎に切り換えられ、且つ、2 フレームを 1 周期として 1 フレーム毎に切り換えられる。上述されているように、重み付け「A」、「B」の選択は、2 ラインを 1 周期として 1 ライン毎に切り換えられ、且つ、4 フレームを 1 周期として、2 フレーム毎に切り換えられることに留意されたい。例えば、G サブピクセルについて行われる第 0 フレームの誤差拡散処理では、第 0、第 1 ラインの初期値 $Der r^{I N I}$ は 0 であり、第 2、第 3 ラインの初期値 $Der r^{I N I}$ は 2 である。以下のラインでも同様に、初期

値 $Der r^{I N I}$ は、2ライン毎に切り換えられる。一方、第0ラインのGサブピクセルについては、偶数フレームでは初期値 $Der r^{I N I}$ は0であり、奇数フレームでは初期値 $Der r^{I N I}$ が2である。

【0059】

ただし、各フレームにおける初期値 $Der r^{I N I}$ の繰り返しパターンは、Rサブピクセル、Gサブピクセル、Bサブピクセルとで異なっている。Rサブピクセルでは、第0、第1ラインでは初期値 $Der r^{I N I}$ が2であり、第2、第3ラインでは初期値 $Der r^{I N I}$ が0である。Gサブピクセルでは、第0、第1ラインでは初期値 $Der r^{I N I}$ が0であり、第2、第3ラインでは初期値 $Der r^{I N I}$ が2である。Bサブピクセルでは、第0ラインでは初期値 $Der r^{I N I}$ が2であり、第1、第2ラインでは初期値 $Der r^{I N I}$ が0であり、第3ラインでは初期値 $Der r^{I N I}$ が2であり、以下のラインでは、このパターンが繰り返される。これは、赤、緑、青をトータルで考えた場合の輝度を均一化するために好適である。

【0060】

図9は、全てのGサブピクセルの入力画像データ $D i n^k$ が "1" である場合のGサブピクセルに対して行われる誤差拡散処理の例を示す。図9において、濃いハッチングは、加算回路52のキャリー出力 $c r y$ が "1" になるGサブピクセルを示している。第0フレームの第0ラインでは、初期値 $Der r^{I N I}$ は "0" である。一方、第0ラインでは、重み付け「B」が選択されるので、図6Bから理解されるように、重み付け画像データ $D h^k$ は "0" である。このため、第0フレームの第0ラインでは、全てのGサブピクセルについて加算回路52のキャリー出力 $c r y$ が "0" であり、且つ、誤差 $Der r$ が "0" である。

【0061】

一方、第0フレームの第3ラインでは、初期値 $Der r^{I N I}$ は "2" である。加えて、第3ラインでは重み付け「A」が選択されるので、図6Bから理解されるように、重み付け画像データ $D h^k$ は "2" である。このため、左端のGサブピクセルについての誤差拡散処理では、加算回路52のキャリー出力 $c r y$ が "1" になるとともに、2番目のGサブピクセルに与えられる誤差 $Der r$ は "0" と算出される。2番目のGサブピクセルについての誤差拡散処理では、加算回路52のキャリー出力 $c r y$ は "0" であり、且つ、2番目のGサブピクセルに与えられる誤差 $Der r$ は "2" と算出される。3番目のGサブピクセルでは、加算回路52のキャリー出力 $c r y$ が "1" になるとともに、4番目のGサブピクセルに与えられる誤差 $Der r$ は "0" と算出される。

【0062】

このようにして生成された減色画像データ $D f r c^k$ がデータレジスタ回路16に送られ、減色画像データ $D f r c^k$ に応じて液晶表示パネル2のデータ線が駆動される。

【0063】

このような減色処理回路12を用いることにより、本実施形態の液晶表示装置1は、輝度の不均一性に起因するフリッカを抑制することができる。これは、誤差拡散処理回路14による誤差拡散処理によって水平方向の輝度を分散させる一方で、重み付け回路13による重み付け処理により、赤、緑、青のそれぞれについて、輝度が微小に高いラインと、輝度が微小に低いラインとが交互に配置されるからである。重み付け処理において重み付け「A」が選択されたラインのサブピクセルは、輝度が微小に高くなり、重み付け処理において重み付け「B」が選択されたラインのサブピクセルは、輝度が微小に低くなる。既述のように、隣接するラインでは、異なる重み付けが使用されるから、結果として、輝度が微小に高いラインと、輝度が微小に低いラインとが交互に配置されることになる。例えば、第0フレームでは、偶数ラインのGサブピクセルの輝度は微小に低くなり、奇数ラインのGサブピクセルの輝度は微小に高くなる。輝度が微小に高いラインと輝度が微小に低いラインは、所定のフレーム毎に切り換えられるから、観察者には、輝度が微小に高いラインと輝度が微小に低いラインの存在は観察されない。

【0064】

輝度が微小に高いラインと輝度が微小に低いラインとが交互に配置されることにより、輝度の不均一性に起因するフリッカが抑制されるというのは、一見、技術的に奇異であるように思われるかもしれない。しかしながら、発明者の知見によれば、液晶表示パネル2にデルタ配置を採用し、且つ、誤差拡散処理を行う場合には、隣接するライン毎の輝度を積極的に不均一にすることにより、赤、緑、青のそれぞれについての輝度の均一性がかえって向上する。これは、デルタ配置では、同一の色のサブピクセルの位置が隣接するラインの間で水平方向にオフセットしているからである。デルタ配置では、或る色の特定のサブピクセルに最近接する同じ色のサブピクセルは、隣接するラインに位置し、且つ、水平方向にオフセットした4つのサブピクセルである。したがって、輝度が微小に高いラインと輝度が微小に低いラインとが交互に配置されることにより、輝度が高いサブピクセルに最近接する4つのサブピクセルの全ての輝度が低くなることが保証される。図4に示されているように、最近接する4つのサブピクセルのうちの2つのみが輝度が低いと、輝度が不均一になってしまうことに留意されたい。加えて、誤差拡散処理が行われるから、水平方向における輝度も均一化される。この結果、液晶表示パネル2の全体として輝度が均一化される。

10

【0065】

加えて、本実施形態の減色処理回路12は、基本的には誤差拡散処理を採用しているため、元の画像データに依存して階調が高いサブピクセルの位置が変化する。従って、本実施形態の減色処理によれば、面フリッカが生じるような特異パターンの発生を抑制できるという利点がある。

20

【0066】

以下、重み付け処理と誤差拡散処理による輝度の均一性の向上の効果を、具体例を提示しながら説明する。

【0067】

図10の左図は、第0～第3フレームのGサブピクセルについての減色処理において、第0～第3ラインに対して定められた初期値 $Der r^{I N I}$ と重み付けを示す図である。例えば、第0フレームでは、第0ラインのGサブピクセルについて定められた初期値 $Der r^{I N I}$ は"0"であり、且つ、重み付け「B」が選択される。

【0068】

図10の右図は、全てのGサブピクセルの入力画像データ $D i n^G$ が1である場合の、各Gサブピクセルについて計算された重み付け画像データ $D h^G$ の下位2ビットと誤差 $Der r$ の和を示している。例えば、第0フレームの第0ラインについては、重み付け画像データ $D h^G$ の下位2ビットは0であり、初期値も0である。従って、第0ラインでは、全てのGサブピクセルについて、重み付け画像データ $D h^G$ の下位2ビットと誤差 $Der r$ の和が0である。第0フレームの第1ラインでは、重み付け画像データ $D h^G$ の下位2ビットは2であり、初期値は0である。従って、第1ラインの最初に減色処理が行われるGサブピクセルについては、重み付け画像データ $D h^G$ の下位2ビットと誤差 $Der r$ の和が2である。この結果、加算回路52のキャリー出力 $c r y$ が0になり、誤差拡散処理で算出される誤差 $Der r^N$ が2になる。第1ラインの次に減色処理が行われるGサブピクセルについては、重み付け画像データ $D h^G$ の下位2ビットと誤差 $Der r$ の和が4である。従って、加算回路52のキャリー出力 $c r y$ が1になり、算出される誤差 $Der r^N$ は"0"になる。同様の処理により、全てのGサブピクセルの入力画像データ $D i n^G$ が1である場合、各Gサブピクセルについて計算された重み付け画像データ $D h^G$ の下位2ビットと誤差 $Der r$ の和が図10の右図に示されているようになることは、理解されよう。

30

40

【0069】

図11Aの左列は、全てのGサブピクセルの入力画像データ $D i n^G$ が1である場合に算出された減色画像データ $D f r c^G$ を示している。重み付け画像データ $D h^G$ の下位2ビットと誤差 $Der r$ の和が"4"である場合にのみ、加算回路52のキャリー出力 $c r y$ は"1"になり、減色画像データ $D f r c^G$ が"1"になる。図11Aの最も左の列の

50

図において、減色画像データ $Dfrc^G$ が "1" である G サブピクセルと、図 10 B の右図において、重み付け画像データ Dh^G の下位 2 ビットと誤差 $Der r$ の和が "4" である G サブピクセルは、一致していることに留意されたい。図 11 A の左列に示されているように、全ての G サブピクセルの入力画像データ Din^G が 1 である場合には、減色画像データ $Dfrc^G$ が "1" である G サブピクセルが均一に分散して配置される。図 11 A の中列、右列に示されているように、全ての G サブピクセルの入力画像データ Din^G が "2" である場合、"3" である場合も同様に、減色画像データ $Dfrc^G$ が "1" である G サブピクセルが均一に分散して配置される。

【0070】

以上に説明された減色処理による減色画像データ $Dfrc^G$ を生成の利点は、図 11 B と対比することにより、一層に明確に理解されよう。図 11 B は、一般的な誤差拡散処理によって減色処理を行った場合の、減色画像データを示している。詳細には、図 11 B の左列は、全ての G サブピクセルの入力画像データ Din^G が "1" である場合に算出される減色画像データ $Dfrc$ の値を示しており、中列、右列は、全ての G サブピクセルの入力画像データ Din^G がそれぞれ "2"、"3" である場合に算出される減色画像データ $Dfrc$ の値を示している。図 11 B から理解されるように、一般的な誤差拡散処理によって減色処理を行った場合には、各ラインの G サブピクセルの輝度の平均は同一である。しかしながら、デルタ配置の特殊性により、かえって輝度の分布が不均一になっている。図 11 B の円は、G サブピクセルの輝度が不均一である領域を示している。一方、図 11 A から理解されるように、本実施形態では、G サブピクセルの輝度が高いラインと輝度が低いラインとが交互に配置されている。しかしながら、液晶表示パネル 2 にデルタ配置が採用されていることにより、本実施形態では、かえって輝度の均一性が向上されている。

【0071】

本実施形態において、初期値 $Der r^{1N1}$ と重み付け「A」、「B」の決め方は、様々に変更され得る。例えば、重み付け「A」、「B」は、下記条件 (a) ~ (c) を満足すれば、他の決め方であってもよい：

(a) 重み付け「A」は、入力画像データ Din^k の下位 2 ビット $Din^k [1:0]$ の値に対して重み付け「A」によって決定される重み付けデータ $Dhlsb [2:0]$ の値が、下位 2 ビット $Din^k [1:0]$ の当該値以上になるように規定されている。

(b) 重み付け「B」は、入力画像データ Din^k の下位 2 ビット $Din^k [1:0]$ の値に対して重み付け「B」によって決定される重み付けデータ $Dhlsb [2:0]$ の値が下位 2 ビット $Din^k [1:0]$ の当該値以下になるように規定されている。

(c) 重み付け「A」、「B」は、入力画像データ Din^k の下位 2 ビット $Din^k [1:0]$ の或る値に対して重み付け「A」、「B」によってそれぞれ決定される重み付けデータ $Dhlsb [2:0]$ の値の平均値が、当該下位 2 ビット $Din^k [1:0]$ の値に一致するように決められている。

【0072】

図 12 A は、他の決め方による重み付け「A」、「B」を示す表である。図 6 A の重み付け「A」、「B」との差異は、重み付け「A」、「B」のいずれについても、画素データ Din^k の下位 2 ビット $Din^k [1:0]$ が "2" である場合の重み付けデータ $Dhlsb [2:0]$ が "2" であることである。図 12 B は、図 12 A の重み付けが使用される場合の、入力画像データ Din^k と、重み付け処理によって生成された重み付け画像データ Dh^k との関係を示す。このような重み付け処理では、ある色のサブピクセルの入力画像データ Din^k が "2" であり、他の色のサブピクセルの入力画像データ Din^k が "0" である場合に、斜めに延伸する輝度が高い領域が発生するが、輝度が 1 画素おきに明暗を繰り返すのでフリッカの問題は発生しない。

【0073】

また、本実施形態では、減色処理回路 12 によって 2 ビットの減色処理が行われるが、 α ビットの減色処理が行われ得る。この場合、入力画像データ Din^k の下位 α ビット $Din^k [(\alpha-1):0]$ から、 $(\alpha+1)$ ビットの重み付けデータ $Dhlsb [\alpha:0]$

」が決定される。この場合、重み付け「A」、「B」には、上記の条件（a）～（c）に対応する下記の条件（a'）～（c'）が課せられる。

（a'）重み付け「A」は、入力画像データ D_{in}^k の下位 α ビット $D_{in}^k [(\alpha - 1) : 0]$ の値に対して重み付け「A」によって決定される重み付けデータ $D_{hlsb} [\alpha : 0]$ の値が、下位 α ビット $D_{in}^k [(\alpha - 1) : 0]$ の当該値以上になるように規定されている。

（b'）重み付け「B」は、入力画像データ D_{in}^k の下位 α ビット $D_{in}^k [(\alpha - 1) : 0]$ の値に対して重み付け「B」によって決定される重み付けデータ $D_{hlsb} [\alpha : 0]$ の値が下位 α ビット $D_{in}^k [(\alpha - 1) : 0]$ の当該値以下になるように規定されている。

（c'）重み付け「A」、「B」は、入力画像データ D_{in}^k の下位 α ビット $D_{in}^k [(\alpha - 1) : 0]$ の或る値に対して重み付け「A」、「B」によってそれぞれ決定される重み付けデータ $D_{hlsb} [\alpha : 0]$ の値の平均値が、当該下位 α ビット $D_{in}^k [(\alpha - 1) : 0]$ の値に一致するように決められている。

【0074】

また、 α ビットの減色処理がなされる場合、誤差拡散処理の初期値は、0 以上 $2^{\alpha} - 2$ 以下の偶数から選択され、且つ、全体としては 2^{α} ラインを 1 周期として順次に切り換えられる。ただし、 α ビットの減色処理がなされる場合でも、最小の切り替えの単位は 2 ライン毎である。重み付け「A」、「B」の選択は、2 ラインを周期として切り替えられるので、これにより、隣接するラインで、同じ減色処理が行われることはない。

【0075】

図 13 は、3 ビットの減色処理が行われる場合の、重み付け「A」、「B」のそれぞれについての重み付けデータ $D_{hlsb} [3 : 0]$ の値の例を示す表であり、図 14 は、R サブピクセル、G サブピクセル、B サブピクセルのそれぞれについて、各フレーム、各ライン毎の重み付け「A」、「B」の選択及び初期値の例を示す表である。図 13 の表に示された重み付け「A」、「B」が上記の条件（a'）～（c'）を満足していることは、容易に理解されよう。また、図 14 に示されているように、3 ビットの減色処理がなされる場合には全体としては 8 ライン（ 2^3 ライン）を 1 周期として初期値が切り替えられるが、最小の切り替えの単位は 2 ライン毎である。例えば、第 0 フレームの G サブピクセルの誤差拡散処理についてみれば、第 0、第 1 ラインの初期値が "4" であり、第 2、第 3 ラインの初期値が "6" であり、第 4、第 5 ラインの初期値が "0" であり、第 6、第 7 ラインの初期値が "2" である。以下のラインでは、初期値が同じパターンで繰り返される。

【0076】

図 15 は、図 13、図 14 で示された重み付け処理及び誤差拡散処理によって生成された減色画像データ D_{frc} による液晶表示パネル 2 の表示の例を示す図である。図 15 では、全ての G サブピクセルの入力画像データ D_{in}^G が、"1" であり、他のサブピクセルの入力画像データ D_{in} が 0 である場合の液晶表示パネル 2 の表示が図示されている。図 15 においては、図 11 B の左列と同様に、点灯する G サブピクセルがハッチングによって示されていることに留意されたい。図 15 に示されているように、3 ビットの減色処理が行われる場合でも、輝度が高い G サブピクセルが均等に分散され、これにより、輝度の不均一性に起因するフリッカが有効に抑制される。

【0077】

更に、図 16 は、4 ビットの減色処理が行われる場合の、重み付け「A」、「B」のそれぞれについての重み付けデータ $D_{hlsb} [4 : 0]$ の値を示す表である。図 15 の表に示された重み付け「A」、「B」も上記の条件（a'）～（c'）を満足していることは、容易に理解されよう。

【0078】

（第 2 の実施形態）

図 17 A は、第 2 の実施形態における液晶表示装置 1 A の構成を示す。第 2 の実施形態

では、LCDドライバ3Aの減色処理回路12Aが、液晶表示パネル2がストライプ配置であるかデルタ配置であるかに応じて異なる減色処理を行うように構成されている。このような構成は、液晶表示パネル2にストライプ配置とデルタ配置のいずれが採用される場合であっても、画質を良好に維持するような好適な減色処理を行うことができるため好適である。上述のように、液晶表示パネル2がストライプ配置であるかデルタ配置であるかに応じて最適な減色処理は異なる。

【0079】

より具体的には、LCDドライバ3Aは、液晶表示パネル2がストライプ配置、デルタ配置のいずれであるかを示すパネル構成切り替え信号6を画像描画回路4から受け取るように構成されている。LCDドライバ3Aの制御回路11は、パネル構成切り替え信号6を減色処理回路12Aに供給する。減色処理回路12Aは、重み付け回路13と誤差拡散処理回路14Aに加え、セクタ回路22を備えている。セクタ回路22は、パネル構成切り替え信号6に応答して、画像描画回路4から供給された入力画像データ D_{in} と重み付け回路13から供給された重み付け画像データ D_h のうちの一方を誤差拡散処理回路14Aに供給する。

【0080】

図17Bは、減色処理回路12Aの詳細な構成を示している。セクタ回路22は、Rセクタ43R、Gセクタ43G、Bセクタ43Bから構成されている。Rセクタ43Rは、パネル構成切り替え信号6に応答して、Rサブピクセルについて生成された、入力画像データ D_{in}^R と重み付け画像データ D_h^R の一方をR誤差拡散処理回路42Rに供給する。より具体的には、Rセクタ43Rは、パネル構成切り替え信号6によってデルタ配置の液晶表示パネル2を駆動することが指示されると、重み付け画像データ D_h^R をR誤差拡散処理回路42Rに供給する。一方、ストライプ配置の液晶表示パネル2を駆動することが指示されると、入力画像データ D_{in}^R をR誤差拡散処理回路42Rに供給する。R誤差拡散処理回路42Rは、入力画像データ D_{in}^R と重み付け画像データ D_h^R のうち受け取った方について誤差拡散処理を行う。同様に、Gセクタ43Gは、パネル構成切り替え信号6に応答して、入力画像データ D_{in}^G と重み付け画像データ D_h^G の一方をG誤差拡散処理回路42Gに供給し、Bセクタ43Bは、パネル構成切り替え信号6に応答して、入力画像データ D_{in}^B と重み付け画像データ D_h^B の一方をB誤差拡散処理回路42Bに供給する。

【0081】

図18A、図18Bは第2の実施形態における誤差拡散処理回路14Aの構成を示す回路図である。第2の実施形態における誤差拡散処理回路14Aは、図7に示された第1の実施形態誤差拡散処理回路14と下記の2点で相違する。

【0082】

第1に、初期値設定回路55は、図19A、図19Bに示されているように、0～3の4種類の初期値を出力する。初期値設定回路55によって生成される初期値 $Der r^{IN}$ は、2ビットの減色処理を行う一般的な誤差拡散処理において使用される初期値と同じである。初期値設定回路55から出力される初期値 $Der r^{IN}$ は、所定数のラインを1周期として、そして所定数のフレームを1周期として切り換えられる。本実施形態では、初期値 $Der r^{IN}$ は、4ラインを1周期として各ラインに切り換えられ、且つ、4フレームを1周期として各フレームで切り換えられる。例えば、Gサブピクセルについて行われる第0フレームの誤差拡散処理では、第0、第1、第2、第3ラインの初期値 $Der r^{IN}$ は、それぞれ、“0”、“1”、“2”、“3”である。以下のラインでも同様に、初期値設定回路55によって生成される初期値 $Der r^{IN}$ は、4ラインを1周期として切り換えられる。ただし、各フレームにおける初期値 $Der r^{IN}$ の繰り返しパターンは、Rサブピクセル、Gサブピクセル、Bサブピクセルとで異なっている。これは、赤、緑、青をトータルで考えた場合の輝度を均一化するために好適である。

【0083】

第2に、第2の実施形態における誤差拡散処理回路14Aは、スイッチ56を追加的に

備えている。スイッチ 56 は、パネル構成切り替え信号 6 に応答して、初期値設定回路 55 から出力された初期値 $Der r^{I N I}$ の最下位ビットと、値 "0" とのうちの一方を、実際に誤差格差処理において使用される初期値の最下位ビットとして選択する役割を有している。パネル構成切り替え信号 6 によってデルタ配置の液晶表示パネル 2 を駆動することが指示されると、図 18A に示されているように、スイッチ 56 は、値 "0" を、誤差格差処理において実際に使用される初期値の最下位ビットとして選択する。一方、パネル構成切り替え信号 6 によってストライプ配置の液晶表示パネル 2 を駆動することが指示されると、図 18B に示されているように、スイッチ 56 は、初期値設定回路 55 から出力された初期値の最下位ビットを、誤差格差処理において実際に使用される初期値の最下位ビットとして選択する。

10

【0084】

このような減色処理回路 12A の構成によれば、パネル構成切り替え信号 6 によってデルタ配置の液晶表示パネル 2 を駆動することが指示されると、第 1 の実施形態で説明された減色処理が行われる。詳細には、パネル構成切り替え信号 6 によってデルタ配置の液晶表示パネル 2 を駆動することが指示されると、減色処理回路 12A は、下記のように動作する。重み付け回路 13 は、入力画像データ $D i n$ に対して重み付け処理を行い重み付け画像データ $D h$ を生成する。セクタ回路 22 は、重み付け画像データ $D h$ を誤差拡散処理回路 14A に供給する。誤差拡散処理回路 14A は、重み付け画像データ $D h$ に対して誤差拡散処理を行う。このとき、誤差拡散処理回路 14A のスイッチ 56 は、値 "0" を、誤差格差処理において実際に使用される初期値の最下位ビットとして選択する。この結果、図 19A の括弧内の数値に示されているように、第 2 の実施形態において実際に加算回路 52 に供給される初期値は、図 8 に図示されている初期値の値と一致する。したがって、パネル構成切り替え信号 6 によってデルタ配置の液晶表示パネル 2 を駆動することが指示される場合には、減色処理回路 12A は、第 1 の実施形態で説明された減色処理と同じ処理を行う。

20

【0085】

一方、パネル構成切り替え信号 6 によってストライプ配置の液晶表示パネル 2 を駆動することが指示されると、一般的な誤差拡散処理が行われる。詳細には、減色処理回路 12A は、下記のように動作する。セクタ回路 22 は、入力画像データ $D i n$ を誤差拡散処理回路 14A に供給し、誤差拡散処理回路 14A は、入力画像データ $D i n$ に対して誤差拡散処理を行う。このとき、誤差拡散処理回路 14A のスイッチ 56 は、初期値設定回路 55 から出力された初期値 $Der r^{I N I}$ の最下位ビットを、誤差格差処理において実際に使用される初期値の最下位ビットとして選択する；図 19B に示されているように、誤差格差処理において実際に使用される初期値は、一般的な誤差拡散処理で使用される初期値と同じである。したがって、パネル構成切り替え信号 6 によってストライプ配置の液晶表示パネル 2 を駆動することが指示されると、通常の誤差拡散処理と同様の処理が行われる。

30

【0086】

このように、第 2 の実施形態の LCD ドライバ 3A の構成によれば、液晶表示パネル 2 にストライプ配置とデルタ配置のいずれが採用される場合であっても、画質を良好に維持するような好適な減色処理を行うことができるため好適である。

40

【0087】

(第 3 の実施形態)

図 20A は、第 3 の実施形態における液晶表示装置 1B の構成を示すブロック図である。第 3 の実施形態は、誤差拡散処理の後に重み付け処理が行われる点で、第 1 及び第 2 の実施形態と異なっている。これに伴い、第 3 の実施形態では、減色処理回路 12B の構成が、第 1 及び第 2 の実施形態の減色処理回路 12、12A と異なっている。

【0088】

より具体的には、第 3 の実施形態の減色処理回路 12B は、誤差拡散処理回路 61 と、重み付け回路 62 とを備えている。図 20B に示されているように、誤差拡散処理回路 6

50

1 は、R 誤差拡散処理回路 7 1 R と、G 誤差拡散処理回路 7 1 G と、B 誤差拡散処理回路 7 1 B とを備えている。ここで、R 誤差拡散処理回路 7 1 R、G 誤差拡散処理回路 7 1 G、B 誤差拡散処理回路 7 1 B の構成及び動作は、第 1 及び第 2 実施形態の R 誤差拡散処理回路 4 2 R、G 誤差拡散処理回路 4 2 G、及び B 誤差拡散処理回路 4 2 B の構成及び動作と異なっていることに留意されたい。

【0089】

図 2 1 は、R 誤差拡散処理回路 7 1 R、G 誤差拡散処理回路 7 1 G、B 誤差拡散処理回路 7 1 B の構成を示す図である。R 誤差拡散処理回路 7 1 R、G 誤差拡散処理回路 7 1 G、B 誤差拡散処理回路 7 1 B のそれぞれは、図 7 の減色処理回路から加算回路 5 1 を取り除いた構成の処理回路を 2 つ有しており、且つ、上位ビット出力 $Dhmsb^k$ と 2 つの下位ビット出力 $Dh1^k$ 、 $Dh2^k$ を出力する機能を有している。ここで、上位ビット出力 $Dhmsb^k$ は、入力画像データ Din^k の上位 6 ビットであり、下位ビット出力 $Dh1^k$ 、 $Dh2^k$ は、誤差拡散処理において、異なる初期値から生成されたキャリー出力である。

【0090】

詳細には、R 誤差拡散処理回路 7 1 R、G 誤差拡散処理回路 7 1 G、B 誤差拡散処理回路 7 1 B のそれぞれは、加算回路 8 1-1、8 1-2 と、D ラッチ 8 2-1、8 2-2 と、セレクト 8 3-1、8 3-2 と、 $Dh1$ 初期値設定回路 8 4-1 と、 $Dh2$ 初期値設定回路 8 4-2 とを備えている。R 誤差拡散処理回路 7 1 R、G 誤差拡散処理回路 7 1 G、B 誤差拡散処理回路 7 1 B のそれぞれは、ドットクロック信号 DCL の 1 クロック周期で、一のサブピクセルに対応する上位ビット出力 $Dhmsb^k$ 及び下位ビット出力 $Dh1^k$ 、 $Dh2^k$ を生成するように構成されている。

【0091】

$Dh1$ 初期値設定回路 8 4-1 と、 $Dh2$ 初期値設定回路 8 4-2 は、誤差拡散処理の誤差の初期値を与える回路である。 $Dh1$ 初期値設定回路 8 4-1 と $Dh2$ 初期値設定回路 8 4-2 のそれぞれによって生成される初期値は、一般的に誤差拡散処理において使用される初期値と同じであるが、 $Dh1$ 初期値設定回路 8 4-1 及び $Dh2$ 初期値設定回路 8 4-2 は、互いに異なる初期値を生成するように構成されている。図 2 2 は、 $Dh1$ 初期値設定回路 8 4-1 及び $Dh2$ 初期値設定回路 8 4-2 がそれぞれに生成する初期値 $Der r 1^{I N I}$ 、 $Der r 2^{I N I}$ を示す表である。 $Dh2$ 初期値設定回路 8 4-2 が生成する初期値 $Der r 2^{I N I}$ は、 $Dh1$ 初期値設定回路 8 4-1 が生成する初期値 $Der r 1^{I N I}$ と、下記式で表される関係にある：

$$Der r 2^{I N I} = (Der r 1^{I N I} + 2) \% ,$$

ここで、「 $\% 4$ 」は、4 で割った余りを求める処理を意味している。加えて、 $Dh1$ 初期値設定回路 8 4-1 と、 $Dh2$ 初期値設定回路 8 4-2 のそれぞれには、減色処理の対象のフレームの番号を示すフレームカウントと、対象のラインの番号を示すラインカウントが与えられており、 $Dh1$ 初期値設定回路 8 4-1 と、 $Dh2$ 初期値設定回路 8 4-2 は、フレーム及びラインに応じて異なる初期値を供給する。

【0092】

$Dh1$ 初期値設定回路 8 4-1、 $Dh2$ 初期値設定回路 8 4-2 によって生成される初期値 $Der r 1^{I N I}$ 、 $Der r 2^{I N I}$ の組み合わせは、対象のサブピクセルの色によっても異なっている。例えば、R 誤差拡散処理回路 7 1 R において、第 0、第 1 フレームの第 0 ラインについて生成される初期値 $Der r 1^{I N I}$ 、 $Der r 2^{I N I}$ は、それぞれ "2"、"0" である。一方、G 誤差拡散処理回路 7 1 G において、第 0、第 1 フレームの第 0 ラインについて生成される初期値 $Der r 1^{I N I}$ 、 $Der r 2^{I N I}$ は、それぞれ "0"、"2" であり、B 誤差拡散処理回路 7 1 B において、第 0、第 1 フレームの第 0 ラインについて生成される初期値 $Der r 1^{I N I}$ 、 $Der r 2^{I N I}$ は、それぞれ "3"、"1" であり、

【0093】

図 2 1 の R 誤差拡散処理回路 7 1 R、G 誤差拡散処理回路 7 1 G、B 誤差拡散処理回路

71Bの動作は下記のとおりである。R誤差拡散処理回路71R、G誤差拡散処理回路71G、B誤差拡散処理回路71Bは、入力画像データ D_{in}^k の上位6ビットを抽出して上位ビット出力 D_{hmsb}^k として出力する。

【0094】

加えて、R誤差拡散処理回路71R、G誤差拡散処理回路71G、B誤差拡散処理回路71Bは、下記の動作によって下位ビット出力 D_{h1}^k 、 D_{h2}^k を生成する。

下位ビット出力 D_{h1}^k は、加算回路81-1と、Dラッチ82-1と、セレクタ83-1、及び D_{h1} 初期値設定回路84-1によって生成される。セレクタ83-1は、誤差初期値読み出し信号 DE_POS に応答して D_{h1} 初期値設定回路84-1によって発生された初期値 $Der r 1^{I N I}$ と、Dラッチ82-1に保持されている誤差 $Der r 1$ の一方を、加算回路81-1に供給する。具体的には、各ラインの最初に処理されるサブピクセルの誤差拡散処理では、誤差初期値読み出し信号 DE_POS が"1"に設定され、誤差初期値読み出し信号 DE_POS が"1"に設定されたことに応答してセレクタ83-1は、初期値 $Der r 1^{I N I}$ を加算回路81-1に供給する。一方、他のサブピクセルの誤差拡散処理では、誤差初期値読み出し信号 DE_POS が"0"に設定され、セレクタ83-1は、Dラッチ82-1に格納されている誤差 $Der r 1$ を加算回路52に供給する。加算回路81-1は、入力画像データ D_{in}^k の下位2ビットと誤差 $Der r$ （又は初期値 $Der r^{I N I}$ ）について加算演算を行い、下位ビット出力 D_{h1}^k と、次にサブピクセルの誤差拡散処理において使用される誤差 $Der r 1^N$ を算出する。下位ビット出力 D_{h1}^k は、加算回路81-1による加算演算で発生するキャリーであり、誤差 $Der r 1^N$ は、入力画像データ D_{in}^k の下位2ビットと誤差 $Der r$ の（キャリーを除いた）和である。Dラッチ82-1は、ドットクロック信号 DCL によってトリガーされると加算回路81-1から出力される誤差 $Der r 1^N$ をラッチし、誤差 $Der r 1$ を更新する。

【0095】

一方、下位ビット出力 D_{h2}^k は、加算回路81-2と、Dラッチ82-2と、セレクタ83-2、及び D_{h2} 初期値設定回路84-2によって生成される。加算回路81-2と、Dラッチ82-2と、セレクタ83-2、及び D_{h2} 初期値設定回路84-2の動作は、 D_{h2} 初期値設定回路84-2によって生成される初期値 $Der r 2^{I N I}$ が D_{h1} 初期値設定回路84-1によって生成される初期値 $Der r 1^{I N I}$ と異なっている点を除けば、上述の加算回路81-1と、Dラッチ82-1と、セレクタ83-1、及び D_{h1} 初期値設定回路84-1の動作と同一である。

【0096】

R誤差拡散処理回路71R、G誤差拡散処理回路71G、B誤差拡散処理回路71Bによって生成された上位ビット出力 D_{hmsb}^k と2つの下位ビット出力 D_{h1}^k 、 D_{h2}^k は、重み付け回路62に送られる。

【0097】

図20Bに示されているように、重み付け回路62は、R重み付け回路72R、G重み付け回路72G、及びB重み付け回路72Bで構成されている。R重み付け回路72Rは、R誤差拡散処理回路71Rによって生成された上位ビット出力 D_{hmsb}^R と2つの下位ビット出力 D_{h1}^R 、 D_{h2}^R から減色画像データ D_{frc}^R を生成する。同様に、G重み付け回路72Gは、G誤差拡散処理回路71Gによって生成された上位ビット出力 D_{hmsb}^G と2つの下位ビット出力 D_{h1}^G 、 D_{h2}^G から減色画像データ D_{frc}^G を生成し、B重み付け回路72Bは、B誤差拡散処理回路71Bによって生成された上位ビット出力 D_{hmsb}^B と2つの下位ビット出力 D_{h1}^B 、 D_{h2}^B から減色画像データ D_{frc}^B を生成する。

【0098】

図23は、R重み付け回路72R、G重み付け回路72G、及びB重み付け回路72Bの構成を示すブロック図である。R重み付け回路72R、G重み付け回路72G、及びB重み付け回路72Bのそれぞれは、AND回路73、OR回路74、重み付け判断回路7

5、加算回路76、及びオーバーフロー処理回路77を備えている。AND回路73は、下位ビット出力 $Dh1^k$ 、 $Dh2^k$ の論理積（AND）を出力し、OR回路74は、下位ビット出力 $Dh1^k$ 、 $Dh2^k$ の論理和（OR）を出力する。重み付け判断回路75は、減色処理の対象のフレームの番号を示すフレームカウンタと、対象のラインの番号を示すラインカウンタに応じて、AND回路73の出力とOR回路74の出力のうちの一方を、下位ビット出力 Dh^k として選択する回路である。後述されるように、このような重み付け判断回路75の動作により、フレーム及びラインに応じた「重み付け処理」がなされた減色画像データ $Dfrc^k$ が生成されることになる。加算回路76は、上位ビット出力 $Dhmsb^k$ と重み付け判断回路75から出力された下位ビット出力 Dh^k とに対して加算演算を行う。オーバーフロー処理回路77は、上位ビット出力 $Dhmsb^k$ と下位ビット出力 Dh^k との加算演算においてオーバーフローが発生した場合に、オーバーフロー処理を行う。具体的には、オーバーフロー処理回路77は、上位ビット出力 $Dhmsb^k$ と下位ビット出力 Dh^k との加算演算においてオーバーフローが発生しなかった場合には上位ビット出力 $Dhmsb^k$ と下位ビット出力 Dh^k との和をそのまま減色画像データ $Dfrc^k$ として出力する。一方、オーバーフローが発生した場合、オーバーフロー処理回路77は、減色画像データ $Dfrc^k$ を、オール「1」に設定する。

【0099】

本実施形態では、重み付け判断回路75が、下位ビット出力 Dh^k を下位ビット出力 $Dh1^k$ 、 $Dh2^k$ の論理和と論理積のいずれに定めるかによって「重み付け処理」が行われる。図24Aに示されているように、重み付け「A」では、下位ビット出力 $Dh1^k$ 、 $Dh2^k$ の論理和が下位ビット出力 Dh^k として選択される。一方、重み付け「B」では、下位ビット出力 $Dh1^k$ 、 $Dh2^k$ の論理積が下位ビット出力 Dh^k として選択される。重み付け「A」、「B」を選択することにより、減色画像データ $Dfrc$ の値を増加させ、又は、減少させる「重み付け処理」を行うことができる。詳細には、重み付け「A」が選択される場合には（即ち、下位ビット出力 $Dh1^k$ 、 $Dh2^k$ の論理和が下位ビット出力 Dh^k として選択される場合には）、下位ビット出力 $Dh1^k$ 、 $Dh2^k$ の少なくとも一方が「1」である場合に下位ビット出力 Dh^k が「1」になるため、下位ビット出力 Dh^k が「1」になる場合が（後述の重み付け「B」と比較して）多くなる。したがって、上位ビット出力 $Dhmsb^k$ と下位ビット出力 Dh^k の和として算出される減色画像データ $Dfrc^k$ は、上位ビット出力 $Dhmsb^k$ よりも増大される場合が多くなる。一方、重み付け「B」が選択される場合には（即ち、下位ビット出力 $Dh1^k$ 、 $Dh2^k$ の論理積が下位ビット出力 Dh^k として選択される場合には）、下位ビット出力 $Dh1^k$ 、 $Dh2^k$ の両方が「1」でなければ、下位ビット出力 Dh^k が「1」にならない。従って、下位ビット出力 Dh^k が「1」になる場合が相対的に少なくなる。よって、減色画像データ $Dfrc^k$ は、上位ビット出力 $Dhmsb^k$ よりも増大される場合が少なくなる。この結果、重み付け「A」が選択されると減色画像データ $Dfrc^k$ が相対的に増大され、重み付け「B」が選択されると減色画像データ $Dfrc^k$ が相対的に減少される。

【0100】

重み付け「A」、「B」の選択は、対象となるサブピクセルが属するラインに応じて決定される。重要なことは、隣接するラインでは異なる重み付けが使用されることである。図24Aの例では、例えば第0フレームでは、偶数ラインのサブピクセルについては重み付け「A」が使用され、奇数ラインのサブピクセルについては重み付け「B」が選択される。一方、第1フレームでは、偶数ラインのサブピクセルについては重み付け「B」が使用され、奇数ラインのサブピクセルについては重み付け「A」が選択される。他のフレームにおいても、同様に、隣接するラインでは異なる重み付けが使用される。

【0101】

加えて、重み付け「A」、「B」の選択は、所定のフレーム毎に切り換えられる。本実施形態では、重み付け「A」、「B」の選択は、8フレームを1周期としながら、1フレーム毎に切り換えられる。即ち、第0、第2、第5、第7フレームにおいては、偶数ラインのサブピクセルについては重み付け「A」が使用され、奇数ラインのサブピクセルにつ

いては重み付け「B」が選択される一方で、第1、第3、第4、第6フレームにおいては、偶数ラインのサブピクセルについては重み付け「B」が使用され、奇数ラインのサブピクセルについては重み付け「A」が選択される。

【0102】

このような減色処理回路12Bを用いることにより、本実施形態の液晶表示装置1は、輝度の不均一性に起因するフリッカを抑制することができる。これは、誤差拡散処理回路61による誤差拡散処理によって水平方向の輝度を分散させる一方で、重み付け回路62による重み付け処理により、赤、緑、青のそれぞれについて、輝度が微小に高いラインと、輝度が微小に低いラインとが交互に配置されるからである。重み付け処理に重み付け「A」が選択されたラインのサブピクセルは、輝度が微小に高くなり、重み付け処理に重み付け「B」が選択されたラインのサブピクセルは、輝度が微小に低くなる。既述のように、隣接するラインでは、異なる重み付けが使用されるから、結果として、輝度が微小に高いラインと、輝度が微小に低いラインとが交互に配置されることになる。デルタ配置が採用される場合には、輝度が微小に高いラインと、輝度が微小に低いラインを交互に配置することにより、かえって輝度の不均一性が解消されることは、第1の実施形態で説明されているとおりである。

【0103】

以下、重み付け処理と誤差拡散処理による輝度の均一性の向上の効果を、具体例を提示しながら説明する。図24Bは、第0ラインの各Gサブピクセルについて算出された下位ビット $Dh1^G$ 、 $Dh2^G$ と、下位ビット $Dh1^G$ 、 $Dh2^G$ から得られた下位ビット Dh^G を示す表である。図24Bの表は、第0ラインの各Gサブピクセルの画素データ Din^G が、左から順に、“1”、“1”、“1”、“1”、“2”、“2”、“2”、“2”、“3”、“3”、“3”、“3”である場合について作成されている。

【0104】

第0、第1フレームでは、第0ラインのGサブピクセルの初期値 $Der r1^{I N I}$ 、 $Der r2^{I N I}$ は、それぞれ、“0”、“2”である。第0ラインの各Gサブピクセルの画素データ Din^G が、“1”であるから、初期値 $Der r1^{I N I}$ と画素データ Din^G の下位2ビットの和は“1”であり、初期値 $Der r2^{I N I}$ と画素データ Din^G の下位2ビットの和は“3”である。したがって、下位ビット $Dh1^G$ 、 $Dh2^G$ は、いずれも“0”であり、且つ、次のGサブピクセルの誤差 $Der r1^N$ 、 $Der r2^N$ は、それぞれ、“1”、“3”である。第0ラインの次のGサブピクセルについては、誤差 $Der r1^N$ と画素データ Din^G の下位2ビットの和は“2”であり、誤差 $Der r1^{I N I}$ と画素データ Din^G の下位2ビットの和は“4”である。したがって、下位ビット $Dh1^G$ は“0”であり、下位ビット $Dh2^G$ は“1”である。同様の計算により、第0ラインの他のGサブピクセル、及び他のフレームについても、図24Bの上図に示された下位ビット $Dh1^G$ 、 $Dh2^G$ が得られることを確かめることができる。

【0105】

下位ビット Dh^G は、重み付け「A」「B」の選択に応じて、下位ビット $Dh1^G$ 、 $Dh2^G$ の論理和又は論理積として算出される。図24Bの下図は、図24Bの上図に示された下位ビット $Dh1^G$ 、 $Dh2^G$ から算出される下位ビット Dh^G を示す表である。第0フレームの第0ラインでは重み付け「A」が選択されるので、下位ビット Dh^G は、下位ビット $Dh1^G$ 、 $Dh2^G$ の論理和として算出される。図24Bの下図の第1行目によれば、第0フレームの第0ラインのGサブピクセルについては、下位ビット Dh^G は、順に、“0”、“1”、“0”、“1”、“1”、“1”・・・と算出されている。この値が、図24Bの上図に示された、第0フレームの下位ビット $Dh1^G$ 、 $Dh2^G$ の論理和に一致していることは、容易に理解されよう。また、第1フレームの第0ラインでは重み付け「B」が選択されるので、下位ビット Dh^G は、下位ビット $Dh1^G$ 、 $Dh2^G$ の論理積として算出される。図24Bの下図の第2行目によれば、第1フレームの第0ラインのGサブピクセルについては、下位ビット Dh^G は、順に、“0”、“0”、“0”、“0”、“0”、“0”・・・と算出されている。この値が、図24Bの上図に示された、

第 1 フレームの下位ビット $Dh1^G$ 、 $Dh2^G$ の論理積に一致していることは、容易に理解されよう。

【0106】

図 25 の左列は、全ての G サブピクセルの入力画像データ Din^G が 1 である場合に算出された減色画像データ $Dfrc^G$ を示している。全ての G サブピクセルの入力画像データ Din^G が 1 である場合、下位ビット Dh^G が "1" である場合にのみ、減色画像データ $Dfrc^G$ が "1" になる。図 25 の左図において、減色画像データ $Dfrc^G$ が "1" である G サブピクセルと、図 24 B の下図の最初から 4 番目までの G サブピクセルのうち、下位ビット Dh^G が "1" である G サブピクセルは一致していることに留意されたい。図 25 の左列に示されているように、全ての G サブピクセルの入力画像データ Din^G が 1 である場合には、減色画像データ $Dfrc^G$ が "1" である G サブピクセルが均一に分散して配置される。図 25 の中列、右列に示されているように、全ての G サブピクセルの入力画像データ Din^G が "2" である場合、"3" である場合も同様に、減色画像データ $Dfrc^G$ が "1" である G サブピクセルが均一に分散して配置される。本実施形態でも、重み付け処理により、G サブピクセルの輝度が高いラインと輝度が低いラインとが交互に配置されている。しかしながら、液晶表示パネル 2 にデルタ配置が採用されていることにより、かえって輝度の均一性が向上されることは、図 25 から理解されよう。

【0107】

(第 4 の実施形態)

図 26 は、第 4 の実施形態における液晶表示装置 1 C の構成を示す。第 4 の実施形態では、LCD ドライバ 3 C の減色処理回路 12 C が、液晶表示パネル 2 がストライプ配置であるかデルタ配置であるかに応じて異なる減色処理を行うように構成されている。このような構成は、液晶表示パネル 2 にストライプ配置とデルタ配置のいずれが採用される場合であっても、画質を良好に維持するような好適な減色処理を行うことができるため好適である。

【0108】

より具体的には、LCD ドライバ 3 C は、液晶表示パネル 2 がストライプ配置、デルタ配置のいずれであることを示すパネル構成切り替え信号 6 を画像描画回路 4 から受け取るように構成されている。LCD ドライバ 3 C の制御回路 11 は、パネル構成切り替え信号 6 を減色処理回路 12 C の重み付け回路 62 に供給する。

【0109】

図 27 A、図 27 B に示されているように、第 4 の実施形態では、重み付け回路 62 に含まれる R 重み付け回路 72 R、G 重み付け回路 72 G、及び B 重み付け回路 72 B の構成が変更される。第 4 の実施形態では、R 重み付け回路 72 R、G 重み付け回路 72 G、及び B 重み付け回路 72 B に、スイッチ 78 が追加される。スイッチ 78 は、パネル構成切り替え信号 6 に応答して、誤差拡散処理回路 61 から供給される下位ビット出力 $Dh1^k$ と、重み付け判断回路 75 から出力された下位ビット出力 Dh^k の一方を、加算回路 76 に出力する。

【0110】

このような減色処理回路 12 C の構成によれば、パネル構成切り替え信号 6 によってデルタ配置の液晶表示パネル 2 を駆動することが指示されると、第 3 の実施形態で説明された減色処理が行われる。詳細には、パネル構成切り替え信号 6 によってデルタ配置の液晶表示パネル 2 を駆動することが指示されると、スイッチ 78 は、重み付け判断回路 75 から出力された下位ビット出力 Dh^k を加算回路 76 に出力する。この場合の R 重み付け回路 72 R、G 重み付け回路 72 G、及び B 重み付け回路 72 B の動作は、第 3 の実施形態と同じである。

【0111】

一方、パネル構成切り替え信号 6 によってストライプ配置の液晶表示パネル 2 を駆動することが指示されると、一般的な誤差拡散処理が行われる。詳細には、パネル構成切り替え信号 6 によってストライプ配置の液晶表示パネル 2 を駆動することが指示されると、ス

イッチ 78 は、誤差拡散処理回路 61 から供給される下位ビット出力 $Dh1^k$ を加算回路 76 に出力する。図 21 から理解されるように、下位ビット出力 $Dh1^k$ は、一般的な誤差拡散処理で生成されるキャリー出力と同じであるから、結果として、加算回路 76 及びオーバーフロー処理回路 77 で生成される減色画像データ $Dfrc^k$ も、入力画像データ Din^k に対して一般的な誤差拡散処理を行って得られる減色画像データに一致している。

【0112】

このように、第 4 の実施形態の LCD ドライバ 3C の構成によれば、液晶表示パネル 2 にストライプ配置とデルタ配置のいずれが採用される場合であっても、画質を良好に維持するような好適な減色処理を行うことができるため好適である。

10

【0113】

なお、上記には本発明の実施形態が様々に記載されているが、本発明は、上記の実施形態に限定して解釈されてはならない。例えば、初期値設定回路によって発生される初期値、及び、初期値を切り換える態様は、様々に変更可能である。また、第 2 及び第 4 の実施形態においては、パネル構成切り替え信号 6 が画像描画回路 4 から LCD ドライバに供給されているが、LCD ドライバの外部入力パッドが、固定された電位（例えば、電源電位及び接地電位）を有する信号線に接続されることによってパネル構成切り替え信号 6 が LCD ドライバ 3A、3C に供給されることも可能である。液晶表示パネル 2 がストライプ配置、デルタ配置のいずれであるかは、LCD ドライバを液晶表示装置に実装する際に既に決定されているから、パネル構成切り替え信号 6 の信号レベルは固定であってもよい。

20

【0114】

また、上述の実施形態では、液晶表示パネルを備える液晶表示装置が開示されているが、本発明が、デルタ配置を採用する他の表示パネル、例えば、プラズマディスプレイパネルを備える表示装置にも適用可能であることは、当業者には容易に理解されよう。

【図面の簡単な説明】

【0115】

【図 1】図 1 は、ストライプ配置を採用する液晶表示パネルの構成を示す概念図である。

【図 2】図 2 は、デルタ配置を採用する液晶表示パネルの構成を示す概念図である。

【図 3】図 3 は、典型的な誤差拡散処理回路の構成を示すブロック図である。

【図 4】図 4 は、一般的な誤差拡散処理により、デルタ配置を採用する液晶表示パネルでフリッカが発生する原因を説明する概念図である。

30

【図 5A】図 5A は、本発明の第 1 の実施形態の液晶表示装置の構成を示すブロック図である。

【図 5B】図 5B は、第 1 の実施形態における減色処理回路の構成を示すブロック図である。

【図 6A】図 6A は、第 1 の実施形態において重み付け回路によって行われる重み付け処理を説明する図である。

【図 6B】図 6B は、第 1 の実施形態における、入力画像データと、重み付け処理によって生成される重み付け画像データの対応関係を示す表である。

【図 7】図 7 は、第 1 の実施形態における誤差拡散処理回路の構成を示すブロック図である。

40

【図 8】図 8 は、第 1 の実施形態における、重み付け回路で選択される重み付けと、誤差拡散処理で使用される誤差の初期値とを示す表である。

【図 9】図 9 は、第 1 の実施形態における、誤差拡散処理の例を示す概念図である。

【図 10】図 10 は、第 1 の実施形態における、減色処理回路の動作を示す概念図である。

【図 11A】図 11A は、第 1 の実施形態の減色処理回路によって生成される減色画像データを示す概念図である。

【図 11B】図 11B は、一般的な誤差拡散処理によって生成される減色画像データを示す概念図である。

50

【図 1 2 A】図 1 2 A は、第 1 の実施形態において使用可能な、他の重み付け処理を説明する図である。

【図 1 2 B】図 1 2 B は、入力画像データと、図 1 2 A の重み付け処理によって生成される重み付け画像データの対応関係を示す表である。

【図 1 3】図 1 3 は、第 1 の実施形態において、3 ビットの減色処理が行われる場合の重み付け処理の例を説明する図である。

【図 1 4】図 1 4 は、第 1 の実施形態において 3 ビットの減色処理が行われる場合の、重み付け回路で選択される重み付けと、誤差拡散処理で使用される誤差の初期値とを示す表である。

【図 1 5】図 1 5 は、第 1 の実施形態において、3 ビットの減色処理が行われる場合に生成される減色画像データを示す概念図である。

【図 1 6】図 1 6 は、第 1 の実施形態において、4 ビットの減色処理が行われる場合の重み付け処理の例を説明する図である。

【図 1 7 A】図 1 7 A は、第 2 の実施形態における液晶表示装置の構成を示すブロック図である。

【図 1 7 B】図 1 7 B は、第 2 の実施形態における減色処理回路の構成を示すブロック図である。

【図 1 8 A】図 1 8 A は、第 2 の実施形態における誤差拡散処理回路の構成と、デルタ配置を採用する液晶表示パネルを駆動する場合の誤差拡散処理回路の動作を示すブロック図である。

【図 1 8 B】図 1 8 B は、第 2 の実施形態において、ストライプ配置を採用する液晶表示パネルを駆動する場合の誤差拡散処理回路の動作を示すブロック図である。

【図 1 9 A】図 1 9 A は、第 2 の実施形態について、デルタ配置を採用する液晶表示パネルを駆動する場合における、重み付け回路で選択される重み付けと誤差拡散処理で 사용되는誤差の初期値とを示す表である。

【図 1 9 B】図 1 9 B は、第 2 の実施形態について、ストライプ配置を採用する液晶表示パネルを駆動する場合における、誤差拡散処理で 사용되는誤差の初期値とを示す表である。

【図 2 0 A】図 2 0 A は、第 3 の実施形態における液晶表示装置の構成を示すブロック図である。

【図 2 0 B】図 2 0 B は、第 3 の実施形態における減色処理回路の構成を示すブロック図である。

【図 2 1】図 2 1 は、第 3 の実施形態における誤差拡散処理回路の構成を示すブロック図である。

【図 2 2】図 2 2 は、第 3 の実施形態における誤差拡散処理で 사용되는初期値を示す表である。

【図 2 3】図 2 3 は、第 3 の実施形態における重み付け回路の構成を示すブロック図である。

【図 2 4 A】図 2 4 A は、第 3 の実施形態における重み付け回路の動作を示す概念図である。

【図 2 4 B】図 2 4 B は、第 3 の実施形態における減色処理回路の動作の例を示す表である。

【図 2 5】図 2 5 は、第 3 の実施形態の減色処理回路によって生成される減色画像データを示す概念図である。

【図 2 6】図 2 6 は、第 4 の実施形態における誤差拡散処理回路の構成を示すブロック図である。

【図 2 7 A】図 2 7 A は、第 4 の実施形態における重み付け回路の構成と、デルタ配置を採用する液晶表示パネルを駆動する場合の重み付け回路の動作を示すブロック図である。

【図 2 7 B】図 2 7 B は、第 4 の実施形態において、ストライプ配置を採用する液晶表示パネルを駆動する場合の重み付け回路の動作を示すブロック図である。

10

20

30

40

50

【符号の説明】

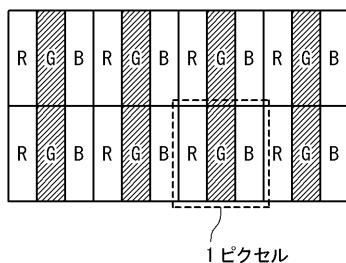
【0116】

1、1 A、1 B、1 C：液晶表示装置	
2：液晶表示パネル	
3、3 A、3 B、3 C：LCDドライバ	
4：画像描画回路	
5：同期信号	
6：パネル構成切り替え信号	
11：制御回路	
12、12 A、12 B、12 C：減色処理回路	10
13：重み付け回路	
14、14 A：誤差拡散処理回路	
15：シフトレジスタ回路	
16：データレジスタ回路	
17：ラッチ回路	
18：データ線駆動回路	
19：階調電圧発生回路	
20：ゲート線駆動回路	
21：タイミング制御回路	
22：セレクト回路	20
31：制御信号	
32：タイミング信号	
33：水平スタート信号	
34：シフトレジスタ出力信号	
35：ラッチ信号	
36：ゲート線制御信号	
41 R：R重み付け回路	
41 G：G重み付け回路	
41 B：B重み付け回路	
42 R：R誤差拡散処理回路	30
42 G：G誤差拡散処理回路	
42 B：B誤差拡散処理回路	
43 R：Rセレクト	
43 G：Gセレクト	
43 B：Bセレクト	
51、52：加算回路	
53：Dラッチ	
54：セレクト	
55：初期値設定回路	
56：スイッチ	40
61：誤差拡散処理回路	
62：重み付け回路	
71 R：R誤差拡散処理回路	
71 G：G誤差拡散処理回路	
71 B：B誤差拡散処理回路	
72 R：R重み付け回路	
72 G：G重み付け回路	
72 B：B重み付け回路	
73：AND回路	
74：OR回路	50

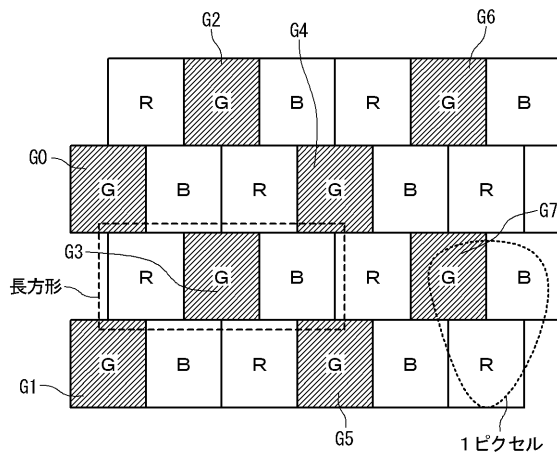
- 75：重み付け判断回路
- 76：加算回路
- 77：オーバーフロー処理回路
- 78：スイッチ
- 81-1、81-2：加算回路
- 82-1、82-2：Dラッチ
- 83-1、83-2：セレクタ
- 84-1：Dh1初期値設定回路
- 84-2：Dh2初期値設定回路
- 101、102：加算回路
- 103：Dラッチ
- 104：セレクタ
- 105：初期値設定回路

10

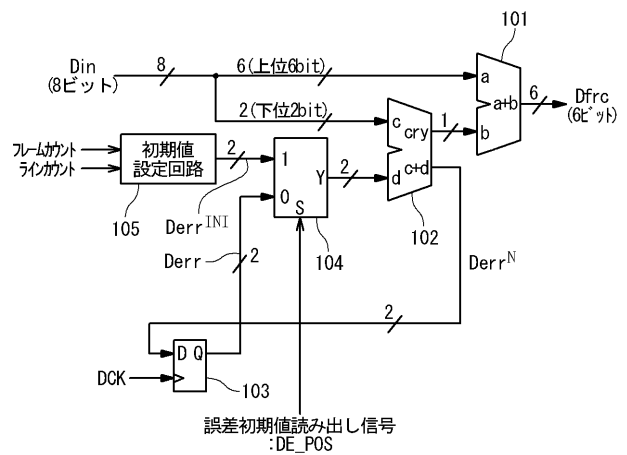
【図1】



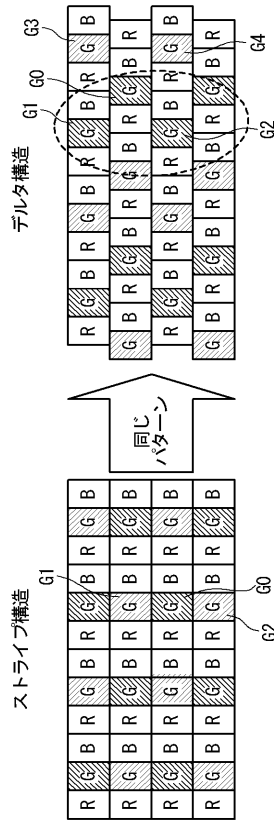
【図2】



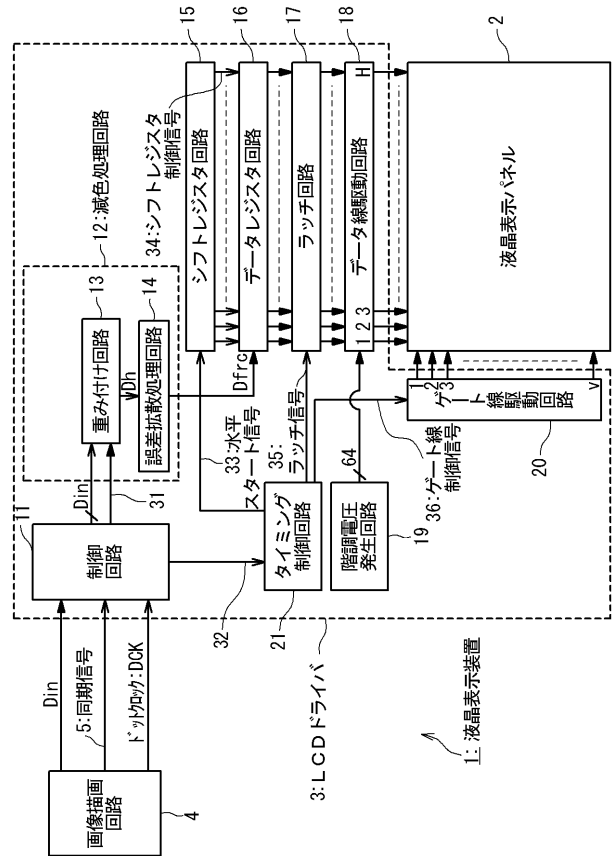
【図3】



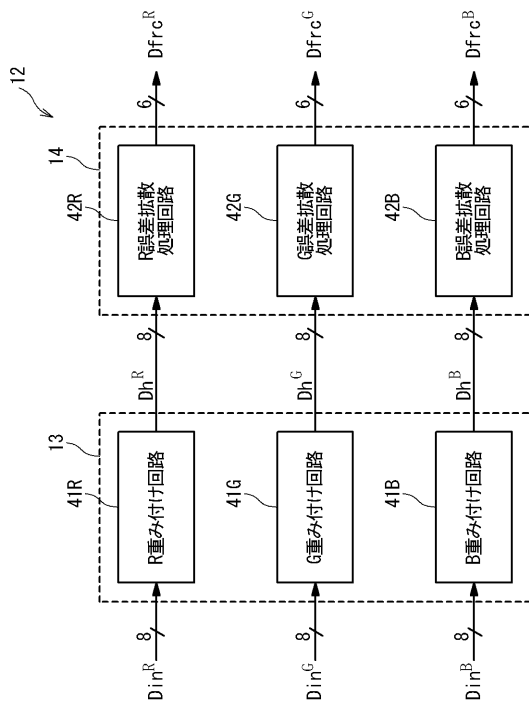
【図 4】



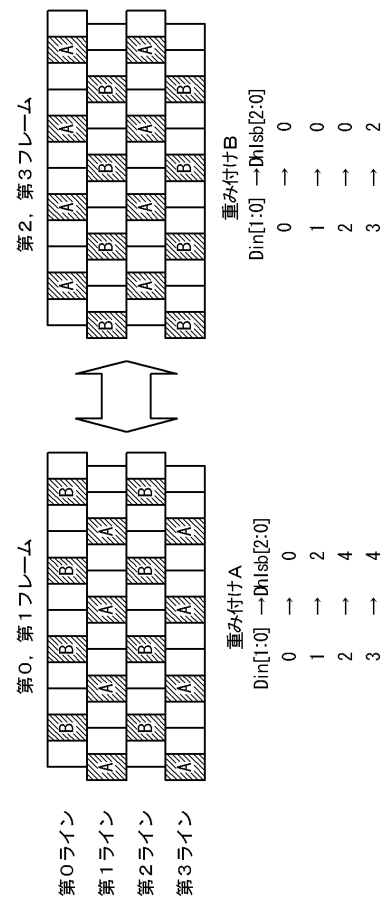
【図 5 A】



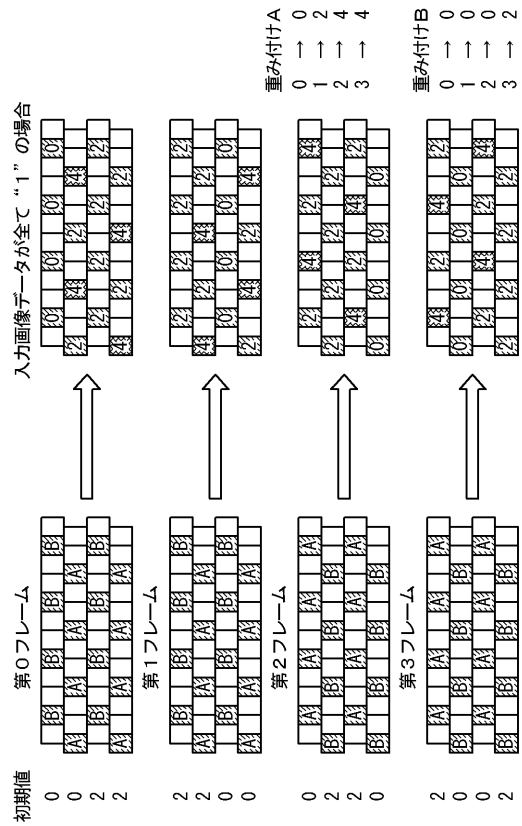
【図 5 B】



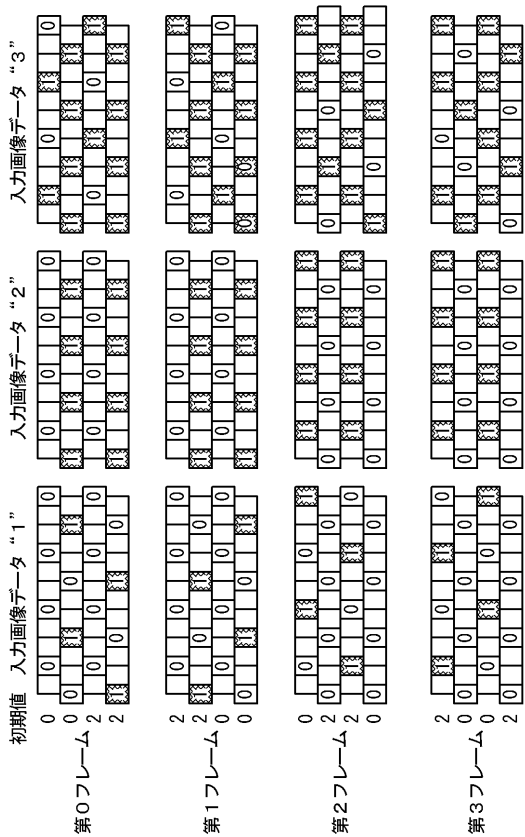
【図 6 A】



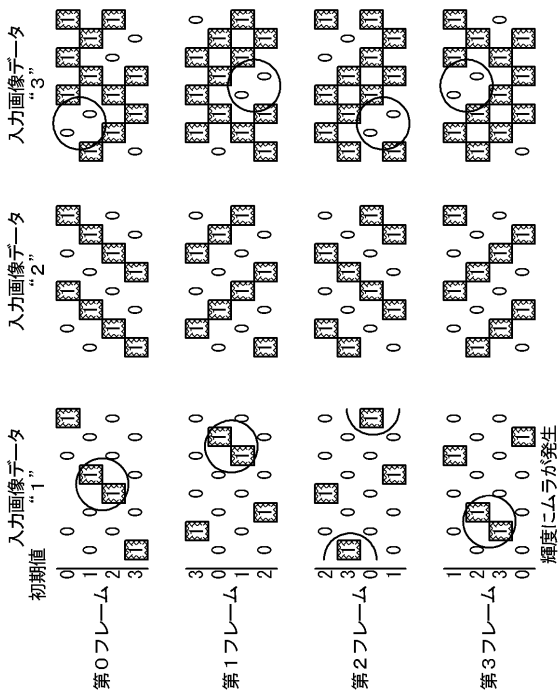
【図 1 0】



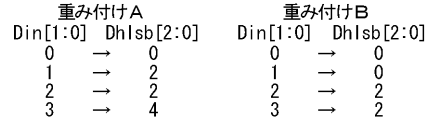
【図 1 1 A】



【図 1 1 B】



【図 1 2 A】



【 図 1 2 B 】

入力画像データ D_{in}^k	重み付けAによる 重み付け 画像データ D_h^k	重み付けBによる 重み付け 画像データ D_h^k
0	0	0
1	2	0
2	2	2
3	4	2
4	4	4
5	6	4
6	6	6
7	8	6
⋮	⋮	⋮
248	248	248
249	250	248
250	250	250
251	252	250
252	252	252
253	254	252
254	254	254
255	255	254

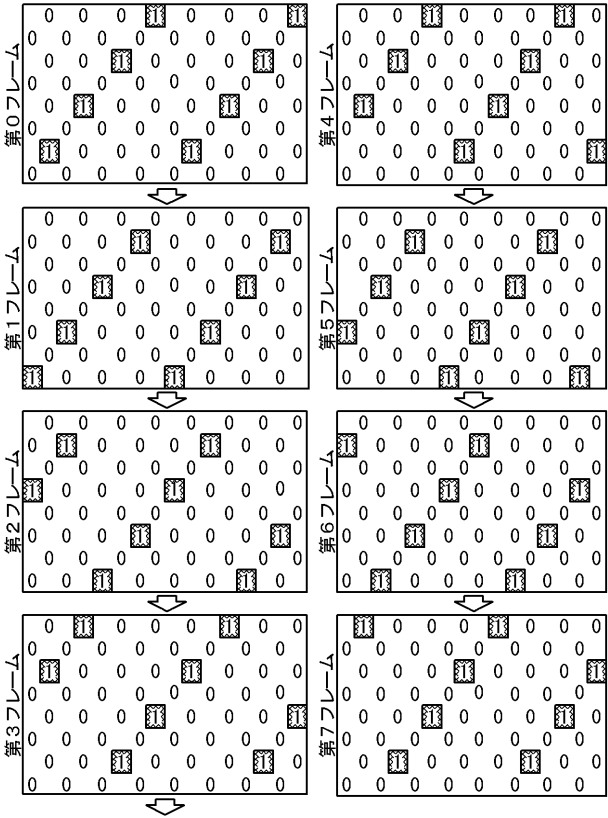
【 図 1 3 】

3Bit減色時		
重み付けA		
$D_{in}[2:0]$		$D_hlsb[3:0]$
0	→	0
1	→	2
2	→	4
3	→	6
4	→	8
5	→	8
6	→	8
7	→	8
重み付けB		
$D_{in}[2:0]$		$D_hlsb[3:0]$
0	→	0
1	→	0
2	→	0
3	→	0
4	→	0
5	→	2
6	→	4
7	→	6

【 図 1 4 】

フレーム	ライン[2:0]	R		G		B	
		初期値	重み	初期値	重み	初期値	重み
0	0	0	A	4	B	2	A
	1	0	A	4	A	4	B
	2	2	A	6	A	4	A
	3	2	A	6	B	6	B
	4	4	A	0	A	6	A
	5	4	A	0	B	6	B
1	6	6	A	2	A	0	0
	7	6	A	2	A	0	0
	0	0	B	4	A	2	B
	1	0	A	4	B	2	A
	2	2	A	6	A	4	B
	3	2	A	6	B	4	A
2	4	4	A	0	A	4	B
	5	4	A	0	B	4	A
	6	6	A	2	A	0	0
	7	6	A	2	A	0	0
	0	0	A	4	B	6	B
	1	0	A	4	A	6	A
3	2	2	A	6	A	0	0
	3	2	A	6	B	0	0
	4	4	A	0	A	2	B
	5	4	A	0	B	2	A
	6	6	A	2	A	4	B
	7	6	A	2	A	4	A
4	0	0	B	4	A	4	B
	1	0	A	4	B	4	A
	2	2	A	6	A	6	B
	3	2	A	6	B	6	A
	4	4	A	0	A	6	B
	5	4	A	0	B	6	A
5	6	6	A	2	A	0	0
	7	6	A	2	A	0	0
	0	0	B	4	A	2	B
	1	0	A	4	B	2	A
	2	2	A	6	A	4	B
	3	2	A	6	B	4	A
6	4	4	A	0	A	4	B
	5	4	A	0	B	4	A
	6	6	A	2	A	0	0
	7	6	A	2	A	0	0
	0	0	B	4	A	2	B
	1	0	A	4	B	2	A
7	2	2	A	6	A	4	B
	3	2	A	6	B	4	A
	4	4	A	0	A	4	B
	5	4	A	0	B	4	A
	6	6	A	2	A	0	0
	7	6	A	2	A	0	0

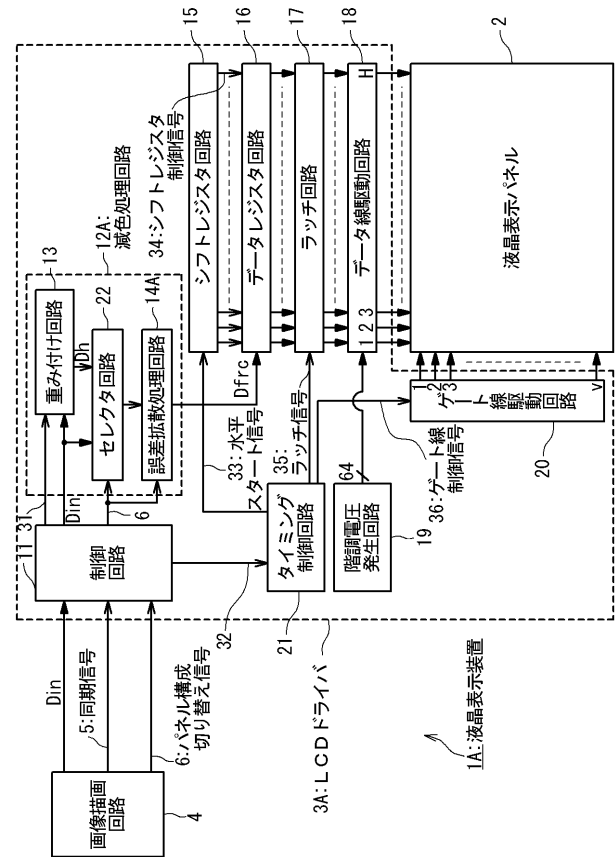
【 図 1 5 】



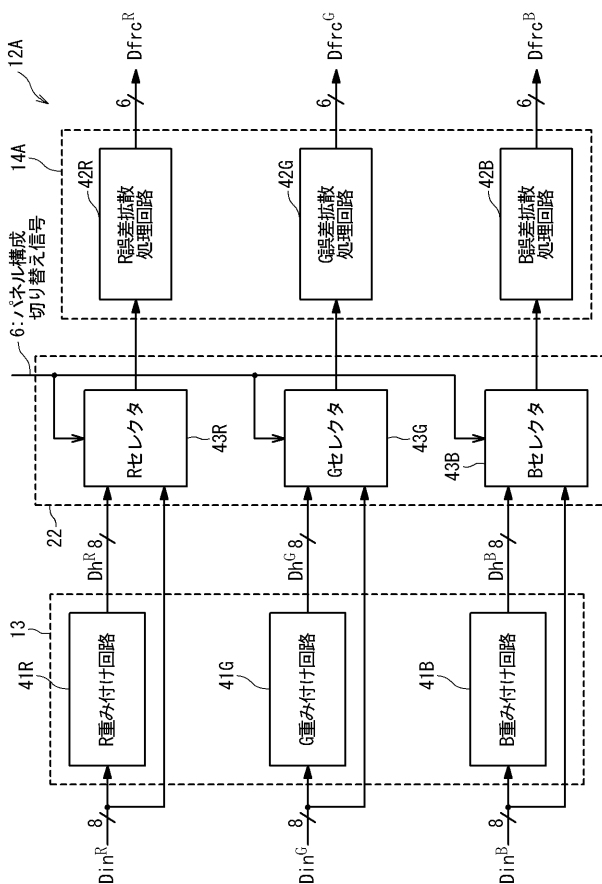
【図 16】

重み値A		重み値B	
Din[3:0]	Dhlsb[4:0]	Din[3:0]	Dhlsb[4:0]
0	→	0	→
1	→	1	→
2	→	2	→
3	→	3	→
4	→	4	→
5	→	5	→
6	→	6	→
7	→	7	→
8	→	8	→
9	→	9	→
10	→	10	→
11	→	11	→
12	→	12	→
13	→	13	→
14	→	14	→
15	→	15	→

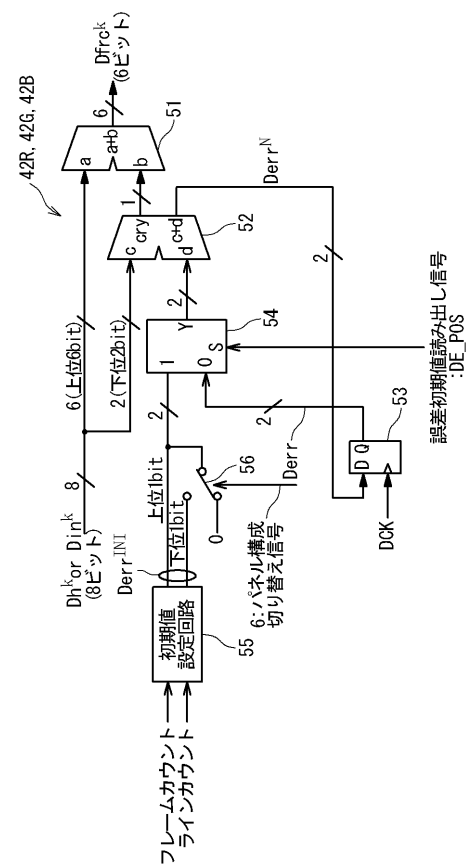
【図 17 A】



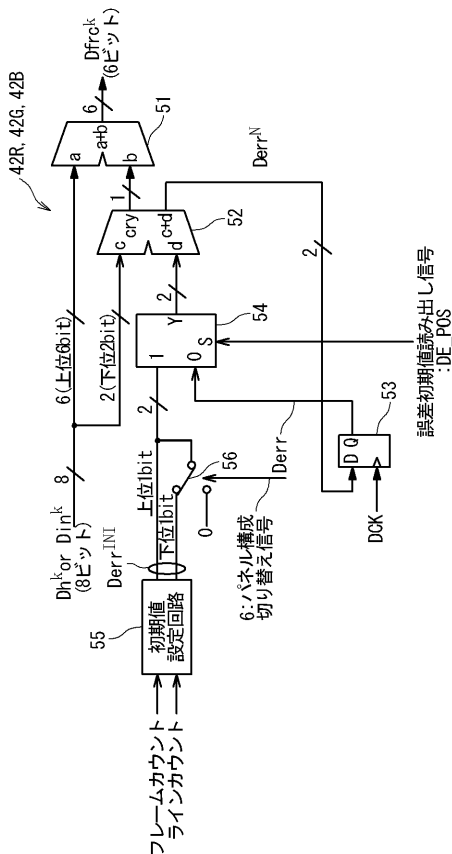
【図 17 B】



【図 18 A】



【図 1 8 B】



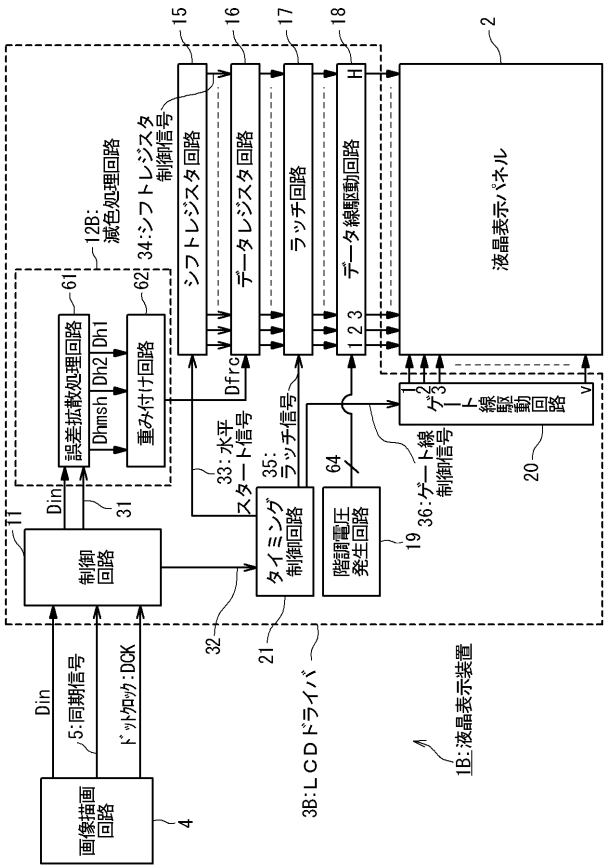
【図 1 9 A】

フレーム	ライン[1:0]	R		G		B	
		初期値	重み	初期値	重み	初期値	重み
0	0	2	A	0	B	3(2)	A
	1	3(2)	B	1(0)	A	0	B
	2	0	A	2	B	1(0)	A
	3	1(0)	B	3(2)	A	2	B
1	0	0	A	2	B	1(0)	A
	1	1(0)	B	3(2)	A	2	B
	2	2	A	0	B	3(2)	A
	3	3(2)	B	1(0)	A	0	B
2	0	3(2)	B	1(0)	A	0	B
	1	0	A	2	B	1(0)	A
	2	1(0)	B	3(2)	A	2	B
	3	2	A	0	B	3(2)	A
3	0	1(0)	B	3(2)	A	2	B
	1	2	A	0	B	3(2)	A
	2	3(2)	B	1(0)	A	0	B
	3	0	A	2	B	1(0)	A

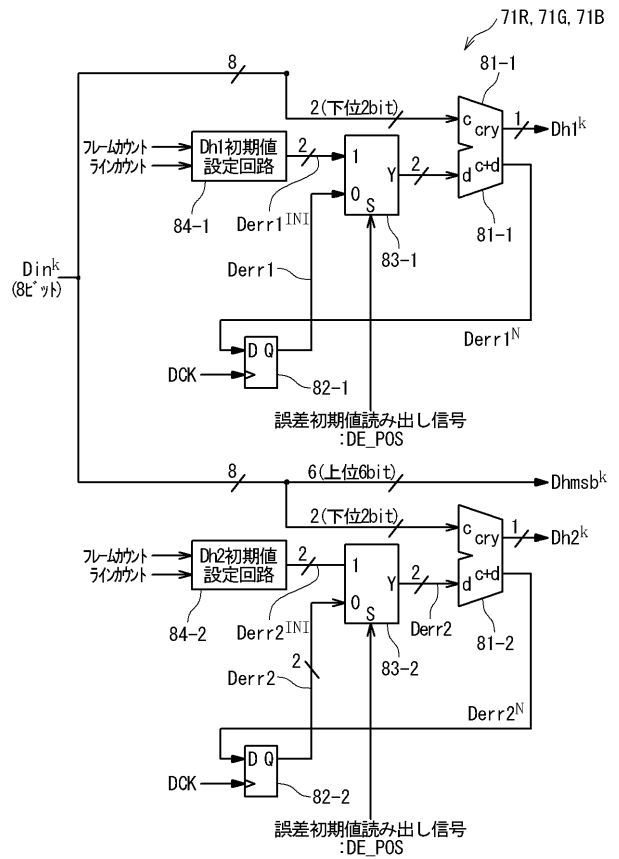
【図 1 9 B】

フレーム	ライン[1:0]	R		G		B	
		初期値	重み	初期値	重み	初期値	重み
0	0	2	-	0	-	3	-
	1	3	-	1	-	0	-
	2	0	-	2	-	1	-
	3	1	-	3	-	2	-
1	0	0	-	2	-	1	-
	1	1	-	3	-	2	-
	2	2	-	0	-	3	-
	3	3	-	1	-	0	-
2	0	3	-	1	-	0	-
	1	0	-	2	-	1	-
	2	1	-	3	-	2	-
	3	2	-	0	-	3	-
3	0	1	-	3	-	2	-
	1	2	-	0	-	3	-
	2	3	-	1	-	0	-
	3	0	-	2	-	1	-

【図 2 0 A】



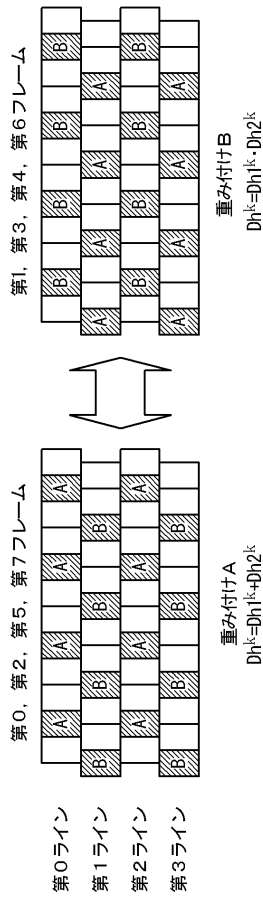
【図 2 1】



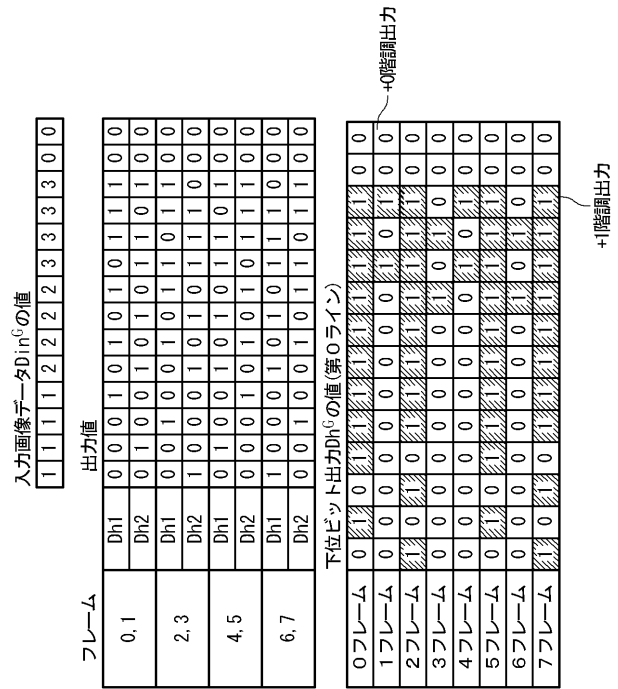
【図 2 3】

Figure 1 is a block diagram of a frequency divider circuit. The circuit includes a frequency divider (77) that receives a frequency signal D_{freq}^k and outputs a signal D_{ht}^k . This signal D_{ht}^k is fed into a weight judgment circuit (75). The weight judgment circuit (75) also receives a signal D_{nmsb}^k and outputs a signal D_{ht}^k to an adder (76). The adder (76) also receives a signal D_{n2}^k from an AND gate (74). The output of the adder (76) is fed back to the frequency divider (77). The weight judgment circuit (75) also outputs a signal D_{n1}^k to an AND gate (73) and a signal D_{n2}^k to an AND gate (74). The AND gate (73) outputs D_{nmsb}^k , and the AND gate (74) outputs D_{n2}^k . The circuit is labeled 72R, 72G, 72B.

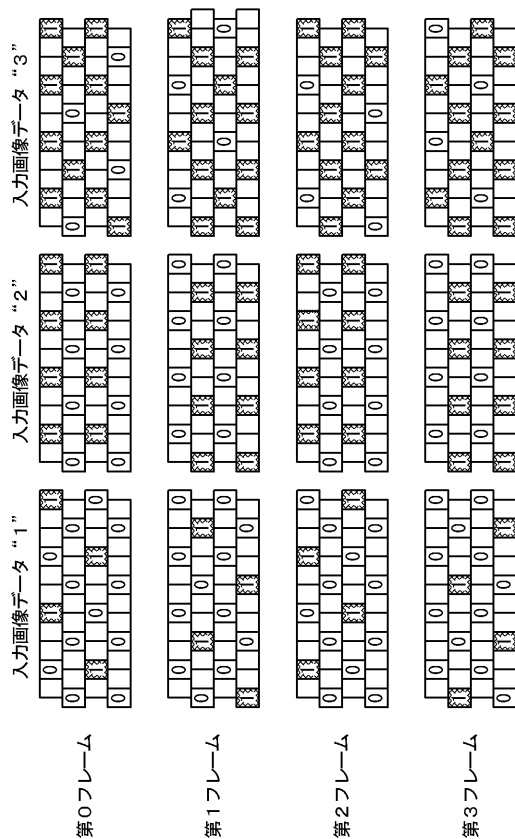
【図 2 4 A】



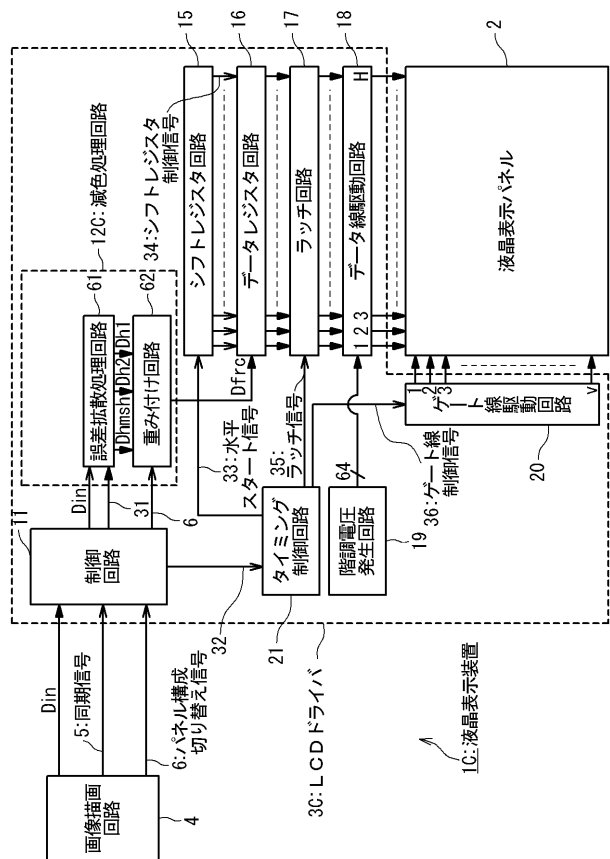
【図 2 4 B】



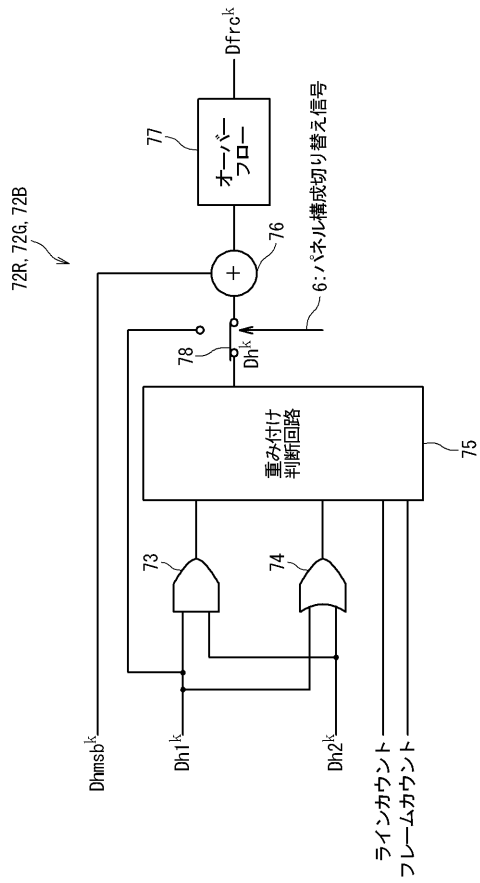
【図 2 5】



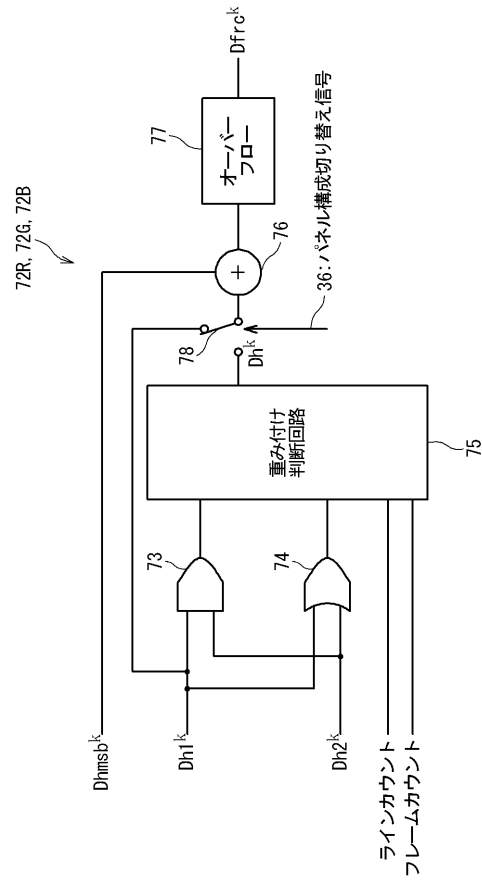
【図 2 6】



【図 27 A】



【図 27 B】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)

G 0 9 G 3/20 6 1 2 U
G 0 9 G 3/20 6 1 2 L
G 0 9 G 3/20 6 1 1 E
G 0 2 F 1/133 5 1 0
G 0 2 F 1/133 5 7 5

F ターム(参考) 5C006 AA13 AA21 AF51 AF52 BC03 BC16 BF15 FA56
5C080 AA10 BB05 CC03 DD06 EE29 EE30 JJ02 JJ03 JJ06
5C082 BA34 BA35 BA39 BD02 BD09 CA11 CA12 CA81 DA86 DA89
MM10

专利名称(译)	显示设备和显示面板驱动程序		
公开(公告)号	JP2008281789A	公开(公告)日	2008-11-20
申请号	JP2007126085	申请日	2007-05-10
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	降旗弘史 能勢崇		
发明人	降旗 弘史 能勢 崇		
IPC分类号	G09G3/36 G09G5/00 G09G5/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/2003 G09G3/2062 G09G3/3611 G09G2320/0233 G09G2320/0247		
FI分类号	G09G3/36 G09G5/00.520.J G09G5/36.520.A G09G3/20.641.H G09G3/20.641.P G09G3/20.612.U G09G3/20.612.L G09G3/20.611.E G02F1/133.510 G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC49 2H093/NC50 2H093/ND05 2H093/ND09 2H093/ND10 2H093/NH18 5C006/AA13 5C006/AA21 5C006/AF51 5C006/AF52 5C006/BC03 5C006/BC16 5C006/BF15 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/EE29 5C080/EE30 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C082/BA34 5C082/BA35 5C082/BA39 5C082/BD02 5C082/BD09 5C082/CA11 5C082/CA12 5C082/CA81 5C082/DA86 5C082/DA89 5C082/MM10 2H193/ZA04 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF03 2H193/ZF22 2H193/ZF36 5C182/AA03 5C182/AC03 5C182/BC03 5C182/BC05 5C182/BC43 5C182/CA16 5C182/CA51 5C182/CB01 5C182/CC24 5C182/CC25 5C182/DA22 5C182/DA53 5C182/DA62		
代理人(译)	工藤稔		
其他公开文献	JP5615480B2		
外部链接	Espacenet		

摘要(译)

驱动采用三角形排列的液晶显示面板的时间抑制了闪烁通过亮度的不均匀性引起的。根据本发明的液晶显示装置包括采用三角形排列，用于产生对输入的图像数据Din，减色图像数据通过减色处理减色的图像数据的颜色降低电路12的液晶显示面板2数据线驱动电路18用于响应数据信号驱动液晶显示板2。减色处理电路12通过执行加权处理以引起或减少对应于其中子像素所属是减色处理的受试者中的线增加的减色图像数据，和一个误差扩散处理产生减色图像数据。减色处理电路12增加了对应于某个线减色图像数据减色的图像数据时，它执行加权处理，以减少对应于其它行减色图像数据减色的图像数据。（图5A）。

