

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-330582
(P2006-330582A)

(43) 公開日 平成18年12月7日(2006.12.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 631K	5C006
G02F 1/133 (2006.01)	G09G 3/20 631V	5C080
	G09G 3/20 611H	
	G09G 3/20 621M	
審査請求 未請求 請求項の数 10 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2005-157390 (P2005-157390)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成17年5月30日 (2005.5.30)	(74) 代理人	100085811 弁理士 大日方 富雄
		(72) 発明者	川瀬 靖 北海道亀田郡七飯町字中島145番地 株式会社ルネサス北日本セミコンダクタ内
		(72) 発明者	石田 進 北海道亀田郡七飯町字中島145番地 株式会社ルネサス北日本セミコンダクタ内
		(72) 発明者	秋葉 武定 北海道亀田郡七飯町字中島145番地 株式会社ルネサス北日本セミコンダクタ内
		最終頁に続く	

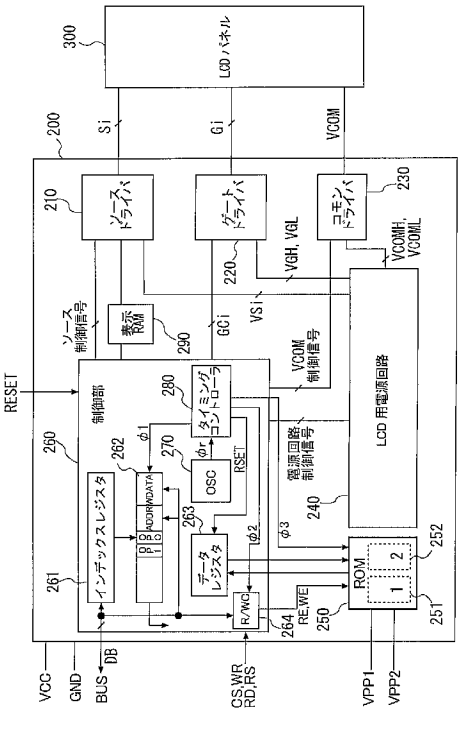
(54) 【発明の名称】 液晶表示駆動用半導体集積回路

(57) 【要約】

【課題】 使用する液晶表示装置の仕様に応じた駆動条件等の設定を容易に行なうことができる液晶表示駆動用半導体集積回路（液晶コントロールドライバIC）を実現する。

【解決手段】 液晶表示装置（300）を表示駆動する半導体集積回路化された液晶表示駆動用半導体集積回路（200）に、データを電気的に書き込み可能な不揮発性メモリ回路（EPROM）またはデータを電気的に書き込み消去可能な不揮発性メモリ回路（EEPROM）を内蔵させ該メモリ回路（250）に設定情報を格納させる。これとともに、メモリ回路は他の回路を構成する素子を形成する半導体製造プロセスと同一の工程によって形成することが可能な通常の素子で構成するようにした。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶パネルの走査線に印加される駆動信号および液晶パネルの信号線に印加される駆動信号を生成し出力する 1 つの半導体チップ上に形成された液晶表示駆動用半導体集積回路であって、電氣的に書き込み可能な不揮発性メモリ回路または電氣的に書き込み消去可能な不揮発性メモリ回路を内蔵し、前記不揮発性メモリ回路は前記半導体チップ上の他の回路を構成している素子を形成する半導体製造プロセスの工程によって形成される素子により構成されていることを特徴とする液晶表示駆動用半導体集積回路。

【請求項 2】

前記不揮発性メモリ回路は、当該半導体集積回路の内部の初期設定情報を記憶するために用いられることを特徴とする請求項 1 に記載の液晶表示駆動用半導体集積回路。 10

【請求項 3】

前記不揮発性メモリ回路は、複数のグループに分けられ、いずれか 1 つのグループのメモリ回路は当該半導体集積回路内部の回路の特性ばらつきを補正するための設定情報を書き込むのに使用され、残りのグループのメモリ回路は当該半導体集積回路により駆動される液晶パネルの特性に合わせた設定情報を書き込むのに使用されることを特徴とする請求項 2 に記載の液晶表示駆動用半導体集積回路。

【請求項 4】

前記不揮発性メモリ回路は、複数のグループに分けられ、いずれか 1 つのグループのメモリ回路は当該半導体集積回路を製造するメーカー側で格納すべき設定情報を書き込むのに使用され、残りのグループのメモリ回路は当該半導体集積回路を用いた装置を製造するユーザー側で格納すべき設定情報を書き込むのに使用されることを特徴とする請求項 2 に記載の液晶表示駆動用半導体集積回路。 20

【請求項 5】

前記不揮発性メモリ回路は、電氣的に 1 度だけ書き込み可能な不揮発性メモリ回路により構成されているとともに、前記いずれか 1 つのグループのメモリ回路は単一のグループとされ、前記残りのグループはさらに複数のサブグループに分けられて、書き込みの度に別のサブグループが選択されることにより見かけ上複数回の書き換えが可能なメモリ回路として構成されていることを特徴とする請求項 3 または 4 のいずれかに記載の液晶表示駆動用半導体集積回路。 30

【請求項 6】

前記不揮発性メモリ回路は、電氣的に 1 度だけ書き込み可能な不揮発性メモリ回路により構成されているとともに、前記いずれか 1 つのグループのメモリ回路と前記残りのグループのメモリ回路に対応してそれぞれ書き込み用の高電圧が印加される電源電圧端子が別個に設けられていることを特徴とする請求項 3 ～ 5 のいずれかに記載の液晶表示駆動用半導体集積回路。

【請求項 7】

前記不揮発性メモリ回路は、各々同一のデータを記憶する多重化されたメモリセルにより構成されていることを特徴とする請求項 1 ～ 6 のいずれかに記載の液晶表示駆動用半導体集積回路。 40

【請求項 8】

前記不揮発性メモリ回路および前記他の回路は、P チャネル型電界効果トランジスタと N チャネル型電界効果トランジスタとからなる CMOS 回路により構成されていることを特徴とする請求項 1 ～ 7 のいずれかに記載の液晶表示駆動用半導体集積回路。

【請求項 9】

前記半導体チップは矩形状であり、上記走査線に印加される駆動信号および信号線に印加される駆動信号を出力する端子が上記半導体チップの長手方向の一方の縁部に沿って配置され、前記半導体チップの長手方向の他方の縁部に沿ってメモリ回路の書き込み用の高電圧が印加される電源電圧端子と入力端子が配置され、前記不揮発性メモリ回路は前記電源電圧端子の近傍に配置されていることを特徴とする請求項 1 ～ 8 のいずれかに記載の液晶 50

表示駆動用半導体集積回路。

【請求項 10】

前記半導体チップは矩形状であり、上記走査線に印加される駆動信号および信号線に印加される駆動信号を出力する端子が上記半導体チップの長手方向の一方の縁部に沿って配置され、前記半導体チップの長手方向の他方の縁部のほぼ中央にメモリ回路の書込み用の高電圧が印加される電源電圧端子が配置され、前記半導体チップのほぼ中央に前記不揮発性メモリ回路の書込みおよび読出しを行なう制御回路が配置され、前記不揮発性メモリ回路は前記制御回路と前記電源電圧端子の近傍に配置されていることを特徴とする請求項 1～8 のいずれかに記載の液晶表示駆動用半導体集積回路。

【発明の詳細な説明】

10

【技術分野】

【0001】

この発明は、液晶表示装置を駆動する液晶表示駆動用半導体集積回路（液晶コントロールドライバ IC）に関し、例えば使用する液晶表示装置の特性や仕様を不揮発的に設定する手段を有する液晶コントロールドライバ IC に利用して有効な技術に関する。

【背景技術】

【0002】

近年、携帯電話器や PDA（Personal Digital Assistants）などの携帯用電子機器の表示装置としては、一般に複数の表示画素が例えばマトリックス状に 2 次元配列されたドットマトリックス型液晶パネルが用いられている。そして、機器内部には、この液晶パネルの表示制御を行なう半導体集積回路化された表示制御装置（液晶コントローラ IC）や液晶パネルを駆動するドライバ回路もしくはそのようなドライバ回路を内蔵した液晶表示駆動装置（液晶コントロールドライバ IC）が搭載されている。

20

【0003】

ところで、液晶表示装置は、使用する液晶の種類や駆動方式によって、ガンマ特性や駆動電圧、動作クロックの周波数など仕様が異なっていると同時に、製造ばらつきによる特性の変動がある。そこで、液晶表示駆動装置を提供するメーカーは、仕様の異なる液晶表示装置や製造ばらつきのある液晶表示装置に対しても適用できるように液晶表示駆動装置を構成して、装置の汎用性を高め、製造コストを下げるような工夫をしている。

【0004】

30

従来、仕様が異なる液晶表示装置であっても駆動できるようにするための対策として、液晶表示駆動装置の内部にレジスタを設けておく。これとともに、外部に EPROM のような不揮発性メモリを設けておいて、電源投入時の初期設定等で不揮発性メモリから内部のレジスタに駆動条件等の設定情報を転送する方式が実用化されている。また、液晶表示駆動装置の内部にヒューズなどを有する設定回路を設けておいて、適用する液晶表示装置が決まった時点で液晶表示装置の仕様に応じてヒューズを切断することによって設定を行なう方式も提案されている。ヒューズで液晶駆動装置の動作特性を調整するようにした発明としては、例えば特許文献 1 に記載のものがある。

【特許文献 1】特開 2000 - 148064 号

【発明の開示】

40

【発明が解決しようとする課題】

【0005】

上記従来の駆動条件等の設定方式のうち、外部 ROM からレジスタへ情報を設定する方式は、電源投入時ごとに設定を行わなくてはならないため、CPU の負担が重いと同時にシステムの立ち上がりが遅くなるという欠点がある。また、ヒューズを用いる方式は、一旦設定を行なうと変更することができないため、設定後に使用する液晶表示装置またはその仕様に変更があるとは対応できないとともにユーザ側で設定を行なえないため使い勝手が悪いという欠点がある。

【0006】

さらに、製造ばらつきで回路等の特性が所望の値からずれた場合に、抵抗、容量など外

50

付け素子の抵抗値や容量値を設定して回路の特性のずれを調整できるようにすることが一般に行なわれている。また、液晶表示装置や液晶駆動装置では、保護用のダイオードや昇圧用のキャパシタなどに外付け素子を用い、これらの外付け素子として用い、液晶ドライバＩＣとともにフレキシブル基板などに実装することが行なわれている。そのため、外付け部品点数が比較的多く装置の小型化を困難であるとともに、外付け素子によって液晶ドライバＩＣの外部端子数が多くなってチップサイズが大きくなるという欠点があった。

【 0 0 0 7 】

この発明の目的は、使用する液晶表示装置の仕様に応じた駆動条件等の設定を容易に行なうことができる使い勝手のよい液晶表示駆動用半導体集積回路を提供することにある。

【 0 0 0 8 】

この発明の他の目的は、製造ばらつきで液晶表示装置や液晶駆動用半導体集積回路の特性が所望の値からずれたとしても調整することができ、しかも外付け部品が少なくチップサイズも小さくすることが可能な液晶表示駆動用半導体集積回路を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 0 9 】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、液晶表示装置を表示駆動する半導体集積回路化された液晶表示駆動用半導体集積回路に、データを電氣的に書き込み可能な不揮発性メモリ回路（ＥＰＲＯＭ）またはデータを電氣的に書き込み消去可能な不揮発性メモリ回路（ＥＥＰＲＯＭ）を内蔵させ該メモリ回路に設定情報を格納させる。これとともに、メモリ回路は他の回路を構成する素子を形成する半導体製造プロセスと同一の工程によって形成することが可能な通常の素子で構成するようにしたものである。

【 0 0 1 0 】

不揮発性の内蔵メモリ回路を液晶表示駆動用半導体集積回路に持たせることによって、外付けＲＯＭとレジスタを使用する方式のように電源投入時に毎回設定情報を読み込む必要がなくなるため、ＣＰＵの負担が軽くなるとともにシステムの立ち上がりが速くなるという利点がある。特に携帯電話等に適用される液晶表示装置の立ち上げ時にリセット動作を行う場合には、携帯電話の電源立ち上げ時、及びスタンバイ状態からアクティブ状態になる時に液晶表示装置のリセット動作を行う必要がある場合もある。このような場合、マイクロプロセッサは様々なデバイス（ＲＦモジュール、電源回路、メモリ、液晶表示装置の駆動制御用の半導体回路等）に初期値を設定する必要があり、マイクロプロセッサの動作負担は重い。そのため、液晶表示駆動用半導体集積回路における電源投入時の設定を速くすることは、ＣＰＵの負担を軽くしシステムの立ち上がりを速くする上で極めて有効である。

【 0 0 1 1 】

また、不揮発性の内蔵メモリ回路を設けることによって、当該チップあるいはチップを含む液晶表示装置の個別識別情報（チップＩＤまたはモジュールＩＤ）を書き込んでおくことが可能になる。そのため、かかる不揮発性メモリ回路を内蔵した半導体集積回路を用いて液晶表示装置を構成するユーザなどにとっては、このＩＤを活用することにより、さまざまな管理が可能になるという利点が生まれる。なお、ＩＤは、他の設定情報を書き込んだときに生じる余りの領域を利用して記憶させるようにすることもできる。

【 0 0 1 2 】

ここで、他の回路を構成する素子を形成する半導体製造プロセスの工程によって形成することが可能な素子とは、フローティングゲートを持つＦＡＭＯＳと呼ばれるような不揮発性記憶素子でない一般的な素子を意味する。一般に、ＥＰＲＯＭまたはＥＥＰＲＯＭと呼ばれるメモリＩＣは、通常の素子に比べて複雑な構造を有する不揮発性記憶素子を用いて構成されるため、マスク枚数が多いなど製造コストが高くなる。

10

20

30

40

50

【 0 0 1 3 】

ところが、通常の素子のみで構成可能な不揮発性メモリ回路を内蔵させて設定情報を格納するようにすれば、使用する液晶表示装置の仕様に応じて駆動条件等の設定を容易に行なうことができるとともに、駆動条件等に変更があったとしても容易に設定を変更可能なメモリ回路を安価に実現することができる。また、本発明によれば、外付け素子を用いずに、内蔵不揮発性メモリ回路に格納される設定値を変更することで特性のずれを調整することができるため、外付け部品点数はもちろん外付け素子を接続するための端子数を少なくすることができる。

【 発明の効果 】

【 0 0 1 4 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、使用する液晶表示装置の仕様に応じた駆動条件等の設定を容易に行なうことができる使い勝手のよい液晶駆動制御用半導体集積回路を実現することができる。

【 0 0 1 5 】

また、本発明に従うと、製造ばらつきで特性が所望の値からずれたとしても、外付け素子を用いずに調整することができ、外付け部品点数を減らしチップサイズも小さくできる液晶駆動制御用半導体集積回路を実現することができるという効果がある。

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

以下、この発明の好適な実施の形態を図面に基づいて説明する。

先ず、本発明を適用して有効な不揮発性メモリ回路を内蔵した液晶表示駆動用半導体集積回路（液晶コントロールドライバＩＣ）２００を、図１を用いて説明する。図１は、不揮発性メモリ回路を内蔵した液晶コントロールドライバＩＣ２００とこのドライバにより駆動されるＴＦＴ液晶パネル３００とからなる液晶表示システムの構成を示すブロック図である。

【 0 0 1 7 】

図１において、２００はアクティブマトリックス方式で液晶パネルを駆動して表示を行なう液晶コントロールドライバＩＣ、３００はこの液晶コントロールドライバＩＣ２００により駆動されるＴＦＴ液晶パネルである。ＴＦＴ液晶パネル３００は、対向する２枚のガラス基板の一方に画像信号が印加される複数の信号線としてのソース線（ソース電極）と所定の周期で順次選択駆動される複数の選択走査線としてのゲート線（ゲート電極）が直交する方向に配設されている。

【 0 0 1 8 】

また、ソース線とゲート線の各交点に画素電極と該画素電極にソース線上の画像信号に応じた電圧を印加するスイッチング素子としてのＴＦＴ（薄膜トランジスタ）からなる画素がマトリックス状に配置されている。これとともに、対向する他方のガラス基板には各画素に共通の電極が設けられ、これらの電極が形成された２枚のガラス基板間に液晶が封止されている。かかる構成のＴＦＴ液晶パネル３００は公知であるので図示は省略する。

【 0 0 1 9 】

液晶コントロールドライバＩＣ２００は、液晶パネル３００のソース線ＳＬを画像信号に応じて駆動するソースドライバ回路２１０、ＴＦＴ液晶パネル３００のゲート線ＧＬを順番に走査駆動するゲートドライバ回路２２０、ＴＦＴ液晶パネル３００の各画素共通の電極にコモン電圧ＶＣＯＭを印加するコモンドライバ回路２３０を備える。また、ドライバＩＣ２００は、これらのドライバ回路２１０～２３０に必要とされる駆動電圧を発生するＬＣＤ用電源回路２４０、駆動条件等の設定情報を記憶する不揮発性メモリ回路２５０、外部のマイクロプロセッサ（以下、ＭＰＵ又はＣＰＵとも言う）等からの指令に基づいてチップ内部全体を制御する制御部２６０を備える。

【 0 0 2 0 】

10

20

30

40

50

さらに、ドライバIC 200は、内部の基準となるクロック ϕ_r を生成する発振回路270、生成された基準クロック ϕ_r に基づいて上記ドライバ回路210～230等の動作タイミングを与える信号 ϕ_1 、 ϕ_2 、 ϕ_3 ...を生成するタイミングコントロール回路280、液晶パネル300に表示すべき画像データを記憶する表示用RAM 290等を備える。これらの回路を備えるドライバIC 200は単結晶シリコンのような1個の半導体チップ上に半導体集積回路として構成されている。

【0021】

なお、ドライバIC 200は、電源電圧VCCが印加される外部端子と接地電位GNDが印加される外部端子とを有する。また、不揮発性メモリ回路250に書き込みを行なうのに必要なVCCよりも高い書き込み電圧VPP1、VPP2が印加される外部端子が設けられている。 10

【0022】

この実施例の制御部260は、コマンドコードを設定するためのインデックスレジスタ261および該インデックスレジスタ261の内容に基づいて書き込みがなされるコントロールレジスタ262や外部から供給されるデータおよび上記不揮発性メモリ回路250から読み出されたデータを保持するデータレジスタ263、不揮発性メモリ回路250の読み出し、書き込み制御を行なうリード/ライト制御回路264等を備える。

【0023】

また、この実施例の制御部260には、外部のMPUがインデックスレジスタ261に書き込みを行なうことで実行するコマンドを指定して制御信号を生成する方式が採用されている。制御部260の制御方式として、外部のMPUからコマンドコードを受けると、このコマンドをデコードして制御信号を生成する方式を採用しても良い。データレジスタ263は、不揮発性メモリ回路250の出力部に設け、制御部260にはデータレジスタ263に読み出されたデータを所望の回路に分配するゲート回路を設けるようにしても良い。 20

【0024】

このように構成された制御部260による制御によって、液晶コントロールドライバIC 200は、外部のMPUからの指令およびデータに基づいて上述したTFT液晶パネル300に表示を行なう際に、表示データを表示用RAM 290に順次書き込んで行く描画処理を行なう。これとともに、制御部260は、表示RAM用290から順次表示データを読み出す読み出し処理を行なってTFT液晶パネル300のソース線SLに印加する信号およびゲート線GL、コモン電極COMに印加する信号をドライバ210、220、230より出力させることにより液晶表示が行なわれる。 30

【0025】

駆動条件等の設定情報を記憶する不揮発性メモリ回路250は、後述のように、他の回路を構成する素子と同一の素子（本実施例ではCMOSトランジスタ）により構成されている。これによって、不揮発性メモリ回路250を形成するために製造工程が増えないようにされ、製造コストの上昇が抑えられる。ここで、不揮発性メモリ回路250に格納される設定情報は、大きく分けるとメーカー（ベンダ）において格納すべき設定情報とユーザ（アッセンブリメーカー）において格納すべき設定情報の2種類がある。実際に使用するときには、一方か、又は両方を設定することができる構成にすることができる。 40

【0026】

本実施例の液晶コントロールドライバICにおいては、不揮発性メモリ回路250に、メーカーが設定する情報を格納するための第1の領域251とユーザが設定する情報を格納するための第2の領域252とが設けられている。このうち、第1の領域251は1度だけデータを書き込むことができるようにされ、第2の領域252は複数回データを書き込むことができるようにされている。

【0027】

メーカーにおいて格納すべき設定情報には、内部の基準となるクロックを生成する発振回路270において生成するクロック ϕ_r の周波数を設定するための情報、基準クロック ϕ 50

rに基づいて動作クロック $\phi 1$, $\phi 2$, $\phi 3$...を生成するタイミングコントロール回路280において生成するクロックのタイミングを設定するための情報などがある。また、ドライバ210~230に必要とされる駆動電圧を発生するLCD用電源回路240において発生する電圧のレベルを設定するための情報も、メーカにおいて格納すべき設定情報に含まれる。そして、上記発振回路270、タイミングコントロール回路280、LCD用電源回路240等は、不揮発性メモリ回路250から読み出された対応する設定情報に従って変更可能に構成されている。

【0028】

図2には、そのうち発振回路270の構成例が示されている。この実施例の発振回路270は、ORゲート271と直列形態のインバータINV1, INV2とフィードバックパスとからなるリングオシレータにより構成されている。そして、最終段のインバータINV2から初段のORゲート271へのフィードバックパス上に設けられた直列形態の複数の抵抗Rf1, Rf2, ... Rfmの各接続ノードとオシレータの出力端子との間にスイッチング素子SW1, SW2, ... SWmが設けられている。

10

【0029】

また、不揮発性メモリ回路250から読み出されデータレジスタ263に保持された対応する設定情報をデコードするデコーダDEC1が設けられ、このデコーダDEC1の出力によって上記スイッチング素子SW1, SW2, ... SWmのいずれかがオン状態にされる。これにより、フィードバック信号の遅延時間が変化され、オシレータの出力である基準クロック ϕr の周波数が変更されるように構成されている。その結果、製造ばらつきで発振回路の周波数が所望の周波数からずれた場合にも、周波数のずれを調整できるようになる。また、液晶表示装置にあう特定の仕様の周波数に変更できるようにすることもできる。

20

【0030】

なお、フィードバック信号が入力されているオシレータの初段のORゲート271の他方の入力端子に入力されている信号COSCは、オシレータの起動信号である。この信号COSCがロウレベルにされるとオシレータは発振動作し、COSCがハイレベルにされるとオシレータは発振動作を停止するようになっている。デコーダDEC1を省略して、データレジスタ263に保持された設定情報によってスイッチング素子SW1, SW2, ... SWmを直接制御するように構成しても良い。

30

【0031】

内蔵メモリと調整回路がない場合には、発振回路270により生成される基準クロック ϕr の周波数を変更するため、例えば図3に示されているように、フィードバック経路に設けられた抵抗Rfを、ドライバIC200に外付け素子として接続し、その抵抗値を変更するようにしなければならなかった。本実施例によれば、かかる外付け素子が不要となるため、外付け部品を減らしてシステムを小型化することができるとともに、外付け素子を接続するための外部端子も少なくできるため、チップ自身も小型化することができる。

【0032】

図4には、タイミングコントロール回路280の構成例が示されている。この実施例のタイミングコントロール回路280は、直列形態に接続された複数の遅延回路DLY1, DLY2... DLYnにより構成されている。各遅延回路DLY1, DLY2... DLYnの接続ノードとコントローラの入力端子との間に、スイッチング素子SW11, SW12, ... SW1mが設けられている。

40

【0033】

これらのスイッチング素子SW11, SW12, ... SW1mのいずれかが、不揮発性メモリ回路250から読み出されデータレジスタ263に保持された対応する設定情報の信号TC1, TC2, TC3などによってオン状態にされることにより、出力される信号TMDのタイミングが変更されるようになっている。データレジスタ263に保持された設定情報をデコードするデコーダを設けて、このデコーダの出力でスイッチング素子SW

50

1 1 , S W 1 2 , ... S W 1 m を制御するように構成しても良い。

【 0 0 3 4 】

ここで、タイミングコントロール回路 2 8 0 によりタイミングを調整する信号としては、例えば表示 R A M 2 8 0 の動作タイミングを与える信号がある。表示 R A M 2 8 0 は、液晶コントロールドライバの内部で最も高速で動作する回路であるため、その動作タイミングのずれはシステム全体の動作に影響を与える。そこで、表示 R A M 2 8 0 の動作タイミングを与える信号を初期設定で調整することにより、所望の動作特性が得られるようになる。

【 0 0 3 5 】

図 5 には、L C D 用電源回路 2 4 0 の構成例が示されている。この実施例の L C D 用電源回路 2 4 0 は、直列形態に接続されたラダー抵抗 R 1 1 , R 1 2 , ... R 1 n と、各ラダー抵抗と並列に接続されたスイッチング素子 S W 2 1 , S W 2 2 , ... S W 2 n とを備える。そして、これらのスイッチング素子 S W 2 1 , S W 2 2 , ... S W 2 n が、不揮発性メモリ回路 2 5 0 から読み出されデータレジスタ 2 6 3 に保持された対応する設定情報によってオンまたはオフ状態にされる。これにより、L C D 用電源回路 2 4 0 における基準となる電圧 V C O M R のレベルが決定されるようになっている。

【 0 0 3 6 】

図 5 において、L C D 用電源回路 2 4 0 内に設けられているスイッチ S W a 1 , S W a 2 は、液晶の劣化を防止するため液晶パネルを交流駆動すべく共通電極に印加する共通電位 V C O M H と V C O M L を切り替えて所定の周期で極性反転させるスイッチである。また、スイッチ S W m 1 , S W m 2 は、表示モード等に応じて共通電極に印加する共通電位 V C O M H , V C O M L のうち V C O M H のレベルを切り替えるためのスイッチである。これらのスイッチ S W a 1 と S W a 2 また S W m 1 と S W m 2 は、制御部 2 6 0 からの制御信号によってそれぞれ相補的すなわち一方がオンのときは他方がオフの状態にされる。

【 0 0 3 7 】

内蔵メモリと調整回路がない場合には、基準となる電圧 V C O M R のレベルを変更するため、例えば図 6 に示されているように、ドライバ I C 2 0 0 に外付けの抵抗 R t 1 , R t 2 を設けて、一方の抵抗 R t 1 の抵抗値を変更するようにしていた。本実施例によれば、かかる外付け素子が不要となるため、外付け部品数を減らしてシステムを小型化することができるとともに、外付け素子を接続するための外部端子も少なくできるため、チップ自身も小型化することができる。

【 0 0 3 8 】

次に、制御部 2 6 0 による不揮発性メモリ回路 2 5 0 の書込みの手順と動作タイミングを、図 1 および図 7 を用いて説明する。図 7 において、信号 C S , R S , W R , R D はリード/ライト制御回路 2 6 4 にチップ外部より入力される制御信号である。このうち制御信号 C S はチップが選択されたことを示す信号、R S はデータ D B をインデックスレジスタにラッチするのかコントロールレジスタにラッチするのかを示す信号である。また、W R は書き込み動作を制御するための信号、R D は読み出し動作を制御するための信号である。リード/ライト制御回路 2 6 4 は、これらの制御信号 C S , R S , W R , R D とタイミングコントローラ 2 8 0 からのクロック $\phi 2$ に基づいて、メモリ回路 2 5 0 に供給する信号を生成する。W E はリード/ライト制御回路 2 6 4 により生成されてメモリ回路 2 5 0 に供給される書込み許可信号である。また、R E はリード/ライト制御回路 2 6 4 により生成されてメモリ回路 2 5 0 に供給される読み出し許可信号である。

【 0 0 3 9 】

図 7 には、制御部 2 6 0 による不揮発性メモリ回路 2 5 0 の書込み動作タイミングが示されている。

この書込み動作の説明は、特に制限されるものでないが、本実施例の液晶コントロールドライバでは、電源投入後に M P U からリセット信号 R E S E T が入力されるとハイレベルからロウレベルになる場合の例を示している。また、図 7 の例は、アドレスは 0 0 0 ~ 0 1 1 の 4 つのアドレスに書込む場合の例を示している。

【 0 0 4 0 】

まず、リセット信号 R E S E T が入力されると、チップ内部レジスタはリセットされる (図 7、タイミング t 1)。続いて、M P U などに接続された制御バス B U S に、R S = L o w の期間にインデックスデータがドライバ I C に入力される。このとき、W R がロウからハイになるタイミングでこのインデックスデータがインデックスレジスタ 2 6 1 に格納される (図 7、タイミング t 2)。

【 0 0 4 1 】

このとき、インデックスレジスタ 261 に格納されたインデックスデータにより、R O M 系回路のコントロールレジスタ 2 6 2 が選択される。また、タイミング t 2 のあとで、制御バス B U S から、R S = H i g h の期間に制御等のデータ (今後単に「データ」と記す) がドライバ I C に入力される。このとき、W R がロウからハイになるタイミングで、このデータがコントロールレジスタ 2 6 2 に格納される (図 7、タイミング t 3)。

10

【 0 0 4 2 】

< 書込み期間 >

t 3 のタイミングで、コントロールレジスタのデータが確定するが、データの内容は、書込みデータ W D A T A、書込みアドレス A D D R、R O M 制御データ O P 0、O P 1 などである。書込みの場合は、制御データ O P 0 のデータを 0 (Low) から 1 (High) にする。このとき、O P 0 が 1 (High) ならば、W E / R E 制御回路 2 6 4 を制御して、書込み許可信号 W E をハイレベルにアサートして、書き込み動作が行われる。

【 0 0 4 3 】

書込みの終了は、制御バス B U S の制御信号 R S がハイレベルの期間にコントロールレジスタの O P 0 のデータを 1 (High) から 0 (Low) に変えることにより、W E / R E 制御回路 2 6 4 を制御して、書込み許可信号 W E をロウレベルにネゲートする。これにより書込み動作が終了する (図 7、タイミング t 4)。

20

【 0 0 4 4 】

アドレスを変えて書込みを再開する場合は、制御信号 R S がハイレベルの期間にコントロールレジスタの O P 0 のデータを 0 (Low) から 1 (High) にする (図 7、タイミング t 5)。このとき、O P 0 が 1 (High) なので、W E / R E 制御回路 2 6 4 は、書込み許可信号 W E をハイレベルにアサートして、書き込み動作が行われる。このとき、データレジスタのアドレスは、更新しておく。これにより、タイミング t 3 から t 4 の期間で書いたアドレスとは異なるアドレスの領域に書込みが行われる。

30

【 0 0 4 5 】

以後、タイミング t 5 の後は、前記のタイミング t 3 から t 4 と同様にコントロールレジスタの O P 0 のデータをセットすることにより書込みが終了する (図 7、タイミング t 6)。以降は、上記を繰り返す

【 0 0 4 6 】

なお、この実施例では、外部から入力される制御信号 C S , R S , W R , R D に従って書き込み動作を実行するように構成したものを説明したが、チップ内部に 1 つのコマンドコードに対応した複数のマイクロ命令コードを格納した R O M を設ける。そして、インデックスレジスタ 2 6 1 に書き込みコマンドが設定されると、マイクロ命令コードを読み出してリード/ライト制御回路 2 6 4 に対する制御信号を生成し、自動的に書き込み動作を実行させるように構成することも可能である。ただし、実施例のように外部からの制御信号に従った制御方式とすることにより、制御部 2 6 0 の規模を小さくすることができる。

40

【 0 0 4 7 】

図 8 には、制御部 2 6 0 による不揮発性メモリ回路 2 5 0 の読出し動作タイミングが示されている。R E はリード/ライト制御回路 2 6 4 により生成されてメモリ回路 2 5 0 に供給される読出し許可信号である。

【 0 0 4 8 】

本実施例の液晶コントロールドライバでは、電源投入後に M P U からリセット信号 R E S E T がハイレベルからロウレベルにアサートされ、これにより、チップ内部のレジスタ

50

がリセットされる。そして、インデックスレジスタ 261 に読み出しコマンドが設定されると、インデックスレジスタ 261 によってコントロールレジスタ 262 の所定の制御ビット OP1 に "1" がセットされ、リード/ライト制御回路 264 により読み出し許可信号 RE がハイレベルにアサートされて読み出し動作が開始される (タイミング t11)。なお、このとき制御ビット OP0 は "0" にされる。

【0049】

そして、コントロールレジスタ 262 の所定のフィールドに格納されている読み出しアドレス RADDR がメモリ回路 250 へ供給されてデータの読み出しが実行される。このとき、メモリ回路 250 に供給されたアドレスに対応した領域に記憶されているデータが一括して読み出される。なお、コントロールレジスタ 262 に読み出し用の制御ビット OP1 を設ける代わりに、リセット信号 RESET を適当なディレイ回路等に通すことによってリード/ライト制御回路 264 の起動信号とし、ハイレベルの読み出し許可信号 RE を出力させるように構成しても良い。

10

【0050】

次に、所定時間後にタイミングコントロール回路 280 からラッチタイミングを示す信号 RESET が出力され、メモリ回路 250 から読み出されたデータがデータレジスタ 263 にラッチされる (タイミング t12)。その後、不揮発性メモリ回路 250 への読み出し制御信号 RE がロウレベルにネゲートされて一回の読み出し動作が終了する (タイミング t13)。

【0051】

読み出しデータが複数のアドレスにわたっているときは、読み出し許可信号 RE がロウレベルにネゲートされている間にコントロールレジスタ 262 の所定のフィールドに格納されている読み出しアドレス RADDR を更新してから上記動作を繰り返すようにされる。

20

【0052】

本実施例では、リセット信号 RESET が入力されるとインデックスレジスタ 261 によってコントロールレジスタ 262 の所定の制御ビット OP1 に "1" がセットされることで読み出し許可信号 RE が生成されるように構成されているが、リセット信号 RESET を適当なディレイ回路等に通すことによって読み出し許可信号 RE を生成するようにしても良い。また、本実施例の液晶コントロールドライバ IC は、リード/ライト制御回路 264 が、前述の制御信号 CS, RS, WR, RD に基づいて、メモリ回路 250 からデータを

30

【0053】

図 9 には、図 1 の不揮発性メモリ回路 250 のうちメーカーが設定する情報を格納するための第 1 の領域 251 に使用して好適なメモリ回路の例が示されている。この実施例の不揮発性メモリ回路 250 は、FAMOS や MNOS のような不揮発性記憶素子を使用せずに、通常の回路構成素子である P チャネル MOSFET (絶縁ゲート型電界効果トランジスタ) と N チャネル MOSFET のみで構成されている。なお、図 7 には、図示の都合で、8 個のメモリセルからなる 1 バイトの記憶容量のメモリ回路が示されているが、実際には、同様な構成のメモリ回路が複数個設けられ、アドレス信号でいずれかを選択的に動作させるように構成することで複数バイトの記憶容量のメモリ回路として構成されている。

40

【0054】

図 9 において、264 は前述の制御信号 CS, RS, WR, RD とコントロールレジスタ 262 からのデータ DB0 ~ DB17 に基づいてメモリ回路の書き込み、読み出しのための信号を生成するリード/ライト制御回路である。また、254 は書き込みのために必要な通常の電源電圧 VCC よりも電位の高い書き込み電圧 VPP1, VPP2 に基づいて回路内部で必要な所定のレベルの電源電圧 VPP1M, VPP2M を生成する内部電源制御回路である。さらに、255 は不揮発性メモリセル、256 は各メモリセルの読み出し/書き込み回路で、この実施例では 1 度に 8 ビットのデータをリード/ライトできるように、8 個のメモリセルと読み出し/書き込み回路のペアが一方向に並んで配置されている。書き込み電圧 VPP1, VPP2 は、

50

例えば 9 V と 7 V である。

【 0 0 5 5 】

L D 0 ~ L D 7 はリード / ライト制御回路 2 6 4 から出力される書込みデータが乗るライトデータ線、P U は読出しを制御するための読出し制御線である。また、C G は 8 ビットのデータをリード / ライトするための通常のメモリアレイにおけるワード線に相当するコントロールゲート線である。さらに、S L はメモリセル 2 5 5 へ書き込み電圧を供給する書込み電圧供給ライン、P R G M は書込みを制御するための書込み制御線、V E R はメモリセルの電位を制御するための電位制御線である。コントロールゲート線 C G は、読出し制御信号 R E と書込み制御信号 W E の排他的論理和を取る E O R ゲート G 0 の出力に応じて駆動される。L S 1 , L S 2 は、E O R ゲート G 0 の出力信号、書込み制御信号 W E

10

【 0 0 5 6 】

読出し / 書込み回路 2 5 6 は、ライトデータ線 L D 0 ~ L D 7 のうちいずれかのライトデータ線と書込み制御線 P R G M の信号を入力とする O R ゲート G 1 と、信号 C E R B がハイレベルのときに該 O R ゲート G 1 の出力信号を通過させる伝送ゲート M O S F E T Q t 1 とを備える。さらに、読出し / 書込み回路 2 5 6 は、読出し制御線 P U に接続された抵抗 R 0 および該抵抗 R 0 と直列に接続された伝送ゲート M O S F E T Q t 2 と、Q t 2 がオンされたときに抵抗 R 0 の電位が低下したか否かを判別するセンス用インバータ G 2 を備える。抵抗 R 0 は、この例では固定抵抗を例示しているが、これに相当する動作をする回路で構成してもよい。

20

【 0 0 5 7 】

メモリセル 2 5 5 は、伝送ゲート M O S F E T Q t 1 と書込み電圧供給ライン S L との間に互いにチャネルが並列の状態に接続された電荷注入用 M O S F E T Q w 1 , Q w 2 と、Q w 1 , Q w 2 のゲート端子とコントロールゲート線 C G との間に容量素子として接続された M O S 容量 C 1 , C 2 とを有する。また、メモリセル 2 5 5 は、読出し制御線 P U と電位制御線 V E R との間に、上記抵抗 R 0 および伝送ゲート M O S F E T Q t 2 と直列形態に接続された読出し用 M O S F E T Q r 1 , Q r 2 を備える。上記電荷注入用 M O S F E T Q w 1 と読出し用 M O S F E T Q r 1 は互いにゲート端子同士が結合され、Q w 2 と Q r 2 もゲート端子同士が結合され、それぞれのゲート端子はフローティングにされている。

30

【 0 0 5 8 】

さらに、伝送ゲート M O S F E T Q t 1 , Q t 2 もゲート端子同士が結合されており、リード / ライト制御回路 2 6 4 からの制御信号 C E R をインバータで反転した信号 C E R B が共通ゲートに供給され、C E R B によって制御される。また、メモリセルの電位を制御する上記電位制御線 V E R は、この制御信号 C E R B をさらにインバータで反転した信号のレベルを変換するレベルシフト回路 L S 3 によって駆動される。

【 0 0 5 9 】

この実施例のメモリセル 2 5 5 は、コントロールゲート線 C G で M O S 容量 C 1 , C 2 を介して電荷注入用 M O S F E T Q w 1 , Q w 2 のゲート電圧を高くした状態でライトデータに応じて Q w 1 , Q w 2 のソース・ドレイン間に書込み電圧を印加して Q w 1 , Q w 2 をオンまたはオフ状態に設定する。そして、Q w 1 , Q w 2 に選択的にドレイン電流を流すことによって発生したホットエレクトロンが、Q w 1 , Q w 2 のゲート電極に注入されることでデータの書込みが行なわれる。電荷注入用 M O S F E T と読出し用 M O S F E T を 2 つずつ設けているのは、電荷のリークによる記憶データの信頼性低下を防止するためである。

40

【 0 0 6 0 】

データの読出し時には、コントロールゲート線 C G で M O S 容量 C 1 , C 2 を介して読出し用 M O S F E T Q r 1 , Q r 2 のゲート電圧を高くする。これとともに、読出し制御線 P U を高くし、V E R を低くして Q r 1 , Q r 2 のソース・ドレイン間に電位差を与えて Q r 1 , Q r 2 に電流が流れるか否かをインバータ G 2 で判別する。

50

【0061】

具体的には、電荷注入用MOSFET Q_{w1} , Q_{w2} のゲート電極に電荷が注入されていると、読出し用MOSFET Q_{r1} , Q_{r2} のゲート電圧が相対的に低くなってオフ状態にされてドレイン電流は遮断される。一方、 Q_{w1} , Q_{w2} のゲート電極に電荷が注入されていないと、読出し用MOSFET Q_{r1} , Q_{r2} のゲート電圧が相対的に高くなってオン状態にされ、ドレイン電流が流れる。これにより、 R_0 と Q_{r1} との接続ノードの電位が変化する。この電位変化をインバータG2で判別することでメモリセルの状態を判定することができる。

【0062】

なお、この実施例では、読出し動作時、電荷注入用MOSFET Q_{w1} , Q_{w2} のうち一方のゲート電極の電荷がリークしたとしても、他方のゲート電極の電荷がリークしていなければ、いずれか一方はオフにされてドレイン電流が流れない。そのため、電荷のリークによる記憶データの信頼性低下を防止することができる。電荷注入用MOSFET Q_{w1} , Q_{w2} と読出し用MOSFET Q_{r1} , Q_{r2} は、それぞれ1個のMOSFETで構成してもメモリセルとして有効に動作するので、一方の組を省略することが可能である。また、図1の実施例のメモリ回路250は、図9のような構成のメモリ回路に限定されず同様な機能を有する回路であれば良い。

10

【0063】

次に、上記実施例の液晶コントロールドライバに用いられる不揮発性メモリの具体的なデバイスの構造と、該不揮発性メモリにおけるデータの書き込み、消去および読み出しの各動作について、図10～図13を用いて説明する。図10はメモリセル領域の要部平面図であり、図11～図13は図10中のD-D'線に沿った断面を示している。

20

【0064】

図において、符号1で示されているのは例えば単結晶シリコンからなるp型半導体基板、2は基板1の表面に選択的に形成されたフィールド酸化膜、19、20は基板1およびフィールド酸化膜2の表面を覆うように形成された層間絶縁膜である。4AはMOS容量C1、C2が形成されるp型ウェル領域、4BはMOSFET Q_{w1} , Q_{w2} ; Q_{r1} , Q_{r2} が形成されるp型ウェル領域、3はp型ウェル領域4A、4Bの下側に設けられたn型半導体分離領域である。5はn型半導体分離領域3に電位を与える給電領域としてのn型半導体領域、14Aはn型半導体領域5のバッファ層としてのn型半導体領域、14BはMOSFET Q_{w1} , Q_{r1} (Q_{w2} , Q_{r2}) のソース・ドレイン領域となるn型半導体領域である。

30

【0065】

また、15AはMOS容量C1の一方の端子となるp型半導体領域、15BはMOSFET Q_{w1} , Q_{r1} のp型ウェル領域4Bに電位を与える給電領域としてのp型半導体領域、18は表面に形成される電極との接触抵抗を減らすためのコンタクト層である。さらに、6はMOS容量C1の誘電体層で、この誘電体層6はMOSFET Q_{w1} , Q_{r1} のゲート絶縁膜と同一工程で形成される。また、7AはMOS容量C1の他方の端子となる導電体層、7BはMOSFET Q_{w1} , Q_{r1} のゲート電極で、導電体層7Aは Q_{w1} , Q_{r1} のゲート電極と同一工程で形成される。

40

【0066】

データの書き込み時には、図11に示すように、n型半導体領域5を介してn型半導体分離領域3に例えば9Vを印加し、p型半導体領域15Bを介してMOSFET Q_{w1} , Q_{r1} (Q_{w2} , Q_{r2}) が形成されたp型ウェル領域4Bに0Vを印加する。また、p型半導体領域15Aを介して容量素子C1 (C2) が形成されたp型ウェル領域4Aに順方向の9Vを印加する。MOSFET Q_{w1} , Q_{r1} (Q_{w2} , Q_{r2}) のゲート電極7Bと容量素子C1 (C2) の一方の端子としての電極7Aとはつながっているため、p型ウェル領域4への9Vの印加により電極7Bの電位が持ち上げられる。

【0067】

また、データ書き込み用のMOSFET Q_{w1} (Q_{w2}) のソース、ドレインとして

50

の n 型半導体領域 1 4 B の一方に 7 V を印加し、他方に 0 V を印加する。さらに、データ読み出し用の MOSFET Qr1 (Qr2) のソース、ドレインとしての n 型半導体領域 1 4 B を 0 V とする。これにより、データ書き込み用の MOSFET Qw1 (Qw2) のチャネルに電流が流れ、そのとき発生したホットエレクトロン (e-) がゲート電極 7 B に注入され、データの書き込みが行われる。なお、n 型半導体分離領域 3 に 9 V を印加するのは、p 型ウェル領域 4 A に 9 V が印加されることで PN 接合が順方向にバイアスされないようにするためである。

【0068】

データの読み出し時には、図 1 2 に示すように、n 型半導体領域 5 を介して n 型半導体分離領域 3 に例えば 3 V を印加し、p 型半導体領域 1 5 B を介して MOSFET Qw1、Qr1 (Qw2, Qr2) が形成された p 型ウェル領域 4 B に 0 V を印加する。また、p 型半導体領域 1 5 A を介して容量素子 C1、C2 が形成された p 型ウェル領域 4 A に 3 V を印加する。この p 型ウェル領域 4 A への 3 V の印加により電極 7 A および 7 B の電位が持ち上げられ、電極 7 B に電荷が蓄積されているか否かに応じて、データ読み出し用の MOSFET Qr1、Qr2 がオンまたはオフ状態にされる。

10

【0069】

また、データ書き込み用の MOSFET Qw1 (Qw2) のソース、ドレインとしての n 型半導体領域 1 4 B を 0 V とし、データ読み出し用の MOSFET Qr1 (Qr2) のソース、ドレインとしての n 型半導体領域 1 4 B の一方に 0 V を印加し、他方に例えば図 9 に示した抵抗 R0 の一方を接続した時の電圧が印加される。図 9 に示した抵抗 R0 の一方は PU に接続されていることは前述のとおりである。このとき、データ読み出し用の MOSFET Qr1、Qr2 のオンまたはオフ状態に応じて電流が流れたり流れなかったりする。これが、インバータ G2 によって検出される。なお、n 型半導体分離領域 3 に 3 V を印加するのは、p 型ウェル領域 4 A に 3 V が印加されることで PN 接合が順方向にバイアスされないようにするためである。

20

【0070】

図 1 4 には、図 1 の不揮発性メモリ回路 2 5 0 のユーザが設定する情報を格納するための第 2 の領域 2 5 2 に使用して好適なメモリ回路の例が示されている。この実施例の不揮発性メモリ回路 2 5 0 は、図 7 9 の実施例の不揮発性メモリ回路 2 5 0 と同様に、FAMOS や MNOS のような不揮発性記憶素子を使用せずに構成されている。ただし、この実施例の不揮発性メモリ回路 2 5 0 は、記憶されたデータの消去が可能な構成となっている。データの消去は、コントロールレジスタ 2 6 2 の制御ビット OP0、OP1 にそれぞれ "1" がセットされることにより、消去モードに入って消去を実行するように構成することができる。

30

【0071】

この実施例の不揮発性メモリ回路 2 5 0 は、図 9 の実施例の不揮発性メモリ回路 2 5 0 とほぼ同じ構成を有するので、同一構成の部分については説明を省略し、主として差異について説明する。図 9 の実施例の不揮発性メモリ回路 2 5 0 との第 1 の差異は、本実施例では、電源制御回路 2 5 4 が、外部から供給される第 3 の電圧 VPP3 に基づいた内部電圧 VPP3M を生成可能に構成されている点にある。第 2 の差異は、この内部電圧 VPP3M がコントロールゲート線 CG を駆動するレベルシフト回路 LS1 にロウ側の電源電圧として供給されている点にある。

40

【0072】

内部電圧 VPP3M は、データ書き込み時や読出し時には 0 V のような接地電位にされる一方、データの消去時には -9 V のような電位とされ、これがコントロールゲート線 CG を介してフローティングゲートに結合されている容量素子 C1、C2 に印加される。不揮発性メモリセル 2 5 5 を構成する MOSFET Qw1、Qw2、Qr1、Qr2 は、図 1 0 および図 1 1 に示すレイアウトと構造を有する素子を用いることができる。

【0073】

かかる構成の素子からなるメモリ回路において、データを消去するには、図 1 3 に示す

50

ように、 n 型半導体領域 5 を介して n 型半導体分離領域 3 に例えば 9 V を印加し、 p 型半導体領域 15 B を介して MOSFET $Qw1$ 、 $Qr1$ ($Qw2$ 、 $Qr2$) が形成された p 型ウェル領域 4 B に 9 V を印加する。また、 p 型半導体領域 15 A を介して容量素子 $C1$ ($C2$) が形成された p 型ウェル領域 4 A に逆方向の - 9 V を印加する。さらに、データ書き込み用の MOSFET $Qw1$ ($Qw2$) およびデータ読み出し用の MOSFET $Qr1$ ($Qr2$) のソース領域としての n 型半導体領域 14 BW1、14 BR1 を開放電位とし、 $Qw1$ ($Qw2$) および $Qr1$ ($Qr2$) のドレイン領域としての n 型半導体領域 14 BW2、14 BR2 に 9 V を印加する。

【0074】

ここで、容量素子 $C1$ 、 $C2$ の容量電極 (ゲート電極 7 A) の面積は、MOSFET $Qw1$ 、 $Qw2$ のゲート容量を形成する容量電極 (ゲート電極 7 B) の面積より大きいことから (図 10 参照)、容量素子 $C1$ 、 $C2$ の容量は、MOSFET $Qw1$ 、 $Qw2$ のゲート容量に比べて大きくなる。そのため、MOSFET $Qw1$ 、 $Qw2$ のゲート容量に印加される電圧は、容量素子 $C1$ 、 $C2$ に印加される電圧より大きくなる。これにより、データ書き込み用の MOSFET $Qw1$ 、 $Qw2$ およびデータ読み出し用の MOSFET $Qr1$ 、 $Qr2$ の共通ゲート電極 7 B に蓄積されていた電子 (e^-) が FN トンネル現象で p 型ウェル領域 4 B へ放出される。

【0075】

このように、容量素子 $C1$ 、 $C2$ が形成された p 型ウェル領域 4 A に負 (逆方向) の電圧を印加し、MOSFET $Qw1$ 、 $Qw2$ 、 $Qr1$ 、 $Qr2$ が形成された p 型ウェル領域 4 B に正 (順方向) の電圧を印加する。これにより、ゲート破壊を起こさない電圧 (9 V 以下) でデータ消去動作に必要な電位差 (18 V) を確保することが可能となる。なお、 n 型半導体分離領域 3 に 9 V を印加するのは、 p 型ウェル領域 4 B に 9 V が印加されることで PN 接合が順方向にバイアスされないようにするためである。かかる構成のメモリ回路を用いることにより複数回のデータの書き込みが可能となる。

【0076】

図 15 には、図 1 の不揮発性メモリ回路 250 のユーザが設定する情報を格納するための第 2 の領域 252 に使用して好適なメモリ回路の他の例が示されている。この実施例の不揮発性メモリ回路 250 も、FAMOS や MNOS のような不揮発性記憶素子を使用せずに、通常の回路構成素子である P チャネル MOSFET と N チャネル MOSFET のみで構成されている。また、この実施例の不揮発性メモリ回路 250 は、記憶されたデータの消去を想定していない場合の回路である。

【0077】

この実施例では、複数回のデータの書き込みを可能にするため、同一記憶容量を有する 2 つのバンク BNK1、BNK2 が設けられている。それぞれのバンクは、図 9 に示されているメモリセル 255 と同一構成のメモリセルを有し、バンク BNK1、BNK2 はリード/ライト制御回路 264 から出力されるそれぞれのバンク指示信号 B0、B1 によっていずれか一方が選択される。

【0078】

より具体的には、リード/ライト制御回路 264 から出力される書き込みデータが乗るライトデータ線 LD0 ~ LD7 上の信号と上記バンク指示信号 B0、B1 のいずれか一方の信号とを入力とする NAND ゲート G10 ~ G17、G20 ~ G27 が設けられている。また、バンク指示信号 B0 と各制御線 PU、CG、PRGM、SL 上の信号とを入力とする NAND ゲート G30、G31、G32、G33 と、バンク指示信号 B1 と各制御線 PU、CG、PRGM、SL 上の信号とを入力とする NAND ゲート G40、G41、G42、G43 が設けられている。

【0079】

そして、バンク指示信号 B0、B1 によって NAND ゲート G10 ~ G17 と G30 ~ G33 または G20 ~ G27 と G40 ~ G43 のいずれか一方が有効化されることで、一方のバンクが選択される。これによって、見かけ上、データの書き換えが可能なメモリ回

10

20

30

40

50

路が実現される。なお、一方のバンクへの書込みがなされたなら、次の書込みの際には自動的に他のバンクが選択されるような仕組みをチップ内部に設けておくようにしても良い。これによって、ユーザの誤った処理によるデータの上書きを防止することができる。この実施例では、バンクの数を2個としたが、3個以上設けるようにしても良い。これにより、見かけ上、2回以上データの書き換えが可能なメモリ回路が実現される。

【0080】

図16には、図1の不揮発性メモリ回路250のユーザが設定する情報を格納するための第2の領域252に使用して好適なメモリ回路のさらに他の例が示されている。

【0081】

この実施例では、複数回のデータの書き込みを可能にするため、同一記憶容量を有する2つのバンクBANK1, BANK2が設けられている。それぞれのバンクは、図7に示されているメモリセル255と同一構成のメモリセルを有するとともに、メモリセルが接続されるコントロールゲート線CGは共通のゲート線CGと各バンクBANK1, BANK2用のゲート線CG1, CG2が設けられている。さらに、電源回路254にはバンクBANK1用の書込み電圧VPP1-1とバンクBANK2用の書込み電圧VPP1-2を印加する電源端子P1, P2が設けられている。

【0082】

そして、これらの電源端子に印加された電圧に基づいて生成された内部書込み電圧VPP1-1M, VPP1-2Mが、各バンク用のゲート線CG1, CG2を駆動するレベルシフト回路LS1-1, LS1-2へそれぞれ供給されるように構成されている。これによって、電源端子P1に書込み電圧VPP1-1が印加されるとバンクBANK1に対するデータの書込みが可能にされ、電源端子P2に書込み電圧VPP1-2が印加されるとバンクBANK2に対するデータの書込みが可能にされる。

【0083】

書き込み電圧を印加する端子を替えることで、書き込みを行なうバンクを切り替えることができ、これにより、見かけ上、データの書き換えが可能なメモリ回路が実現される。書込み電圧VPP2もバンクごとに別々に供給するように構成しても良い。さらに、バンクの数および書き込み電圧を印加する端子の数を3個以上としても良い。

【0084】

図17には、本実施例の液晶コントローラドライバICを構成する各回路ブロックの半導体チップ上でのレイアウトの一例が示されている。図17においては、図1に示されている回路と同一の回路には同一の符号が付されている。符号G0~Gi, Gi+1~Gnはゲートドライバ回路220により生成されたゲート駆動信号を出力する端子(出力パッド)、S0~Smはソースドライバ回路210により生成されたソース線駆動信号を出力する端子(出力パッド)である。

【0085】

また、VPP1~VPP3, GNDは外部から供給されるROM書込み用の電源電圧が印加される電源端子(電源パッド)、DB0~DB17はバスを介してCPUから供給される信号が入力される端子(入力パッド)である。特に制限されるものでないが、液晶パネルには左右にゲート駆動信号の入力端子を有するものがあるので、それに応じて、ゲート駆動信号を出力する端子(出力パッド)は2つのグループG0~GiとGi+1~Gnに分けられ、ソース線駆動信号を出力する端子(出力パッド)S0~Smを挟むようにして両側に設けられている。

【0086】

図17から分かるように、本実施例の液晶コントローラドライバICにおいては、半導体チップの長手方向の一辺に沿って出力パッドG0~GiとGi+1~Gn, S0~Smが配置され、反対側の辺に沿って入力パッドDB0~DB17が配置されている。そして、出力パッドG0~GiとGi+1~Gn, S0~Smに対応してチップの一方の辺には、ゲートドライバ回路220Aとソースドライバ回路210とゲートドライバ回路220Bが配置されている。また、チップのほぼ中央に、制御部260を構成するタイミングコント

10

20

30

40

50

ロール回路(280)などの回路が配置され、その両側に表示データ記憶用のRAM290A, 290Bが配置されている。

【0087】

さらに、電源パッドVPP1~VPP3の近傍にROM回路250が、また入力パッドDB0~DB17の近傍にLCD用の電源を生成する電源回路240が配置されている。このように、ROM書込み用の電源電圧が印加される電源パッドVPP1~VPP3の近傍にROM回路250が配置されているため、パッドから回路までの電源ラインが短くなり電力ロスが少なく済む。これとともに、比較的高いROM書込み用の電源電圧が印加される電源パッドVPP1~VPP3がチップの隅に設けられているため、他のパッドとの間の静電耐圧を高めることができる。この実施例では、静電耐圧をさらに高めるため、電源パッドVPP1~VPP3の各パッドの間隔よりもグランドパッドGNDとの間隔を広くしている。

10

【0088】

図18には、本実施例の液晶コントローラドライバICを構成する各回路ブロックの半導体チップ上でのレイアウトの他の例が示されている。図18において、図17に示されている回路や端子と同一の回路、端子には同一の符号を付して重複した説明は省略する。図18の実施例では、チップのほぼ中央に配置された制御部260の隣にROM回路250が配置されている。

【0089】

液晶コントローラドライバICにおいては、書込みデータや読出しデータを伝送するため制御部260とROM回路250を結ぶ配線の数が比較的多くなるため、制御部260とROM回路250とを離しておくこと配線の占有面積が大きくなりチップサイズの増大を招く。しかるに、本実施例のようなレイアウトを採用すると、配線の占有面積を減らしチップサイズを低減することができるという利点がある。本実施例は、ROM回路250の記憶容量が大きい場合に適用すると有効である。

20

【0090】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例では、電荷のリークによる記憶データの信頼性低下を防止するためメモリセルに電荷注入用MOSFETと読出し用MOSFETを2つ

30

【0091】

また、前記実施例では、ユーザが設定する情報を格納するための第2の領域252のみが書替え可能に構成されている場合を説明したが、メーカーが設定する情報を格納するための第1の領域251のメモリ回路のバンクの数を2個とし、見かけ上1回だけこの領域のデータを書き換えることができるように構成しても良い。

【産業上の利用可能性】

【0092】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である3端子のスイッチ素子である薄膜トランジスタにより画素電極に電荷を注入するTF

40

T液晶パネルを駆動する液晶コントローラドライバについて説明した。この発明はそれに限定されるものでなく、例えば、2端子のスイッチ素子により画素電極に電荷を注入するMIM液晶パネルを駆動する液晶コントローラドライバ等に適用することができる。

【図面の簡単な説明】

【0093】

【図1】図1は、不揮発性メモリ回路を内蔵した液晶コントローラドライバICとこのドライバにより駆動されるTF

T液晶パネルとからなる液晶表示システムの構成を示すブロック図である。

【図2】図2は、本発明を適用した液晶コントローラドライバにおける発振回路の実施例を示すブロック図である。

50

【図 3】図 3 は、外付け素子を使用して周波数調整可能とした発振回路の例を示す回路図である。

【図 4】図 4 は、タイミングコントロール回路の一例を示す回路図である。

【図 5】図 5 は、LCD 用電源回路の一例を示す回路図である。

【図 6】図 6 は、外付け素子を使用して電圧調整可能とした LCD 用電源回路の例を示す回路図である。

【図 7】図 7 は、図 1 の実施例の液晶コントロールドライバ IC 内の不揮発性メモリ回路 (ROM) の書込み時の動作タイミングを示すタイミングチャートである。

【図 8】図 8 は、不揮発性メモリ回路 (ROM) の読出し時の動作タイミングを示すタイミングチャートである。

10

【図 9】図 9 は、不揮発性メモリ回路におけるメーカ情報格納領域に好適なメモリ回路の具体的な構成例を示す回路図である。

【図 10】図 10 は、不揮発性メモリ回路を構成するメモリセルのレイアウトの例を示す平面図である。

【図 11】図 11 は、不揮発性メモリ回路を構成するメモリセルの構造と書込み時の印加電圧を示す断面図である。

【図 12】図 12 は、不揮発性メモリ回路を構成するメモリセルの構造と読出し時の印加電圧を示す断面図である。

【図 13】図 13 は、不揮発性メモリ回路を構成するメモリセルの構造と消去時の印加電圧を示す断面図である。

20

【図 14】図 14 は、不揮発性メモリ回路におけるユーザ情報格納領域に好適なメモリ回路の実施例を示す回路図である。

【図 15】図 15 は、ユーザ情報格納領域に好適なメモリ回路の他の実施例を示す回路図である。

【図 16】図 16 は、ユーザ情報格納領域に好適なメモリ回路のさらに他の実施例を示す回路図である。

【図 17】図 17 は、本実施例の液晶コントロールドライバ IC を構成する各回路ブロックの半導体チップ上でのレイアウトの一例を示す平面図である。

【図 18】図 18 は、本実施例の液晶コントロールドライバ IC を構成する各回路ブロックの半導体チップ上でのレイアウトの他の例を示す平面図である。

30

【符号の説明】

【0094】

200 液晶コントロールドライバ IC

210 ソースドライバ

220 ゲートドライバ

230 コモンドライバ

240 LCD 用電源回路

250 不揮発性メモリ回路

251 第 1 の領域 (メーカ使用領域)

252 第 2 の領域 (ユーザ使用領域)

40

254 電源制御回路

255 不揮発性メモリセル

256 読出し / 書込み回路

260 制御部

261 インデックスレジスタ

262 コントロールレジスタ

263 データレジスタ

264 リード / ライト制御回路

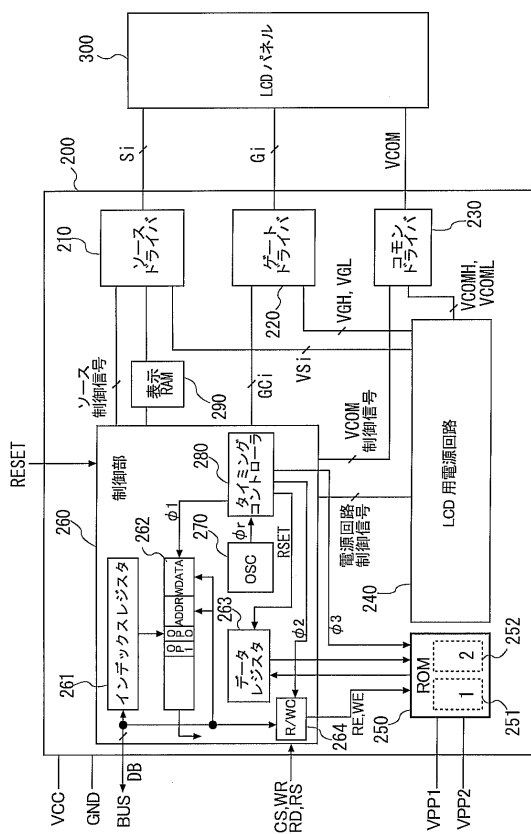
270 発振回路

280 タイミングコントロール回路

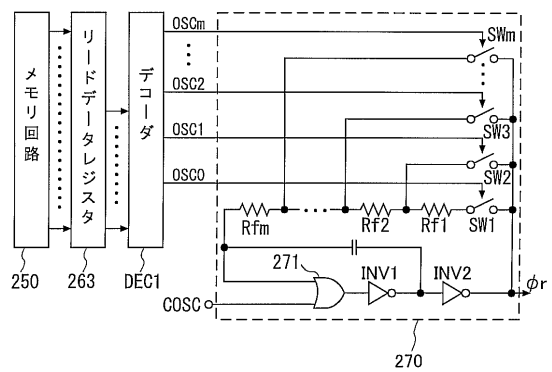
50

290 表示用RAM
300 TFT液晶パネル

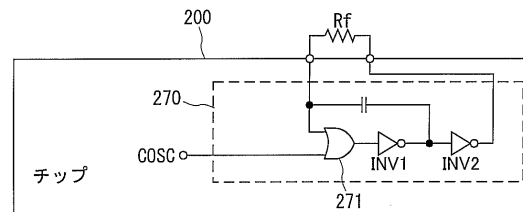
【図1】



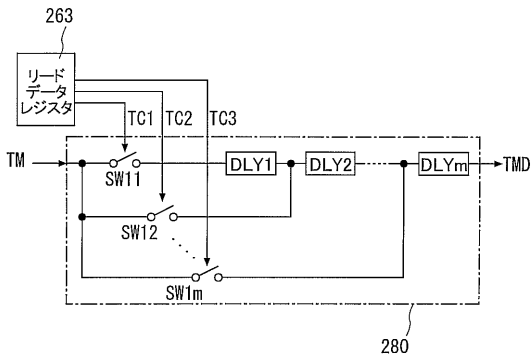
【図2】



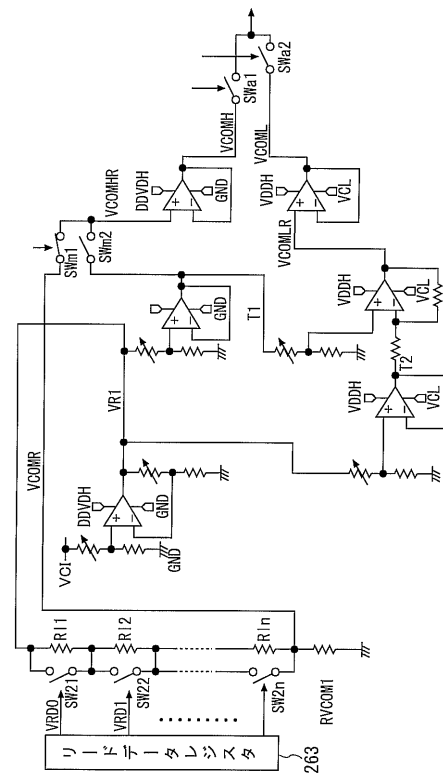
【図3】



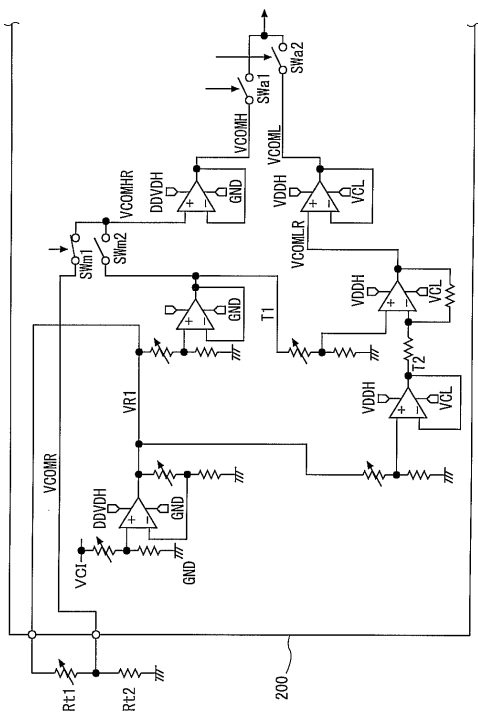
【図 4】



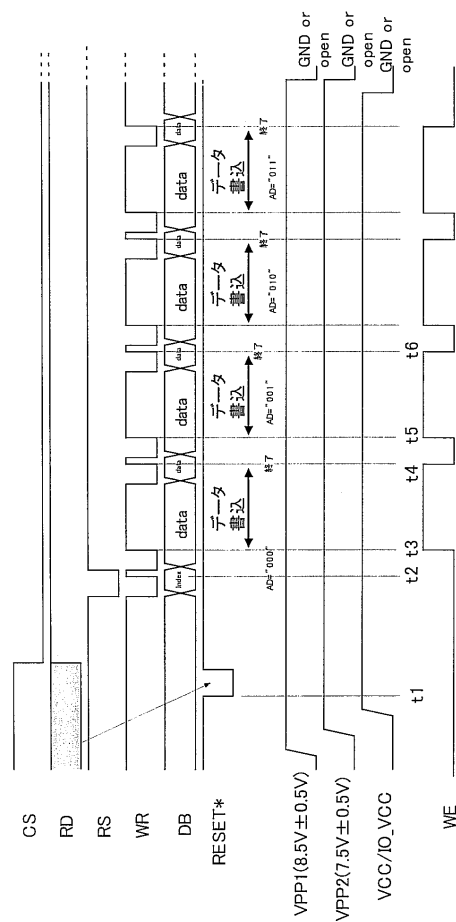
【図 5】



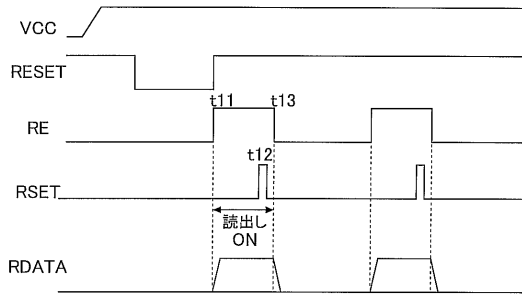
【図 6】



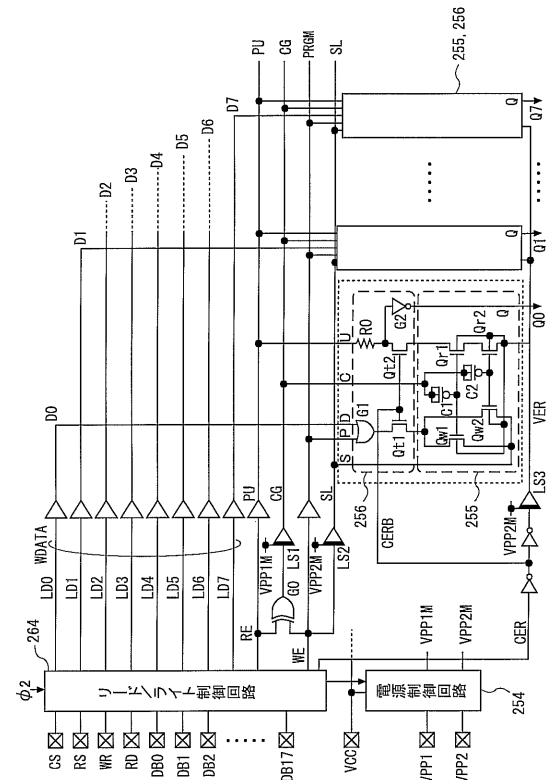
【図 7】



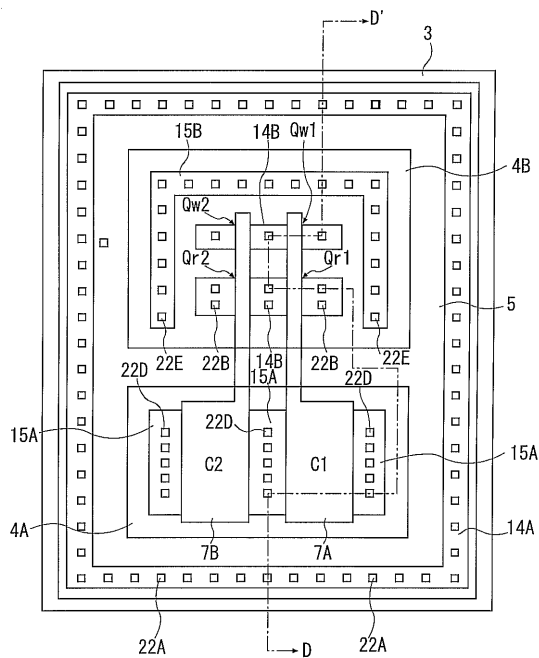
【図 8】



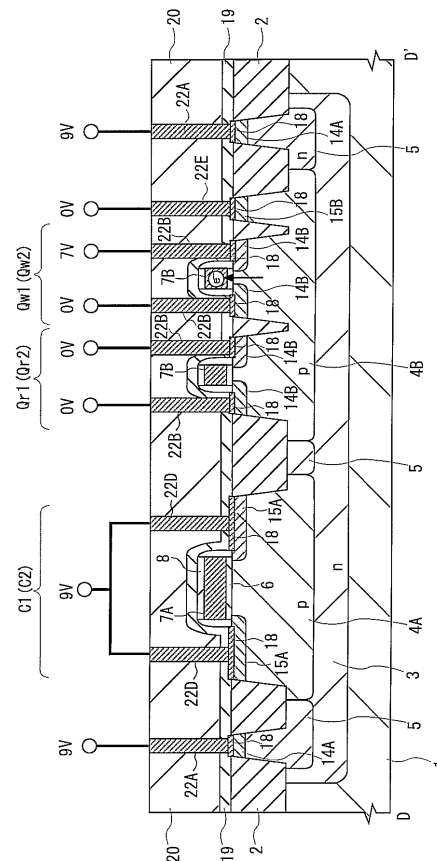
【図 9】



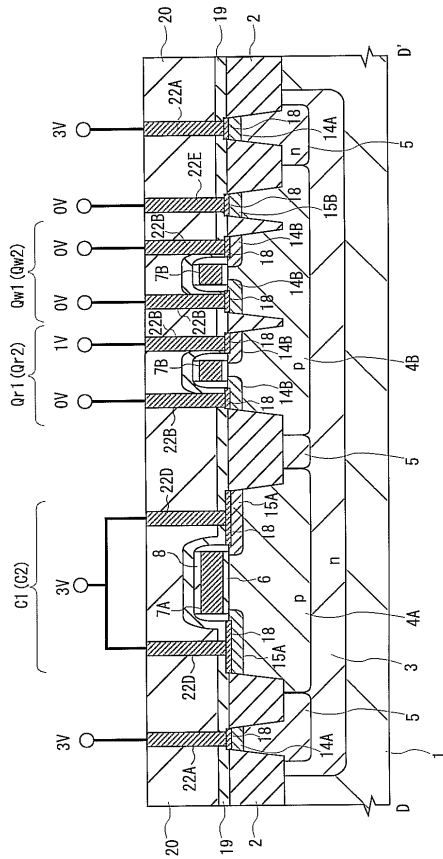
【図 10】



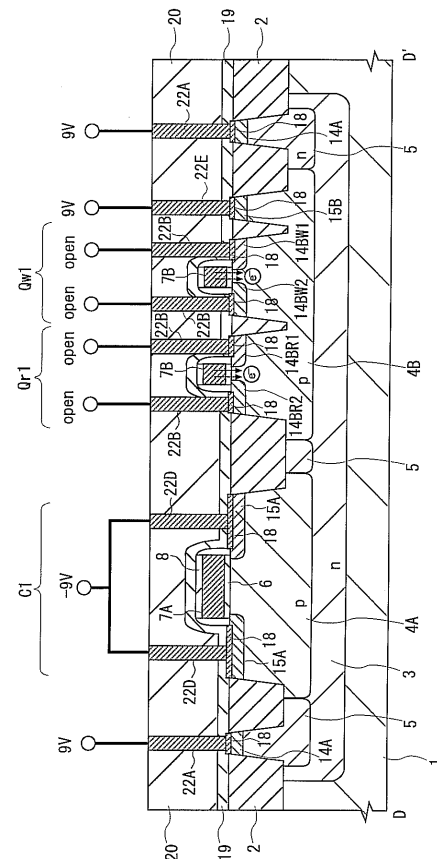
【図 11】



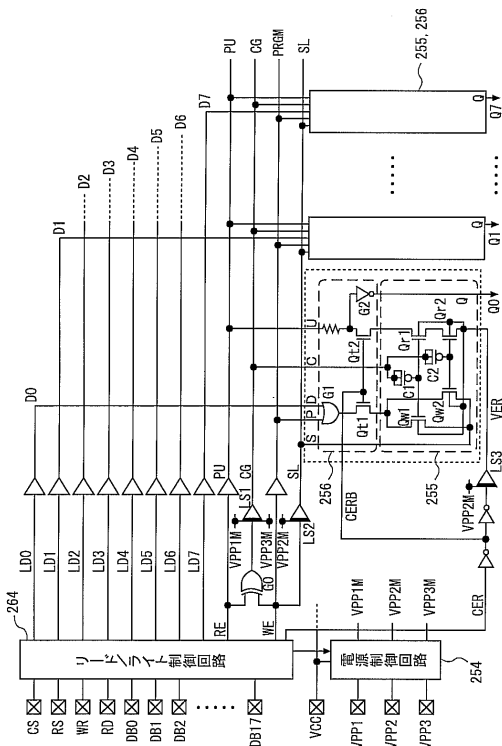
【図 1 2】



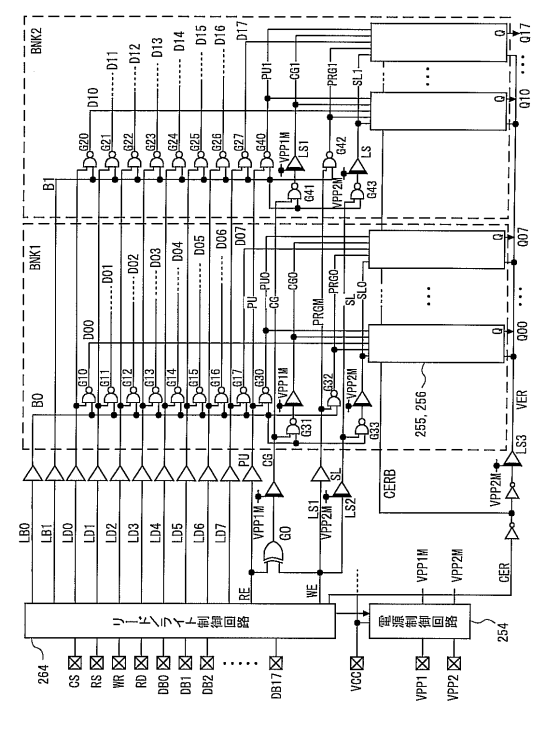
【図 1 3】



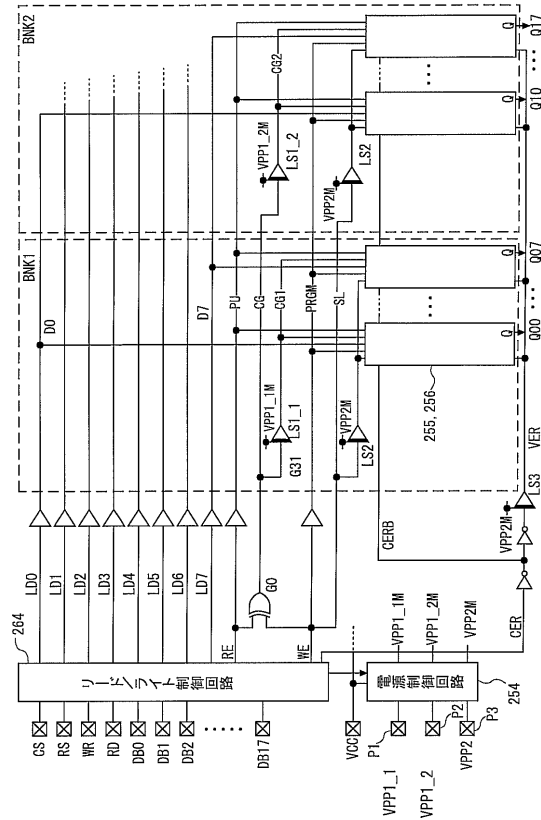
【図 1 4】



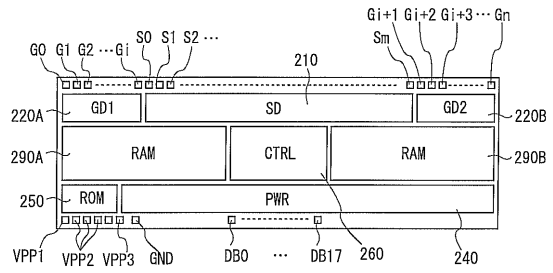
【図 1 5】



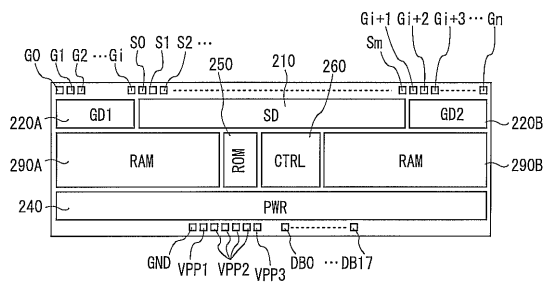
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 2 F 1/133 5 0 5	
	G 0 2 F 1/133 5 5 0	

(72)発明者 永田 寧
 北海道亀田郡七飯町字中島 1 4 5 番地 株式会社ルネサス北日本セミコンダクタ内

(72)発明者 宮本 直樹
 北海道亀田郡七飯町字中島 1 4 5 番地 株式会社ルネサス北日本セミコンダクタ内

(72)発明者 志波 和佳
 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内

F ターム(参考) 2H093 NA16 NC16 NC28 NC34 NC49 NC50 ND42 ND49 ND60 NE10
 NG20
 5C006 AF13 AF46 AF51 AF52 BB16 BC02 BC12 BC16 BC20 BF09
 BF33 EB05 FA20 FA26 FA41 FA42 FA51
 5C080 AA10 BB05 DD22 DD23 DD25 DD27 EE29 FF11 GG12 JJ02
 JJ03 JJ04 JJ06

专利名称(译)	液晶表示驱动用半导体集积回路		
公开(公告)号	JP2006330582A	公开(公告)日	2006-12-07
申请号	JP2005157390	申请日	2005-05-30
[标]申请(专利权)人(译)	株式会社瑞萨科技		
申请(专利权)人(译)	瑞萨科技公司		
[标]发明人	川瀬靖 石田進 秋葉武定 永田寧 宮本直樹 志波和佳		
发明人	川瀬 靖 石田 進 秋葉 武定 永田 寧 宮本 直樹 志波 和佳		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3655 G09G5/005 G09G2310/08 H01L27/0207 H01L27/11521 H01L27/11558 H01L29/42324 H01L29/42328 H01L29/7885		
FI分类号	G09G3/36 G09G3/20.631.K G09G3/20.631.V G09G3/20.611.H G09G3/20.621.M G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NC16 2H093/NC28 2H093/NC34 2H093/NC49 2H093/NC50 2H093/ND42 2H093/ND49 2H093/ND60 2H093/NE10 2H093/NG20 5C006/AF13 5C006/AF46 5C006/AF51 5C006/AF52 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC16 5C006/BC20 5C006/BF09 5C006/BF33 5C006/EB05 5C006/FA20 5C006/FA26 5C006/FA41 5C006/FA42 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD23 5C080/DD25 5C080/DD27 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZP20		
其他公开文献	JP5057417B2		
外部链接	Espacenet		

摘要(译)

解决的问题：实现一种用于驱动液晶显示器的半导体集成电路（液晶控制驱动器IC），该半导体集成电路能够根据所使用的液晶显示装置的规格容易地设定驱动条件等。 解决方案：非易失性存储电路（EPROM），其中可以电写入数据或将数据写入到液晶显示驱动半导体集成电路（200），该液晶显示驱动半导体集成电路制成驱动和驱动液晶显示装置（300）的半导体集成电路。包括电可擦写的非易失性存储电路（EEPROM），以将设置信息存储在存储电路（250）中。随之，存储电路由普通元件构成，该普通元件可以通过与用于形成构成其他电路的元件的半导体制造工艺相同的工艺来形成。 [选型图]图1

