

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-133806

(P2006-133806A)

(43) 公開日 平成18年5月25日(2006.5.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623H	5C006
G02F 1/133 (2006.01)	G09G 3/20 623M	5C080
	G09G 3/20 611A	
	G09G 3/20 623L	
審査請求 有 請求項の数 16 O L (全 25 頁) 最終頁に続く		

(21) 出願番号	特願2006-21340 (P2006-21340)	(71) 出願人	000002369
(22) 出願日	平成18年1月30日 (2006.1.30)		セイコーエプソン株式会社
(62) 分割の表示	特願2003-72263 (P2003-72263)		東京都新宿区西新宿2丁目4番1号
原出願日	平成8年2月1日 (1996.2.1)	(74) 代理人	100090479
(31) 優先権主張番号	特願平7-15120		弁理士 井上 一
(32) 優先日	平成7年2月1日 (1995.2.1)	(74) 代理人	100104710
(33) 優先権主張国	日本国 (JP)		弁理士 竹腰 昇
		(74) 代理人	100124626
			弁理士 榎並 智和
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	東 清一郎
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		最終頁に続く	

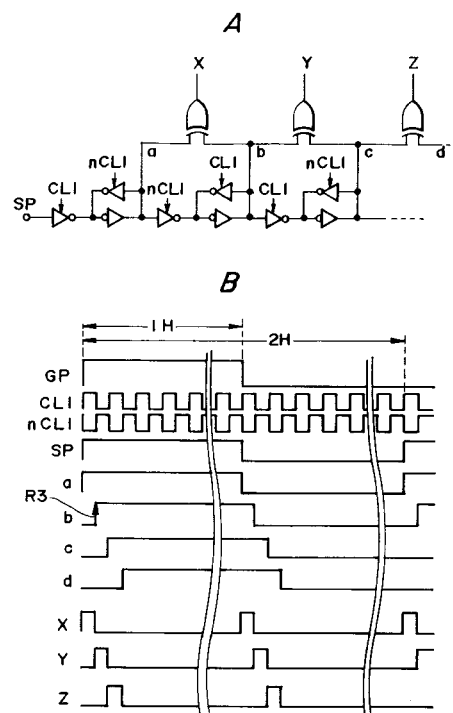
(54) 【発明の名称】 アクティブマトリクス基板、および表示装置

(57) 【要約】

【課題】 高速動作が可能でかつ消費電力の削減も図れる液晶表示装置を提供すること。

【解決手段】 液晶表示装置は、走査線Lとデータ線Dの交点に対応して液晶表示画素が形成されている液晶表示マトリクス300と、走査線Dを駆動する走査線駆動回路100と、データ線Dを駆動するデータ線駆動回路200とを有する。データ線駆動回路200は、複数段を備えるシフトレジスタ220と、シフトレジスタ220の隣り合う複数段の出力を入力とする複数の排他的論理和回路と、映像信号をデータ線Dに入力するための映像信号入力線S1～S4とを有する。排他的論理和回路の各々の出力に応じて映像信号線がサンプリングされる。

【選択図】 図19



【特許請求の範囲】

【請求項 1】

走査線とデータ線の交点に対応して液晶表示画素が形成されている液晶表示マトリックスと、前記走査線を駆動する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路とを有する液晶表示装置において、

前記データ線駆動回路は、複数段を備えるシフトレジスタと、

前記シフトレジスタの隣り合う複数段の出力を入力とする複数の排他的論理和回路と、

映像信号を前記データ線に入力するための映像信号入力線と、

を有し、

前記排他的論理和回路の各々の出力に応じて前記映像信号線をサンプリングすることを特徴とする液晶表示装置。 10

【請求項 2】

請求項 1 に記載の液晶表示装置において、

前記データ線駆動回路は、前記データ線と前記映像信号線との間にスイッチ回路をさらに有し、

前記スイッチ回路が、前記排他的論理和回路の各々の出力に応じてオンされて、前記映像信号がサンプリングされることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、液晶表示装置に関し、特に、液晶表示マトリックスを駆動するためのトランジスタを、液晶表示マトリックス基板上に形成した液晶表示装置に関する。

【背景技術】

【0002】

薄膜トランジスタ (Thin Film Transistor; 以下、TFT という) をスイッチング素子として用いたアクティブマトリクス型液晶表示装置において、アクティブマトリクスの駆動回路を TFT で構成し、その駆動回路を構成する TFT を、画素部の TFT と同時にアクティブマトリクス基板上に形成できれば、ドライバ IC を搭載する必要がなくなり便利である。

【0003】

30

但し、TFT は、単結晶シリコン基板に集積されたトランジスタに比べて動作スピードが遅く駆動回路の高速化には一定の限界があり、また、駆動回路を高速動作させれば、それだけ消費電力も増大する。

【0004】

液晶表示装置の駆動回路を高速に動作させるための技術の例としては、特許文献 1 に記載の技術、非特許文献 1 に記載の技術がある。

【0005】

特許文献 1 に記載の技術は、駆動回路を複数のシフトレジスタで構成し、各シフトレジスタをそれぞれ、位相が少しずつ異なるクロックで駆動することによって、シフトレジスタの実質的な動作周波数を向上させるものである。 40

【0006】

また、非特許文献 1 には、複数のアナログスイッチを、タイミング制御回路の一つの出力で同時に一括して駆動し、映像信号を並列に書き込む技術が開示されている。

【0007】

また、駆動回路の低消費電力化を図る技術の例としては、特許文献 1 に記載の技術がある。この技術は、駆動回路を複数のブロックに分割し、動作しなければならないブロックのみを動作状態とし、他のブロックは非動作状態とすることによって消費電力の削減を図るものである。

【0008】

しかし、特許文献 1 に記載の技術を実施する場合、位相の異なる複数のクロックを用意 50

する必要があり、回路構成の複雑化や端子数の増大を招く。

【0009】

また、非特許文献1に記載の技術は、複数のアナログスイッチを一括して駆動するため、負荷が重く、したがって重い負荷を駆動できるバッファを用意する必要がある。また、駆動信号の遅延により、各アナログスイッチの駆動タイミングにもずれが生じやすい。

【0010】

また、特許文献1に記載の技術は、分割されたブロックを選択的に動作状態とするための制御回路が必要であり、回路の複雑化を招き、また、この技術は駆動回路の高速化には何ら寄与しない。

【0011】

さらに、上述の従来技術の駆動回路をTFTで構成した場合、いずれの場合も回路が複雑で、回路の電気的特性を正確かつ高速に検査することが難しく、よって信頼性の評価の面では問題がある。

【特許文献1】特開昭61-32093号公報

【特許文献2】特開平5-028789号公報

【特許文献3】特開平5-219461号公報

【特許文献4】特開平3-217891号公報

【非特許文献1】SID Digest, pp609-612(1992)

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明は、上述の従来技術の問題点を考慮してなされたものであり、その目的は、高速動作が可能で、ある程度の消費電力の削減も図れ、かつ検査も容易に行える、新規な液晶表示装置やその駆動方法等を提供することにある。

【課題を解決するための手段】

【0013】

本発明に係る液晶表示装置の一つの態様では、一本のシフトレジスタを用いて複数のパルスと同時に発生させる。

【0014】

したがって、シフトレジスタの動作クロックの周波数を変更することなく、シフトレジスタの出力信号の周波数を高くすることができる。同時に発生するパルスの数を「N個(Nは2以上の自然数)」とした場合、シフトレジスタの出力信号の周波数はN倍となる。

【0015】

上述のシフトレジスタの出力信号を、アナログドライバにおける映像信号のサンプリングタイミングを決めるために使用すれば、高速なデータ線の駆動が実現される。また、上述のシフトレジスタの出力信号を、デジタルドライバにおける映像信号のラッチタイミングを決めるために使用すれば、映像信号の高速なラッチが実現される。したがって、液晶表示マトリクス of 駆動回路をTFTで構成した場合でも、消費電力を増大させずに、駆動回路の高速動作が可能となる。

【0016】

一本のシフトレジスタを用いて複数のパルスと同時に発生させるには、例えば、そのシフトレジスタの入力端に、映像信号の1水平期間毎に1つの同極性のパルスを入力していき、少なくとも(N-1)回の水平期間の経過を待って、前記シフトレジスタの各段の出力端より、相互に間隔をおいて並列に走るN個のパルスが出力されるような定常状態を実現すればよい。

【0017】

本発明に係る液晶表示装置の他の態様では、一本のシフトレジスタに加えて、そのシフトレジスタの出力信号を入力とするゲート回路が設けられ、そのゲート回路の出力信号を、データ線駆動回路を構成する回路のタイミング制御信号として使用する。例えば、ゲート回路の出力信号は、アナログドライバにおける映像信号のサンプリングタイミングを決

10

20

30

40

50

めるタイミング信号として使用でき、デジタルドライバにおける映像信号のラッチタイミングを決めるタイミング信号として使用できる。

【0018】

例えば、ゲート回路として排他的論理和ゲートを使用し、シフトレジスタの隣り合う段の各出力をその排他的論理和ゲートの入力とし、シフトレジスタに映像信号の2水平期間を1周期とするクロックを入力とすれば、1水平期間におけるクロックのレベルの変化数が減少し、より低消費電力化が可能である。

【0019】

本発明に係る液晶表示装置の他の態様では、一本のシフトレジスタを活用することにより、液晶表示マトリクス of 電氣的検査を行うことができる構成を実現する。例えば、データ線の一端に検査用信号の入力回路を接続し、データ線 of 他端にアナログスイッチを介して映像信号の入力線を接続しておく。

【0020】

そして、検査用信号の入力回路を用いてデータ線に検査用の信号を一括して入力し、そのような入力が維持されている状態で、1本のシフトレジスタより一つのパルスを順次 to 出力させ、そのパルスの各々を用いて複数のアナログスイッチを順次にオンさせ、これにより、前記データ線の一端より送信された検査用の信号を、アナログスイッチおよび映像信号の入力線を介して受信することにより、データ線やアナログスイッチ of 電氣的特性の検査を行うことができる。例えば、データ線やアナログスイッチ of 周波数特性やデータ線の断線等を正確かつ高速に検出可能である。

【発明を実施するための最良 of 形態】

【0021】

以下、本発明 of 実施形態を用いて、本発明 of 内容をより詳細に説明する。

【0022】

(実施形態1)

(全体構成)

図1Aは本発明に係る液晶表示装置 of 一実施形態 of 構成を示し、図1Bはアクティブマトリクス型液晶表示装置 of における画素部の構成を示す図である。

【0023】

本実施形態は、アナログスイッチ (スイッチ回路) を用いてデータ線を駆動する方式を採用した液晶表示装置である。

【0024】

また、本実施形態では、データ線駆動回路を構成するトランジスタとしてTFTを使用している。そのTFTは、画素部のスイッチング用TFTと同時に基板上に形成されたものである。その製造プロセスについては、後述する。

【0025】

画素部 (アクティブマトリクス) 300における1つの画素は、図1Bに示すように、スイッチング用のTFT 350と液晶素子 370とで構成される。TFT 350 of ゲートは走査線L (k) に接続され、ソース (ドレイン) はデータ線D (k) に接続されている。

【0026】

走査線L (k) は、図1Aに示される走査線駆動回路 100により駆動され、データ線D (k) は、図1Aに示されるデータ線駆動回路 200により駆動される。

【0027】

データ線駆動回路 200は、データ線 of 本数に対応する段数を少なくとも具備するシフトレジスタ 220と、ゲート回路 240と、N本 (本実施形態では4本) of 映像信号線 (S1 ~ S4) に接続される複数のアナログスイッチ 261とを有している。

【0028】

N本の映像信号線 (S1 ~ S4) が用意されているということは、映像信号が多重化されていてかつ、その多重度が「N」であることを意味する。

10

20

30

40

50

【 0 0 2 9 】

複数のアナログスイッチは、任意のM個毎（本実施形態では、4個毎）にグループ化され、そのグループの総数は映像信号線の総数（すなわち「N」）に等しい。つまり、本実施形態ではアナログスイッチのグループ数は「4」個であり、一つのグループに属する各アナログスイッチは1本の映像信号線に共通に接続されている。

【 0 0 3 0 】

図1A中、「V1」、「V2」、「V3」、「V4」は多重化された映像信号を示し、「SP」はシフトレジスタ220に入力されるスタートパルスを示し、「CL1」、「nCL1」は動作クロックを示す。なお、「CL1」と「nCL1」は位相が180度ずれたパルスである。以下の説明において、他のパルス信号についても、位相が180度ずれたクロックは冒頭に「n」を付して表すこととする。また、正極性のパルスがデジタル値の「1」に対応し、負極性のパルスがデジタル値の「0」に対応する。

10

【 0 0 3 1 】

また、映像信号の多重化の意味が図4Bに示されている。図4Aに示すように、1番目から16番目までの映像信号を例にとると、通常、各信号は時系列的に順番に配置されている。

【 0 0 3 2 】

一方、本実施形態のように多重度「4」で映像信号を多重化すると、図4Bに示すように、時刻t1において、映像信号V1～V4にはそれぞれ、「1番目」、「5番目」、「9番目」、「13番目」の各信号が同時に現れる。以下、同様に、時刻t2には「2番目」、「6番目」、「10番目」、「14番目」の各信号が同時に現れ、時刻t3には「3番目」、「7番目」、「11番目」、「15番目」の各信号が同時に現れ、時刻t4には「4番目」、「8番目」、「12番目」、「16番目」の各信号が同時に現れる。

20

【 0 0 3 3 】

映像信号の多重化は、例えば、図6に示すようにアナログ映像信号を少しずつ遅延させて、位相が少しずつ異なる複数の映像信号を作成することにより可能である。そのような映像信号の遅延は、例えば、図5に示すような遅延回路1200を用いて実現できる。遅延回路1200は同じ遅延量をもつ4つの遅延回路1202～1207を直列に接続してなり、各遅延回路の出力をデータ線駆動回路200に供給する。なお、図5において、参照番号1000はアナログ映像信号発生装置であり、参照番号1100はタイミングコントローラである。

30

【 0 0 3 4 】

本実施形態では、このように映像信号を多重化しておき、一方、一本のシフトレジスタを用いて多重度に応じた数のパルスを同時に発生させ、複数のアナログスイッチを同時に駆動して、映像信号を同時に複数のデータ線に供給することにより、データ線駆動の高速化が図られる。

【 0 0 3 5 】

なお、液晶表示装置は、実際は、図21に示されるように、アクティブマトリクス基板3100と対向基板3000とを張り合わせて構成される。各基板の間に液晶が封入されている。

40

【 0 0 3 6 】

（データ線駆動回路の具体的構成）

本実施形態は、データ線駆動回路200における動作に特徴があり、以下、具体的に説明する。

【 0 0 3 7 】

図2に示されるように、本施例では、シフトレジスタ220において、所定間隔をおいて複数の正極性のパルス（1つのパルスはデータ「1」に対応する）が同時にシフトされ、これに対応してシフトレジスタの各段から、相互に間隔をおいて並列に走る複数のパルスが出力される。並列に走るパルスの数は、上述の映像信号の多重度「N」に等しい。つまり、本実施形態では「4」個である。

50

【0038】

それらのパルスは、アナログスイッチ261の動作タイミングを決定するために使用される。具体的には、それらのパルスはゲート回路240に入力され、そのゲート回路240の出力端(OUT1~OUT(N×M))から、相互に間隔をおいて並列に走る複数のパルスが出力される。

【0039】

そして、本実施形態では、ゲート回路240から出力されるそれらのパルスは、アナログスイッチによる映像信号のサンプリングのタイミングを決定するために用いられる。

【0040】

ゲート回路240は、波形整形のために使用される。つまり、p型のTFTとn型のTFTとでは、図23Aに示すように電圧-電流特性に差があり、したがって、それらのTFTを出力段トランジスタとして用いて図23Bのようなバッファを構成すると、図23Cに示すように、パルス入力に対して出力波形が鈍り、信号の遅延が生じる。このような遅延を抑制するため、ゲート回路240を設けるのが望ましいのである。しかし、必ず必要というものではなく、シフトレジスタ220の出力信号で、直接にアナログスイッチ261を駆動してもよい。

【0041】

データ線駆動回路200の、より具体的な回路構成が図3に示される。

【0042】

図3に明示されるように、アナログスイッチ261は、MOSトランジスタ410により構成されている。また、参照番号412は、データ線自体がもつ容量(以下、データ線容量という)である。

【0043】

また、シフトレジスタ220を構成する一つの段(参照番号500)は、インバータ504と、クロックインバータ502, 506とからなっている。

【0044】

また、ゲート回路240は、シフトレジスタの隣り合う2つの段の出力を入力とする2入力ナンドゲート241~246を具備している。

【0045】

(回路動作の説明)

次に、図9および図10を用いて、図3に示される回路の動作を具体的に説明する。図9及び図10は、 $N=4$, $M=10$ の例を示している。図9は、シフトレジスタ220から並列に走る4つのパルスが定常的に出力されるようになるまで(その状態が図10に示される)の動作のうちの、初期段階の動作を示している。

【0046】

図9において、「a」~「g」は、図3に示される、シフトレジスタ220の各段の出力端における信号波形を示し、「OUT1」~「OUT6」は、同じく図3に示されるナンドゲート241~246のそれぞれの出力信号の波形を示す。また、「GP」は一本の走査線の選択パルスであり、「H₁」は非定常時の1番目の選択期間を示し、「H₂」は非定常時の2番目の選択期間を示し、「H₃」は非定常時の3番目の選択期間を示す。また、上述したように、「CL1」,「nCL1」は動作クロックであり、「SP」はスタートパルスである。図10においても同様である。

【0047】

図9に示されるように、1選択期間(1H)に1個のスタートパルス(SP)をシフトレジスタ220に順次に入力していくと、それに対応してシフトレジスタ220の各段から一つのパルスが出力され、そのパルスは順次にシフトされていく。これに応じて、ナンドゲート241~246のそれぞれから順次に1つのパルスが出力される。

【0048】

このような動作が繰り返され、図10に示すように、4番目の選択期間が定常時の最初の選択期間「H_{1th}」であり、その開始時点(時刻t1)において、初めて、4つのパル

10

20

30

40

50

スが、ゲート回路240より同時に出力される(OUT1, OUT11, OUT21, OUT31)。以後、各パルスは相互の間隔を保ちながら同一方向に並列に走るようになり、4つのパルスが同時に出力される状態が定常的に実現される。

【0049】

このようにして得られた、同時に出力される4つのパルスでもって、図3の各アナログスイッチ261を構成するMOSトランジスタ410を同時にオンさせ、多重化された映像信号を同時にサンプリングし、対応する4本のデータ線に同時に映像信号を供給する。

【0050】

すなわち、パルスが入力されるとMOSトランジスタ410がオンし、データ線(Dn)と映像信号線(S1~S4)とが電氣的に接続され、アナログビデオ信号がデータ線容量412に書き込まれる。そして、MOSトランジスタ410がオフすると、書き込まれた信号がデータ線容量412に保持される。つまり、データ線容量412がホールディングコンデンサの役割を果たす。データ線のドライバがアナログスイッチのみで構成されているので、回路構成が簡単で集積度を高めることができ、また、映像信号のサンプリングも正確に行うことができる。なお、比較的小型の液晶パネルの場合、本実施形態のようなアナログスイッチのみのドライバでデータ線を十分に駆動可能である。

【0051】

このように、本実施形態では、まず、一本のシフトレジスタを用いて複数のパルスを同時に発生させる。したがって、シフトレジスタの動作クロックの周波数を変更することなく、シフトレジスタの出力信号の周波数を高くすることができる。同時に発生するパルスの数を「N個(Nは2以上の自然数)」とした場合、シフトレジスタの出力信号の周波数はN倍となる。

【0052】

そして、シフトレジスタの各出力信号を、アナログスイッチによる映像信号のサンプリングのタイミングを決めるために使用することにより、高速なデータ線の駆動が実現される。したがって、液晶表示マトリクス of 駆動回路をTFTで構成しても、消費電力を増大させずに、高速なデータ線の駆動が可能である。

【0053】

なお、アナログスイッチとしては、1個のMOSトランジスタのみからなるものだけでなく、図25Aに示すようなCMOSで構成されるスイッチも使用可能である。CMOSスイッチは、MOSトランジスタ414, 416と、インバータ418とで構成されている。

【0054】

また、データ線ドライバとして、図25Bのようなアナログドライバを用いることも可能である。アナログドライバは、MOSトランジスタ440およびホールディングコンデンサ420からなるサンプル・ホールド回路と、バッファ回路(ボルテージフォロワ)400とで構成されている。

【0055】

さらに、本実施形態は、以下に述べるような優れた独自の効果を有している。以下、比較例と対比して、その効果について説明する。

【0056】

(比較例との対比)

図11Aは比較例のデータ線駆動回路の構成を示す図であり、図11Bは図11Aの構成の問題点を示す図である。

【0057】

図11Aの比較例では、シフトレジスタ(SR)およびゲート回路を複数設け(222~226, 242~246)、シフトレジスタ(SR)のそれぞれに、個別にスタートパルス(SP)を供給するようにしている。そのスタートパルスのシフトレジスタへの入力は、専用の配線S10を介して行う必要がある。

【0058】

10

20

30

40

50

この場合、スタートパルス入力用の配線 S 1 0 が、各シフトレジスタ 2 2 2 , 2 2 4 , 2 2 6 へ動作クロック (C L 1 , n C L 1) を入力するための配線 S 2 0 と交差し、その結果、図 1 1 B に示すように、スタートパルスにノイズが重畳されることになる。

【 0 0 5 9 】

また、スタートパルスの入力用配線 S 1 0 の長さは、少なくとも 1 0 μ m 程度になり、よって微細化の大きな障害となる。

【 0 0 6 0 】

さらに、その配線の抵抗によってスタートパルスが遅延し、各シフトレジスタへの入力タイミングに差が生じる恐れもある。

【 0 0 6 1 】

これに対し、本実施形態のデータ線駆動回路では、図 1 2 A に示されるように、1本のシフトレジスタ 2 2 0 の左端から所望のタイミングでスタートパルス (S P) を入力すればよく、スタートパルス用の専用配線は不要である。

【 0 0 6 2 】

したがって、本実施形態では、図 1 1 B に示すようにスタートパルスにノイズが重畳することがなく、また、レイアウト面積の削減も図れる。

【 0 0 6 3 】

また、一本のシフトレジスタを用いて複数のパルスを生成するので、スタートパルスの遅延も生じない。

【 0 0 6 4 】

このように、本発明によれば、回路の微細化とシフトレジスタの動作クロックの周波数の低減とを両立できる。したがって、例えば、データ線駆動回路を構成する T F T として、低温プロセスを用いて作成した T F T を用いた場合でも高速かつ正確な動作が確保される。

【 0 0 6 5 】

したがって、本実施形態を用いれば、駆動回路を T F T で構成した液晶表示装置の性能を高めることができる。

【 0 0 6 6 】

(T F T の製造プロセス)

図 2 2 A ~ 図 2 2 E に、ドライバ部の T F T と、アクティブマトリクス部 (画素部) の T F T とを同時に基板上に形成する場合の、製造プロセス (低温製造プロセス) の一例が示されている。本製造プロセスにより製造される T F T は、ポリシリコンを用いた、L D D (L i g h t l y D o p e d D r a i n) 構造の T F T である。

【 0 0 6 7 】

まず、ガラス基板 4 0 0 0 上に絶縁膜 4 1 0 0 を形成し、絶縁膜 4 1 0 0 上にポリシリコンアイランド (4 2 0 0 a , 4 2 0 0 b , 4 2 0 0 c) を形成し、続いて、全面にゲート酸化膜 4 3 0 0 を形成する (図 2 2 A) 。

【 0 0 6 8 】

次に、ゲート電極 4 4 0 0 a , 4 4 0 0 b , 4 4 0 0 c を形成した後、マスク材 4 5 0 0 a , 4 5 0 0 b を形成し、次に、ボロンを高濃度にイオン打ち込みし、p 型のソース・ドレイン領域 4 7 0 2 を形成する (図 2 2 b) 。

【 0 0 6 9 】

次に、マスク材 4 5 0 0 a , 4 5 0 0 b を除去し、リンをイオン打ち込みし、n 型のソース・ドレイン領域 4 7 0 0 , 4 9 0 0 を形成する (図 2 2 C) 。

【 0 0 7 0 】

続いて、マスク材 4 8 0 0 a , 4 8 0 0 b を形成した後、リンをイオン打ち込みする (図 2 2 D) 。

【 0 0 7 1 】

続いて、層間絶縁膜 5 0 0 0 、金属電極 5 0 0 1 , 5 0 0 2 , 5 0 0 4 , 5 0 0 6 , 5 0 0 8 、最終保護膜 6 0 0 0 を形成して、デバイスが完成する。

10

20

30

40

50

【 0 0 7 2 】

(実施形態 2)

本発明は、アナログ方式のドライバを用いたデータ線駆動回路のみならず、デジタルドライバを用いたデータ線駆動回路にも適用が可能である。

【 0 0 7 3 】

図 8 は、デジタルドライバを用いた線順次駆動方式のデータ線駆動回路の構成例を示す。

【 0 0 7 4 】

この回路の構成の特徴は、デジタル映像信号 (V 1 a ~ V 1 d) を取り込んで一時的に記憶する第 1 のラッチ 1 5 0 0 と、この第 1 のラッチ 1 5 0 0 の各ビットのデータを一括して取り込んで一時的に記憶する第 2 のラッチ 1 5 1 0 と、この第 2 のラッチ 1 5 1 0 の各ビットのデジタルデータを同時にアナログ信号に変換し、全データ線を同時に駆動する D / A コンバータ 1 6 0 0 とを有していることである。

【 0 0 7 5 】

このようなデジタルドライバを用いた回路においても、デジタル映像信号 (V 1 a ~ V 1 d) を第 1 のラッチ 1 5 0 0 に取り込む方式として、前掲の第 1 の実施形態で示した技術を適用できる。つまり、デジタル映像信号 (V 1 a ~ V 1 d) を多重化し、かつ一本のシフトレジスタ 2 2 0 から複数のパルスと同時に発生させ、それらのパルスを用いてデジタル映像信号の複数のデータを並列にラッチすることにより、シフトレジスタの動作クロックの周波数を高めることなく、デジタル映像信号のラッチを高速化できる。

【 0 0 7 6 】

デジタル映像信号の多重化は例えば、図 7 に示される、データの組み替え回路 1 2 7 0 により実現できる。なお、図 7 において、参照番号 1 0 0 0 はアナログ映像信号発生装置を示し、参照番号 1 2 5 0 は A / D 変換回路を示し、参照番号 1 2 6 0 は γ 補正用 ROM を示し、参照番号 1 1 1 0 はタイミングコントローラを示す。

【 0 0 7 7 】

なお、線順次駆動方式のデジタルドライバに限定されず、点順次駆動方式のデジタルドライバにも同様に、本発明は適用可能である。

【 0 0 7 8 】

(実施形態 3)

本発明の第 3 の実施形態の特徴が図 1 9 A , 図 1 9 B に示されている。第 1 の実施形態では、ゲート回路 2 4 0 をナンドゲートで構成していたが (図 3)、本実施形態では、ゲート回路 2 4 0 を排他的論理和ゲート 2 5 1 で構成している。排他的論理和ゲート 2 5 1 は、シフトレジスタの隣接する 2 つの段の出力 (a , b . . .) を入力とし、映像信号のサンプリングタイミングを決めるために使用されるパルス (X , Y , Z . . .) を出力する。

【 0 0 7 9 】

排他的論理和ゲート 2 5 1 を用いる利点は、スタートパルス (S P) の 1 周期を 2 選択期間 (選択期間の 2 倍) とすると消費電力の低減が可能となる点と、出力パルスの後端が急峻となってパルス幅が広がるのを防ぐことができる点である。

【 0 0 8 0 】

すなわち、図 3 に示すように、スタートパルス (S P) の 1 周期を 2 選択期間 (選択期間の 2 倍) とすると、図 9 に示されるのと同様の回路動作によって並列にパルスが出力されると共に、1 選択期間あたりの、シフトレジスタの各段の出力 (a , b . . .) のレベル変化の回数が、図 9 のような動作が行われる場合に比べて半分となる。

【 0 0 8 1 】

つまり、図 1 9 A の「 b 」点における 1 選択期間 (1 H) 内の信号のレベル変化は、図 1 9 B に示すように、1 回である。つまり、1 選択期間 (1 H) にはポジティブエッジ R 3 が 1 つ存在するだけである。

【 0 0 8 2 】

10

20

30

40

50

これに対し、図 9 に示す回路動作では、「b」点における信号レベルは 1 選択期間 (1 H) 内で 2 回変化している。つまり、1 選択期間 (1 H) には、ポジティブエッジ R 1 とネガティブエッジ R 2 の 2 つが存在する。したがって、図 9 の場合に比べ、図 19 の場合は信号レベルの遷移回数が半減しており、それに伴い、消費電力が約半分となる。

【0083】

また、図 24 B に示すように、2 入力ナンドゲート (図 24 A に示される) の場合、1 つの入力のポジティブエッジと他の入力のネガティブエッジとで出力パルスのパルス幅 (T 1) が決定されるのに対し、2 入力排他的論理和ゲート (図 24 C) の場合、図 24 D に示されるように、2 つの入力のポジティブエッジで出力パルスのパルス幅 (T 2) が決定される。このため、出力パルスの後端が急峻となってパルス幅が広がるのを防止できる

10

【0084】

(実施形態 4)

図 13 A に本発明の第 4 の実施形態の要部構成が示される。

【0085】

本実施形態の特徴は、図 1 のゲート回路 240 を、シフトレジスタの各段の出力と出力イネーブル信号 (E, nE) とを入力とするナンドゲート (241, 242, 243, 244...) で構成したことである。

【0086】

出力イネーブル信号 (E, nE) による制御を可能としたことにより、シフトレジスタの出力のレベルとゲート回路の出力のレベルとを独立して制御可能となる。この特徴を活用すると、回路の動作中に、ナンドゲート (241, 242, 243, 244...) からのパルスの発生 (ネガティブエッジ発生) を一時的に中断させることができ、かつ、その中断を解いて、パルスの発生を再開させることが可能となる。

20

【0087】

例えば、図 13 B において、時刻 t 4 ~ 時刻 t 6 (期間 T S 1) において、ナンドゲート (241, 242, 243, 244...) からのパルスの発生を停止させ、かつ、時刻 t 6 にパルスの発生を再開させる場合を考える。

【0088】

このような動作は、期間 T S 1 において動作クロック C L 1, n C L 1 を停止し、一方、出力イネーブル信号 (E) を時刻 t 4 ~ 時刻 t 5 までローレベルに固定しておき、時刻 t 5 において、動作クロックと同じ周期での変化を再開させることにより実現される。出力イネーブル信号 (nE) については、時刻 t 6 より動作クロックと同じ周期での変化を再開させればよい。

30

【0089】

このようなパルスの発生を停止する技術は、例えば、水平帰線期間 (B L) における映像信号のサンプリングを禁止するために利用できる。

【0090】

図 14 に、実際の回路において、水平帰線期間 (時刻 t 12 ~ t 13) にゲート回路からのパルスの発生を停止させる場合の動作が示される。図 14 中、例えば、「157」は、一本のシフトレジスタの「第 157 段の出力」を示し、「O U T 159」は、「第 159 番目のナンドゲートの出力」を示す。

40

【0091】

図 14 に明示されるように、水平帰線期間 (時刻 t 12 ~ t 13) にゲート回路からのパルスの発生を停止させるためには、時刻 t 1 ~ t 14 において、動作クロック (C L 1, n C L 1) およびイネーブル信号 (n, nE) を停止させればよい。

【0092】

(実施形態 5)

図 1 に示す液晶表示装置は、データ線等の電気的特性の検査にも適している。すなわち、図 15 の上側に示すように、検査用信号の入力回路 2000 を設けることにより、デー

50

タ線やアナログスイッチの周波数特性や、データ線の断線等を正確かつ高速に検出可能となる。

【0093】

図15において、データ線の一端に検査用信号の入力回路200が接続され、データ線他端に、アナログスイッチ261を介して映像信号の入力線S1が接続されている。図15において、「TG」はテストイネーブル信号を示し、「TC」は電源電圧を示す。

【0094】

検査は、以下のように行われる。

【0095】

まず、テストイネーブル信号「TG」をアクティブとし、各データ線に電源電圧（検査用電圧）を一括して供給する。

【0096】

そのような電圧印加状態において、1本のシフトレジスタより一つのパルスを順次に出し、ゲート回路240から1個のパルスが順次に出される。そのパルスによりアナログスイッチが順次にオンし、これにより、データ線の一端より供給された電圧を、アナログスイッチ261および映像信号の入力線S1を介して受信でき、これにより、データ線やアナログスイッチの電気的特性の検査を行うことができる。

【0097】

このように、本実施形態では、1本のシフトレジスタから1個ずつ順次にパルスが発生させることが必要である。つまり、図16Aに示すようにデータ線が配列されていて、前掲の実施形態では、図16Bに示すように複数本同時にデータ線を駆動する方式を採用していたが、本実施形態では、図16Cに示すように、一本ずつ順次に駆動する方式に切り替えることが必要である。

【0098】

このような切り替えは、図17に示すように、スタートパルスを入力方式を変更することで容易に行える。つまり、図17に示すように、1番目の選択期間（H_{1st}）の最初に1つのスタートパルス（SP）を入力し、そのパルスを全段数に渡ってシフトさせれば、順次に1つのパルスが発生し、各選択期間毎に1つのスタートパルス（SP）を入力すれば、図10に示すように、複数のパルスを同時に発生させることができる。

【0099】

1本のシフトレジスタから1個ずつ順次にパルスが発生させることにより、データ線の電気的特性を一本毎に調べることができ、検査が容易となる。

【0100】

なお、図18Aの構成を用いた場合、図18Bに示されるように、所定期間TS3において、シフトレジスタの動作クロックCL1、nCL1を停止させれば、その期間内では、ナンドゲートの出力（OUT1）のみがハイレベルとなる。よって、対応するアナログスイッチのみがオンし、所定期間TS3においては、第1番目のデータ線のみをじっくりと検査できる。

【0101】

また、図20では、専用の検査用信号の入力回路2000の代わりに、線順次デジタルドライバ214（図8の構成と同一である）を設けてもよい。この場合、デジタルドライバ214は、本来のデータ線を駆動するという働きの他に、検査用信号の入力回路としても機能することになる。

【0102】

図20の構成では、アナログ映像信号に基づくデータ線駆動およびデジタル映像信号に基づくデータ線駆動の双方が可能である。

【0103】

以上説明した本発明に係る液晶表示装置をパーソナルコンピュータ等の機器における表示装置として使用すれば、製品の価値が向上する。

【図面の簡単な説明】

10

20

30

40

50

【 0 1 0 4 】

【図 1】図 1 A は、本発明に係る液晶表示装置の一実施形態の全体構成を示す図であり、図 1 B は画素部の構成を示す図である。

【図 2】図 1 に示される実施形態の特徴を説明するための図である。

【図 3】図 2 に示される回路構成をより具体化して示す回路図である。

【図 4】図 4 A は、原映像のデータ配列を示す図であり、図 4 B は、本発明に用いられる手法により、原映像のデータを時系列に配置した場合のデータ配列の例を示す図である。

【図 5】アナログ映像信号を、図 4 B に示されるような多重化された信号に加工するための回路構成の例を示す図である。

【図 6】図 5 の回路の主要な動作を説明するための図である。

10

【図 7】デジタル映像信号を図 4 B に示されるような多重化された信号に加工するための回路構成の例を示す図である。

【図 8】デジタル線順次方式の液晶マトリクス駆動回路の構成例を示す図である。

【図 9】図 1 A , 図 2 , 図 3 に示される回路の動作タイミングを示すタイミングチャートである。

【図 1 0】図 1 0 は図 1 A , 図 2 , 図 3 に示される回路における、アナログスイッチ 2 6 1 の出力信号の出力タイミングを示すタイミングチャートである。

【図 1 1】図 1 1 A は、比較例の回路構成を示す図であり、図 1 1 B は、図 1 1 A の回路の問題点を示す信号の波形図である。

【図 1 2】図 1 2 A は、図 1 ~ 図 3 に示される本発明に係る液晶表示装置の要部を抜き出して示す図であり、図 1 2 B は図 1 2 A の回路の利点を示す、信号の波形図である。

20

【図 1 3】図 1 3 A は、本発明に係る液晶表示装置の他の実施形態の要部構成を示す図であり、図 1 3 B は、図 1 3 A の回路の動作例を説明するためのタイミングチャートである。

【図 1 4】図 1 3 A に示す回路の他の動作例を示すタイミングチャートである。

【図 1 5】本発明に係る液晶表示装置の他の実施形態の全体構成を示す図である。

【図 1 6】図 1 6 A は、図 1 5 の回路におけるデータ線の配列を示す図であり、図 1 6 B は、本発明に係る駆動回路の通常動作を示す図であり、図 1 6 C は図 1 6 B の駆動回路の欠陥検査時の動作例を示す図である。

【図 1 7】図 1 6 C に示される本発明に係る駆動回路の欠陥検査時の動作を、より具体的に説明するためのタイミングチャートである。

30

【図 1 8】図 1 8 A は、本発明に係る駆動回路の要部構成を示す図であり、図 1 8 B は、図 1 8 A の回路の欠陥検査時の動作の一例を示す図である。

【図 1 9】図 1 9 A は、本発明に係る駆動回路の要部構成を示す図であり、図 1 9 B は、図 1 9 A の駆動回路の通常の動作例を示すタイミングチャートである。

【図 2 0】本発明に係る液晶表示装置の他の実施形態の構成を示す図である。

【図 2 1】液晶表示装置の構造を示す斜視図である。

【図 2 2】図 2 2 A ~ 図 2 2 E はそれぞれ、ドライバ部を構成する T F T とアクティブマトリクスを構成する T F T とを同時に形成する製造プロセスの例を示す、各工程におけるデバイスの断面図である。

40

【図 2 3】図 2 3 A は、p チャネル T F T と n チャネル T F T の電圧 - 電流特性を示す図であり、図 2 3 B は、p チャネル T F T および n チャネル T F T を用いたバッファ回路の回路図であり、図 2 3 C は、図 2 3 B の回路の入力波形と出力波形を示す図である。

【図 2 4】図 2 4 A は、p チャネル T F T および n チャネル T F T を用いたナンドゲートを示し、図 2 4 B は、図 2 4 A の回路の入力波形と出力波形を示す図であり、図 2 4 C は、p チャネル T F T および n チャネル T F T を用いた排他的論理和ゲートを示す図であり、図 2 4 D は、図 2 4 C の回路の入力波形と出力波形を示す図である。

【図 2 5】図 2 5 A は、アナログスイッチの構成の一例を示す図であり、図 2 5 B は、アナログドライバの構成を示す図である。

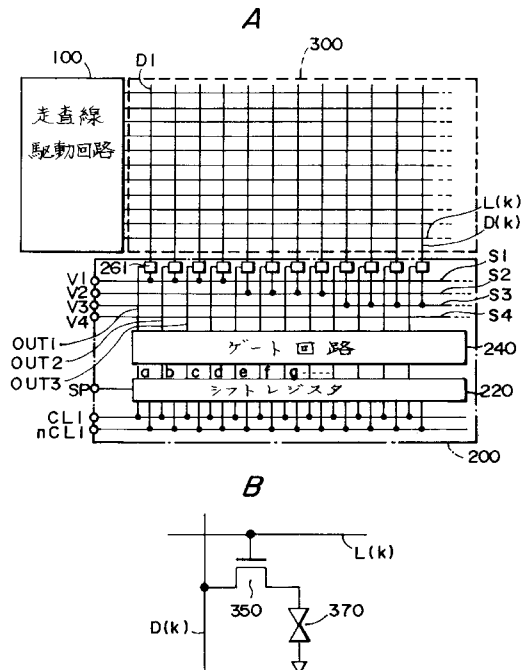
【符号の説明】

50

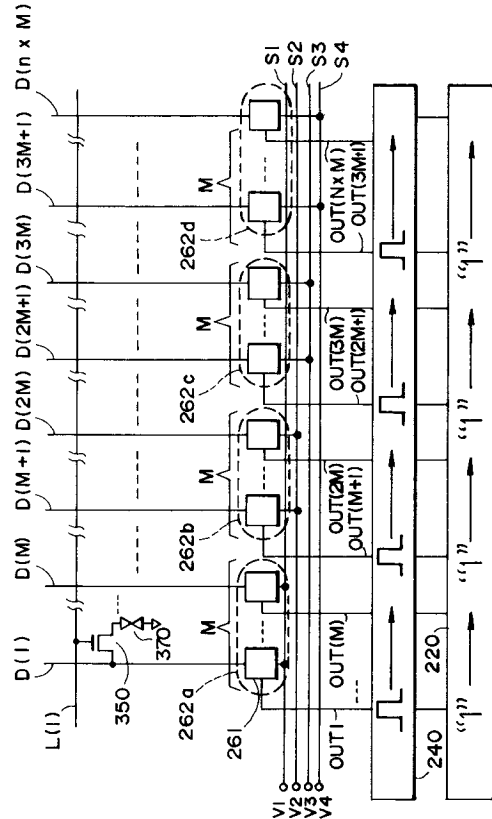
【 0 1 0 5 】

1 0 0 走査線駆動回路、 2 0 0 データ線駆動回路、 2 1 4 デジタルドライバ、
 2 2 0 シフトレジスタ、 2 2 2 ~ 2 2 6 , 2 4 2 ~ 2 4 6 ゲート回路、 2 4 0
 ゲート回路、 2 5 1 排他的論理和ゲート、 2 6 1 アナログスイッチ、 3 0 0
 画素部 (アクティブマトリクス)、 3 5 0 T F T、 3 7 0 液晶素子、 4 1 0
 , 4 1 4 , 4 1 6 , 4 4 0 M O S トランジスタ、 4 1 2 データ線容量、 4 1 8 ,
 5 0 4 インバータ、 4 2 0 ホールディングコンデンサ、 4 0 0 バッファ回路 (ポ
 ルテージフォロワ)、 5 0 2 , 5 0 6 クロックインバータ、 1 0 0 0 アナログ
 映像信号発生装置、 1 1 0 0 , 1 1 1 0 タイミングコントローラ、 1 2 5 0 A /
 D 変換回路、 1 2 6 0 γ 補正用 R O M、 1 2 7 0 データの組み替え回路、 1 10
 5 0 0 第 1 のラッチ、 1 5 1 0 第 2 のラッチ、 1 6 0 0 D / A コンバータ、
 2 0 0 0 検査用信号の入力回路、 3 0 0 0 対向基板、 3 1 0 0 アクティブマト
 リクス基板、 4 0 0 0 ガラス基板、 4 1 0 0 絶縁膜、 4 2 0 0 a , 4 2 0 0 b
 , 4 2 0 0 c ポリシリコンアイランド、 4 3 0 0 ゲート酸化膜、 4 4 0 0 a , 4 4
 0 0 b , 4 4 0 0 c ゲート電極、 4 5 0 0 a , 4 5 0 0 b マスク材、 4 7 0 2
 p 型ソース・ドレイン領域、 4 7 0 0 , 4 9 0 0 n 型ソース・ドレイン領域、 4 8
 0 0 a , 4 8 0 0 b マスク材、 5 0 0 0 層間絶縁膜、 5 0 0 1 , 5 0 0 2 , 5 0
 0 4 , 5 0 0 6 , 5 0 0 8 金属電極、 6 0 0 0 最終保護膜、 V 1 ~ V 4 映像信
 号、 S P スタートパルス、 C L 1 , n C L 1 動作クロック、 t 1 , t 2 , t 3
 , t 4 時刻、 G P 走査線の選択パルス、 D (n) データ線、 S 1 ~ S 4 映 20
 像信号線、 S R シフトレジスタ、 S 1 0 配線、 V 1 a ~ V 1 d デジタル映像
 信号、 E , n E 出力イネーブル信号、 B L 水平帰線期間、 T G テストイネー
 ブル信号、 T C 電源電圧

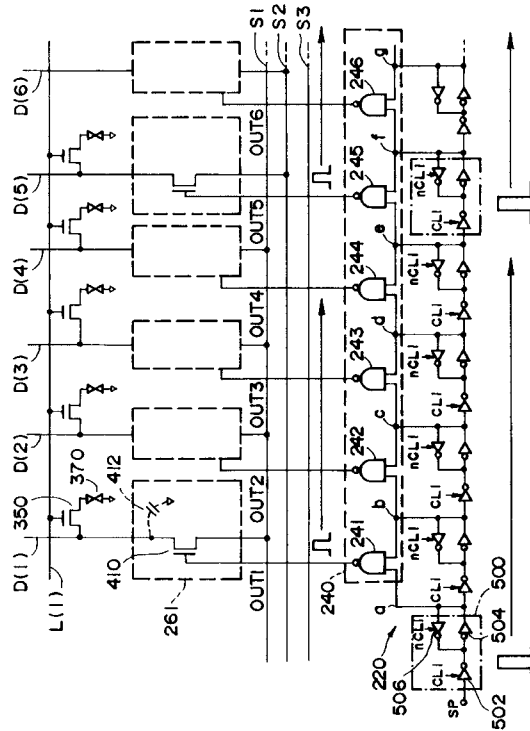
【 図 1 】



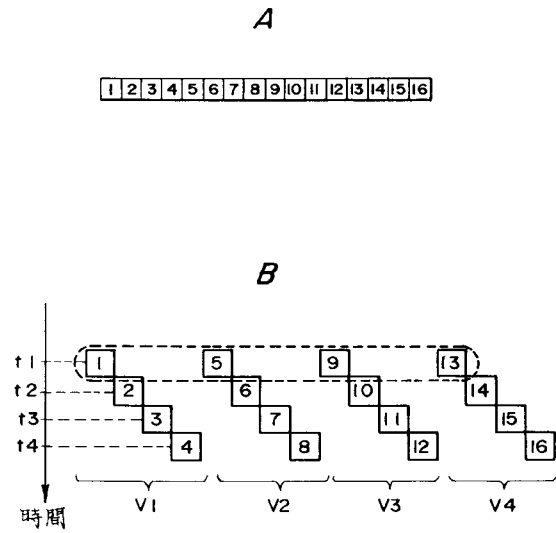
【 図 2 】



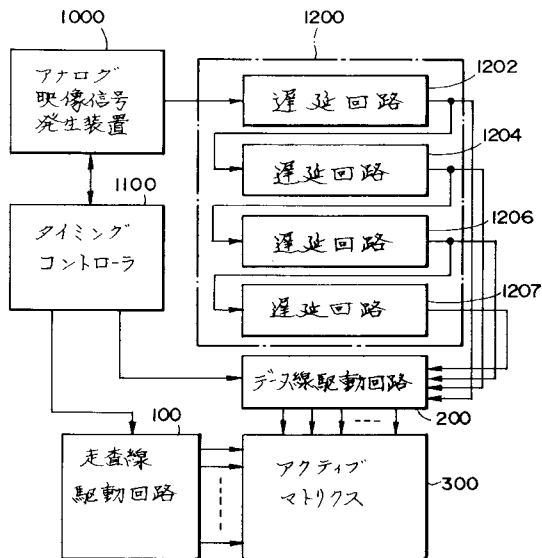
【図 3】



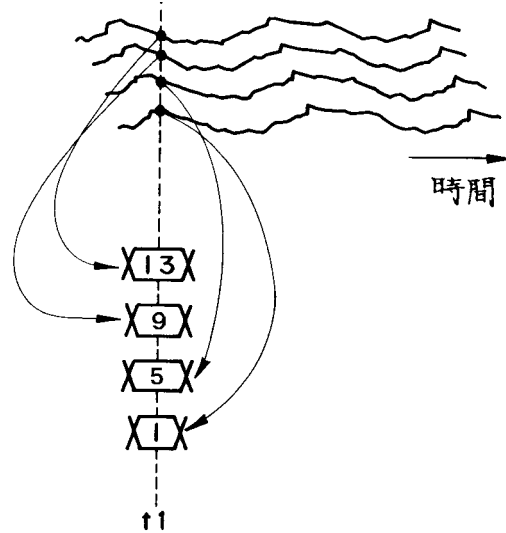
【図 4】



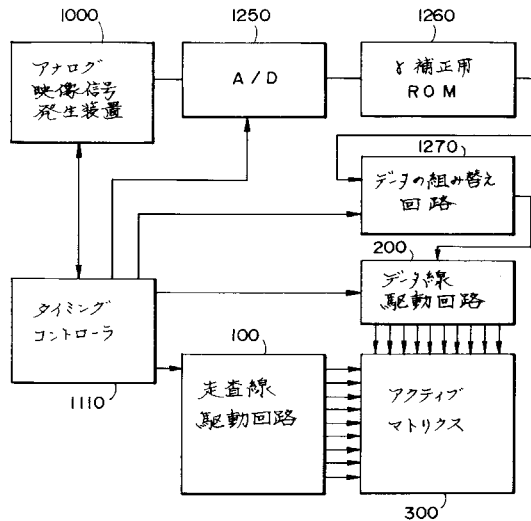
【図 5】



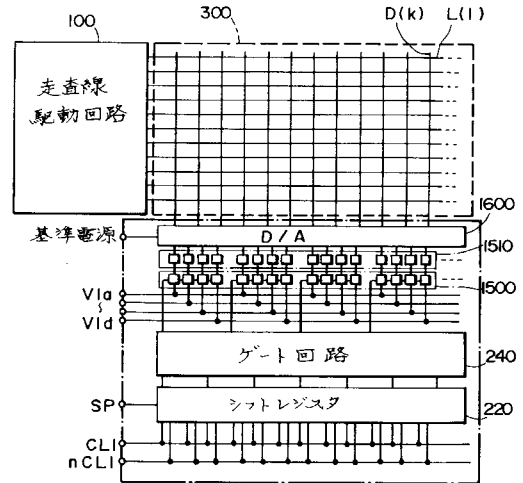
【図 6】



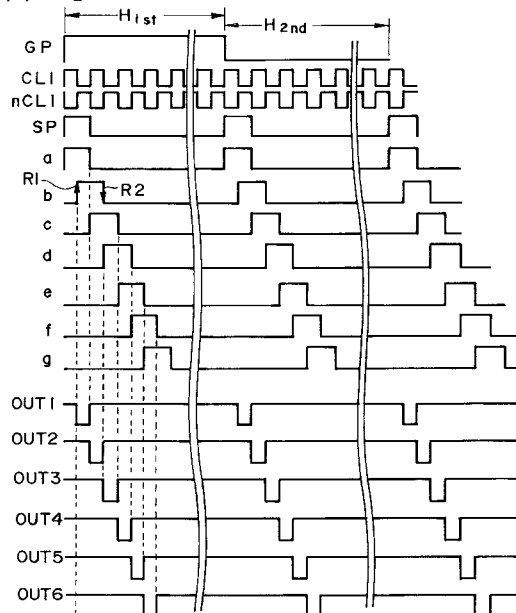
【図 7】



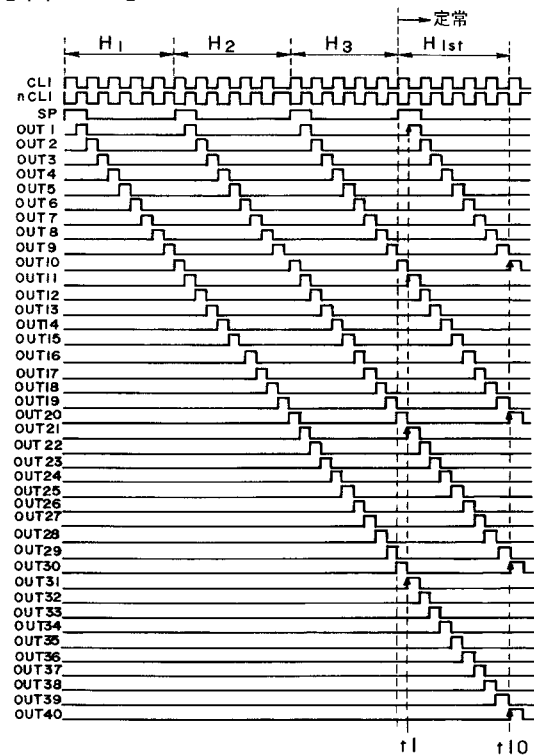
【図 8】



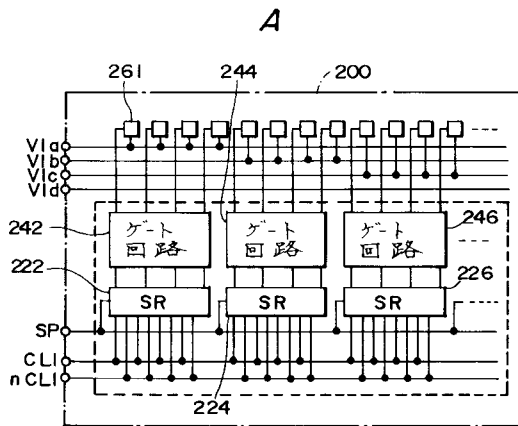
【図 9】



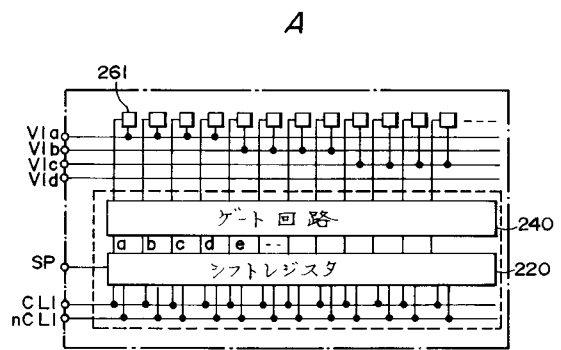
【図 10】



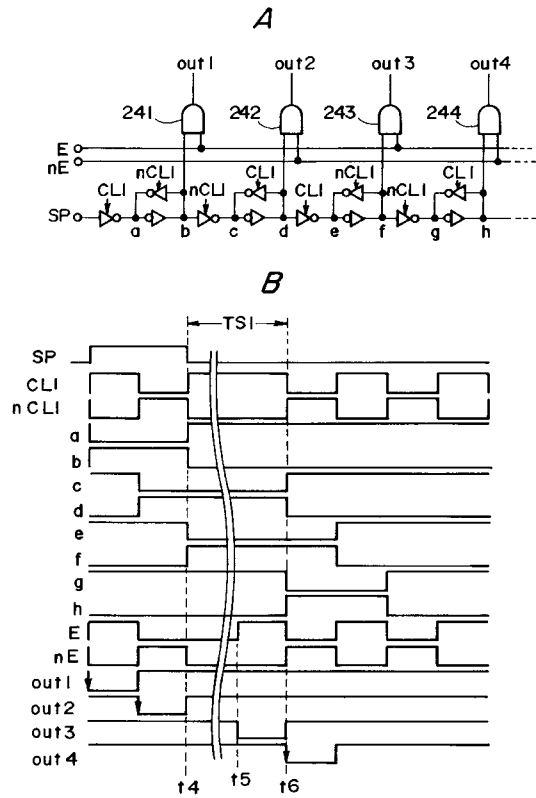
【図 1 1】



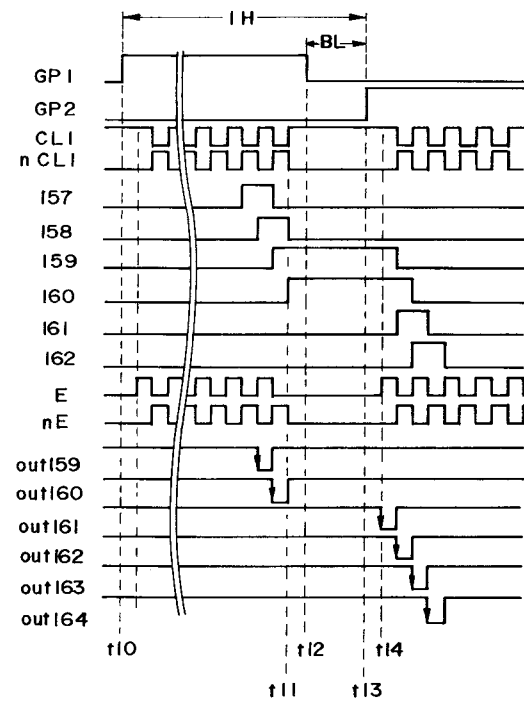
【図 1 2】



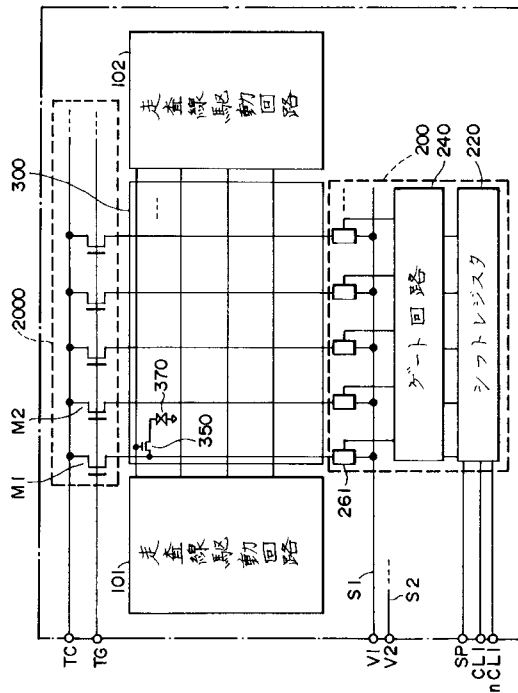
【図 1 3】



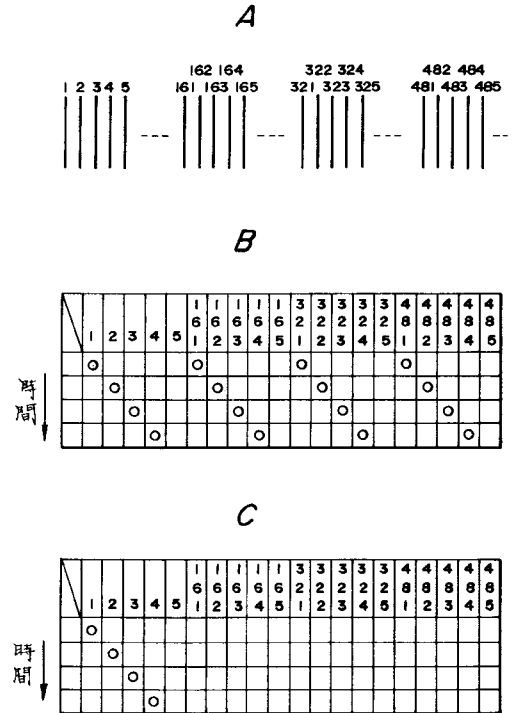
【図 1 4】



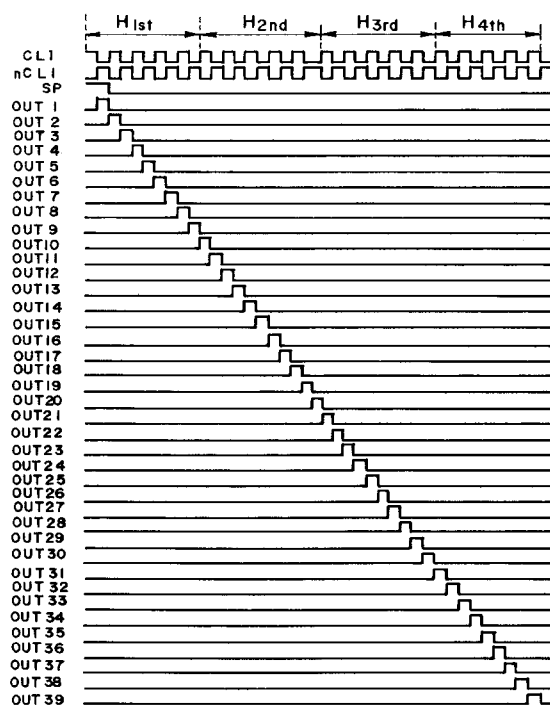
【図 15】



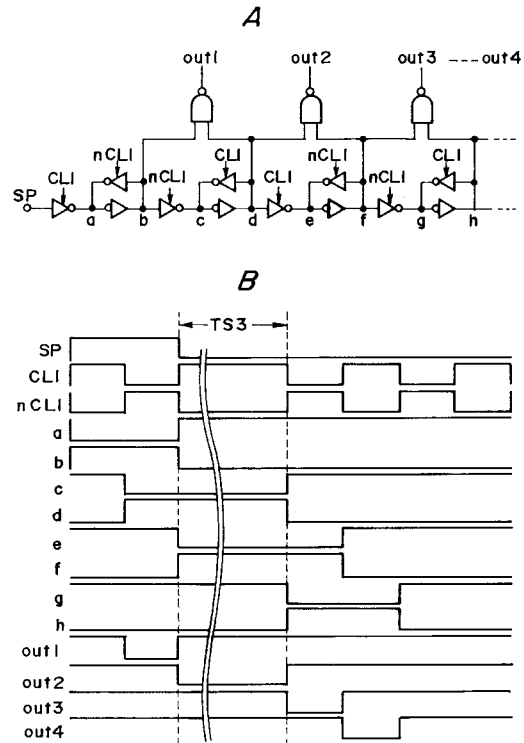
【図 16】



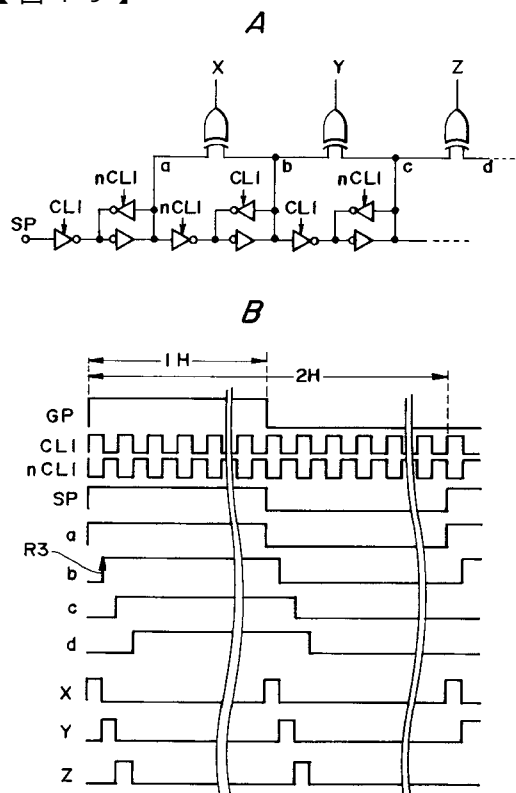
【図 17】



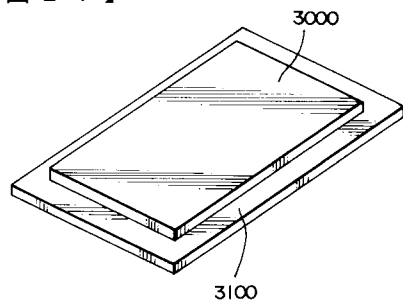
【図 18】



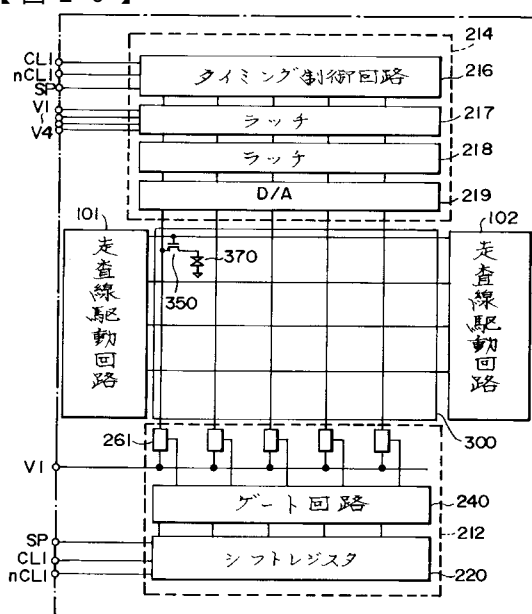
【 ㊦ 1 9 】



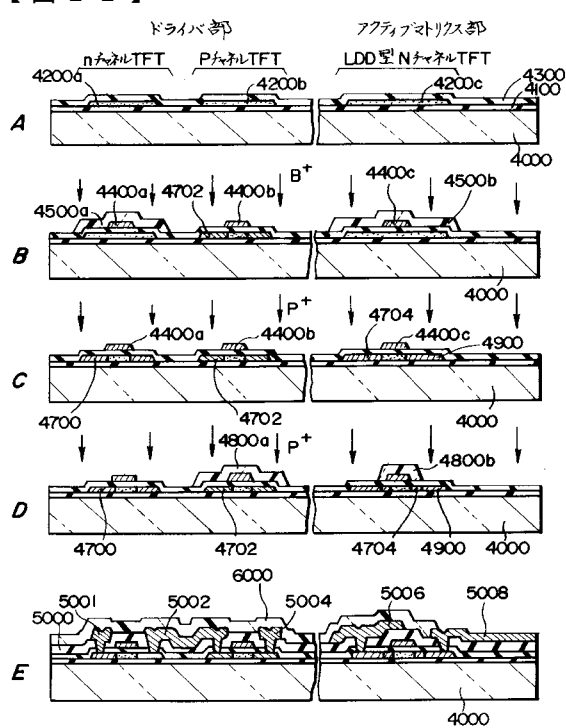
【 図 2 1 】



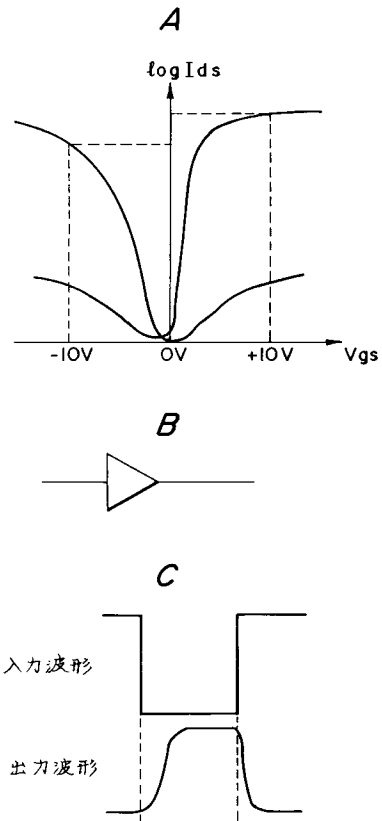
【 図 2 0 】



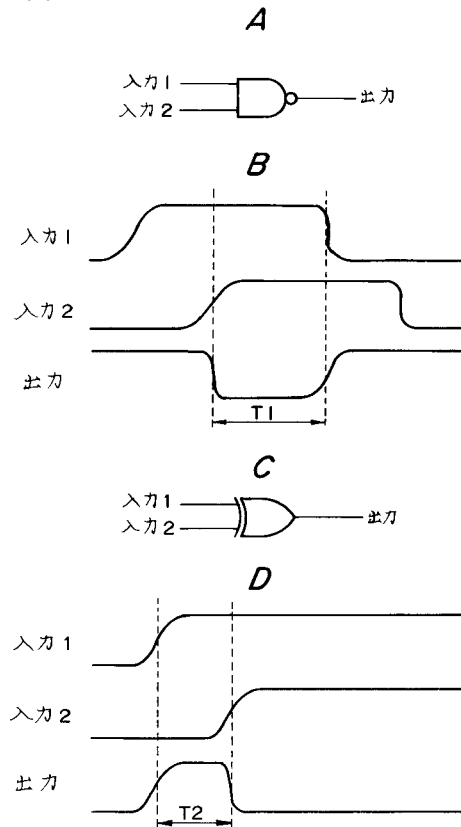
【 図 2 2 】



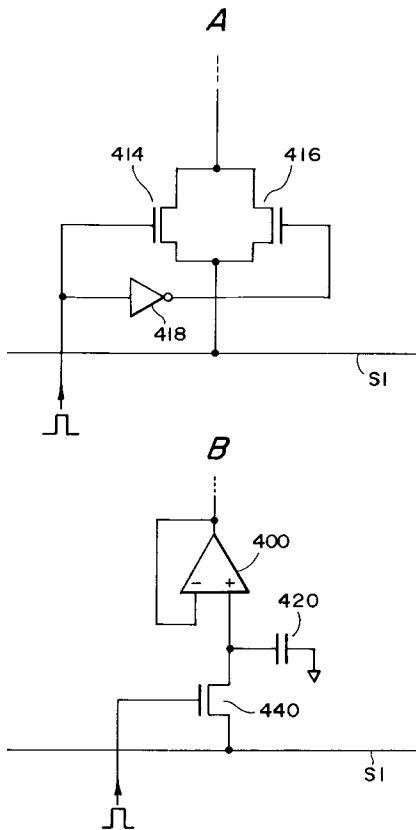
【図 2 3】



【図 2 4】



【図 2 5】



【手続補正書】

【提出日】平成18年3月1日(2006.3.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

走査線と、
データ線と、
前記走査線と前記データ線の交差に対応して設けられる画素トランジスタと、
前記データ線の一端に接続される第1のデータ線駆動回路と、
前記データ線の他端に接続される第2のデータ線駆動回路と、
前記第1のデータ線駆動回路にアナログ映像信号を供給するアナログ映像信号線と、
前記第2のデータ線駆動回路にデジタル映像信号を供給するデジタル映像信号線と、を
有し、

前記第1のデータ線駆動回路が、第1のシフトレジスタと、前記第1のシフトレジスタからの出力を入力とする第1のゲート回路と、前記アナログ映像信号線に接続され、前記第1のゲート回路からの出力により前記アナログ映像信号を前記データ線の一端に出力するスイッチ回路と、を含み、

前記第2のデータ線駆動回路が、第2のシフトレジスタと、前記第2のシフトレジスタからの出力を入力とする第2のゲート回路と、前記第2のゲート回路と前記デジタル映像信号線とに接続され、前記デジタル映像信号を出力するラッチと、前記ラッチから出力された前記デジタル映像信号をアナログ信号に変換して前記データ線の他端に出力するD/Aコンバータと、を含むことを特徴とするアクティブマトリクス基板。

【請求項 2】

請求項1に記載のアクティブマトリクス基板において、

前記ラッチが、前記第2のゲート回路と前記デジタル映像信号線とに接続される第1のラッチと、前記第1のラッチに接続され、前記デジタル映像信号を前記D/Aコンバータに出力する第2のラッチと、を含む、アクティブマトリクス基板。

【請求項 3】

複数の走査線と、

複数のデータ線と、

前記複数の走査線と前記複数のデータ線の交差に対応して設けられる複数の画素トランジスタと、

前記複数のデータ線の各々の一端に接続される第1のデータ線駆動回路と、

前記複数のデータ線の各々の他端に接続される第2のデータ線駆動回路と、

前記第1のデータ線駆動回路にアナログ映像信号を供給する少なくとも1本のアナログ映像信号線と、

前記第2のデータ線駆動回路にデジタル映像信号を供給する少なくとも1本のデジタル映像信号線と、を有することを特徴とするアクティブマトリクス基板。

【請求項 4】

請求項3に記載のアクティブマトリクス基板において、

前記第1のデータ線駆動回路が、少なくともひとつのシフトレジスタと、前記少なくともひとつのシフトレジスタからの出力を入力とする少なくともひとつのゲート回路と、前記少なくともひとつのゲート回路からの出力を入力とする複数のスイッチ回路と、を含む、アクティブマトリクス基板。

【請求項 5】

請求項4に記載のアクティブマトリクス基板において、

前記複数のスイッチ回路が少なくとも第１のグループと第２のグループとを含み、前記第１のグループが前記少なくともひとつのゲート回路からの第１の出力により同時に制御され、前記第２のグループが前記少なくともひとつのゲート回路からの第２の出力により同時に制御される、アクティブマトリクス基板。

【請求項６】

請求項５に記載のアクティブマトリクス基板において、

前記第１のグループにおける前記複数のスイッチ回路が前記第２のグループのスイッチ回路を間において配置されている、アクティブマトリクス基板。

【請求項７】

請求項３ないし６のいずれかに記載のアクティブマトリクス基板において、

前記第２のデータ線駆動回路がＤ／Ａコンバータを含み、前記Ｄ／Ａコンバータが前記デジタル映像信号をアナログ信号に変換し、前記アナログ信号を前記複数のデータ線の少なくともひとつの他端に入力する、アクティブマトリクス基板。

【請求項８】

請求項３ないし７のいずれかに記載のアクティブマトリクス基板において、

前記第２のデータ線駆動回路が、前記少なくとも１本のデジタル映像信号線に接続され、前記デジタル映像信号を取り込んで一時的に記憶する第１のラッチを含む、アクティブマトリクス基板。

【請求項９】

請求項８に記載のアクティブマトリクス基板において、

前記第１のラッチに接続され、前記第１のラッチの各ビットのデータを一括して取り込んで一時的に記憶する第２のラッチを含む、アクティブマトリクス基板。

【請求項１０】

請求項３ないし８のいずれかに記載のアクティブマトリクス基板において、

前記第２のデータ線駆動回路が点順次方式のデジタルドライバである、アクティブマトリクス基板。

【請求項１１】

請求項３ないし９のいずれかに記載のアクティブマトリクス基板において、

前記第２のデータ線駆動回路が線順次方式のデジタルドライバである、アクティブマトリクス基板。

【請求項１２】

請求項１ないし１１のいずれかに記載のアクティブマトリクス基板において、

前記第１のゲート回路が少なくともひとつのナンドゲートを含み、

前記ナンドゲートが前記第１のシフトレジスタからの出力と出力イネーブル信号とを入力とする、アクティブマトリクス基板。

【請求項１３】

複数の走査線と、

複数のデータ線と、

前記複数の走査線と前記複数のデータ線の交差に対応して設けられる複数の画素トランジスタと、

前記複数のデータ線の各々の一端に接続される第１のデータ線駆動回路と、

前記第１のデータ線駆動回路にアナログ映像信号を供給する少なくとも１本のアナログ映像信号線と、を有し、

前記第１のデータ線駆動回路が第１のシフトレジスタと第１のゲート回路とを含み、前記第１のゲート回路が少なくともひとつのナンドゲートを含み、前記ナンドゲートが前記第１のシフトレジスタからの出力と出力イネーブル信号とを入力とすることを特徴とするアクティブマトリクス基板。

【請求項１４】

請求項１ないし１２のいずれかに記載のアクティブマトリクス基板において、

前記第２のデータ線駆動回路を構成する複数のドライバ部トランジスタが基板上に形成

されている、アクティブマトリクス基板。

【請求項 15】

請求項 14 に記載のアクティブマトリクス基板において、

前記第 2 のデータ線駆動回路を構成する複数のドライバ部トランジスタが前記画素トランジスタと基板上の同一層に形成されている、アクティブマトリクス基板。

【請求項 16】

請求項 1 ないし 15 のいずれかに記載のアクティブマトリクス基板を含むことを特徴とする表示装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本発明に係るアクティブマトリクス基板のひとつの態様では、走査線と、データ線と、前記走査線と前記データ線の交差に対応して設けられる画素トランジスタと、前記データ線の一端に接続される第 1 のデータ線駆動回路と、前記データ線の他端に接続される第 2 のデータ線駆動回路と、前記第 1 のデータ線駆動回路にアナログ映像信号を供給するアナログ映像信号線と、前記第 2 のデータ線駆動回路にデジタル映像信号を供給するデジタル映像信号線と、を有し、前記第 1 のデータ線駆動回路が、第 1 のシフトレジスタと、前記第 1 のシフトレジスタからの出力を入力とする第 1 のゲート回路と、前記アナログ映像信号線に接続され、前記第 1 のゲート回路からの出力により前記アナログ映像信号を前記データ線の一端に出力するスイッチ回路と、を含み、前記第 2 のデータ線駆動回路が、第 2 のシフトレジスタと、前記第 2 のシフトレジスタからの出力を入力とする第 2 のゲート回路と、前記第 2 のゲート回路と前記デジタル映像信号線とに接続され、前記デジタル映像信号を出力するラッチと、前記ラッチから出力された前記デジタル映像信号をアナログ信号に変換して前記データ線の他端に出力する D/A コンバータと、を含むことを特徴とする。これによれば、アナログ映像信号に基くデータ線駆動およびデジタル映像信号に基くデータ線駆動の双方が可能となる。上記アクティブマトリクス基板は、前記ラッチが、前記第 2 のゲート回路と前記デジタル映像信号線とに接続される第 1 のラッチと、前記第 1 のラッチに接続され、前記デジタル映像信号を前記 D/A コンバータに出力する第 2 のラッチと、を含むことが好ましい。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本発明に係るアクティブマトリクス基板の他の態様では、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線の交差に対応して設けられる複数の画素トランジスタと、前記複数のデータ線の各々の一端に接続される第 1 のデータ線駆動回路と、前記複数のデータ線の各々の他端に接続される第 2 のデータ線駆動回路と、前記第 1 のデータ線駆動回路にアナログ映像信号を供給する少なくとも 1 本のアナログ映像信号線と、前記第 2 のデータ線駆動回路にデジタル映像信号を供給する少なくとも 1 本のデジタル映像信号線と、を有することを特徴とする。これによれば、アナログ映像信号に基くデータ線駆動およびデジタル映像信号に基くデータ線駆動の双方が可能となる。上記アクティブマトリクス基板は、前記第 1 のデータ線駆動回路が、少なくともひとつのシフトレジスタと、前記少なくともひとつのシフトレジスタからの出力を入力とする少なくともひとつのゲート回路と、前記少なくともひとつのゲート回路からの出力を入力とする複数のスイッチ回路と、を含むことが好ましい。また、前記複数のスイッチ回路が少なくとも第 1

のグループと第2のグループとを含み、前記第1のグループが前記少なくともひとつのゲート回路からの第1の出力により同時に制御され、前記第2のグループが前記少なくともひとつのゲート回路からの第2の出力により同時に制御されることが好ましい。また、前記第1のグループにおける前記複数のスイッチ回路が前記第2のグループのスイッチ回路を間において配置されていることが好ましい。また、前記第2のデータ線駆動回路がD/Aコンバータを含み、前記D/Aコンバータが前記デジタル映像信号をアナログ信号に変換し、前記アナログ信号を前記複数のデータ線の少なくともひとつの他端に入力することが好ましい。また、前記第2のデータ線駆動回路が前記少なくとも1本のデジタル映像信号線に接続され、前記デジタル映像信号を取り込んで一時的に記憶する第1のラッチを含むことが好ましい。また、前記第1のラッチに接続され、前記第1のラッチの各ビットのデータを一括して取り込んで一時的に記憶する第2のラッチを含むことが好ましい。また、前記第2のデータ線駆動回路が点順次方式のデジタルドライバであることが好ましい。また、前記第2のデータ線駆動回路が線順次方式のデジタルドライバであることが好ましい。また、前記第1のゲート回路が少なくともひとつのナンドゲートを含み、前記ナンドゲートが前記第1のシフトレジスタからの出力と出力イネーブル信号とを入力とすることが好ましい。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

上記アクティブマトリクス基板は、前記第2のデータ線駆動回路を構成する複数のドライバ部トランジスタが基板上に形成されていることが好ましい。また、前記第2のデータ線駆動回路を構成する複数のドライバ部トランジスタが前記画素トランジスタと基板上の同一層に形成されていることが好ましい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

また、本発明に係るアクティブマトリクス基板の他の態様では、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線の交差に対応して設けられる複数の画素トランジスタと、前記複数のデータ線の各々の一端に接続される第1のデータ線駆動回路と、前記第1のデータ線駆動回路にアナログ映像信号を供給する少なくとも1本のアナログ映像信号線と、を有し、前記第1のデータ線駆動回路が第1のシフトレジスタと第1のゲート回路とを含み、前記第1のゲート回路が少なくともひとつのナンドゲートを含み、前記ナンドゲートが前記第1のシフトレジスタからの出力と出力イネーブル信号とを入力とすることを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

また、本発明に係る表示装置は、上記のアクティブマトリクス基板を含むことを特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】 0 0 1 8

【補正方法】 変更

【補正の内容】

【 0 0 1 8 】

本発明に係る表示装置の他の態様では、一本のシフトレジスタを用いて複数のパルスと同時に発生させる。したがって、シフトレジスタの動作クロックの周波数を変更することなく、シフトレジスタの出力信号の周波数を高くすることができる。同時に発生するパルスの数を「 N 個（ N は2以上の自然数）」とした場合、シフトレジスタの出力信号の周波数は N 倍となる。上述のシフトレジスタの出力信号を、アナログドライバにおける映像信号のサンプリングタイミングを決めるために使用すれば、高速なデータ線の駆動が実現される。また、上述のシフトレジスタの出力信号を、デジタルドライバにおける映像信号のラッチタイミングを決めるために使用すれば、映像信号の高速なラッチが実現される。したがって、液晶表示マトリクス of 駆動回路をTFTで構成した場合でも、消費電力を増大させずに、駆動回路の高速動作が可能となる。一本のシフトレジスタを用いて複数のパルスと同時に発生させるには、例えば、そのシフトレジスタの入力端に、映像信号の1水平期間毎に1つの同極性のパルスを入力していき、少なくとも（ $N - 1$ ）回の水平期間の経過を待って、前記シフトレジスタの各段の出力端より、相互に間隔をおいて並列に走る N 個のパルスが出力されるような定常状態を実現すればよい。

【手続補正 9】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 9

【補正方法】 変更

【補正の内容】

【 0 0 1 9 】

本発明に係る表示装置の他の態様では、一本のシフトレジスタに加えて、そのシフトレジスタの出力信号を入力とするゲート回路が設けられ、そのゲート回路の出力信号を、データ線駆動回路を構成する回路のタイミング制御信号として使用する。例えば、ゲート回路の出力信号は、アナログドライバにおける映像信号のサンプリングタイミングを決めるタイミング信号として使用でき、デジタルドライバにおける映像信号のラッチタイミングを決めるタイミング信号として使用できる。例えば、ゲート回路として排他的論理和ゲートを使用し、シフトレジスタの隣り合う段の各出力をその排他的論理和ゲートの入力とし、シフトレジスタに映像信号の2水平期間を1周期とするクロックを入力とすれば、1水平期間におけるクロックのレベルの変化数が減少し、より低消費電力化が可能である。

【手続補正 10】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 0

【補正方法】 変更

【補正の内容】

【 0 0 2 0 】

本発明に係る表示装置の他の態様では、一本のシフトレジスタを活用することにより、液晶表示マトリクス of 電氣的検査を行うことができる構成を実現する。例えば、データ線の一端に検査用信号の入力回路を接続し、データ線 he 他端にアナログスイッチを介して映像信号の入力線を接続しておく。そして、検査用信号の入力回路を用いてデータ線に検査用の信号を一括して入力し、そのような入力が維持されている状態で、1本のシフトレジスタより一つのパルスを順次に出し、そのパルスの各々を用いて複数のアナログスイッチを順次にオンさせ、これにより、前記データ線の一端より送信された検査用の信号を、アナログスイッチおよび映像信号の入力線を介して受信することにより、データ線やアナログスイッチの電氣的特性の検査を行うことができる。例えば、データ線やアナログスイッチの周波数特性やデータ線の断線等を正確かつ高速に検出可能である。

 フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 1 F	
	G 0 2 F 1/133 5 5 0	
	G 0 2 F 1/133 5 0 5	

F ターム(参考)	2H093	NA16	NA43	NC22	NC24	NC26	NC34	ND39	ND49	ND60
	5C006	AC21	AF43	AF71	BB16	BC02	BC06	BC12	BC13	BF11
		FA13	FA47							
	5C080	AA10	BB05	DD08	DD15	DD26	FF01	FF11	JJ02	JJ03
		JJ05	JJ06						JJ04	

专利名称(译)	有源矩阵基板和显示装置		
公开(公告)号	JP2006133806A	公开(公告)日	2006-05-25
申请号	JP2006021340	申请日	2006-01-30
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	東清一郎		
发明人	東 清一郎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.623.H G09G3/20.623.M G09G3/20.611.A G09G3/20.623.L G09G3/20.621.F G02F1/133.550 G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC34 2H093/ND39 2H093/ND49 2H093/ND60 5C006/AC21 5C006/AF43 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BC12 5C006/BC13 5C006/BF11 5C006/EB01 5C006/FA13 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD15 5C080/DD26 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H193/ZA04		
代理人(译)	井上 一 托莫卡祖·纳米 黑田靖		
优先权	1995015120 1995-02-01 JP		
其他公开文献	JP3882849B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够高速操作并降低功耗的液晶显示装置。液晶显示装置包括：液晶显示矩阵（300），其在扫描线（L）和数据线（D）的交点处形成有液晶显示像素；驱动扫描线（D）的扫描线驱动电路（100）；以及数据线。用于驱动线D的数据线驱动电路200。数据线驱动电路200包括具有多级的移位寄存器220，分别具有移位寄存器220的多个相邻级的输出作为输入的多个异或电路，以及用于输入到数据线D的视频信号。它具有视频信号输入线S1至S4。根据每个异或电路的输出对视频信号线进行采样。[选择图]图19

