

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-98472

(P2006-98472A)

(43) 公開日 平成18年4月13日(2006.4.13)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/133 (2006.01)	GO2F 1/133 550	2H090
GO2F 1/1337 (2006.01)	GO2F 1/1337 500	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H093

審査請求 未請求 請求項の数 10 O L (全 19 頁)

(21) 出願番号	特願2004-281380 (P2004-281380)	(71) 出願人	302036002
(22) 出願日	平成16年9月28日 (2004. 9. 28)		富士通ディスプレイテクノロジーズ株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(71) 出願人	501358079
			友達光電股▲ふん▼有限公司
			台湾新竹市科学工業園區力行二路1号
		(74) 代理人	100101214
			弁理士 森岡 正樹
		(72) 発明者	佐々木 貴啓
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
		最終頁に続く	

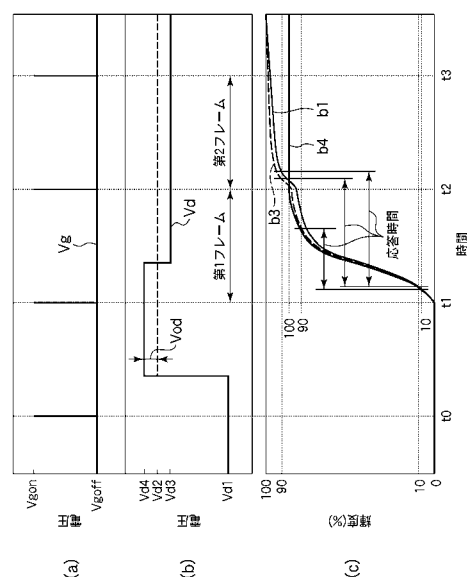
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】本発明は、配向規制用構造物を用いて垂直配向型の液晶を配向規制する液晶表示装置及びその駆動方法に関し、良好な応答特性の得られる液晶表示装置及びその駆動方法を提供することを目的とする。

【解決手段】液晶を配向規制する配向規制用構造物を備えた液晶表示装置を駆動する際に、画素の表示状態を暗表示から明表示に変化させるとき、第1フレームの最初に画素の液晶に印加される電圧Vd4の大きさと、第2フレーム以降に画素の液晶に印加される電圧Vd3の大きさとを、画素の液晶容量の増加により第1フレーム内で減少する電圧Vodよりも大きくする。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

対向配置された一対の基板と、
前記一対の基板間に封止された液晶と、
前記一対の基板の少なくとも一方に形成され、前記液晶を配向規制する配向規制用構造物と、
前記一対の基板の一方に形成されたスイッチング素子と、
前記スイッチング素子に接続された複数のバスラインと、
前記複数のバスラインに所定の駆動信号を供給するバスライン駆動回路部と、
画素の表示状態を暗表示から前記暗表示より輝度の高い明表示に変化させる際に、前記表示状態が変化する第 1 フレームの最初に前記画素の液晶に印加される第 1 の電圧の大きさと、前記第 1 フレームの次の第 2 フレーム以降に前記画素の液晶に印加される第 2 の電圧の大きさとの差が、前記画素の液晶容量の変化により前記第 1 フレーム内に生じる電圧変化の大きさよりも大きくなるように前記バスライン駆動回路部を制御する制御回路部とを有することを特徴とする液晶表示装置。 10

【請求項 2】

請求項 1 記載の液晶表示装置において、
前記第 1 の電圧の大きさは、前記第 2 の電圧の大きさよりも大きいことを特徴とする液晶表示装置。

【請求項 3】

請求項 1 又は 2 に記載の液晶表示装置において、
前記第 2 の電圧は、前記第 1 フレームの最後での前記画素の輝度が概ね維持される電圧であること
を特徴とする液晶表示装置。 20

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置において、
前記第 2 の電圧の大きさは、前記第 1 フレームの最後に前記画素の液晶に印加される第 3 の電圧の大きさよりも小さいこと
を特徴とする液晶表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置において、
前記暗表示は黒表示であり、前記明表示は白表示であること
を特徴とする液晶表示装置。 30

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の液晶表示装置において、
前記制御回路部は、外部から入力される表示データを複数フレーム分記憶するフレームメモリと、前記複数フレーム分の前記表示データを比較して前記画素の表示状態の変化を判定する比較判定回路とを有すること
を特徴とする液晶表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の液晶表示装置において、
前記液晶は負の誘電率異方性を有し、電圧無印加時に基板面に対してほぼ垂直に配向していること
を特徴とする液晶表示装置。 40

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の液晶表示装置において、
前記配向規制用構造物は、突起又は電極の抜き部であることを
特徴とする液晶表示装置。

【請求項 9】

液晶を配向規制する配向規制用構造物を有する液晶表示装置の駆動方法であって、 50

画素の表示状態を暗表示から前記暗表示より輝度の高い明表示に変化させる際に、前記表示状態が変化する第1フレームの最初に前記画素の液晶に印加される第1の電圧の大きさと、前記第1フレームの次の第2フレーム以降に前記画素の液晶に印加される第2の電圧の大きさととの差を、前記画素の液晶容量の変化により前記第1フレーム内に生じる電圧変化の大きさよりも大きくすること

を特徴とする液晶表示装置の駆動方法。

【請求項10】

請求項9記載の液晶表示装置の駆動方法において、

前記第1の電圧の大きさは、前記第2の電圧の大きさよりも大きいこと

を特徴とする液晶表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に関し、特に、配向規制用構造物を用いて垂直配向型の液晶を配向規制する液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置は、対向配置された一对の基板と、両基板間に封止された液晶とを有している。MVA (Multi-domain Vertical Alignment) モードの液晶表示装置では、基板上に部分的に設けられた突起や電極の抜き部 (スリット) 等の配向規制用構造物により、負の誘電率異方性を有する垂直配向型の液晶が配向規制される (例えば、特許文献1参照)。MVAモードの液晶表示装置は、TN (Twisted Nematic) モードやIPS (In-Plane Switching) モード等の他の表示モードの液晶表示装置に比較して、高速応答、高コントラスト、広視野角という利点を有していた。しかしながら近年、TNモードやIPSモードの液晶表示装置において液晶の材料特性や駆動方式などの改善が進み、従来のMVAモード以上の高速応答が実現され始めている。また、テレビ受像機用途などで動画表示への対応を考慮すると、従来のMVAモードの液晶表示装置の応答特性は必ずしも十分ではなかった。

20

【0003】

図11は、従来の一般的な液晶表示装置の画素の等価回路を示している。図11に示すように、各画素にはスイッチング素子として薄膜トランジスタ (TFT) が設けられている。TFTのゲート電極はゲートバスラインに接続され、ゲート電極には所定のゲート電圧 V_g が印加されるようになっている。TFTのドレイン電極はドレインバスラインに接続され、ドレイン電極には所定のデータ電圧 V_d が印加されるようになっている。TFTのソース電極は、液晶容量 C_{lc} 及び蓄積容量 C_s のそれぞれ一方の電極に接続されている。液晶容量 C_{lc} 及び蓄積容量 C_s のそれぞれ他方の電極は、コモン電圧 V_{com} に維持されている。

30

【0004】

図12(a)は、ある画素のTFTのゲート電極に接続されたゲートバスラインに印加されるゲート電圧 V_g を示すグラフであり、図12(b)は、当該画素のTFTのドレイン電極に接続されたドレインバスラインに印加されるデータ電圧 V_d (絶対値) を示すグラフであり、図12(c)は、当該画素の輝度を示すグラフである。図12(a)~(c)の横軸は時間を表し、図12(a)、(b)の縦軸は電圧レベルを表し、図12(c)の縦軸は輝度 (%) を表している。

40

【0005】

図12(a)に示すように、この画素のTFTのゲート電極にはフレーム周期毎の時間 t_0 、 t_1 、 t_2 、... に電圧 V_{gon} (ゲートパルス) が印加され、TFTは周期的にオン状態になる。TFTがオン状態になると、データ電圧 V_d が当該画素の画素電極に印加され、液晶容量 C_{lc} 及び蓄積容量 C_s に電荷が蓄積される。蓄積された電荷は、TFTが次にオン状態になるまでの1フレーム期間保持される。図12(b)に示すように

50

、ドレインバスラインに印加されているデータ電圧 V_d は、時間 t_0 と時間 t_1 との間に、黒を表示させる電圧 V_{d1} から白を表示させる電圧 V_{d2} ($|V_{d2}| > |V_{d1}|$) に変化している。すなわち、当該画素の画素電極には、時間 t_0 以前には電圧 V_{d1} が印加され、時間 t_1 以降には電圧 V_{d2} が印加されることになる。ここでは、画素電極に印加される電圧が変化する時間 t_1 からのフレーム期間を第 1 フレームとする。第 1 フレームでは、液晶容量 C_{lc} に蓄積される電荷によって当該画素の液晶の配向状態が変化し、図 12 (c) の線 b_1 に示すように輝度が変化する。

【0006】

輝度の変化に着目すると、第 1 フレームの後半で輝度変化が飽和し、第 2 フレームで再び輝度に変化し始めていることが分かる。このため、輝度の応答波形はフレーム期間毎に段状になっている。従来の液晶表示装置では、輝度の応答波形が 2 段 (又は 3 段以上) になる 2 段 (多段) 応答が生じることにより応答時間が長くなり、高速応答化が困難になっていた。ここで、輝度が 0 % から 100 % に変化するとき、輝度 10 % から輝度 90 % までに要する時間を応答時間とする。

【0007】

上記のような 2 段応答が生じる原因について説明する。図 13 (a) は液晶への印加電圧と輝度との関係を示すグラフであり、図 13 (b) は液晶への印加電圧と液晶容量 C_{lc} との関係を示すグラフである。図 13 (a)、(b) の横軸は印加電圧を表し、図 13 (a) の縦軸は輝度レベルを表し、図 13 (b) の縦軸は液晶容量 C_{lc} を表している。黒表示である出発輝度 B_{off} における印加電圧を V_{off} とし、液晶容量を C_{loff} とする。また、白表示である目標輝度 B_{on} における印加電圧を V_{on} とする。図 13 (a)、(b) に示すように、液晶には第 1 フレームの最初に電圧 V_{on} が印加される (図 13 (b) の矢印 x_1)。これにより、液晶容量 C_{lc} 及び蓄積容量 C_s には電荷 Q ($= (C_{loff} + C_s) \times V_{on}$) が蓄積され、1 フレーム期間の間保持される。電圧 V_{on} が印加されて液晶が応答することにより、液晶容量 C_{lc} は液晶の誘電率異方性により第 1 フレームで ΔC_{lc} 増加する。これに対し、電荷保存の法則により電荷 Q は一定である。したがって、

$$Q = (C_{loff} + \Delta C_{lc} + C_s) \times (V_{on} - \Delta V)$$

となり、等電荷曲線 q に沿う矢印 x_2 で示すように、液晶への印加電圧は第 1 フレーム内で ΔV 減少する。このため、第 1 フレームでの到達輝度 B_1 は目標輝度 B_{on} より低くなる。同様に、第 2 フレームの最初には電圧 V_{on} が印加されるものの (矢印 x_3)、液晶容量 C_{lc} の変化に伴って印加電圧が減少し (矢印 x_4)、第 2 フレームでの到達輝度 B_2 は目標輝度 B_{on} より低くなる。したがって、画素の輝度が目標輝度 B_{on} になるのには数フレームが必要になってしまう。このような液晶容量 C_{lc} の増加に伴う印加電圧の低下によって、フレーム期間内での輝度変化の飽和、すなわち輝度の 2 段応答が発生する。

【0008】

輝度の 2 段応答を抑制し、液晶表示装置の高速応答化を図るために、以下の 2 つの手法が従来考えられてきた。

(1) 蓄積容量 C_s を大きくすることによって、液晶容量 C_{lc} の変化の影響を相対的に小さくする。

(2) 液晶容量 C_{lc} の変化を見込んで、第 1 フレームの印加電圧を高くする (いわゆるオーバードライブ方式)。

しかしながら上記の手法 (1) は、蓄積容量 C_s を大きくするに伴って画素の開口率が低下するため、輝度が低下してしまうという欠点を有している。

【0009】

図 14 (a) は、手法 (2) を用いた液晶表示装置における液晶への印加電圧と輝度との関係を示すグラフであり、図 14 (b) は液晶への印加電圧と液晶容量 C_{lc} との関係を示すグラフである。図 14 (a)、(b) に示すように、手法 (2) では、液晶容量 C_{lc} の変化を見込んで、第 1 フレーム最初の印加電圧を V_{od} だけ高くする (図 14 (b

10

20

30

40

50

）の矢印×5）。液晶容量 C_{lc} 及び蓄積容量 C_s には電荷 $Q(=(C_{lc} \times V_{on} + C_s) \times (V_{on} + V_{od}))$ が蓄積される。液晶容量 C_{lc} の増加に伴って、印加電圧は第1フレーム内で V_{od} だけ低下する（矢印×6）。これにより次式のように、第1フレームの最後には、目標輝度 B_{on} を得るのに必要な電圧 V_{on} が液晶に印加されることになる。

$$Q = (C_{lc} \times V_{on} + C_s) \times (V_{on} + V_{od} - V_{od}) \\ = (C_{lc} \times V_{on} + C_s) \times V_{on}$$

【0010】

図15(a)は、ある画素のTFTのゲート電極に接続されたゲートバスラインに印加されるゲート電圧 V_g を示すグラフであり、図15(b)は、当該画素のTFTのドレイン電極に接続されたドレインバスラインに印加されるデータ電圧 V_d を示すグラフであり、図15(c)は、当該画素の輝度を示すグラフである。図15(a)～(c)の横軸及び縦軸は、図12(a)～(c)の横軸及び縦軸と同様である。図15(c)の線b1は、図12(c)に示した線b1と同様に従来の液晶表示装置の当該画素の輝度を示し、線b2は、手法(2)を用いたTNモードの液晶表示装置の当該画素の輝度を示している。図15(a)～(c)に示すように、手法(2)を用いたTNモードの液晶表示装置の輝度の応答波形は段状になっておらず、2段応答が生じていない。このように、TNやIPS、ラビングVA等のモードのように基板全面に均一に配向制御処理が施された液晶表示装置では、手法(2)を用いることにより2段応答が抑制されて高速応答化が実現されていた。

【0011】

図15(c)の線b3は、手法(2)を用いたMVAモードの液晶表示装置の輝度を示している。手法(2)を用いたMVAモードの液晶表示装置では、応答時間が若干短縮されるものの2段応答は改善されない。このように、MVAモードの液晶表示装置では、従来の手法(2)をそのまま適用するだけでは高速応答化が困難であることが分かった。

【0012】

MVAモードの液晶表示装置において高速応答化が困難な原因を明らかにするため、高速度カメラを用いて液晶の応答状態を観察した。図16及び図17は、MVAモードの液晶表示パネルの黒を表示している画素の液晶に対し、白を表示させる電圧を印加したときの液晶の応答状態を示している。この液晶表示パネルは、画素端部に対して斜め（約45°）に延びる配向規制用構造物を有している。図16及び図17は、クロスニコル配置の一对の偏光板で液晶表示パネルを挟み、後方から光を照射した状態を示している。図16では、一般のMVAモードの液晶表示装置と同様に両偏光板の偏光軸が画素端部にほぼ平行に配置され、図17では、液晶の配向乱れを観察し易いように両偏光板の偏光軸が配向規制用構造物の延びる方向にほぼ平行に配置されている。図16及び図17の(a)は電圧を印加してから4ms後の状態、(b)は8ms後の状態、(c)は12ms後の状態、(d)は20ms後の状態をそれぞれ示している。また(e)は32ms後の状態、(f)は40ms後の状態、(g)は80ms後の状態、(h)は300ms後の状態をそれぞれ示している。図16及び図17に示すように、電圧印加直後の液晶には大きい配向乱れが生じており、配向乱れが解消されて所望の輝度を得られるまでには、電圧を印加してから数十ms程度（数フレーム分）の時間が必要であることが分かった。このように、配向規制用構造物を有するMVAモードの液晶表示装置では、2段応答と上記のような液晶の配向乱れとの双方が高速応答化を阻害しているため、良好な応答特性を得るのが困難であるという問題が生じていた。

【0013】

【特許文献1】特許第2947350号公報

【特許文献2】特開2000-231091号公報

【特許文献3】特開2001-117074号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 1 4 】

本発明の目的は、良好な応答特性の得られる液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 5 】

上記目的は、対向配置された一对の基板と、前記一对の基板間に封止された液晶と、前記一对の基板の少なくとも一方に形成され、前記液晶を配向規制する配向規制用構造物と、前記一对の基板の一方に形成されたスイッチング素子と、前記スイッチング素子に接続された複数のバスラインと、前記複数のバスラインに所定の駆動信号を供給するバスライン駆動回路部と、画素の表示状態を暗表示から前記暗表示より輝度の高い明表示に変化させる際に、前記表示状態が変化する第1フレームの最初に前記画素の液晶に印加される第1の電圧の大きさと、前記第1フレームの次の第2フレーム以降に前記画素の液晶に印加される第2の電圧の大きさととの差が、前記画素の液晶容量の変化により前記第1フレーム内に生じる電圧変化の大きさよりも大きくなるように前記バスライン駆動回路部を制御する制御回路部とを有することを特徴とする液晶表示装置によって達成される。

10

【発明の効果】

【 0 0 1 6 】

本発明によれば、良好な応答特性の得られる液晶表示装置を実現できる。

【発明を実施するための最良の形態】

【 0 0 1 7 】

20

本発明の一実施の形態による液晶表示装置及びその駆動方法について図1乃至図10を用いて説明する。図1は、本実施の形態による液晶表示装置が有するMVAモードの液晶表示パネル1の断面構成を模式的に示している。図1(a)は液晶に電圧を印加していない状態を示し、図1(b)は液晶に電圧を印加した状態を示している。図2は、MVAモードの液晶表示パネル1の3画素分の構成及び液晶分子の配向方向を示す概念図である。図1(a)、(b)に示すように、MVAモードの液晶表示パネル1では、負の誘電率異方性を有する液晶の液晶分子8が、2枚のガラス基板10、11の間で基板面にほぼ垂直に配向している。図示していないが、一方のガラス基板10上にはTFEとTFEに接続された画素電極とが画素領域毎に形成されており、他方のガラス基板11上の全面には共通電極が形成されている。ガラス基板10の画素電極上には配向規制用構造物として線状の突起20が形成され、ガラス基板11の共通電極上には線状の突起21が形成されている。突起20、21は交互に配列するように互いに並列して配置されている。画素電極、共通電極及び突起20、21上には、不図示の垂直配向膜が塗布形成されている。また液晶表示パネル1を挟んで、一对の偏光板がクロスニコルに配置される。

30

【 0 0 1 8 】

液晶に電圧が印加されていない状態では、図1(a)に示すように、液晶分子8は基板面にほぼ垂直に配向している。この状態では黒が表示される。図1(b)に示すように、液晶に所定の電圧が印加されると液晶分子8が傾斜し、所定の階調(例えば白)が表示される。このとき、突起20、21によって液晶分子8の傾斜方向が規制され、液晶分子8は複数の方向に配向する。図2に示すように、突起20、21は例えば画素端部に対して斜めに延びている。このように突起20、21が形成されている場合には、液晶分子8は一画素内でA、B、C、Dの4方向にそれぞれ配向する。このように、本実施の形態による液晶表示装置では、電圧を印加した際に液晶分子8が一画素内で複数の方向に配向するので、良好な視角特性が得られるようになっている。なお、本例では2枚のガラス基板10、11上にそれぞれ線状の突起20、21が形成されているが、例えば突起20に代えて画素電極の抜き部(スリット)を設けてもよい。

40

【 0 0 1 9 】

図3は、本実施の形態による液晶表示装置の画素の等価回路を示している。図3に示すように、各画素にはスイッチング素子としてTFEが設けられている。TFEのゲート電極Gはゲートバスラインに電氣的に接続され、ゲート電極Gには所定のゲート電圧V_gが

50

印加されるようになっている。T F Tのドレイン電極Dはドレインバスラインに電氣的に接続され、ドレイン電極Dには所定のデータ電圧 V_d が印加されるようになっている。T F Tのソース電極Sは、液晶容量 C_{lc} の一方の電極である画素電極と、蓄積容量 C_s の一方の電極である蓄積容量電極とに電氣的に接続されている。液晶容量 C_{lc} の他方の電極である共通電極と、蓄積容量 C_s の他方の電極である蓄積容量バスラインとは、コモン電圧 V_{com} に維持されている。

【0020】

図4(a)は、ある画素のT F Tのゲート電極Gに接続されたゲートバスラインに印加されるゲート電圧 V_g を示すグラフであり、図4(b)は、当該画素のT F Tのドレイン電極Dに接続されたドレインバスラインに印加されるデータ電圧 V_d (絶対値)を示すグラフであり、図4(c)は、当該画素の輝度を示すグラフである。図4(a)~(c)の横軸は時間を表し、図4(a)、(b)の縦軸は電圧レベルを表し、図4(c)の縦軸は輝度(%)を表している。図4(c)の線b4は、本実施の形態による液晶表示装置の当該画素の輝度を示し、線b1は、図12(c)に示した線b1と同様に従来の液晶表示装置の画素の輝度を示し、線b3は、図15(c)に示した線b3と同様に従来のオーバードライブ方式を用いたMVAモードの液晶表示装置の画素の輝度を示している。本例では、当該画素と同一のドレインバスラインに接続された全ての画素を黒表示から白表示に変化させ、白表示が数フレームの間維持されるような表示データが外部から液晶表示装置に入力されたものとする。また、フレーム期間は16.7msとする。

10

【0021】

図4(a)に示すように、この画素のT F Tのゲート電極Gにはフレーム周期毎の時間 t_0 、 t_1 、 t_2 、...に電圧 V_{gon} (ゲートパルス)が印加され、T F Tは周期的にオン状態になる。T F Tがオン状態になると、データ電圧 V_d が当該画素の画素電極に印加され、液晶容量 C_{lc} 及び蓄積容量 C_s に電荷が蓄積される。蓄積された電荷は、T F Tが次にオン状態になるまでの1フレーム期間保持される。

20

【0022】

図4(b)に示すように、ドレインバスラインに印加されるデータ電圧 V_d は、時間 t_0 と時間 t_1 との間に、黒を表示させる電圧 V_{d1} から電圧 V_{d4} ($|V_{d4}| > |V_{d1}|$)に変化している。当該画素の画素電極には、前フレームまでの電圧 V_{d1} よりも高い電圧 V_{d4} が時間 t_1 に印加されることになる。時間 t_1 から開始されるフレーム期間を第1フレームとする。

30

【0023】

第1フレームに印加される電圧 V_{d4} は、一般的なオーバードライブ方式と同様に、白を表示させるために印加される電圧 V_{d2} よりも、第1フレーム内での液晶容量 C_{lc} の増加に伴って減少する電圧 V_{od} (>0)分だけ高くなっている($|V_{d4} - V_{d2}| = V_{od}$)。これにより、第1フレームの最初には電圧 V_{d4} (第1の電圧)が液晶に印加され、第1フレームの最後には電圧 V_{d2} (第3の電圧)が液晶に印加されることになる。

【0024】

第2フレーム以降には、一般的なオーバードライブ方式と異なり、電圧 V_{d2} より低い電圧 V_{d3} (第2の電圧)が印加される($|V_{d3}| < |V_{d2}|$)。すなわち、電圧 V_{d4} と電圧 V_{d3} との差は、第1フレームにおいて液晶容量 C_{lc} の増加に伴って減少する電圧 V_{od} よりも大きくなっている($|V_{d4} - V_{d3}| > V_{od}$)。電圧 V_{d3} は、第1フレームの最後に得られる輝度を概ね維持するために必要な電圧である。MVAモードの液晶表示装置において、液晶の配向乱れが解消されるためには、電圧を印加してから数十ms程度の時間が必要である。したがって、一般的なオーバードライブ方式のように第2フレーム以降に電圧 V_{d2} を印加してしまうと、画素の輝度は第2フレーム以降の数フレームに亘って上昇することになり、2段応答が生じてしまう。本実施の形態では、液晶の配向乱れが解消されることを見込んで、第2フレーム以降に電圧 V_{d2} より低い電圧 V_{d3} を印加する。これにより、図4(c)の線b4に示すように、第1フレームの最後

40

50

に得られる輝度を第2フレーム以降に維持し、2段応答を生じさせないようにしている。また、本実施の形態では、輝度が変わるのは第1フレームのみであり、第2フレーム以降は輝度が変わらない。第1フレームの最後に得られる輝度が最大の輝度(100%)となるため、輝度10%から輝度90%までに要する応答時間が短縮される。したがって、動画表示に十分対応可能な応答特性を有するMVAモードの液晶表示装置が実現できる。

【0025】

以下、本実施の形態による液晶表示装置及びその駆動方法について、実施例を用いてより具体的に説明する。

【0026】

(実施例1)

まず、本実施の形態の実施例1による液晶表示装置及びその駆動方法について説明する。図5は、本実施例による液晶表示装置の概略構成を示している。図5に示すように、液晶表示装置は、外部から入力される8ビット表示データを例えば2フレーム分記憶するフレームメモリ50と、フレームメモリ50に記憶された2フレーム分の表示データを画素毎に比較して階調の変化を画素毎に判定し、階調が暗表示から明表示へ変化した画素の情報を含む階調変化データを出力する比較判定回路51と、比較判定回路51から表示データ及び階調変化データが入力され、外部から同期信号が入力されるタイミングコントローラ52とを制御回路部として有している。タイミングコントローラ52は、後述するフレームレートコントロール(FRC)技術を実現するFRC回路53を有している。また液晶表示装置は、内部電源回路54と、内部電源回路54から電力が供給され、例えばオペアンプを用いて複数レベルの基準電圧を生成する基準電圧生成回路55とを有している。さらに液晶表示装置は、MVAモードの液晶表示パネル1と、液晶表示パネル1の複数のゲートバスラインに所定の駆動信号を出力するゲートバスライン駆動回路(ゲートドライバ)56と、液晶表示パネル1の複数のドレインバスラインに所定の駆動信号を出力するドレインバスライン駆動回路(データドライバ)57とを有している。ゲートドライバ56には、タイミングコントローラ52からゲートドライバ制御信号が入力され、内部電源回路54からゲートドライバ用電圧が入力される。データドライバ57には、タイミングコントローラ52から8ビット表示データ及びデータドライバ制御信号が入力され、基準電圧生成回路55から複数レベルの基準電圧が入力され、内部電源回路54からデータドライバ用電圧が入力される。

【0027】

図6は、従来の液晶表示装置の概略構成を示している。図5に示す本実施例による液晶表示装置は、図6に示す従来の液晶表示装置と比較すると、フレームメモリ50、比較判定回路51及びFRC回路53を備えている点に特徴を有している。また、本実施例による液晶表示装置は、従来の液晶表示装置と同様に、一般的な256階調対応のデータドライバ57を有している。256階調対応のデータドライバ57は、基準電圧生成回路55から入力される複数レベルの基準電圧を用いて、ドライバ内部での抵抗分割により、8ビット表示データ(0~255)に対応した256レベルの電圧を選択して出力できるようになっている。したがって、8ビット表示データの255階調(11111111)に対応した電圧が液晶へ印加可能な最大の電圧であり、それ以上の電圧を液晶に印加することは一般的にはできない。

【0028】

本実施例では、ある画素の階調が0階調(暗表示)から255階調(明表示)に変化したとき、第1フレームの最後に得られる当該画素の輝度を予め求めておき、その輝度を100%として第2フレーム以降の階調設定を行う。例えば、第1フレームの最後での到達輝度がデータドライバ57に入力される表示データの243階調に相当する場合、制御回路部は、FRC技術を用いて、0~243階調により256レベルの階調を作成する。FRC技術は、複数レベルの階調を組み合わせた複数のフレームにより、本来表示が困難な中間の階調を表示可能とする技術である。例えば、0~255階調の各階調間に3レベルの階調を作成することにより1021階調の表示が可能となる。この中から任意の256

10

20

30

40

50

階調を取り出すことによって、液晶表示装置に本来設定されている階調輝度特性とは異なる階調輝度特性を得ることが可能になる。FRC技術はデータを変換する技術であるため、FRC回路53はタイミングコントローラ52のLSI内に容易に組み込むことができる。

【0029】

図7(a)は液晶表示装置に入力される表示データの例を示し、図7(b)はその表示データが入力された際に制御回路部がデータドライバ57に出力する表示データの例を示している。図7(a)に示す表示データは、第1フレーム(1F)に、例えばあるドレインバスラインに接続された全ての画素が黒表示(0階調)から白表示(255階調)に変化することを表している。このとき制御回路部は、比較判定回路部51で生成された階調変化データに基づいて、図7(b)に示すように、データドライバ57に第1フレームのみ255階調の表示データを出力する。第2フレーム(2F)以降にも液晶表示装置に255階調の表示データが連続して入力される場合には、制御回路部は、第2フレーム以降に例えば243階調の表示データをデータドライバ57に出力するようにする。データドライバ57への出力データの243階調を白表示に対応させることにより、データドライバ57への出力データの階調レベルは12(=255-243)階調分減少することになる。本実施例では、上述のようにFRC技術を用いて0~243階調間に256レベルの階調を作成することにより256階調の表示が得られる。

【0030】

図8(a)は、従来のMVAモードの液晶表示装置の画素の輝度変化を示し、図8(b)は、本実施例によるMVAモードの液晶表示装置の画素の輝度変化を示している。図8(a)、(b)の横方向は時間を表し、縦方向は輝度レベルを表している。図8(a)の線b5に示すように、従来のMVAモードの液晶表示装置では、暗表示から明表示に切り替わる際に2段応答が生じているのに対し、図8(b)の線b6に示すように本実施例によるMVAモードの液晶表示装置では2段応答が抑制されている。したがって、本実施例によれば、動画表示に十分対応可能な応答特性を有するMVAモードの液晶表示装置が実現できる。

【0031】

(実施例2)

次に、本実施の形態の実施例2による液晶表示装置及びその駆動方法について説明する。本実施例ではFRC技術を用いず、専用のデータドライバを用いる。図9は、本実施例の前提となる従来のデータドライバのDAコンバータ部及び基準電圧生成回路を示している。図9に示すように、基準電圧生成回路55は、(j+1)レベルの正極性の基準電圧 H_{RVn} ($n=0, \dots, i, \dots, j$)と、(j+1)レベルの負極性の基準電圧 L_{RVn} ($n=0, \dots, i, \dots, j$)とを出力できるようになっている。データドライバ57のDAコンバータ部58は、これらの基準電圧 H_{RVn} 及び L_{RVn} を用い、抵抗分割により256レベルの正極性の電圧 $H_{V0} \sim H_{V255}$ と、256レベルの負極性の電圧 $L_{V0} \sim L_{V255}$ とを出力できるようになっている。従来のデータドライバ57では、入力した8ビット表示データの最大値である255階調に対応する電圧は、 H_{V255} 及び L_{V255} である。電圧 H_{V255} 及び L_{V255} は、データドライバ57により駆動される画素の液晶に印加される最大の電圧である。この電圧の大きさは、基準電圧生成回路55により供給される基準電圧により規定される。

【0032】

図10は、本実施例による液晶表示装置のデータドライバのDAコンバータ部及び基準電圧生成回路を示している。図10に示すように、基準電圧生成回路55は、正極性の基準電圧 H_{RVn} ($n=0, \dots, i, \dots, j$)及び負極性の基準電圧 L_{RVn} ($n=0, \dots, i, \dots, j$)に加えて、過剰電圧用の基準電圧 H_{RVk} (正極性)及び L_{RVk} (負極性)を出力できるようになっている。データドライバ57のDAコンバータ部58は、この基準電圧 H_{RVk} 及び L_{RVk} に対応した過剰電圧 OWH (正極性)及び OWL (負極性)を出力できるようになっている。 OWH 及び OWL は、 H_{V255} 及び L_{V255} より

絶対値の大きい電圧である。

【0033】

本実施例では、実施例1における第2フレーム以降の243階調に対応する電圧がHV255とLV255になるように基準電圧が設定される。また本実施例では、制御回路部からデータドライバ57に出力される8ビット表示データに過剰電圧制御データが付加される。過剰電圧制御データには、データドライバ57に過剰電圧OWH又はOWLを出力させるか、あるいは8ビット表示データに従って最大HV255又はLV255の通常の電圧を出力させるかの制御情報が含まれている。なお、OWHとHV255との間、及びOWLとLV255との間に、抵抗分割により複数レベルの過剰電圧を生成し、過剰電圧制御データを複数ビットにすることにより、複数レベルの過剰電圧を選択可能にすることもできる。本実施例によれば、実施例1と同様に、動画表示に十分対応可能な応答特性を有するMVAモードの液晶表示装置が実現できる。

10

【0034】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では、画素の表示が黒から白に変化する場合を例に挙げたが、本発明はこれに限らず、相対的に暗表示から明表示に変化する場合であれば、黒から中間調又は中間調から白などの変化にも適用できる。

【0035】

以上説明した実施の形態による液晶表示装置及びその駆動方法は、以下のようにまとめられる。

20

(付記1)

対向配置された一对の基板と、

前記一对の基板間に封止された液晶と、

前記一对の基板の少なくとも一方に形成され、前記液晶を配向規制する配向規制用構造物と、

前記一对の基板の一方に形成されたスイッチング素子と、

前記スイッチング素子に接続された複数のバスラインと、

前記複数のバスラインに所定の駆動信号を供給するバスライン駆動回路部と、

画素の表示状態を暗表示から前記暗表示より輝度の高い明表示に変化させる際に、前記表示状態が変化する第1フレームの最初に前記画素の液晶に印加される第1の電圧の大きさと、前記第1フレームの次の第2フレーム以降に前記画素の液晶に印加される第2の電圧の大きさとの差が、前記画素の液晶容量の変化により前記第1フレーム内に生じる電圧変化の大きさよりも大きくなるように前記バスライン駆動回路部を制御する制御回路部とを有することを特徴とする液晶表示装置。

30

(付記2)

付記1記載の液晶表示装置において、

前記第1の電圧の大きさは、前記第2の電圧の大きさよりも大きいことを特徴とする液晶表示装置。

(付記3)

付記1又は2に記載の液晶表示装置において、

前記第2の電圧は、前記第1フレームの最後での前記画素の輝度が概ね維持される電圧であること

40

を特徴とする液晶表示装置。

(付記4)

付記1乃至3のいずれか1項に記載の液晶表示装置において、

前記第2の電圧の大きさは、前記第1フレームの最後に前記画素の液晶に印加される第3の電圧の大きさよりも小さいこと

を特徴とする液晶表示装置。

(付記5)

付記1乃至4のいずれか1項に記載の液晶表示装置において、

50

前記暗表示は黒表示であり、前記明表示は白表示であること
を特徴とする液晶表示装置。

(付記 6)

付記 1 乃至 5 のいずれか 1 項に記載の液晶表示装置において、
前記制御回路部は、外部から入力される表示データを複数フレーム分記憶するフレーム
メモリと、前記複数フレーム分の前記表示データを比較して前記画素の表示状態の変化を
判定する比較判定回路とを有すること
を特徴とする液晶表示装置。

(付記 7)

付記 1 乃至 6 のいずれか 1 項に記載の液晶表示装置において、
前記液晶は負の誘電率異方性を有し、電圧無印加時に基板面に対してほぼ垂直に配向し
ていること
を特徴とする液晶表示装置。

10

(付記 8)

付記 1 乃至 7 のいずれか 1 項に記載の液晶表示装置において、
前記配向規制用構造物は、突起又は電極の抜き部であることを
特徴とする液晶表示装置。

(付記 9)

液晶を配向規制する配向規制用構造物を有する液晶表示装置の駆動方法であって、
画素の表示状態を暗表示から前記暗表示より輝度の高い明表示に変化させる際に、前記
表示状態が変化する第 1 フレームの最初に前記画素の液晶に印加される第 1 の電圧の大き
さと、前記第 1 フレームの次の第 2 フレーム以降に前記画素の液晶に印加される第 2 の電
圧の大きさとの差を、前記画素の液晶容量の変化により前記第 1 フレーム内に生じる電圧
変化の大きさよりも大きくすること
を特徴とする液晶表示装置の駆動方法。

20

(付記 10)

付記 9 記載の液晶表示装置の駆動方法において、
前記第 1 の電圧の大きさは、前記第 2 の電圧の大きさよりも大きいこと
を特徴とする液晶表示装置の駆動方法。

(付記 11)

付記 9 又は 10 に記載の液晶表示装置の駆動方法において、
前記第 2 の電圧は、前記第 1 フレームの最後での前記画素の輝度が概ね維持される電圧
であること
を特徴とする液晶表示装置の駆動方法。

30

(付記 12)

付記 9 乃至 11 のいずれか 1 項に記載の液晶表示装置の駆動方法において、
前記第 2 の電圧の大きさは、前記第 1 フレームの最後に前記画素の液晶に印加される第
3 の電圧の大きさよりも小さいこと
を特徴とする液晶表示装置の駆動方法。

(付記 13)

付記 9 乃至 12 のいずれか 1 項に記載の液晶表示装置の駆動方法において、
前記暗表示は黒表示であり、前記明表示は白表示であること
を特徴とする液晶表示装置の駆動方法。

40

【図面の簡単な説明】

【0036】

【図 1】本発明の一実施の形態による液晶表示装置の断面構成を模式的に示す図である。
【図 2】本発明の一実施の形態による液晶表示装置の 3 画素分の構成及び液晶分子の配向
方向を示す概念図である。
【図 3】本発明の一実施の形態による液晶表示装置の画素の等価回路を示す図である。
【図 4】本発明の一実施の形態による液晶表示装置の応答特性を示す図である。

50

【図 5】本発明の一実施の形態の実施例 1 による液晶表示装置の概略構成を示す図である。

【図 6】従来の液晶表示装置の概略構成を示す図である。

【図 7】本発明の一実施の形態の実施例 1 による液晶表示装置の駆動方法を示す図である。

【図 8】本発明の一実施の形態の実施例 1 による液晶表示装置の効果を示す図である。

【図 9】本発明の一実施の形態の実施例 2 の前提となる従来の液晶表示装置のデータドライバの D A コンバータ部及び基準電圧生成回路の概略構成を示す図である。

【図 10】本発明の一実施の形態の実施例 2 による液晶表示装置のデータドライバの D A コンバータ部及び基準電圧生成回路の概略構成を示す図である。

10

【図 11】従来の液晶表示装置の画素の等価回路を示す図である。

【図 12】従来の液晶表示装置の応答特性を示す図である。

【図 13】2 段応答の生じる原因を説明する図である。

【図 14】オーバードライブ方式の液晶表示装置を説明する図である。

【図 15】オーバードライブ方式を用いた従来の液晶表示装置の応答特性を示す図である。

【図 16】従来の M V A モードの液晶表示装置の液晶の応答状態を示す図である。

【図 17】従来の M V A モードの液晶表示装置の液晶の応答状態を示す図である。

【符号の説明】

【 0 0 3 7 】

20

1 液晶表示パネル

8 液晶分子

1 0、1 1 ガラス基板

2 0、2 1 突起

5 0 フレームメモリ

5 1 比較判定回路

5 2 タイミングコントローラ

5 3 F R C 回路

5 4 内部電源回路

5 5 基準電圧生成回路

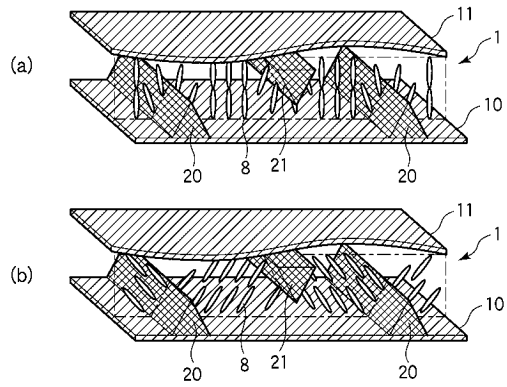
30

5 6 ゲートドライバ

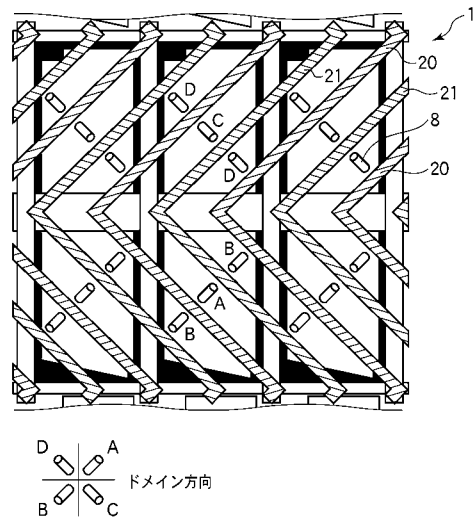
5 7 データドライバ

5 8 D A コンバータ部

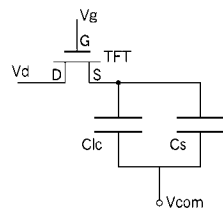
【図 1】



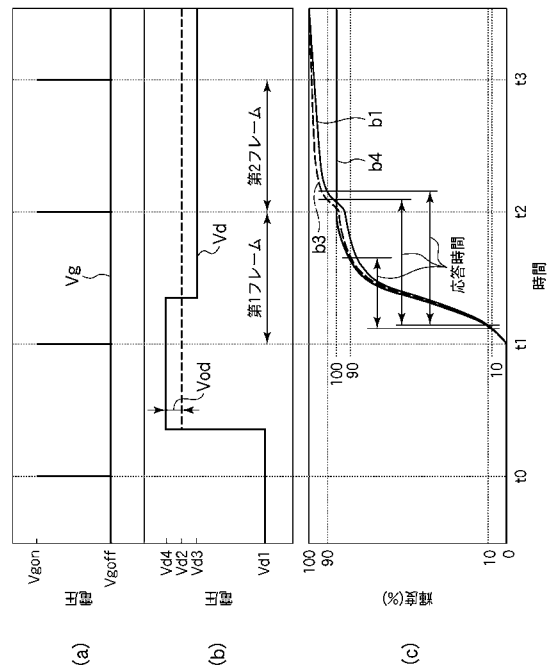
【図 2】



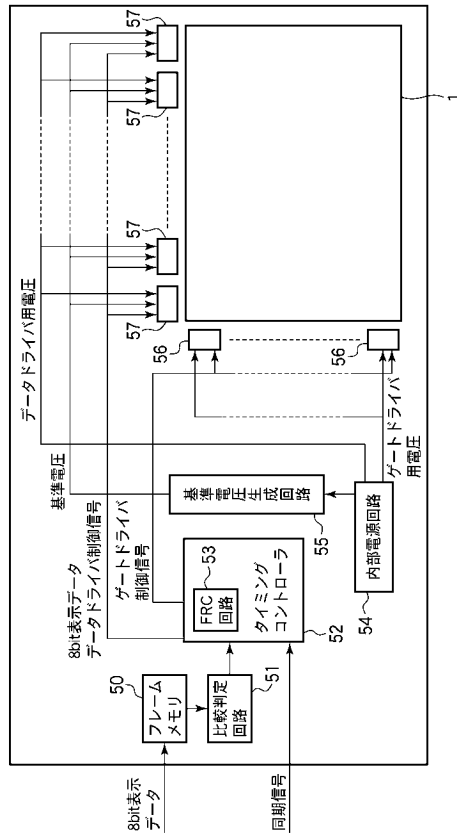
【図 3】



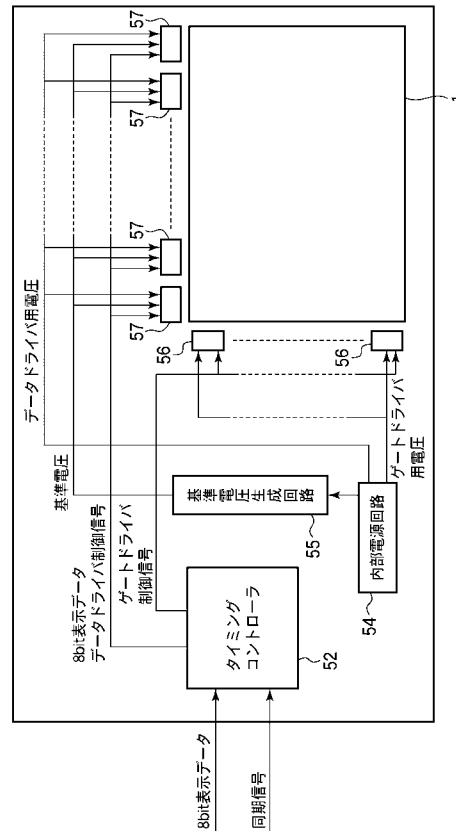
【図 4】



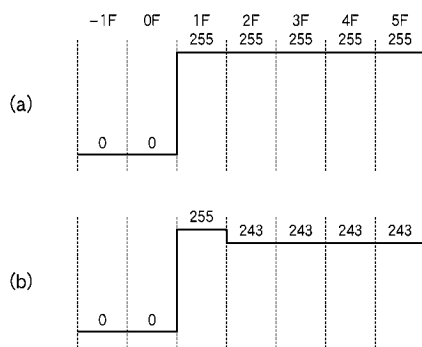
【図 5】



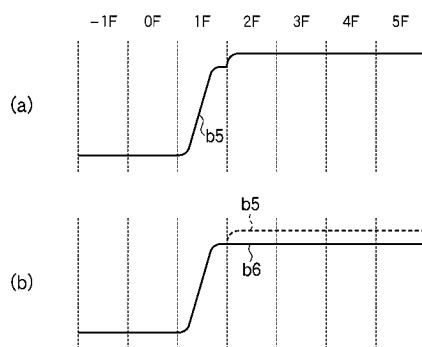
【図 6】



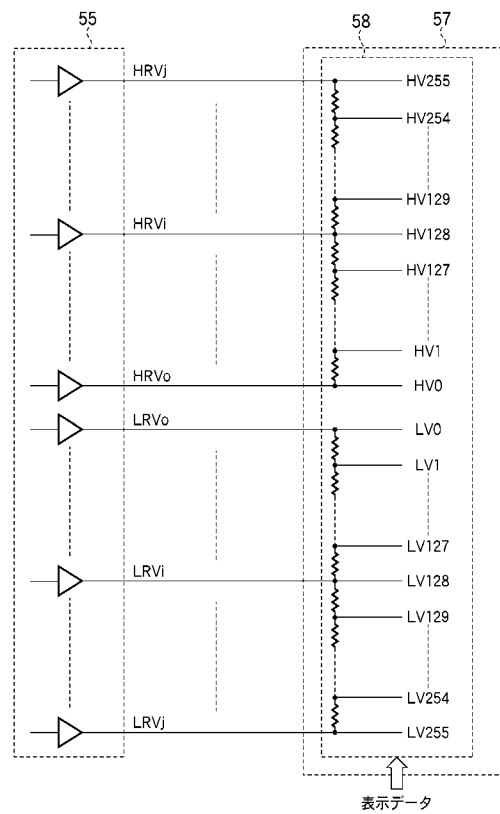
【図 7】



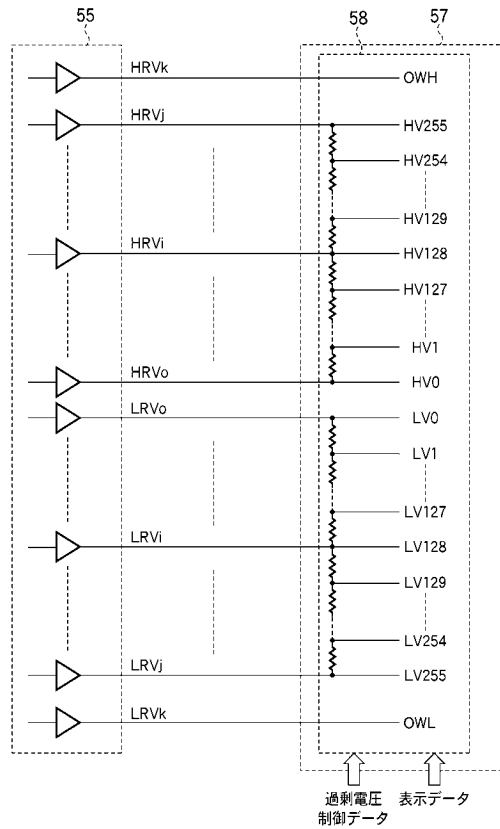
【図 8】



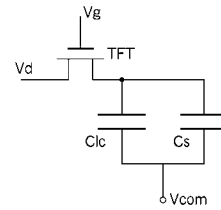
【図 9】



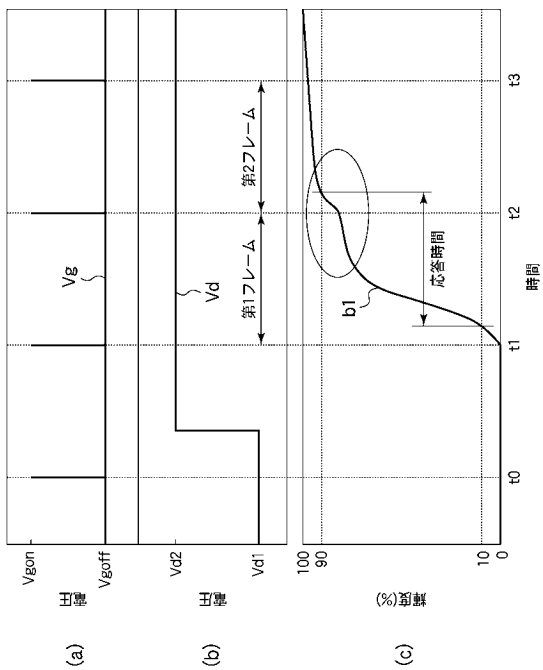
【図 10】



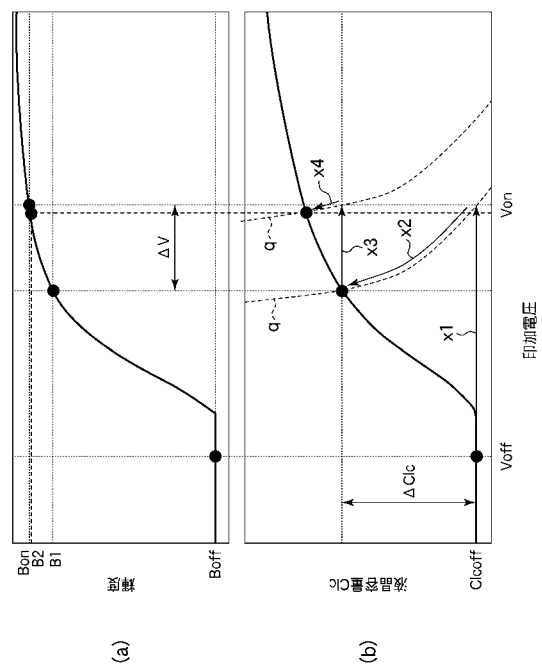
【図 11】



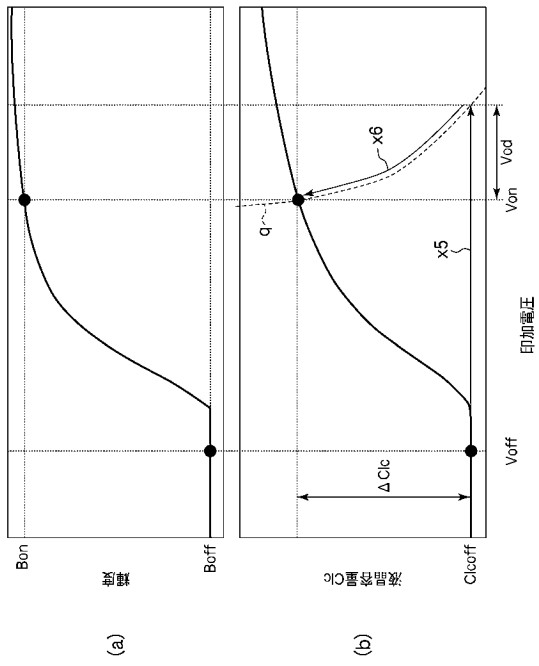
【図 12】



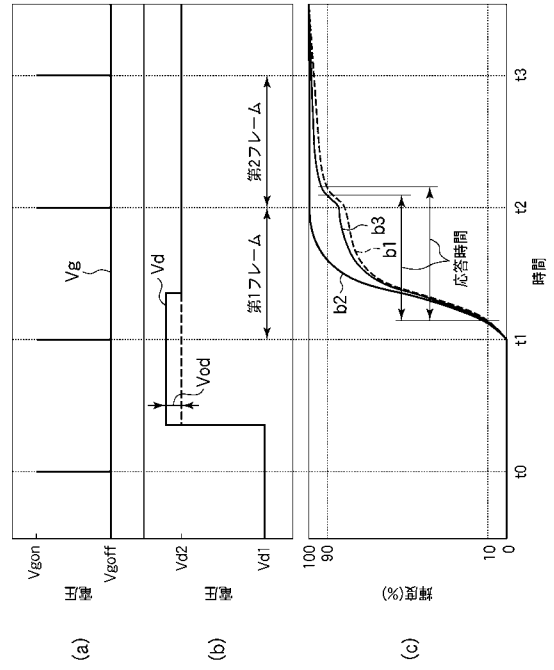
【図 13】



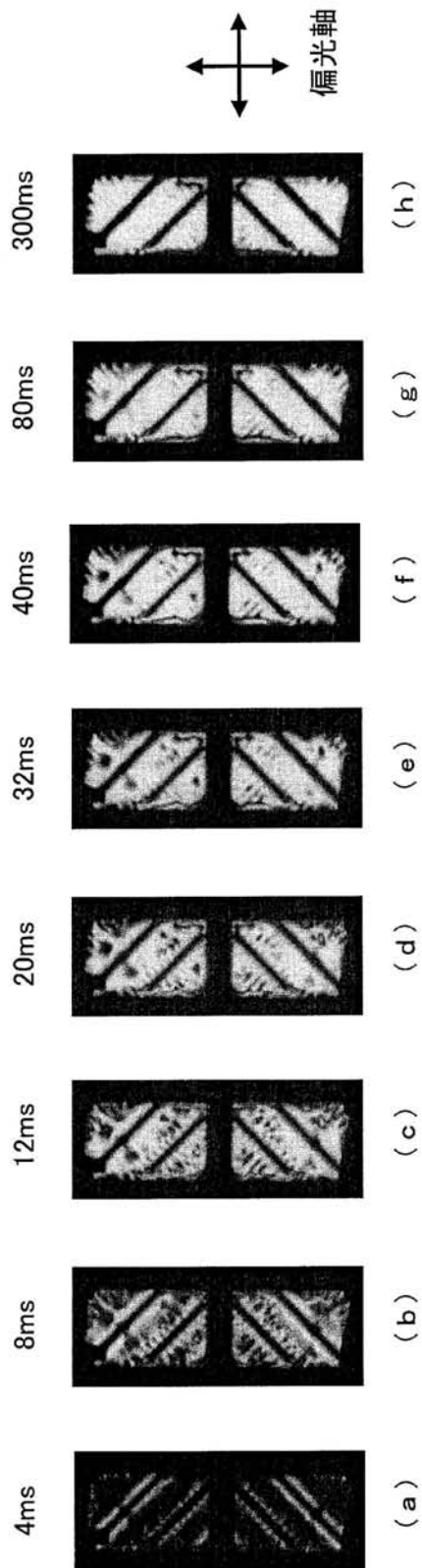
【図 14】



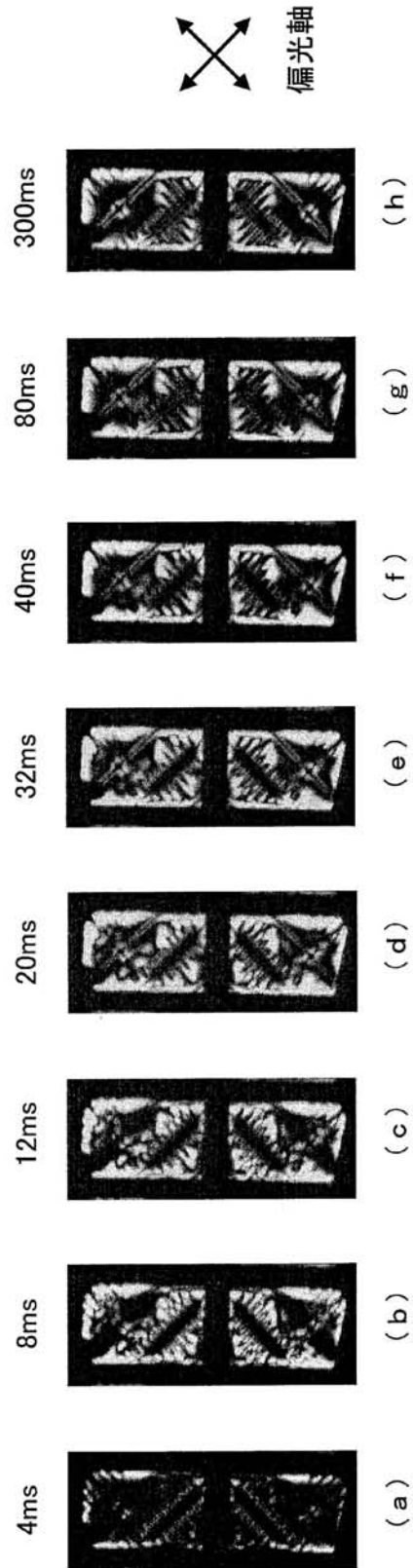
【図 15】



【図 16】



【図 17】



フロントページの続き

(72)発明者 井ノ上 雄一

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

(72)発明者 大城 幹夫

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

(72)発明者 本田 建功

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

Fターム(参考) 2H090 HA16 HB07Y KA07 LA01 LA04 MA01 MA08 MA15 MB14

2H092 GA14 HA04 JA24 JB05 NA04 NA05 PA02 PA06 QA09

2H093 NA18 NA43 NA53 NA55 NB01 NB30 NC04 NC25 NC29 NC34

ND32 NH12

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2006098472A	公开(公告)日	2006-04-13
申请号	JP2004281380	申请日	2004-09-28
[标]申请(专利权)人(译)	富士通显示技术股份有限公司 友达光电股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司 友达光电股▲ふん▼有限公司		
[标]发明人	佐々木貴啓 井ノ上雄一 大城幹夫 本田建功		
发明人	佐々木 貴啓 井ノ上 雄一 大城 幹夫 本田 建功		
IPC分类号	G02F1/133 G02F1/1337 G02F1/1343		
CPC分类号	G09G3/3648 G09G3/2025 G09G2310/027 G09G2320/0252		
FI分类号	G02F1/133.550 G02F1/1337.500 G02F1/1343 G02F1/133.570 G02F1/1337.505		
F-TERM分类号	2H090/HA16 2H090/HB07Y 2H090/KA07 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA08 2H090/MA15 2H090/MB14 2H092/GA14 2H092/HA04 2H092/JA24 2H092/JB05 2H092/NA04 2H092/NA05 2H092/PA02 2H092/PA06 2H092/QA09 2H093/NA18 2H093/NA43 2H093/NA53 2H093/NA55 2H093/NB01 2H093/NB30 2H093/NC04 2H093/NC25 2H093/NC29 2H093/NC34 2H093/ND32 2H093/NH12 2H193/ZA04 2H193/ZB46 2H193/ZD23 2H193/ZD25 2H193/ZE01 2H193/ZF03 2H193/ZQ11 2H193/ZQ44 2H193/ZQ45 2H193/ZQ47 2H290/AA34 2H290/BB24 2H290/BB44 2H290/CA46 2H290/CA51		
代理人(译)	盛冈正树		
其他公开文献	JP4413730B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种提供优异响应特性的液晶显示装置，以及相对于液晶显示装置驱动液晶显示装置的方法，其中垂直取向型液晶的取向通过使用对准控制结构及其驱动方法。ZSOLUTION：在驱动配备有对准控制结构的液晶显示装置以控制液晶的对准时，当像素的显示状态从暗显示变为亮显示时，电压的大小之间的差异在第一帧开始时施加到像素中的液晶的Vd4和在第二帧或之后施加到其上的电压Vd3的Vd4大于由于第一帧中的增加而在第一帧中减小的电压Vod。像素的液晶电容。Z

