

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-37785
(P2005-37785A)

(43) 公開日 平成17年2月10日(2005.2.10)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/20	G09G 3/20 622B	2H093
G02F 1/133	G09G 3/20 621L	5C006
G09G 3/36	G09G 3/20 621M	5C080
	G09G 3/20 622E	
	G09G 3/20 622G	
審査請求 未請求 請求項の数 9 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2003-276283 (P2003-276283)	(71) 出願人	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成15年7月17日(2003.7.17)	(74) 代理人	100099830 弁理士 西村 征生
		(72) 発明者	鈴木 健二 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		Fターム(参考)	2H093 NA41 NB11 NC09 NC22 ND42 ND49 ND54 ND60 5C006 AA16 AF72 BB16 BC02 BC03 BC11 BF03 BF06 BF22 BF26 BF27 BF33 BF34 BF49 EB04 EB05 FA16 FA42 FA43 FA56
		最終頁に続く	

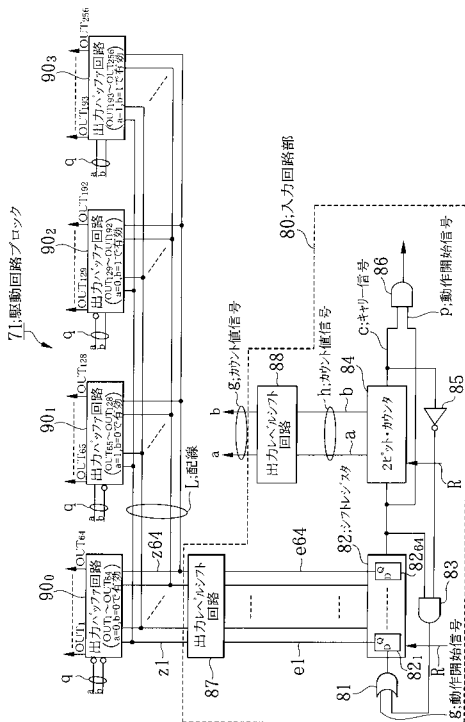
(54) 【発明の名称】 走査電極駆動回路、及び該走査電極駆動回路を備えた画像表示装置

(57) 【要約】

【課題】 液晶表示装置などの走査電極駆動回路の規模を低減して狭額縁化する。

【解決手段】 動作開始信号gがOR回路81を経てシフトレジスタ82へ送出され、同シフトレジスタ82から出力信号e1, ..., e64が順次出力される。出力信号e64がAND回路83及びOR回路81を経てシフトレジスタ82の入力側へ送出され、出力信号e1, ..., e64が繰り返し発生する。出力信号e1, ..., e64の電圧レベルは、出力レベルシフト回路87で低圧レベルから高圧レベルに変換される。出力信号e64の発生回数が2ビット・カウンタ84によりカウントされ、カウント値[ba]を表すカウント値信号hが出力される。カウント値信号hの電圧レベルは、出力レベルシフト回路88で高圧レベルのカウント値信号qに変換され、同カウント値信号qが表すカウント値[ba]Bに基づいて出力バッファ回路900, 901, 902, 903が順次選択される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

画素データが行単位で印加される複数列のデータ電極、前記各データ電極と直交し、前記画素データを行単位で書き込むための走査信号が印加される複数行の走査電極、及び前記各データ電極と前記各走査電極との交差領域に設けられた複数の画素セルを有し、これらの画素セルのうちの前記走査信号によって選択された走査電極上の画素セルに前記画素データを供給することによって画像を表示する表示パネルを備えてなる画像表示装置に用いられ、前記各走査電極に対して前記走査信号を線順次に印加する走査電極駆動回路であって、

フリップフロップ回路が d 段 ($d \geq 2$) 縦続接続されてなり、初段の前記フリップフロップ回路に入力された動作開始信号をクロック信号に同期してシフトしつつ前記各フリップフロップ回路から前記動作開始信号に対応した出力信号を発生し、最終段の前記フリップフロップ回路の前記出力信号を前記初段のフリップフロップ回路に入力することにより、前記出力信号を繰り返し出力するシフトレジスタと、 10

該シフトレジスタの前記各フリップフロップ回路にそれぞれ対応して設けられた d 個の出力バッファを有し、有効状態に設定されたとき、前記各フリップフロップ回路の出力信号を当該の出力バッファから入力して該出力信号に基づいた走査信号を前記走査電極にそれぞれ供給する複数の出力回路と、

前記シフトレジスタにおける前記繰り返しの回数に応じて前記各出力回路のうちの 1 つを選択して前記有効状態に設定する選択回路とを備えてなることを特徴とする走査電極駆動回路。 20

【請求項 2】

前記走査電極の数に応じて 1 つ又は複数段の駆動回路ブロックからなり、前記各駆動回路ブロックは、

前記シフトレジスタ、複数の出力回路、及び選択回路を有し、

該選択回路は、

前記シフトレジスタにおける前記繰り返しの回数をカウントするカウンタで構成され、

前記各出力回路は、

前記カウンタから出力されるカウント値に基づいて選択されて前記有効状態に設定される構成とされていることを特徴とする請求項 1 記載の走査電極駆動回路。 30

【請求項 3】

前記シフトレジスタは、

第 1 の動作開始信号が供給されて動作を開始する構成とされ、

前記カウンタは、

前記カウント値を表す k ビット ($k \geq 1$) のカウント値信号を出力し、該カウント値が $2^k - 1$ になったときにキャリー信号を発生する構成とされ、

前記シフトレジスタの最終段のフリップフロップ回路から前記出力信号が発生し、かつ、前記カウンタから前記キャリー信号が発生したとき、次段の駆動回路ブロックのシフトレジスタに第 2 の動作開始信号を与えると共に、当該の駆動回路ブロックの前記シフトレジスタに対する前記第 1 の動作開始信号の供給を停止する論理回路が設けられていることを特徴とする請求項 2 記載の走査電極駆動回路。 40

【請求項 4】

前記フリップフロップ回路から発生した前記出力信号の電圧レベルを低圧レベルから前記表示パネルに対応した高圧レベルに変換する第 1 のレベル変換回路と、

前記カウンタから出力された前記カウント値信号の電圧レベルを前記低圧レベルから前記高圧レベルに変換する第 2 のレベル変換回路とが設けられ、

前記各出力回路は、

前記第 2 のレベル変換回路から出力された高圧レベルの前記カウント値信号に基づいて選択されて前記有効状態に設定される構成とされ、

前記各出力バッファは、

前記第 1 のレベル変換回路から出力された高圧レベルの前記出力信号を入力して当該の前記走査電極に前記走査信号として印加する構成とされていることを特徴とする請求項 1、2 又は 3 記載の走査電極駆動回路。

【請求項 5】

前記シフトレジスタ、カウンタ及び論理回路は、

前記表示パネルに対応した電圧レベルの信号を入出力する構成とされ、かつ、

前記第 1 の動作開始信号の電圧レベルを低圧レベルから前記表示パネルに対応した高圧レベルに変換する第 3 のレベル変換回路と、

前記論理回路から出力された前記第 2 の動作開始信号の電圧レベルを前記高圧レベルから前記低圧レベルに変換して次段の駆動回路ブロックのシフトレジスタに送出する第 4 のレベル変換回路とが設けられていることを特徴とする請求項 3 記載の走査電極駆動回路。 10

【請求項 6】

前記シフトレジスタ、カウンタ、論理回路、第 1 及び第 2 のレベル変換回路は、長方形のチップ上のほぼ中央部の第 1 の領域に設けられ、

前記各出力回路は、前記チップの一方の長辺に沿った第 2 の領域に設けられ、

前記第 1 及び第 2 のレベル変換回路と前記各出力回路とを接続するための配線が前記第 2 の領域に隣接する第 3 の領域に設けられていることを特徴とする請求項 4 記載の走査電極駆動回路。

【請求項 7】

前記シフトレジスタ、カウンタ、論理回路、第 3 及び第 4 のレベル変換回路は、長方形のチップ上のほぼ中央部の第 1 の領域に設けられ、 20

前記各出力回路は、前記チップの一方の長辺に沿った第 2 の領域に設けられ、

前記シフトレジスタ及びカウンタと前記各出力回路とを接続するための配線が前記第 2 の領域に隣接する第 3 の領域に設けられていることを特徴とする請求項 5 記載の走査電極駆動回路。

【請求項 8】

前記表示パネルは、液晶パネルで構成され、

前記各画素セルは、

液晶セルと、

前記走査信号に基づいてオン/オフ制御され、オン状態になったときに前記液晶セルに前記画素データに応じた電圧を印加する薄膜トランジスタとを備えてなることを特徴とする請求項 1 記載の走査電極駆動回路。 30

【請求項 9】

請求項 1 乃至 8 のうちのいずれかーに記載の走査電極駆動回路を備えたことを特徴とする画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、走査電極駆動回路、及び該走査電極駆動回路を備えた画像表示装置に係り、たとえば液晶表示装置やプラズマ表示装置などの表示パネルの周辺を狭額縁化する場合に用いて好適な走査電極駆動回路、及び該走査電極駆動回路を備えた画像表示装置に関する。 40

【背景技術】

【0002】

液晶表示装置などの画像表示装置では、表示パネルは、複数行の走査電極と、複数列のデータ電極と、同各走査電極と同各データ電極との交差領域に設けられた複数の画素セルとを有している。そして、データ電極駆動回路から各データ電極に画素データが行単位で印加されると共に、走査電極駆動回路から各走査電極に対して走査信号が線順次に印加されて画素セルが選択され、選択された画素セルに画素データが書き込まれて画面が表示される。また、走査電極駆動回路は、走査信号を発生するシフトレジスタ、同走査信号の電 50

圧レベルを低圧レベルから表示パネルに対応した高圧レベルに変換するレベルシフト回路、及び高圧レベルの走査信号を走査電極に印加する出力バッファなどで構成されている。これらのシフトレジスタ、レベルシフト回路及び出力バッファの回路規模は、表示パネルの走査電極の数に対応したものになっている。

【0003】

この種の液晶表示装置は、従来では、たとえば図6に示すように、液晶パネル1と、データ電極駆動回路2と、走査電極駆動回路3と、タイミング制御部4とから構成されている。液晶パネル1は、データ電極 X_i ($i = 1, 2, \dots, m$ 、たとえば、 $m = 640 \times 3$)と、走査電極 Y_j ($j = 1, 2, \dots, n$ 、たとえば、 $n = 512$)と、画素セル $10_{i,j}$ とから構成されている。データ電極 X_i は、画素データ D_i に応じた電圧が印加される。走査電極 Y_j は、設定された順序で走査信号 OUT_j が印加される。画素セル $10_{i,j}$ は、データ電極 X_i と走査電極 Y_j との交差領域に設けられ、TFT (Thin Film Transistor、薄膜トランジスタ) $11_{i,j}$ と、液晶セル $12_{i,j}$ と、共通電極COMとから構成されている。データ電極駆動回路2は、図示しない制御部などから与えられた画像データVDに基づいて、画素データ D_i に応じた電圧を各データ電極 X_i に印加する。走査電極駆動回路3は、たとえば2つの駆動回路ブロック31, 32を有し、走査信号 OUT_j を線順次に各走査電極 Y_j に印加する。タイミング制御部4は、制御信号fによりデータ電極駆動回路2を制御すると共に、動作開始信号gにより走査電極駆動回路3を制御する。

【0004】

図7は、図6中の駆動回路ブロック31の電氣的構成を示す回路図である。

この駆動回路ブロック31は、同図7に示すように、シフトレジスタ $41_0, 41_1, 41_2, 41_3$ と、出力レベルシフト回路 $42_0, 42_1, 42_2, 42_3$ と、出力バッファ回路 $43_0, 43_1, 43_2, 43_3$ とから構成されている。シフトレジスタ 41_0 は、動作開始信号gに基づき、図示しないクロック信号に同期して走査信号 $e_1, e_2, \dots, e_{64}$ を順次出力し、同走査信号 e_{64} を出力したとき、動作開始信号 g_0 を出力する。シフトレジスタ 41_1 は、動作開始信号 g_0 に基づき、クロック信号に同期して走査信号 $e_{65}, e_{66}, \dots, e_{128}$ を順次出力し、同走査信号 e_{128} を出力したとき、動作開始信号 g_1 を出力する。シフトレジスタ 41_2 は、動作開始信号 g_1 に基づき、クロック信号に同期して走査信号 $e_{129}, e_{130}, \dots, e_{192}$ を順次出力し、同走査信号 e_{192} を出力したとき、動作開始信号 g_2 を出力する。シフトレジスタ 41_3 は、動作開始信号 g_2 に基づき、クロック信号に同期して走査信号 $e_{193}, e_{194}, \dots, e_{256}$ を順次出力し、同走査信号 e_{256} を出力したとき、動作開始信号 g_3 を出力する。

【0005】

出力レベルシフト回路 $42_0, 42_1, 42_2, 42_3$ は、走査信号 $e_1, \dots, e_{256}$ の電圧レベルを低圧レベルから液晶パネル1に対応した高圧レベルに変換する。出力バッファ回路 $43_0, 43_1, 43_2, 43_3$ は、出力レベルシフト回路 $42_0, 42_1, 42_2, 42_3$ から出力された高圧レベルの走査信号 $OUT_1, \dots, OUT_{256}$ を走査電極 $Y_1, \dots, Y_{256}$ に印加する。

【0006】

駆動回路ブロック32は、駆動回路ブロック31と同様に構成され、同駆動回路ブロック31に縦続接続されている。駆動回路ブロック32は、動作開始信号 g_3 に基づき、クロック信号に同期して高圧レベルの走査信号 $OUT_{257}, \dots, OUT_{512}$ を走査電極 $Y_{257}, \dots, Y_{512}$ に印加する。

【0007】

この液晶表示装置では、データ電極駆動回路2からデータ電極 X_i に該当する画素データ D_i が印加されると共に、走査電極駆動回路3から各走査電極 Y_j ($j = 1 \sim 512$)に対して走査信号 OUT_j が線順次に印加されて画素セル $10_{i,j}$ が選択され、選択された画素セル $10_{i,j}$ に画素データ D_i が書き込まれて画面が表示される。

【0008】

上記の液晶表示装置の他、従来、この種の技術としては、たとえば、次のような文献に

記載されるものがあった。

特許文献 1 に記載された駆動回路では、図 8 に示すように、駆動データは、シフトレジスタ S R 1 1 6 ~ S R 6 0 で順次シフトされ、さらに、制御信号 S E L _ _ S F T によりシフト方向が反転されて、シフトレジスタ S R 6 1 から S R 1 1 6 の方向へ逆方向にシフトされる。このとき、制御信号 S E L _ _ U P 及び S E L _ _ L O により、スイッチ回路 S W 1 ~ S W 5 6 又はスイッチ回路 S W 1 1 6 ~ S W 6 1 の一方が有効、及び他方が無効に設定される。シフトレジスタの各ビットに駆動データがシフトされると、デコーダ D E n によって生成される電圧選択信号が、有効なスイッチ回路を介して図示しない出力回路に入力され、T F T ゲートの駆動信号が出力される。シフトレジスタ 6 1 ~ S R 1 1 6 及びデコーダ D E 6 1 ~ D E 1 1 6 が 2 つの出力で共有されるので、回路数が削減される。また、この駆動回路は、長方形のチップ上に設けられ、前半の駆動信号を出力するための出力パッドが同チップの一方の長辺に沿って設けられ、後半の駆動信号を出力するための出力パッドが他方の長辺に沿って設けられている。

10

【特許文献 1】特開 2 0 0 2 - 2 7 8 4 9 4 号公報（解決手段、図 2、図 4）

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 9】

しかしながら、上記従来の液晶表示装置では、次のような問題点があった。

すなわち、図 6 の液晶表示装置では、走査電極 Y_j ($j = 1, \dots, 512$) と同数のシフトレジスタ、出力レベルシフト回路及び出力バッファ回路を走査電極駆動回路 3 に設ける必要があり、回路規模が大きい。特に、これらを長方形のチップ上に設ける場合、同チップの短辺長の縮小が困難である。このため、液晶パネル 1 の周辺を狭額縁化することが困難になるという問題点がある。また、回路規模が大きいため、製造原価を低減することも困難である。また、走査電極駆動回路 3 では、低電圧レベルに対応したトランジスタと高電圧レベルに対応したトランジスタとが混在しているため、高電圧レベルに対応したトランジスタのみで構成されている場合と比較して製造プロセスが複雑になり、製造原価を低減することが困難である。また、走査電極駆動回路 3 を高電圧レベルに対応したトランジスタのみで構成した場合でも、上記低電圧レベルに対応したトランジスタと混在している場合と比較してチップサイズが大きくなり、製造原価を低減することが困難になると共に、液晶パネル 1 の周辺を狭額縁化することが困難になるという問題点がある。

20

30

【0 0 1 0】

また、特許文献 1 に記載された駆動回路では、駆動信号を出力するための各出力パッドがチップの両長辺に沿って設けられているため、同駆動信号を表示パネルに供給するための配線が各出力パッドに接続されたとき、配線が複雑になると共に同配線の占める領域が大きくなる。このため、図 5 の液晶表示装置と同様に、表示パネルの周辺を狭額縁化することが困難になるという問題点がある。

【課題を解決するための手段】

【0 0 1 1】

上記課題を解決するために、請求項 1 記載の発明は、画素データが行単位で印加される複数列のデータ電極、前記各データ電極と直交し、前記画素データを行単位で書き込むための走査信号が印加される複数行の走査電極、及び前記各データ電極と前記各走査電極との交差領域に設けられた複数の画素セルを有し、これらの画素セルのうちの前記走査信号によって選択された走査電極上の画素セルに前記画素データを供給することによって画像を表示する表示パネルを備えてなる画像表示装置に用いられ、前記各走査電極に対して前記走査信号を線順次に印加する走査電極駆動回路に係り、フリップフロップ回路が d 段 ($d \geq 2$) 縦続接続されてなり、初段の前記フリップフロップ回路に入力された動作開始信号をクロック信号に同期してシフトしつつ前記各フリップフロップ回路から前記動作開始信号に対応した出力信号を発生し、最終段の前記フリップフロップ回路の前記出力信号を前記初段のフリップフロップ回路に入力することにより、前記出力信号を繰り返し出力するシフトレジスタと、該シフトレジスタの前記各フリップフロップ回路にそれぞれ対応し

40

50

て設けられた d 個の出力バッファを有し、有効状態に設定されたとき、前記各フリップフロップ回路の出力信号を当該の出力バッファから入力して該出力信号に基づいた走査信号を前記走査電極にそれぞれ供給する複数の出力回路と、前記シフトレジスタにおける前記繰り返し回数の回数に応じて前記各出力回路のうちの 1 つを選択して前記有効状態に設定する選択回路とを備えてなることを特徴としている。

【0012】

請求項 2 記載の発明は、請求項 1 記載の走査電極駆動回路に係り、前記走査電極の数に応じて 1 つ又は複数段の駆動回路ブロックからなり、前記各駆動回路ブロックは、前記シフトレジスタ、複数の出力回路、及び選択回路を有し、該選択回路は、前記シフトレジスタにおける前記繰り返し回数の回数をカウントするカウンタで構成され、前記各出力回路は、前記カウンタから出力されるカウント値に基づいて選択されて前記有効状態に設定される構成とされていることを特徴としている。

10

【0013】

請求項 3 記載の発明は、請求項 2 記載の走査電極駆動回路に係り、前記シフトレジスタは、第 1 の動作開始信号が供給されて動作を開始する構成とされ、前記カウンタは、前記カウント値を表す k ビット ($k \geq 1$) のカウント値信号を出力し、該カウント値が $2^k - 1$ になったときにキャリー信号を発生する構成とされ、前記シフトレジスタの最終段のフリップフロップ回路から前記出力信号が発生し、かつ、前記カウンタから前記キャリー信号が発生したとき、次段の駆動回路ブロックのシフトレジスタに第 2 の動作開始信号を与えると共に、当該の駆動回路ブロックの前記シフトレジスタに対する前記第 1 の動作開始信号の供給を停止する論理回路が設けられていることを特徴としている。

20

【0014】

請求項 4 記載の発明は、請求項 1、2 又は 3 記載の走査電極駆動回路に係り、前記フリップフロップ回路から発生した前記出力信号の電圧レベルを低圧レベルから前記表示パネルに対応した高圧レベルに変換する第 1 のレベル変換回路と、前記カウンタから出力された前記カウント値信号の電圧レベルを前記低圧レベルから前記高圧レベルに変換する第 2 のレベル変換回路とが設けられ、前記各出力回路は、前記第 2 のレベル変換回路から出力された高圧レベルの前記カウント値信号に基づいて選択されて前記有効状態に設定される構成とされ、前記各出力バッファは、前記第 1 のレベル変換回路から出力された高圧レベルの前記出力信号を入力して当該の前記走査電極に前記走査信号として印加する構成とされていることを特徴としている。

30

【0015】

請求項 5 記載の発明は、請求項 3 記載の走査電極駆動回路に係り、前記シフトレジスタ、カウンタ及び論理回路は、前記表示パネルに対応した電圧レベルの信号を入出力する構成とされ、かつ、前記第 1 の動作開始信号の電圧レベルを低圧レベルから前記表示パネルに対応した高圧レベルに変換する第 3 のレベル変換回路と、前記論理回路から出力された前記第 2 の動作開始信号の電圧レベルを前記高圧レベルから前記低圧レベルに変換して次段の駆動回路ブロックのシフトレジスタに送出する第 4 のレベル変換回路とが設けられていることを特徴としている。

【0016】

請求項 6 記載の発明は、請求項 4 記載の走査電極駆動回路に係り、前記シフトレジスタ、カウンタ、論理回路、第 1 及び第 2 のレベル変換回路は、長方形のチップ上のほぼ中央部の第 1 の領域に設けられ、前記各出力回路は、前記チップの一方の長辺に沿った第 2 の領域に設けられ、前記第 1 及び第 2 のレベル変換回路と前記各出力回路とを接続するための配線が前記第 2 の領域に隣接する第 3 の領域に設けられていることを特徴としている。

40

【0017】

請求項 7 記載の発明は、請求項 5 記載の走査電極駆動回路に係り、前記シフトレジスタ、カウンタ、論理回路、第 3 及び第 4 のレベル変換回路は、長方形のチップ上のほぼ中央部の第 1 の領域に設けられ、前記各出力回路は、前記チップの一方の長辺に沿った第 2

50

の領域に設けられ、前記シフトレジスタ及びカウンタと前記各出力回路とを接続するための配線が前記第2の領域に隣接する第3の領域に設けられていることを特徴としている。

【0018】

請求項8記載の発明は、請求項1記載の走査電極駆動回路に係り、前記表示パネルは、液晶パネルで構成され、前記各画素セルは、液晶セルと、前記走査信号に基づいてオン/オフ制御され、オン状態になったときに前記液晶セルに前記画素データに応じた電圧を印加する薄膜トランジスタとを備えてなることを特徴としている。

【0019】

請求項9記載の発明は、画像表示装置に係り、請求項1乃至8のうちのいずれかーに記載の走査電極駆動回路を備えたことを特徴としている。

10

【発明の効果】

【0020】

この発明の構成によれば、シフトレジスタから出力信号が繰り返し発生し、この繰り返しの回数に基づいて順次選択された出力回路から同出力信号に基づいた走査信号が出力されるので、1つのシフトレジスタを複数の出力回路で共有化できる。このため、走査電極駆動回路の回路規模を大幅に低減でき、表示パネルの周辺を狭額縁化できる。また、シフトレジスタから出力信号が繰り返し発生し、同出力信号の電圧レベルが第1のレベル変換回路で高圧レベルの出力信号に変換され、カウント値に基づいて順次選択された出力回路から同出力信号に基づいた走査信号が出力されるので、1つのシフトレジスタ及び第1のレベル変換回路が複数の出力回路で共有化できる。このため、走査電極駆動回路の回路規模を大幅に低減でき、表示パネルの周辺を狭額縁化できる。また、シフトレジスタ、カウンタ、論理回路、第1及び第2のレベル変換回路が長方形のチップ上の第1の領域に設けられ、出力回路が第2の領域に設けられているため、同チップの短辺長を小さくできるので、表示パネルの周辺を狭額縁化できる。また、配線を設けるための第3の領域が必要になるが、回路規模の低減の効果の方がはるかに大きい。

20

【0021】

また、第3のレベル変換回路及び第4のレベル変換回路を設け、シフトレジスタ、カウンタ及び論理回路を、表示パネルに対応した電圧レベルの信号を入出力する構成としたので、回路規模を低減できると共に、製造プロセスを簡単にでき、製造原価を大幅に低減できる。

30

【発明を実施するための最良の形態】

【0022】

回路規模が低減され、表示パネルの周辺が狭額縁化される走査電極駆動回路、及び該走査電極駆動回路を備えた画像表示装置を提供する。

【実施例1】

【0023】

図1は、この発明の第1の実施例である走査電極駆動回路を備えた画像表示装置の電氣的構成を示すブロック図である。

この例の画像表示装置は、同図に示すように、液晶表示装置であり、液晶パネル51と、データ電極駆動回路52と、走査電極駆動回路53と、タイミング制御部54とから構成されている。液晶パネル51は、データ電極 X_i ($i = 1, 2, \dots, m$ 、たとえば、 $m = 640 \times 3$)と、走査電極 Y_j ($j = 1, 2, \dots, n$ 、たとえば、 $n = 512$)と、画素セル60_{*i,j*}とから構成されている。

40

【0024】

データ電極 X_i は、 x 方向に沿って互いに平行に配列され、画素データ D_i に応じた電圧が行単位で印加される。走査電極 Y_j は、 x 方向と直交する y 方向に沿って互いに平行に配列され、画素データ D_i を行単位で書き込むための走査信号 OUT_j が印加される。画素セル60_{*i,j*}は、データ電極 X_i と走査電極 Y_j との交差領域と1対1に対応して設けられ、TFT61_{*i,j*}と、液晶セル62_{*i,j*}と、共通電極COMとから構成されている。TFT61_{*i,j*}は、走査信号 OUT_j に基づいてオン/オフ制御され、オン状態になったときに液

50

晶セル $62_{i,j}$ に画素データ D_i に応じた電圧を印加する。この液晶パネル 51 は、画素セル $60_{i,j}$ のうちの走査信号 OUT_j によって選択された走査電極 Y_j 上の画素セルに画素データ D_i を供給することによって画像を表示する。データ電極駆動回路 52 は、画像データ VD に基づいて画素データ D_i に応じた電圧を各データ電極 X_i に印加する。走査電極駆動回路 53 は、たとえば 2 つの駆動回路ブロック $71, 72$ を有し、走査信号 OUT_j を線順次で各走査電極 Y_j に印加する。タイミング制御部 54 は、制御信号 f によりデータ電極駆動回路 52 を制御すると共に、動作開始信号 g 及びリセット信号 R により走査電極駆動回路 53 を制御する。

【0025】

図 2 は、図 1 中の駆動回路ブロック 71 の電氣的構成を示す回路図である。

10

この駆動回路ブロック 71 は、同図 2 に示すように、入力回路部 80 と、 4 個の出力バッファ回路 $90_0, 90_1, 90_2, 90_3$ とから構成されている。入力回路部 80 は、 OR 回路 81 と、シフトレジスタ 82 と、 AND 回路 83 と、 2 ビット・カウンタ 84 と、インバータ 85 と、 AND 回路 86 と、出力レベルシフト回路 $87, 88$ とから構成されている。シフトレジスタ 82 は、フリップフロップ回路 $82_1, 82_2, \dots, 82_{64}$ が縦続接続されて構成され、 OR 回路 81 を介して初段のフリップフロップ回路 82_1 に入力された動作開始信号 g を図示しないクロック信号に同期してシフトしつつ、各フリップフロップ回路 $82_1, 82_2, \dots, 82_{64}$ から動作開始信号 g に対応した出力信号 $e_1, e_2, \dots, e_{64}$ を発生し、最終段のフリップフロップ回路 82_{64} の出力信号 e_{64} を AND 回路 83 及び OR 回路 81 を介して初段のフリップフロップ回路 82_1 に入力することにより

20

【0026】

2 ビット・カウンタ 84 は、シフトレジスタ 82 から出力される出力信号 e_{64} に基づいて同シフトレジスタ 82 における出力信号 $e_1, e_2, \dots, e_{64}$ の発生の繰り返し回数をカウントし、カウント値 $[ba]B$ (B ; 2 進コード) を表す 2 ビットのカウンタ値信号 h を出力し、同カウンタ値 $[ba]$ が $2^k - 1$ ($k = 2$ のとき、 3) になったときにキャリー信号 c を発生する。 AND 回路 86 は、シフトレジスタ 82 から出力信号 e_{64} が発生し、かつ、 2 ビット・カウンタ 84 からキャリー信号 c が発生したとき、次段の駆動回路ブロック 72 のシフトレジスタに動作開始信号 p を与える。このとき、キャリー信号 c がインバータ 85 で反転されているので、 AND 回路 83 の出力側からは出力信号 e_{64} が出力されない。出力レベルシフト回路 87 は、シフトレジスタ 82 から発生する出力信号 $e_1, e_2, \dots, e_{64}$ の電圧レベルを低圧レベルから液晶パネル 51 に対応した高圧レベルの出力信号 $z_1, z_2, \dots, z_{64}$ に変換する。

30

出力レベルシフト回路 88 は、 2 ビット・カウンタ 84 から出力されたカウンタ値信号 h の電圧レベルを低圧レベルから液晶パネル 51 に対応した高圧レベルのカウンタ値信号 q に変換する。

【0027】

出力バッファ回路 $90_0, 90_1, 90_2, 90_3$ は、シフトレジスタ 82 のフリップフロップ回路 $82_1, 82_2, \dots, 82_{64}$ にそれぞれ対応して設けられた 64 個の図示しない出力バッファを有し、出力レベルシフト回路 88 から出力されたカウンタ値信号 q に基づいて選択されて有効状態に設定され、有効状態に設定されたとき、出力レベルシフト回路 87 の出力信号 $z_1, z_2, \dots, z_{64}$ を配線 L を介して入力して当該の走査電極 Y_j に走査信号 OUT_j として当該の走査電極に印加する。この実施例では、カウンタ値 $[ba]B$ の“ 00 ”, “ 01 ”, “ 10 ”, “ 11 ”に対応して、出力バッファ回路 $90_0, 90_1, 90_2, 90_3$ がそれぞれ選択されるようになっている。また、出力バッファ回路 $90_0, 90_1, 90_2, 90_3$ の出力側は、走査信号を出力しないときは、図示しないスイッチ回路などにより、グランドレベルに固定されるようになっている。駆動回路ブロック 72 は、駆動回路ブロック 71 と同様に構成され、同駆動回路ブロック 71 に縦続接続されている。駆動回路ブロック 72 は、駆動回路ブロック 71 の AND 回路 86 から出力された動作開始信号 p に基づき、クロック信号に同期して高圧レベルの走査信号 OUT_{257} ,

40

50

... , OUT_{512} を走査電極 Y_{257} , ... , Y_{512} に線順次に印加する。

【0028】

図3は、図2中の出力バッファ回路90₀の電氣的構成の一例を示す回路図である。

この出力バッファ回路90₀は、同図3に示すように、NOR回路91と、NAND回路92₁ , 92₂ , ... , 92₆₄と、反転バッファ93₁ , 93₂ , ... , 93₆₄とから構成されている。NOR回路91は、カウント値信号qが表すカウント値[ba]Bのデコードであり、同カウント値[ba]Bが“00”のときに高レベル(以下、“H”という)の出力信号uを出力する。NAND回路92₁ , 92₂ , ... , 92₆₄は、出力信号uが“H”のとき、出力レベルシフト回路87の出力信号z₁ , z₂ , ... , z₆₄を反転して反転バッファ93₁ , 93₂ , ... , 93₆₄の入力側へ送出する。反転バッファ93₁ , 93₂ , ... , 93₆₄は、pチャネル型MOSFETとnチャネル型MOSFETとから構成され、NAND回路92₁ , 92₂ , ... , 92₆₄の出力信号を反転して走査信号OUT₁ , OUT₂ , ... , OUT₆₄を出力する。

【0029】

図2中の出力バッファ回路90₁では、図3中のNOR回路91によるデコードに代えて、カウント値[ba]Bが“01”のときに“H”の出力信号uを出力するデコードが設けられ、出力レベルシフト回路87の出力信号z₁ , z₂ , ... , z₆₄に基づいて走査信号OUT₆₅ , ... , OUT₁₂₈が出力されるようになっている。図2中の出力バッファ回路90₂では、図3中のNOR回路91によるデコードに代えて、カウント値[ba]Bが“10”のときに“H”の出力信号uを出力するデコードが設けられ、出力信号z₁ , z₂ , ... , z₆₄に基づいて走査信号OUT₁₂₉ , ... , OUT₁₉₂が出力されるようになっている。図2中の出力バッファ回路90₃では、図3中のNOR回路91によるデコードに代えて、カウント値[ba]Bが“11”のときに“H”の出力信号uを出力するデコードが設けられ、出力信号z₁ , z₂ , ... , z₆₄に基づいて走査信号OUT₁₉₃ , ... , OUT₂₅₆が出力されるようになっている。

【0030】

図4は、図2の駆動回路ブロック71のチップ上のレイアウトを示す図である。

この駆動回路ブロック71では、同図4に示すように、入力回路部80が長形状のチップ100のほぼ中央部の領域Mに設けられている。また、出力バッファ回路90₀ , 90₁ , 90₂ , 90₃は、チップ100の一方の長辺に沿った領域Nに設けられ、この長辺の端部には、走査信号OUT₁ , ... , OUT₂₅₆を出力するための出力パッド(PAD)が設けられている。また、入力回路部80と出力バッファ回路90₀ , 90₁ , 90₂ , 90₃とを接続するための配線Lが領域Nに隣接する領域Q₁ , Q₂に設けられている。また、チップ100の他方の長辺の端部では、領域Mの近傍に、動作開始信号g , pを入出力するための入力パッド(PAD)が設けられ、領域Q₁ , Q₂の近傍にダミー(DUMMY)パッドが設けられている。

【0031】

次に、この実施例の走査電極駆動回路53の動作について説明する。

この走査電極駆動回路53では、タイミング制御部54から出力されるリセット信号Rにより、シフトレジスタ82及び2ビット・カウンタ84がリセットされ、同タイミング制御部54から動作開始信号gが与えられたとき、同動作開始信号gがOR回路81を経てシフトレジスタ82へ送出され、図示しないクロック信号に同期して同シフトレジスタ82から出力信号e₁ , e₂ , ... , e₆₄が順次出力される。そして、最終段の出力信号e₆₄がAND回路83及びOR回路81を経てシフトレジスタ82へ送出され、出力信号e₁ , e₂ , ... , e₆₄が繰り返し発生する。出力信号e₁ , e₂ , ... , e₆₄の電圧レベルは、出力レベルシフト回路87で低圧レベル(たとえば、5V)から液晶パネル51に対応した高圧レベル(たとえば、30V)に変換される。

【0032】

また、出力信号e₁ , e₂ , ... , e₆₄の繰り返し回数が2ビット・カウンタ84によりカウントされ、同2ビット・カウンタ84からカウント値[ba]Bを表すカウント値

信号 h が出力される。このカウント値信号 h は、出力レベルシフト回路 88 で高圧レベルのカウント値信号 q に変換され、同カウント値信号 q の表すカウント値 $[ba]B$ に基づいて出力バッファ回路 $90_0, 90_1, 90_2, 90_3$ が順次選択される。すなわち、カウント値 $[ba]$ が “00” のとき、出力バッファ回路 90_0 が選択され、出力レベルシフト回路 87 の出力信号 $z_1, z_2, \dots, z_{64}$ が配線 L を介して出力バッファ回路 90_0 に入力され、同出力バッファ回路 90_0 から走査信号 $OUT_1, \dots, OUT_{64}$ として走査電極 $Y_1, \dots, Y_{64}$ に線順次に印加される。

【0033】

カウント値 $[ba]$ が “01” のとき、出力バッファ回路 90_1 が選択され、出力レベルシフト回路 87 の出力信号 $z_1, z_2, \dots, z_{64}$ が配線 L を介して出力バッファ回路 90_1 に入力され、同出力バッファ回路 90_1 から走査信号 $OUT_{65}, \dots, OUT_{128}$ として走査電極 $Y_{65}, \dots, Y_{128}$ に線順次に印加される。カウント値 $[ba]$ が “10” のとき、出力バッファ回路 90_2 が選択され、出力レベルシフト回路 87 の出力信号 $z_1, z_2, \dots, z_{64}$ が配線 L を介して出力バッファ回路 90_2 に入力され、同出力バッファ回路 90_2 から走査信号 $OUT_{129}, \dots, OUT_{192}$ として走査電極 $Y_{129}, \dots, Y_{192}$ に線順次に印加される。

【0034】

カウント値 $[ba]$ が “11” のとき、出力バッファ回路 90_3 が選択され、出力レベルシフト回路 87 の出力信号 $z_1, z_2, \dots, z_{64}$ が配線 L を介して出力バッファ回路 90_3 に入力され、同出力バッファ回路 90_3 から走査信号 $OUT_{193}, \dots, OUT_{256}$ として走査電極 $Y_{193}, \dots, Y_{256}$ に線順次に印加される。そして、このカウント値 $[ba]B$ が “11” になったとき、2ビット・カウンタ 84 からキャリー信号 c が発生する。このキャリー信号 c 及びシフトレジスタ 82 の出力信号 e_{64} が AND 回路 86 に入力され、同 AND 回路 86 から動作開始信号 p が出力され、次段の駆動回路ブロック 72 に与えられる。また、このとき、キャリー信号 c は、インバータ 85 で反転されるため、出力信号 e_{64} は AND 回路 83 を通過しないので、シフトレジスタ 82 へ送出されることはない。このため、シフトレジスタ 82 から出力信号 $e_1, e_2, \dots, e_{64}$ が出力されない。

【0035】

駆動回路ブロック 72 では、駆動回路ブロック 71 の AND 回路 86 から動作開始信号 p が与えられ、この後、同駆動回路ブロック 71 と同様の動作が行われ、走査信号 $OUT_{257}, \dots, OUT_{512}$ が走査電極 $Y_{257}, \dots, Y_{512}$ に線順次に印加される。この後、タイミング制御部 54 により駆動回路ブロック 71, 72 がリセットされ、同タイミング制御部 54 から同駆動回路ブロック 71 に動作開始信号 g が与えられて同様の動作が繰り返される。

【0036】

以上のように、この第 1 の実施例では、シフトレジスタ 82 から出力信号 $e_1, e_2, \dots, e_{64}$ が繰り返し発生し、同出力信号 $e_1, e_2, \dots, e_{64}$ の電圧レベルが出力レベルシフト回路 87 で高圧レベルの出力信号 $z_1, z_2, \dots, z_{64}$ に変換され、カウント値 $[ba]B$ に基づいて順次選択された出力バッファ回路 $90_0, 90_1, 90_2, 90_3$ から同出力信号 $z_1, z_2, \dots, z_{64}$ に基づいた走査信号 $OUT_1 \sim OUT_{64}, OUT_{65}, \dots, OUT_{128}, OUT_{129}, \dots, OUT_{192}, OUT_{193}, \dots, OUT_{256}$ が出力されるので、1つのシフトレジスタ 82 及び出力レベルシフト回路 87 が出力バッファ回路 $90_0, 90_1, 90_2, 90_3$ で共有化される。このため、回路規模が大幅に低減される。また、入力回路部 80 がチップ 100 の領域 M に設けられ、出力バッファ回路 $90_0, 90_1, 90_2, 90_3$ が領域 N に設けられているため、同チップ 100 の短辺長を小さくできるので、液晶パネル 51 の周辺が狭額縁化される。また、配線 L の領域 Q_1, Q_2 が必要になるが、回路規模の低減の効果の方がはるかに大きい。この場合、チップ 100 の短辺長が従来の 30% 程度削減される。

【実施例 2】

【0037】

上記実施例 1 の走査電極駆動回路 5 3 では、低電圧レベルに対応したトランジスタと高電圧レベルに対応したトランジスタとが混在しているため、製造プロセスが複雑になるという問題点が残っているが、次の第 2 の実施例に示すように、高電圧レベルに対応したトランジスタのみで構成することにより、この問題点が改善される。

【 0 0 3 8 】

図 5 は、この発明の第 2 の実施例である走査電極駆動回路の駆動回路ブロックの電氣的構成を示す回路図であり、第 1 の実施例を示す図 2 中の要素と共通の要素には共通の符号が付されている。

この例の走査電極駆動回路の駆動回路ブロック 7 1 A は、図 1 中の駆動回路ブロック 7 1 , 7 2 に代えて設けられるものであり、同図 5 に示すように、図 2 中の入力回路部 8 0 に代えて、入力回路部 8 0 A が設けられている。入力回路部 8 0 A では、図 2 中の O R 回路 8 1 、シフトレジスタ 8 2 、A N D 回路 8 3 、2 ビット・カウンタ 8 4 、インバータ 8 5 及び A N D 回路 8 6 に代えて、液晶パネル 5 1 に対応した高圧レベルの信号を入出力する構成の O R 回路 8 1 A 、シフトレジスタ 8 2 A 、A N D 回路 8 3 A 、2 ビット・カウンタ 8 4 A 、インバータ 8 5 A 及び A N D 回路 8 6 A が設けられ、出力レベルシフト回路 8 7 , 8 8 が削除されている。

10

【 0 0 3 9 】

また、O R 回路 8 1 A の一方の入力側に入力レベルシフタ 8 9 が設けられ、A N D 回路 8 6 A の出力側に出力レベルシフタ 8 A が設けられている。入力レベルシフタ 8 9 は、動作開始信号 g の電圧レベルを低圧レベルから液晶パネル 5 1 に対応した高圧レベルに変換する。出力レベルシフタ 8 A は、A N D 回路 8 6 A から出力された動作開始信号 P を高圧レベルから低圧レベルに変換して次段の図示しない駆動回路ブロックのシフトレジスタに送出する。他は、図 2 と同様の構成である。また、入力回路部 8 0 A は、第 1 の実施例を示す図 4 中の入力回路部 8 0 に代えて領域 M に設けられる。

20

【 0 0 4 0 】

この駆動回路ブロック 7 1 A の動作では、次の点が第 1 の実施例と異なっている。

すなわち、動作開始信号 g の電圧レベルが入力レベルシフタ 8 9 で低圧レベルから高圧レベルに変換されて O R 回路 8 1 A に入力される。また、A N D 回路 8 6 A から出力された動作開始信号 P の電圧レベルが出力レベルシフタ 8 A で高圧レベルから低圧レベルに変換される。また、シフトレジスタ 8 2 A から出力される出力信号 e 1 , e 2 , ... , e 6 4 は、出力バッファ回路 9 0 0 , 9 0 1 , 9 0 2 , 9 0 3 に直接入力される。他は、第 1 の実施例と同様の動作が行われる。

30

【 0 0 4 1 】

以上のように、この第 2 の実施例では、入力レベルシフタ 8 9 及び出力レベルシフタ 8 A が設けられ、かつ出力レベルシフト回路 8 7 , 8 8 が削除されていると共に、O R 回路 8 1 A 、シフトレジスタ 8 2 A 、A N D 回路 8 3 A 、2 ビット・カウンタ 8 4 A 、インバータ 8 5 A 及び A N D 回路 8 6 A が高圧レベルの信号に対応したトランジスタで構成されているため、第 1 の実施例の利点に加え、製造プロセスが簡単になる。この場合、チップ 1 0 0 の短辺長が従来の 5 0 % 程度削減される。

【産業上の利用可能性】

40

【 0 0 4 2 】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などであっても、この発明に含まれる。

たとえば、上記実施例では、液晶表示装置を例にして説明したが、この発明は、たとえば、プラズマ表示装置や E L (エレクトロ・ルミネセンス) 表示装置など、走査電極を線順次駆動して画面表示する装置全般に適用できる。また、図 2 又は図 5 中の 4 つの出力バッファ回路 9 0 0 , 9 0 1 , 9 0 2 , 9 0 3 は、増設しても良い。この場合、2 ビット・カウンタ 8 4 に代えて、たとえば、3 ビット・カウンタや 4 ビット・カウンタが設けられる。また、上記実施例では、走査電極 Y_j を 1 つずつ線順次に駆動する例を説明したが、この

50

発明は、複数の走査電極を同時に駆動する場合（たとえば、画素データ D_i を書き込むための走査信号と、黒データを書き込むための走査信号とを、それぞれ別の走査電極に印加することにより、動画ぼけを改善する場合など）にも適用できる。この場合、シフトレジスタ 82, 82A の出力側に、複数の走査電極を同時に駆動するための論理回路などが付加される。

【図面の簡単な説明】

【0043】

【図1】この発明の第1の実施例である走査電極駆動回路を備えた画像表示装置の電気的構成を示すブロック図である。

【図2】図1中の駆動回路ブロック71の電気的構成を示す回路図である。

10

【図3】図2中の出力バッファ回路90の電気的構成を示す回路図である。

【図4】図2の駆動回路ブロック71のチップ上のレイアウトを示す図である。

【図5】この発明の第2の実施例である走査電極駆動回路の駆動回路ブロックの電気的構成を示す回路図である。

【図6】従来の走査電極駆動回路を備えた画像表示装置の電気的構成を示すブロック図である。

【図7】図6中の駆動回路ブロック31の電気的構成を示す回路図である。

【図8】特許文献1に記載された駆動回路の動作を説明する図である。

【符号の説明】

【0044】

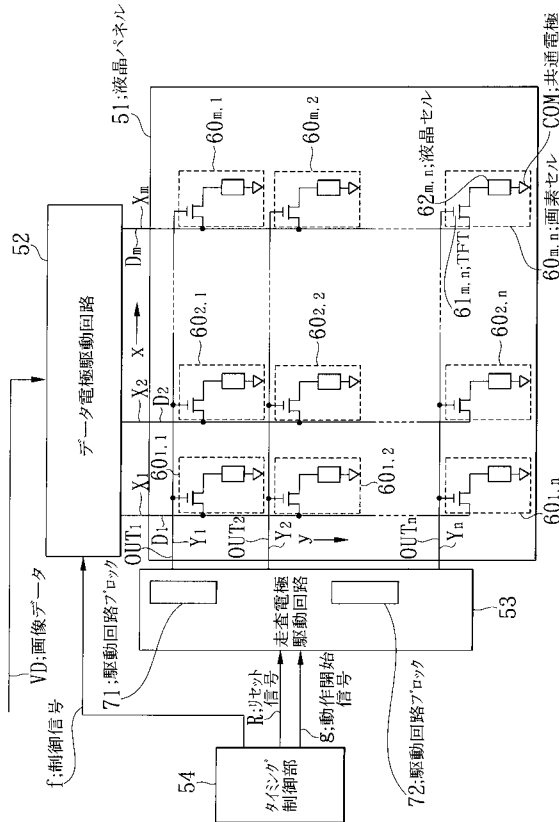
20

- 51 液晶パネル（表示パネル）
- 52 データ電極駆動回路（画像表示装置の一部）
- 53 走査電極駆動回路（画像表示装置の一部）
- 60_{i,j} 画素セル
- 61_{i,j} TFT（薄膜トランジスタ）
- 62_{i,j} 液晶セル（画素セル）
- 71, 72, 71A 駆動回路ブロック
- 80, 80A 入力回路部（走査電極駆動回路の一部）
- 81, 81A OR回路（論理回路）
- 82, 82A シフトレジスタ（走査電極駆動回路の一部）
- 82₁, 82₂, ..., 82₆₄ フリップフロップ回路
- 83, 83A, 86, 86A AND回路（論理回路）
- 84, 84A 2ビット・カウンタ（カウンタ）
- 85, 85A インバータ（論理回路）
- 87 出力レベルシフト回路（第1のレベル変換回路）
- 88 出力レベルシフト回路（第2のレベル変換回路）
- 89 入力レベルシフタ（第3のレベル変換回路）
- 8A 出力レベルシフタ（第4のレベル変換回路）
- 90₀, 90₁, 90₂, 90₃ 出力バッファ回路（出力回路）
- 91 NOR回路（出力回路の一部）
- 92₁, 92₂, ..., 92₆₄ NAND回路（出力回路の一部）
- 93₁, 93₂, ..., 93₆₄ 反転バッファ（出力回路の一部、出力バッファ）
- 100 チップ
- M 領域（第1の領域）
- N 領域（第2の領域）
- Q1, Q2 領域（第3の領域）
- X_i データ電極
- Y_j 走査電極
- OUT_j 走査信号

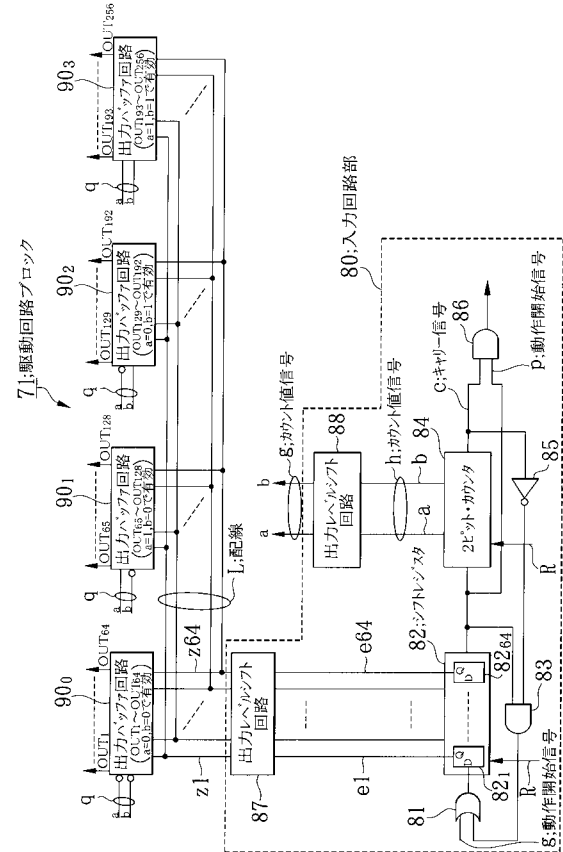
30

40

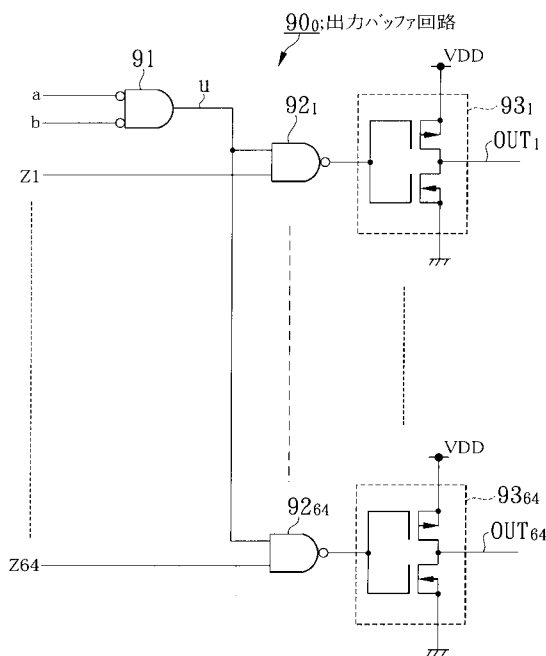
【図 1】



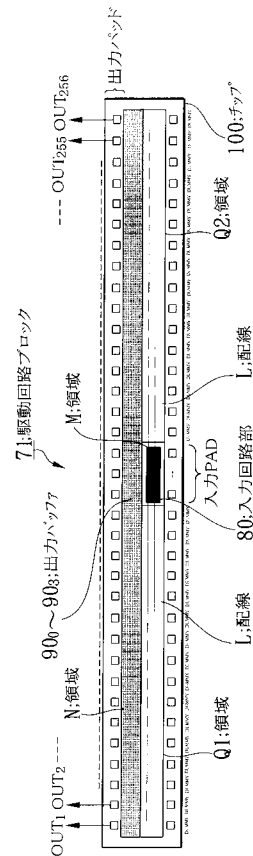
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20 6 8 0 G	
	G 0 2 F 1/133 5 0 5	
	G 0 9 G 3/36	

F ターム(参考)	5C080	AA05	AA06	AA10	BB05	DD23	DD25	DD28	EE29	FF11	FF12
	JJ02	JJ03	JJ06								

专利名称(译)	扫描电极驱动电路和配备有扫描电极驱动电路的图像显示装置		
公开(公告)号	JP2005037785A	公开(公告)日	2005-02-10
申请号	JP2003276283	申请日	2003-07-17
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	鈴木健二		
发明人	鈴木 健二		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/00		
CPC分类号	G09G3/3677		
FI分类号	G09G3/20.622.B G09G3/20.621.L G09G3/20.621.M G09G3/20.622.E G09G3/20.622.G G09G3/20.680.G G02F1/133.505 G09G3/36		
F-TERM分类号	2H093/NA41 2H093/NB11 2H093/NC09 2H093/NC22 2H093/ND42 2H093/ND49 2H093/ND54 2H093/ND60 5C006/AA16 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BF03 5C006/BF06 5C006/BF22 5C006/BF26 5C006/BF27 5C006/BF33 5C006/BF34 5C006/BF49 5C006/EB04 5C006/EB05 5C006/FA16 5C006/FA42 5C006/FA43 5C006/FA56 5C080/AA05 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD23 5C080/DD25 5C080/DD28 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ06 2H093/NC34 2H193/ZA04		
代理人(译)	西村 征生		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了减小液晶显示装置等的扫描电极驱动电路的规模，并由此将其形成窄图像帧。ZOLUTION：操作开始信号g通过OR电路81传送到移位寄存器82，输出信号e1-e64从移位寄存器82串行输出。输出信号e64被传送到移位寄存器82的输入侧。通过AND电路83和OR电路81，重复产生输出信号e1-e64。输出信号e1-e64的电压电平通过输出电平移位电路87从低电压电平变换为高电压电平。输出信号e64的代数由两位计数器84计数。输出表示计数值[ba]的计数值信号h；并且，通过输出电平移位电路88将计数值信号h的电压电平转换为高电压电平的计数值信号q，并且输出缓冲电路90 $0 \leq q \leq 99$；基于由计数值信号q表示的计数值[ba] B，串行选择1 $0 \leq q \leq 99$；和90 $0 \leq q \leq 99$；3 $0 \leq q \leq 99$。

