

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-93826

(P2004-93826A)

(43) 公開日 平成16年3月25日(2004.3.25)

(51) Int. Cl.<sup>7</sup>

G02F 1/1368

HO1L 29/786

F I

G02F 1/1368

HO1L 29/78 612C

テーマコード(参考)

2H092

5F110

審査請求 未請求 請求項の数 5 O L (全 21 頁)

(21) 出願番号	特願2002-253823 (P2002-253823)	(71) 出願人	302036002 富士通ディスプレイテクノロジーズ株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成14年8月30日(2002.8.30)	(74) 代理人	100101214 弁理士 森岡 正樹
		(72) 発明者	高木 孝 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
		(72) 発明者	星野 淳之 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

最終頁に続く

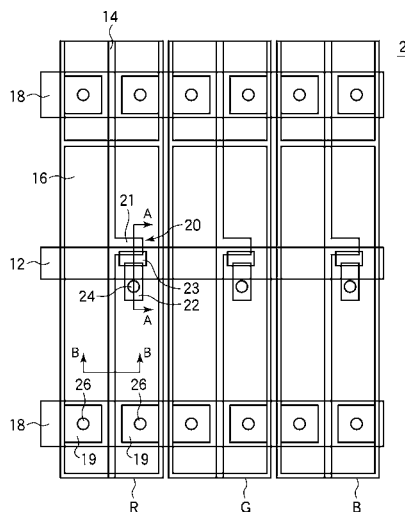
(54) 【発明の名称】 液晶表示装置用基板及びそれを備えた液晶表示装置

(57) 【要約】

【課題】本発明は、電子機器の表示部等に用いられる液晶表示装置及びそれに用いる液晶表示装置用基板に関し、製造プロセスを簡略化でき、良好な表示品質の得られる液晶表示装置及びそれに用いる液晶表示装置用基板を提供することを目的とする。

【解決手段】基板上に絶縁膜を介して互いに交差して形成されたゲートバスライン12及びドレインバスライン14と、誘電体を介して、ゲートバスライン12及びドレインバスライン14の少なくとも一方を覆うように配置され、ゲートバスライン12及びドレインバスライン14との間に寄生容量を形成する画素電極16とを有するように構成する。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

対向して配置される対向基板とともに液晶を挟持する基板と、前記基板上に絶縁膜を介して互いに交差して形成された第 1 及び第 2 のバスラインと、誘電体層を介して、前記第 1 又は第 2 のバスラインの少なくとも一方を覆うように配置され、前記第 1 又は第 2 のバスラインとの間に寄生容量を形成する画素電極とを有することを特徴とする液晶表示装置用基板。

**【請求項 2】**

請求項 1 記載の液晶表示装置用基板において、前記液晶を配向規制する配向規制用構造物をさらに有し、前記配向規制用構造物は、基板面に垂直方向に見て、前記第 1 又は第 2 のバスラインのいずれか一方上に配置されていることを特徴とする液晶表示装置用基板。

10

**【請求項 3】**

請求項 1 又は 2 に記載の液晶表示装置用基板において、前記画素電極は、光透過性材料で形成されて前記基板裏面側から入射する光を前記基板表面側に透過させる透明電極と、前記透明電極に電氣的に接続され、光反射性材料で形成されて前記基板表面側から入射する光を反射させる反射電極とを有していることを特徴とする液晶表示装置用基板。

**【請求項 4】**

請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置用基板において、前記第 1 及び第 2 のバスラインの交差位置近傍に形成され、前記第 1 のバスラインに電氣的に接続されたゲート電極と、前記第 2 のバスラインに電氣的に接続されたドレイン電極と、前記画素電極に電氣的に接続されたソース電極とを備えた薄膜トランジスタをさらに有し、前記ゲート電極は、隣接する前記第 1 のバスラインの一方に電氣的に接続され、前記ソース電極は、隣接する前記第 1 のバスラインの他方を覆うように配置された前記画素電極に電氣的に接続されていることを特徴とする液晶表示装置用基板。

20

**【請求項 5】**

一对の基板と、前記一对の基板間に封止された液晶とを有する液晶表示装置であって、前記基板の一方に、請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置用基板が用いられていることを特徴とする液晶表示装置。

30

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、電子機器の表示部等に用いられる液晶表示装置及びそれに用いる液晶表示装置用基板に関する。

**【0002】****【従来の技術】**

アクティブマトリクス型の液晶表示装置は、一般に、画素毎にスイッチング素子として薄膜トランジスタ (TFT; Thin Film Transistor) が形成された TFT 基板と、カラーフィルタ (CF; Color Filter) 等が形成された対向基板とを有している。

40

**【0003】**

TFT 基板は、絶縁膜を介して互いに交差するゲートバスラインとドレインバスラインとを有している。両バスラインの交差位置近傍には、TFT が形成されている。マトリクス状に配置された複数の画素領域には、画素電極がそれぞれ形成されている。

**【0004】**

50

TFT基板は、ステッパを用いて例えば分割露光方式によりパターンニングされる。分割露光方式では、例えばTFTアレイ等の繰り返しパターンが形成される表示領域は、複数の露光領域に分割され、同一のマスクを用いて各露光領域毎に順次露光される。2つの露光領域が隣接する境界部では、各露光領域の端部が互いに重なり合うようになっている。しかし、分割露光の際にショット毎の位置ずれ(X-Y方向のずれ又は回転方向のずれ)が生じると、境界部では各ショットのいずれか一方で露光される領域が増加してしまう。これにより、感光部分が現像により溶解するポジ型レジストをフォトレジストとして用いた場合には、境界部に形成される配線や電極等の幅が狭くなる。逆に、感光部分が現像により残存するネガ型レジストを用いた場合には、境界部に形成される配線や電極等の幅が広がる。

10

**【0005】**

図22は、従来のTFT基板の構成を示している。図23は、図22のX-X線で切断したTFT基板の断面図である。図22及び図23に示すように、TFT基板102のガラス基板110上には、互いに並列して図22の左右方向に伸びる複数のゲートバスライン112が形成されている。ゲートバスライン112上の基板全面には、絶縁膜130が形成されている。絶縁膜130を介してゲートバスライン112に交差し、互いに並列して図22の上下方向に伸びる複数のドレインバスライン114が形成されている。ドレインバスライン114上には、保護膜132が形成されている。保護膜132上には、透明な感光性樹脂等からなるオーバーコート層(平坦化膜)134が形成されている。

20

**【0006】**

オーバーコート層134上であって、ゲートバスライン112及びドレインバスライン114で囲まれた領域には、画素電極116が形成されている。画素電極116の形成された領域は、画素領域となる。ゲートバスライン112及びドレインバスライン114の交差位置近傍には、TFT120が形成されている。TFT120のゲート電極は、ゲートバスライン112に電氣的に接続されている。TFT120のドレイン電極121は、ドレインバスライン114に電氣的に接続されている。TFT120のソース電極122は、コンタクトホール124を介して画素電極116に電氣的に接続されている。

**【0007】**

またTFT基板102上には、画素領域を横切る複数の蓄積容量バスライン118が、ゲートバスライン112に並列して形成されている。蓄積容量バスライン118上には、画素領域毎に蓄積容量電極(中間電極)119が形成されている。蓄積容量電極119は、コンタクトホール126を介して画素電極116に電氣的に接続されている。

30

**【0008】**

ドレインバスライン114と、誘電体層である保護膜132及びオーバーコート層134を介してドレインバスライン114の両側端部近傍に形成される画素電極116との間には、所定の寄生容量が生じている。同様に、ドレインバスライン112と、誘電体層である絶縁膜130、保護膜132及びオーバーコート層134を介してゲートバスライン112の両側端部近傍に形成される画素電極116との間には、所定の寄生容量が生じている。

**【0009】**

図24は、TFT基板102の他の領域での断面構成を示している。図24(a)は、ドレインバスライン114と画素電極116との間に相対的な位置ずれ(重ね合わせずれ)が生じたTFT基板102を示している。図24(a)に示すように、画素電極116は、ドレインバスライン114に対して相対的に図の右側にずれて形成されている。このため、図23に示す断面と比較して、右側の画素電極116端部とドレインバスライン114端部との間の距離は長く、左側の画素電極116端部とドレインバスライン114端部との間の距離は短くなっている。

40

**【0010】**

図24(b)、(c)は、画素電極116のパターンニングの際にショット毎の位置ずれが生じたTFT基板102の境界部の断面構成を示している。図24(b)に示すように、

50

画素電極 116 は、ショット毎の位置ずれにより、図の左右方向の幅が広く形成されている。このため、画素電極 116 端部とドレインバスライン 114 端部との距離は短くなっている。また、図 24 (c) に示すように、画素電極 116 は、ショット毎の位置ずれにより、図の左右方向の幅が狭く形成されている。このため、画素電極 116 端部とドレインバスライン 114 端部との距離は長くなっている。

【0011】

このように、画素電極 116 とドレインバスライン 114 との距離が異なると、画素電極 116 とドレインバスライン 114 との間に生じる寄生容量が異なってしまう。表示領域内で、寄生容量が他と異なる領域が生じてしまうと、その領域は表示特性が異なってしまう。例えば、左右方向に隣接する 2 つの露光領域の境界部で寄生容量が異なっていると、境界部は表示画面上の上下方向に延びる直線状の表示むらとして視認されてしまう。また、露光領域毎に寄生容量が異なっていると、露光領域毎に表示特性が異なる表示むらとして視認されてしまう。

10

【0012】

上記の問題を解決するために、感光性樹脂からなるオーバーコート層 134 の膜厚をさらに厚く形成する方法がある。図 25 は、オーバーコート層 134 の膜厚を厚く形成した TFT 基板 102 の構成を示す断面図である。図 25 に示すように、オーバーコート層 134 の膜厚を厚く形成すれば、画素電極 116 端部とドレインバスライン 114 端部との間の距離は長くなり、生じる寄生容量は小さくなる。生じる寄生容量が無視できるほど小さくなるようにオーバーコート層 134 の膜厚を厚く形成すれば、位置ずれ等が生じても、上記の表示むらは視認されなくなる。

20

【0013】

この構成では、画素電極 116 をドレインバスライン 114 やゲートバスライン 112 にオーバーラップさせて形成できるため、開口率を向上させることができる(例えば、特許文献 1 及び 2 参照。)。また、ドレインバスライン 114、ゲートバスライン 112 及び TFT 120 を覆うように画素電極 116 を形成することもできる(例えば、特許文献 3 参照。)

【0014】

図 26 は、従来 of MVA (Multi-domain Vertical Alignment) モードの液晶表示装置に用いられる液晶表示装置用基板の構成を示している。図 26 に示すように、TFT 基板 102 は、負の誘電率異方性を有する液晶を配向規制する配向規制用構造物として、線状突起 140、141 を備えている。線状突起 140 は、蓄積容量バスライン 118 及び蓄積容量電極 119 上に、図の左右方向に延びて形成されている。線状突起 141 は、画素領域のほぼ中央部に図の上下方向に延びて形成されている。線状突起 140、141 は、レジスト等で形成されている。

30

【0015】

【特許文献 1】

特開平 11 - 148078 号公報 (第 4 - 6 頁、第 1 図)

【特許文献 2】

特開平 9 - 152625 号公報 (第 8 - 10 頁、第 1 図)

40

【特許文献 3】

特開平 9 - 138423 号公報 (第 2 - 4 頁、第 1 図)

【0016】

【発明が解決しようとする課題】

一般的な樹脂の比誘電率は 3 ~ 4 であるため、生じる寄生容量が無視できるほどに小さくなるには、オーバーコート層 134 を膜厚 3 ~ 5  $\mu\text{m}$  程度に厚く形成する必要がある。このため、オーバーコート層 134 を開口してコンタクトホールを形成する際に必要な露光エネルギーが大きくなり、露光時間が長くなる。したがって、TFT 基板 102 の製造プロセスが煩雑になり、生産性が低下してしまうという問題が生じる。また、パターンニング時の解像度の低下や、現像残の発生等の問題が生じる。

50

## 【 0 0 1 7 】

一方、配向規制用構造物を備えた液晶表示装置では、画素領域内に形成された線状突起 1 4 1 により開口率が低下するため、液晶表示装置の表示輝度が低下してしまうという問題が生じる。また、表示輝度を維持するためにはバックライトの輝度を高める必要があり、液晶表示装置の消費電力が増加してしまうという問題が生じる。

## 【 0 0 1 8 】

本発明の目的は、製造プロセスを簡略化でき、良好な表示品質の得られる液晶表示装置及びそれに用いる液晶表示装置用基板を提供することにある。

## 【 0 0 1 9 】

## 【 課題を解決するための手段 】

上記目的は、対向して配置される対向基板とともに液晶を挟持する基板と、前記基板上に絶縁膜を介して互いに交差して形成された第 1 及び第 2 のバスラインと、誘電体層を介して、前記第 1 又は第 2 のバスラインの少なくとも一方を覆うように配置され、前記第 1 又は第 2 のバスラインとの間に寄生容量を形成する画素電極とを有することを特徴とする液晶表示装置用基板によって達成される。

## 【 0 0 2 0 】

## 【 発明の実施の形態 】

## 〔 第 1 の実施の形態 〕

本発明の第 1 の実施の形態による液晶表示装置用基板及びそれを備えた液晶表示装置について図 1 乃至図 7 を用いて説明する。図 1 は、本実施の形態による液晶表示装置の概略構成を示している。図 1 に示すように、液晶表示装置は、画素電極や T F T 等が画素領域毎に形成された T F T 基板 2 と、共通電極等が形成された対向基板 4 とを対向させて貼り合わせ、その間に液晶を封止した構造を有している。両基板 2、4 の対向面には、液晶分子を所定方向に配向させる配向膜が形成されている。

## 【 0 0 2 1 】

T F T 基板 2 には、複数のゲートバスラインを駆動するドライバ I C が実装されたゲートバスライン駆動回路 8 0 と、複数のドレインバスラインを駆動するドライバ I C が実装されたドレインバスライン駆動回路 8 2 とが設けられている。両駆動回路 8 0、8 2 は、制御回路 8 4 から出力された所定の信号に基づいて、走査信号やデータ信号を所定のゲートバスラインあるいはドレインバスラインに出力するようになっている。

## 【 0 0 2 2 】

T F T 基板 2 の素子形成面と反対側の表面には、偏光板 8 7 が貼り付けられている。偏光板 8 7 の T F T 基板 2 と反対側には、例えば線状の一次光源と面状導光板とからなるバックライトユニット 8 8 が配置されている。一方、対向基板 4 の共通電極形成面と反対側の表面には、偏光板 8 6 が貼り付けられている。

## 【 0 0 2 3 】

図 2 は、本実施の形態による T F T 基板の構成を示している。図 3 ( a ) は図 2 の A - A 線で切断した T F T 基板の断面図であり、図 3 ( b ) は図 2 の B - B 線で切断した T F T 基板の断面図である。図 2 及び図 3 ( a )、( b ) に示すように、本実施の形態による液晶表示装置は、T F T 基板 2 上に C F 層が形成された C F - o n - T F T 構造を有している。T F T 基板 2 のガラス基板 1 0 上には、互いに並列して図 2 の左右方向に延びる複数のゲートバスライン 1 2 が形成されている。ゲートバスライン 1 2 上の基板全面には、絶縁膜 3 0 が形成されている。絶縁膜 3 0 上には、絶縁膜 3 0 を介してゲートバスライン 1 2 に交差し、互いに並列して図 2 の上下方向に延びる複数のドレインバスライン 1 4 が形成されている。ドレインバスライン 1 4 上の基板全面には、保護膜 3 2 が形成されている。

## 【 0 0 2 4 】

保護膜 3 2 上には、赤色 ( R )、緑色 ( G )、青色 ( B ) のいずれか一色の C F 樹脂層が形成されている。C F 樹脂層 R、G、B 上には、透明な感光性樹脂等からなる樹脂絶縁膜のオーバーコート層 3 4 が形成されている。オーバーコート層 3 4 上には、ゲートバスラ

10

20

30

40

50

イン12及びドレインバスライン14を覆うように、例えばITO(Indium Tin Oxide)等の光透過性電極材料からなる画素電極16が形成されている。画素電極16は、基板面に垂直方向に見て、ほぼ中心部がドレインバスライン14に重なるように配置されている。画素電極16の形成された領域は画素領域となる。画素電極16とゲートバスライン12及びドレインバスライン14との間には、所定の寄生容量が生じる。

#### 【0025】

ゲートバスライン12及びドレインバスライン14の交差位置近傍には、TF T 20が形成されている。TF T 20のゲート電極は、ゲートバスライン12に電氣的に接続されている。TF T 20のドレイン電極21は、ドレインバスライン14に電氣的に接続されている。TF T 20のソース電極22は、ソース電極22上のオーバーコート層34、CF層及び保護膜32を開口して形成されたコンタクトホール24を介して、画素電極16に電氣的に接続されている。

10

#### 【0026】

またTF T基板2上には、ゲートバスライン12に並列して、複数の蓄積容量バスライン18が形成されている。蓄積容量バスライン18上には、蓄積容量電極19が形成されている。蓄積容量電極19は、画素領域毎に2つ形成され、ドレインバスライン14を挟んで両側に1つずつ配置されている。蓄積容量電極19は、蓄積容量電極19上のオーバーコート層34、CF層及び保護膜32を開口して形成されたコンタクトホール26を介して、画素電極16に電氣的に接続されている。

20

#### 【0027】

本実施の形態では、画素電極16がゲートバスライン12及びドレインバスライン14を覆うように形成されている。このため、画素電極16とドレインバスライン14との間に相対的な位置ずれ等が生じてても、画素電極16とドレインバスライン14との間の距離は変わることがない。したがって、寄生容量が変動してしまうことがない。また、ショット毎の位置ずれにより、露光領域の境界部で画素電極16やドレインバスライン14の幅が異なって形成されても、画素電極16とドレインバスライン14との間の距離が変わることがない。したがって、寄生容量の変動を抑制できる。

#### 【0028】

次に、本実施の形態による液晶表示装置用基板の製造方法について図4乃至図7を用いて説明する。図4及び図6は、TF T基板の製造方法を示している。図5及び図7は、TF T基板の製造方法を示す工程断面図であり、図3(a)に対応する断面を示している。まず、図4及び図5に示すように、ガラス基板10上に、ゲートバスライン12と蓄積容量バスライン18とを形成する。ゲートバスライン12及び蓄積容量バスライン18は、例えばクロム(Cr)の単層、又はアルミニウム(Al)/チタン(Ti)、Al/モリブデン(Mo)/窒化モリブデン(MoN)、若しくはTi/Al/Tiの積層等で形成される。

30

#### 【0029】

次に、ゲートバスライン12及び蓄積容量バスライン18上の基板全面に例えばシリコン窒化膜(SiN膜)を成膜し、絶縁膜30を形成する。次に、絶縁膜30上に、例えばアモルファスシリコン(a-Si)からなる動作半導体層31を形成する。次に、動作半導体層31上に、例えばSiN膜からなるチャネル保護膜23を形成する。チャネル保護膜23は、ゲートバスライン12をマスクとして用いた背面露光により自己整合的に形成される。次に、チャネル保護膜23上の基板全面に $n^+$ a-Si及び金属層をこの順に成膜してパターンニングし、TF T 20のドレイン電極21及びソース電極22を形成する。同時に、ドレインバスライン14及び蓄積容量電極19を形成する。この金属層としては、例えばCrの単層、又はAl/Ti、Al/Mo/MoN、若しくはTi/Al/Tiの積層等が用いられる。次に、ドレイン電極21、ソース電極22、ドレインバスライン14及び蓄積容量電極19上の基板全面に例えばSiN膜を成膜し、保護膜32を形成する。次に、ソース電極22上の保護膜32を開口してコンタクトホール24'を形成し、蓄積容量電極19上の保護膜32を開口してコンタクトホール26'を形成する。

40

50

## 【0030】

次に、図6及び図7に示すように、保護膜32上にCF層R、G、Bを順次形成する。次に、CF層R、G、B上の基板全面に、オーバーコート層34を形成する。次に、コンタクトホール24'上のオーバーコート層34及びCF層R、G、Bを開口してコンタクトホール24を形成し、コンタクトホール26'上のオーバーコート層34及びCF層R、G、Bを開口してコンタクトホール26を形成する。次に、ITO等の光透過性電極材料をオーバーコート層34上の基板全面に成膜してパターンニングし、ゲートバスライン12及びドレインバスライン14上を覆うように画素電極16を形成する。画素電極16は、コンタクトホール24を介してソース電極22に電氣的に接続され、コンタクトホール26を介して蓄積容量電極19に電氣的に接続される。以上の工程を経て、図2及び図3(a)、(b)に示すTFT基板2が完成する。このように、本実施の形態による液晶表示装置用基板では、従来の液晶表示装置用基板と比較して製造工程が増加することがなく、製造コストが増加することもない。

10

## 【0031】

〔第2の実施の形態〕

次に、本発明の第2の実施の形態による液晶表示装置用基板について図8乃至図10を用いて説明する。図8は、本実施の形態によるTFT基板の構成を示している。図8に示すように、TFT基板2は、配向規制用構造物となる複数の突起40を有し、例えばMVAモードでノーマリブラックモードの液晶表示装置の一方の基板を構成する。突起40は、例えばレジストにより形成され、基板面に垂直方向に見ると略円形状である。突起40は、例えばゲートバスライン12とドレインバスライン14との交差位置上と、蓄積容量バスライン18とドレインバスライン14との交差位置上に配置されている。

20

## 【0032】

本実施の形態では、ゲートバスライン12とドレインバスライン14との交差位置上や、蓄積容量バスライン18とドレインバスライン14との交差位置上等の開口率に寄与しない領域に突起40が形成されている。このため、第1の実施の形態と同様の効果が得られるとともに、開口率を低下させずに高視野角の液晶表示装置を実現できる。なお、突起40は対向基板4側に形成されていてもよい。

## 【0033】

また、本実施の形態による液晶表示装置はノーマリブラックモードであるので、隣接する画素領域間を遮光する必要がない。したがって、対向基板4側に遮光膜を形成しなくてもよい。また、両基板2、4を貼り合わせる際に高い位置合わせ精度が要求されないため、製造プロセスが簡略化する。

30

## 【0034】

次に、本実施の形態による液晶表示装置用基板の変形例について図9及び図10を用いて説明する。図9は本変形例によるTFT基板の構成を示し、図10は図9のC-C線で切断したTFT基板の断面構成を示している。図9及び図10に示すように、TFT基板2は、図中左右方向に延びる複数の線状突起41と、図中上下方向に延びる複数の線状突起42を配向規制用構造物として有している。線状突起41は、ゲートバスライン12及び蓄積容量バスライン18上に形成されている。線状突起42は、ドレインバスライン14上に形成されている。本変形例では、線状突起41、42が、ゲートバスライン12、ドレインバスライン14及び蓄積容量バスライン18上の開口率に寄与しない領域に形成されている。このため、上記実施の形態と同様の効果が得られる。なお、線状突起41、42は対向基板4側に形成されていてもよい。

40

## 【0035】

〔第3の実施の形態〕

次に、本発明の第3の実施の形態による液晶表示装置用基板について図11乃至図18を用いて説明する。図11は本実施の形態によるTFT基板の構成を示し、図12は図11のD-D線で切断したTFT基板の断面構成を示している。図11及び図12に示すように、TFT基板2は、光透過性電極材料からなる透明電極15と、光反射性電極材料から

50

なる反射電極 17 とを 1 画素内に有し、半透過型の液晶表示装置の一方の基板を構成する。1 画素内の透明電極 15 と反射電極 17 は、互いに電氣的に接続されている。透明電極 15 は、TFT 基板 2 の裏面側に設けられたバックライトユニット 88 から入射する光を表面側に透過させ、反射電極 17 は、TFT 基板 2 の表面側（対向基板 4 側）から入射する外光を反射させる。

#### 【0036】

画素領域のうち図 11 の上方には反射電極 17 が配置され、下方には透明電極 15 が配置されている。反射電極 17 は、ゲートバスライン 12、蓄積容量バスライン 18、ドレインバスライン 14 及び TFT 20 を覆うように形成されている。反射電極 17 は、コンタクトホール 25 を介して TFT 20 のソース電極 22 に電氣的に接続されている。また反射電極 17 は、コンタクトホール 26 を介して蓄積容量電極 19（図 11 及び図 12 では図示せず）に電氣的に接続されている。

10

#### 【0037】

透明電極 15 は、ドレインバスライン 14 を覆うように形成されている。透明電極 15 は、コンタクトホール 25 を介して TFT 20 のソース電極 22 に電氣的に接続されている。

#### 【0038】

本実施の形態によれば、第 1 の実施の形態と同様の効果が得られるとともに、ゲートバスライン 12、蓄積容量バスライン 18 及び TFT 20 を覆うように反射電極 17 を形成することにより、透明電極 15 と反射電極 17 とを効率良く配置でき、開口率を向上できる。

20

#### 【0039】

次に、本実施の形態による液晶表示装置用基板の製造方法について図 13 乃至図 16 を用いて説明する。図 13 及び図 15 は、TFT 基板の製造方法を示している。図 14 及び図 16 は、TFT 基板の製造方法を示す工程断面図であり、図 12 に対応する断面を示している。まず、図 13 及び図 14 に示すように、ガラス基板 10 上に、ゲートバスライン 12 と蓄積容量バスライン 18 とを形成する。

#### 【0040】

次に、ゲートバスライン 12 及び蓄積容量バスライン 18 上の基板全面に例えば SiN 膜を成膜し、絶縁膜 30 を形成する。次に、絶縁膜 30 上に、例えば a-Si からなる動作半導体層 31 を形成する。次に、動作半導体層 31 上に、例えば SiN 膜からなるチャネル保護膜 23 を形成する。次に、チャネル保護膜 23 上の基板全面に n<sup>+</sup>a-Si 及び金属層をこの順に成膜してパターンニングし、TFT 20 のドレイン電極 21 及びソース電極 22 を形成する。同時に、ドレインバスライン 14 及び蓄積容量電極 19 を形成する。次に、ドレイン電極 21、ソース電極 22、ドレインバスライン 14 及び蓄積容量電極 19 上の基板全面に例えば SiN 膜を成膜し、保護膜 32 を形成する。次に、保護膜 32 上の基板全面に例えば感光性樹脂を塗布し、オーバーコート層 34 を形成する。次に、ソース電極 22 上のオーバーコート層 34 及び保護膜 32 を開口してコンタクトホール 25 を形成し、蓄積容量電極 19 上のオーバーコート層 34 及び保護膜 32 を開口してコンタクトホール 26 を形成する。

30

40

#### 【0041】

次に、図 15 及び図 16 に示すように、ITO 等の光透過性電極材料をオーバーコート層 34 上の基板全面に成膜してパターンニングし、ドレインバスライン 14 を覆うように透明電極 15 を形成する。透明電極 15 は、コンタクトホール 25 を介してソース電極 22 に電氣的に接続される。

#### 【0042】

次に、光反射性電極材料を透明電極 15 上の基板全面に成膜してパターンニングし、ゲートバスライン 12、蓄積容量バスライン 18 及びドレインバスライン 14 を覆うように反射電極 17 を形成する。反射電極 17 の一部は、透明電極 15 の一部に積層して形成され、1 画素内の両電極 16、17 が互いに電氣的に接続される。また反射電極 17 は、コンタ

50

クトホール 25 を介してソース電極 22 に電氣的に接続され、コンタクトホール 26 を介して蓄積容量電極 19 に電氣的に接続される。以上の工程を経て、図 11 及び図 12 に示す TFT 基板 2 が完成する。このように、本実施の形態による液晶表示装置用基板では、従来の液晶表示装置用基板と比較して製造工程が増加することがなく、製造コストが増加することもない。

**【0043】**

次に、本実施の形態による液晶表示装置用基板の構成の変形例について図 17 及び図 18 を用いて説明する。図 17 は、本変形例による TFT 基板の構成を示している。図 18 (a) は図 17 の E - E 線で切断した TFT 基板の断面構成を示し、図 18 (b) は図 17 の F - F 線で切断した TFT 基板の断面構成を示している。図 17 及び図 18 (a)、(b) に示すように、TFT 基板 2 は、2 つの反射電極 17 a、17 b と、2 つの透明電極 15 a、15 b とを 1 画素内に有し、半透過型の液晶表示装置の一方の基板を構成する。

10

**【0044】**

反射電極 17 a、17 b は、基板面に垂直方向に見ると、ドレインバスライン 14 を所定の間隙を介して挟むように配置されている。また反射電極 17 a、17 b は、蓄積容量バスライン 18 を覆うように形成されている。反射電極 17 a、17 b は、接続電極 61 を介して、互いに電氣的に接続されている。接続電極 61 は、反射電極 17 a、17 b と同一の形成材料で形成されている。反射電極 17 b は、反射電極 17 b 上のオーバーコート層 34 及び保護膜 32 を開口して形成されたコンタクトホール 24 を介して TFT 20 のソース電極 22 に電氣的に接続されている。

20

**【0045】**

図示していないが、蓄積容量バスライン 18 上には、ドレインバスライン 14 を所定の間隙を介して挟むように配置された 2 つの蓄積容量電極 19 が画素領域毎に形成されている。反射電極 17 a は、一方の蓄積容量電極 19 上のオーバーコート層 34 及び保護膜 32 を開口して形成されたコンタクトホール 54 を介して、蓄積容量電極 19 に電氣的に接続されている。反射電極 17 b は、他方の蓄積容量電極 19 上のオーバーコート層 34 及び保護膜 32 を開口して形成されたコンタクトホール 55 を介して、蓄積容量電極 19 に電氣的に接続されている。

**【0046】**

透明電極 15 a は、蓄積容量バスライン 18 を覆うように形成され、蓄積容量バスライン 18 上で反射電極 17 a に接続されている。透明電極 15 b は、接続電極 60 を介して透明電極 15 a に電氣的に接続されている。本変形例によっても、上記実施の形態と同様の効果が得られる。

30

**【0047】**

〔第 4 の実施の形態〕

次に、本発明の第 4 の実施の形態による液晶表示装置用基板について図 19 及び図 20 を用いて説明する。図 19 は、本実施の形態による TFT 基板の構成を示している。図 19 に示すように、TFT 基板 2 は、2 つの透明電極 15 a、15 b と、2 つの反射電極 17 a、17 b とを 1 画素内に有し、半透過型の液晶表示装置の一方の基板を構成する。

**【0048】**

透明電極 15 a は、ドレインバスライン 14 を覆うように形成され、コンタクトホール 24 を介して TFT 20 のソース電極 22 に電氣的に接続されている。反射電極 17 a は、蓄積容量バスライン 18 を覆うように形成され、コンタクトホール 50 を介して透明電極 15 a に電氣的に接続されている。反射電極 17 b は、蓄積容量バスライン 18 を覆うように形成され、コンタクトホール 51 を介して透明電極 15 a に電氣的に接続されている。透明電極 15 b は、ドレインバスライン 14 を覆うように形成されている。また透明電極 15 b は、コンタクトホール 52 を介して反射電極 17 a に電氣的に接続され、コンタクトホール 53 を介して反射電極 17 b に電氣的に接続されている。

40

**【0049】**

反射電極 17 a、17 b は、ドレインバスライン 14 と同一の形成材料で形成され、ドレ

50

インバスライン 14 を所定の間隙を介して挟むように配置されている。また、反射電極 17 a、17 b は、誘電体層となる絶縁膜 30 を介して蓄積容量バスライン 18 に対向して配置され、画素領域毎に形成される蓄積容量の電極としての機能を有している。

#### 【0050】

次に、本実施の形態による液晶表示装置用基板の製造方法について図 20 を用いて説明する。TFT 20 のチャンネル保護膜 23 を形成するまでの工程は、第 1 及び第 3 の実施の形態と同様であるため説明を省略する。チャンネル保護膜 23 上の基板全面に  $n^+ a-Si$  及び金属層をこの順に成膜してパターニングし、TFT 20 のドレイン電極 21 及びソース電極 22 を形成する。同時に、ドレインバスライン 14 及び反射電極 17 a、17 b を形成する。次に、ドレイン電極 21、ソース電極 22、ドレインバスライン 14 及び反射電極 17 a、17 b 上の基板全面に例えば  $SiN$  膜を成膜し、保護膜 32 (図 20 では図示せず) を形成する。次に、保護膜 32 上の基板全面に例えば感光性樹脂を塗布し、オーバーコート層 34 (図 20 では図示せず) を形成する。次に、ソース電極 22 上のオーバーコート層 34 及び保護膜 32 を開口してコンタクトホール 24 を形成する。同時に、反射電極 17 a 上のオーバーコート層 34 及び保護膜 32 を開口してコンタクトホール 50、52 を形成し、反射電極 17 b 上のオーバーコート層 34 及び保護膜 32 を開口してコンタクトホール 51、53 を形成する。

10

#### 【0051】

次に、ITO 等の光透過性電極材料をオーバーコート層 34 上の基板全面に成膜してパターニングし、ドレインバスライン 14 を覆うように透明電極 15 a、15 b を形成する。透明電極 15 a は、コンタクトホール 50 を介して反射電極 17 a に電氣的に接続され、コンタクトホール 51 を介して反射電極 17 b に電氣的に接続される。透明電極 15 b は、コンタクトホール 52 を介して反射電極 17 a に電氣的に接続され、コンタクトホール 53 を介して反射電極 17 b に電氣的に接続される。以上の工程を経て、図 19 に示す TFT 基板 2 が完成する。

20

#### 【0052】

本実施の形態では、反射電極 17 a、17 b をドレインバスライン 14 等と同一の形成材料で同時に形成している。このため本実施の形態によれば、第 1 の実施の形態と同様の効果が得られるとともに、一般の透過型液晶表示装置に用いられる TFT 基板 2 と同じ枚数のフォトマスクを用いて、半透過型液晶表示装置の TFT 基板 2 を製造できる。

30

#### 【0053】

##### 〔第 5 の実施の形態〕

次に、本発明の第 5 の実施の形態による液晶表示装置用基板について図 21 を用いて説明する。図 21 は、本実施の形態による TFT 基板の構成を示している。図 21 に示すように、TFT 基板 2 は、2 つの画素電極 16 a、16 b と、両画素電極 16 a、16 b 間を電氣的に接続する接続電極 60 とを 1 画素内に有している。

#### 【0054】

画素電極 16 a、16 b は、ゲートバスライン 12 及び蓄積容量バスライン 18 を覆うように形成されている。画素電極 16 a、16 b は、基板面に垂直方向に見ると、ドレインバスライン 14 を所定の間隙を介して挟むように配置されている。画素電極 16 a、16 b は、2 つの接続電極 60 を介して、互いに電氣的に接続されている。接続電極 60 は、画素電極 16 a、16 b と同一の形成材料で形成されている。

40

#### 【0055】

蓄積容量バスライン 18 上には、画素領域毎に 2 つの蓄積容量電極 19 a、19 b が形成されている。蓄積容量電極 19 a、19 b は、ドレインバスライン 14 を挟んで両側にそれぞれ配置されている。蓄積容量電極 19 a は、蓄積容量電極 19 a 上のオーバーコート層 34 及び保護膜 32 (共に図 21 では図示せず) を開口して形成されたコンタクトホール 26 a を介して、画素電極 16 a に電氣的に接続されている。蓄積容量電極 19 b は、蓄積容量電極 19 b 上のオーバーコート層 34 及び保護膜 32 を開口して形成されたコンタクトホール 26 b を介して、画素電極 16 b に電氣的に接続されている。

50

## 【0056】

TFT20のソース電極22は、同一画素内ではなく図の下方に隣接する画素内の蓄積容量電極19bに、接続配線62を介して接続されている。すなわち、TFT20のゲート電極は、隣接する2本のゲートバスライン12のうち図の上方側に電氣的に接続され、同一のTFT20のソース電極22は、隣接する2本のゲートバスライン12のうち図の下方側を覆うように配置された画素電極16a、16bに電氣的に接続されている。接続配線62は、ドレインバスライン14、ドレイン電極21、ソース電極22及び蓄積容量電極19a、19bと同一の形成材料で形成されている。

## 【0057】

本実施の形態では、画素電極16a、16bが、図の下方に隣接する画素を駆動するTFT20やゲートバスライン12を覆うように形成されている。このため、第1の実施の形態と同様の効果が得られるとともに、画素電極16a、16bに所定の電位が書き込まれる際には、画素電極16a、16bの下層のゲートバスライン12に電圧が印加されず、その上方に隣接するゲートバスライン12に電圧が印加されていることになる。したがって、画素電位がゲートバスライン12の電界の影響を受けないため、表示画面上でのフリッカや輝度傾斜等の発生を防止できる。

## 【0058】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態ではボトムゲート型の液晶表示装置用基板を例に挙げたが、本発明はこれに限らず、トップゲート型の液晶表示装置用基板にも適用できる。

## 【0059】

また、上記実施の形態ではチャンネル保護膜型の液晶表示装置用基板を例に挙げたが、本発明はこれに限らず、チャンネルエッチ型の液晶表示装置用基板にも適用できる。

## 【0060】

なお、上記実施の形態では、寄生容量を低減するために、保護膜32上にオーバーコート層34を形成している。しかし本発明によれば、表示領域内の全ての画素においてゲートバスライン12又はドレインバスライン14と画素電極16（透明電極15及び反射電極17を含む）との間にはほぼ一定の寄生容量が生じ、位置ずれ等による寄生容量の変動が生じない。このため、オーバーコート層34を形成しなくても表示むらは視認されない。

## 【0061】

以上説明した実施の形態による液晶表示装置用基板及びそれを備えた液晶表示装置は、以下のようにまとめられる。

## (付記1)

対向して配置される対向基板とともに液晶を挟持する基板と、前記基板上に絶縁膜を介して互いに交差して形成された第1及び第2のバスラインと、誘電体層を介して、前記第1又は第2のバスラインの少なくとも一方を覆うように配置され、前記第1又は第2のバスラインとの間に寄生容量を形成する画素電極とを有することを特徴とする液晶表示装置用基板。

## 【0062】

## (付記2)

付記1記載の液晶表示装置用基板において、前記液晶を配向規制する配向規制用構造物をさらに有し、前記配向規制用構造物は、基板面に垂直方向に見て、前記第1又は第2のバスラインのいずれか一方上に配置されていることを特徴とする液晶表示装置用基板。

## 【0063】

## (付記3)

付記1又は2に記載の液晶表示装置用基板において、前記画素電極は、光透過性材料で形成されて前記基板裏面側から入射する光を前記基板表面側に透過させる透明電極と、前記透明電極に電氣的に接続され、光反射性材料で形成さ

10

20

30

40

50

れて前記基板表面側から入射する光を反射させる反射電極とを有していることを特徴とする液晶表示装置用基板。

【0064】

(付記4)

付記3記載の液晶表示装置用基板において、

前記反射電極は、前記画素領域毎に形成される蓄積容量の電極としての機能を有することを特徴とする液晶表示装置用基板。

【0065】

(付記5)

付記3又は4に記載の液晶表示装置用基板において、

前記反射電極は、前記第1又は第2のバスラインと同一の形成材料で形成されていることを特徴とする液晶表示装置用基板。

【0066】

(付記6)

付記1乃至5のいずれか1項に記載の液晶表示装置用基板において、

前記画素電極は、基板面に垂直方向に見て、ほぼ中心部が前記第1又は第2のバスラインに重なるように配置されていること

を特徴とする液晶表示装置用基板。

【0067】

(付記7)

付記1乃至6のいずれか1項に記載の液晶表示装置用基板において、

前記第1及び第2のバスラインの交差位置近傍に形成され、前記第1のバスラインに電氣的に接続されたゲート電極と、前記第2のバスラインに電氣的に接続されたドレイン電極と、前記画素電極に電氣的に接続されたソース電極とを備えた薄膜トランジスタをさらに有し、

前記ゲート電極は、隣接する前記第1のバスラインの一方に電氣的に接続され、

前記ソース電極は、隣接する前記第1のバスラインの他方を覆うように配置された前記画素電極に電氣的に接続されていること

を特徴とする液晶表示装置用基板。

【0068】

(付記8)

一对の基板と、前記一对の基板間に封止された液晶とを有する液晶表示装置であって、

前記基板の一方に、付記1乃至7のいずれか1項に記載の液晶表示装置用基板が用いられていること

を特徴とする液晶表示装置。

【0069】

【発明の効果】

以上の通り、本発明によれば、製造プロセスを簡略化でき、良好な表示品質の得られる液晶表示装置を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による液晶表示装置の概略構成を示す図である。

【図2】本発明の第1の実施の形態による液晶表示装置用基板の構成を示す図である。

【図3】本発明の第1の実施の形態による液晶表示装置用基板の構成を示す断面図である。

。

【図4】本発明の第1の実施の形態による液晶表示装置用基板の製造方法を示す図である。

。

【図5】本発明の第1の実施の形態による液晶表示装置用基板の製造方法を示す工程断面図である。

【図6】本発明の第1の実施の形態による液晶表示装置用基板の製造方法を示す図である。

。

10

20

30

40

50

【図 7】本発明の第 1 の実施の形態による液晶表示装置用基板の製造方法を示す工程断面図である。

【図 8】本発明の第 2 の実施の形態による液晶表示装置用基板の構成を示す図である。

【図 9】本発明の第 2 の実施の形態による液晶表示装置用基板の構成の変形例を示す図である。

【図 10】本発明の第 2 の実施の形態による液晶表示装置用基板の構成の変形例を示す断面図である。

【図 11】本発明の第 3 の実施の形態による液晶表示装置用基板の構成を示す図である。

【図 12】本発明の第 3 の実施の形態による液晶表示装置用基板の構成を示す断面図である。

【図 13】本発明の第 3 の実施の形態による液晶表示装置用基板の製造方法を示す図である。

【図 14】本発明の第 3 の実施の形態による液晶表示装置用基板の製造方法を示す工程断面図である。

【図 15】本発明の第 3 の実施の形態による液晶表示装置用基板の製造方法を示す図である。

【図 16】本発明の第 3 の実施の形態による液晶表示装置用基板の製造方法を示す工程断面図である。

【図 17】本発明の第 3 の実施の形態による液晶表示装置用基板の構成の変形例を示す図である。

【図 18】本発明の第 3 の実施の形態による液晶表示装置用基板の構成の変形例を示す断面図である。

【図 19】本発明の第 4 の実施の形態による液晶表示装置用基板の構成を示す図である。

【図 20】本発明の第 4 の実施の形態による液晶表示装置用基板の製造方法を示す図である。

【図 21】本発明の第 5 の実施の形態による液晶表示装置用基板の構成を示す図である。

【図 22】従来の液晶表示装置用基板の構成を示す図である。

【図 23】従来の液晶表示装置用基板の構成を示す断面図である。

【図 24】従来の液晶表示装置用基板の問題点を示す断面図である。

【図 25】従来の液晶表示装置用基板の他の構成を示す断面図である。

【図 26】従来の液晶表示装置用基板のさらに他の構成を示す図である。

【符号の説明】

2 T F T 基板

4 対向基板

10 ガラス基板

12 ゲートバスライン

14 ドレインバスライン

15、15 a、15 b 透明電極

16、16 a、16 b 画素電極

17、17 a、17 b 反射電極

18 蓄積容量バスライン

19 蓄積容量電極

20 T F T

21 ドレイン電極

22 ソース電極

23 チャンネル保護膜

24、25、26、50、51、52、53、54、55 コンタクトホール

30 絶縁膜

31 動作半導体層

32 保護膜

10

20

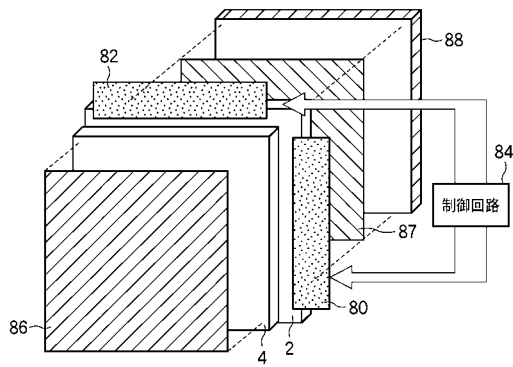
30

40

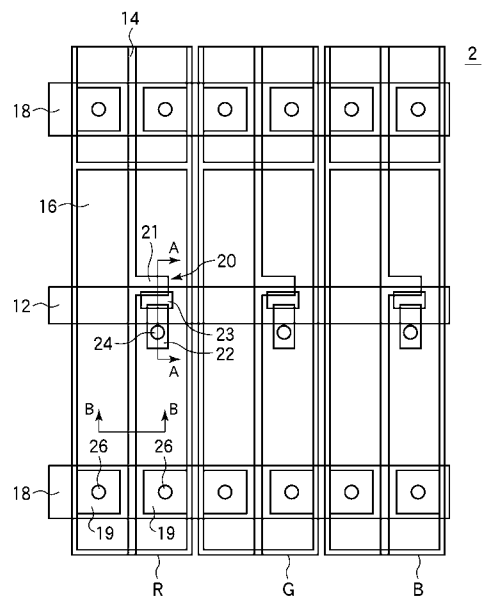
50

- 3 4 オーバーコート層
- 4 0 突起
- 4 1、4 2 線状突起
- 6 0、6 1 接続電極
- 6 2 接続配線
- 8 0 ゲートバスライン駆動回路
- 8 2 ドレインバスライン駆動回路
- 8 4 制御回路
- 8 6、8 7 偏光板
- 8 8 バックライトユニット

【 図 1 】

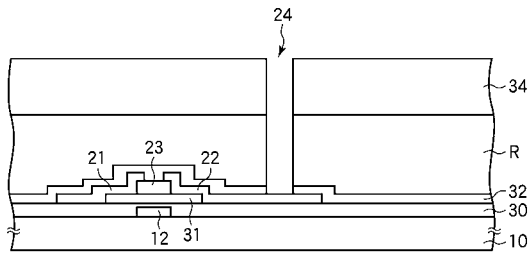


【 図 2 】

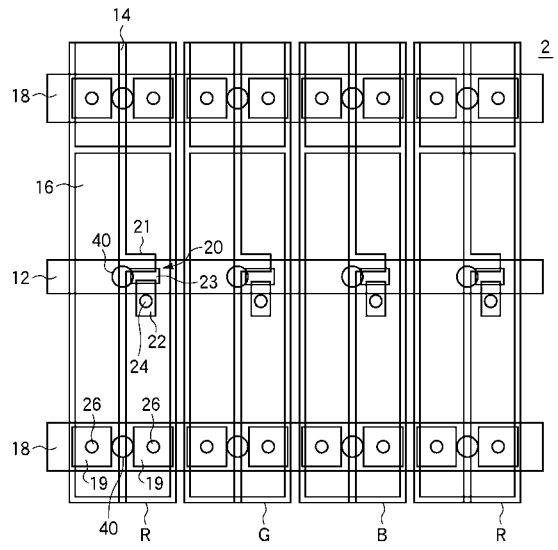




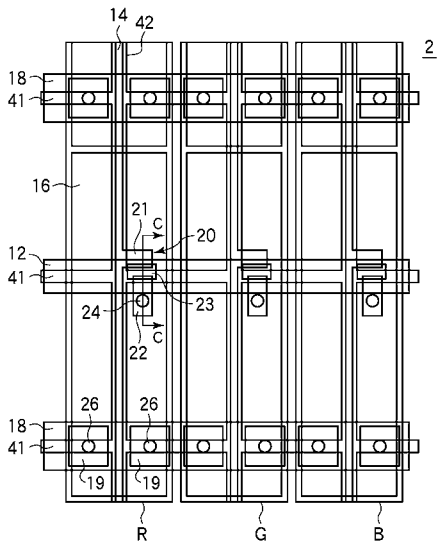
【 図 7 】



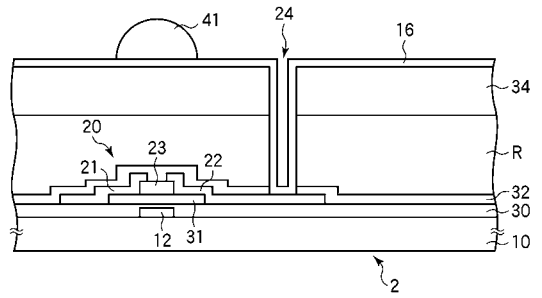
【 図 8 】



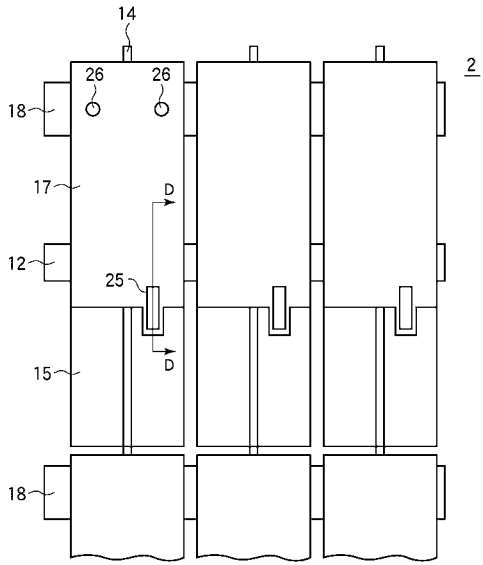
【 図 9 】



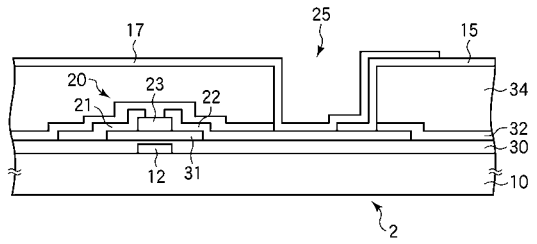
【 図 10 】



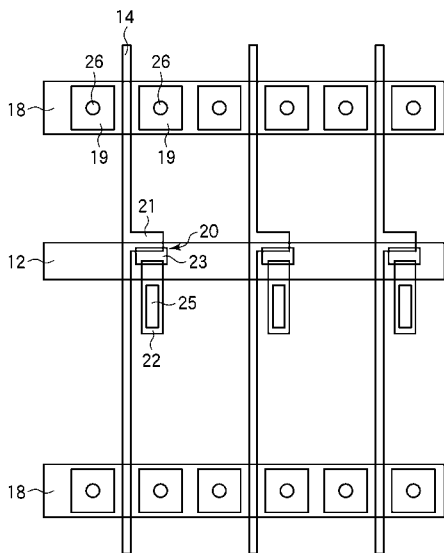
【 図 1 1 】



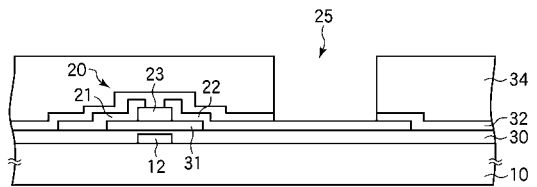
【 図 1 2 】



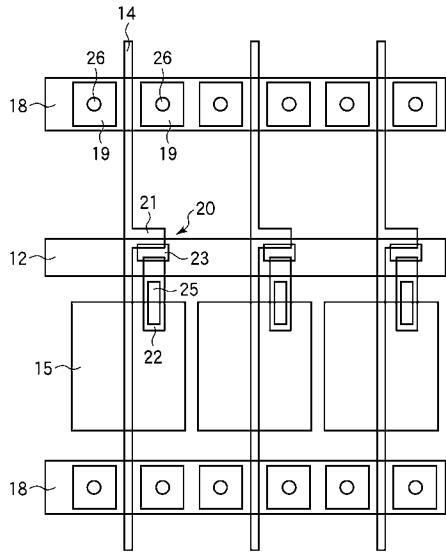
【 図 1 3 】



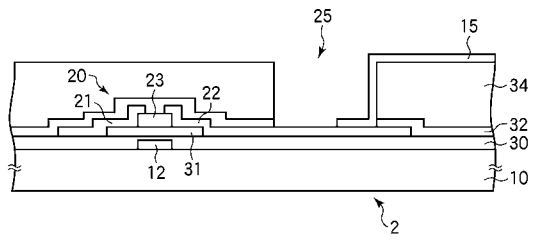
【 図 1 4 】



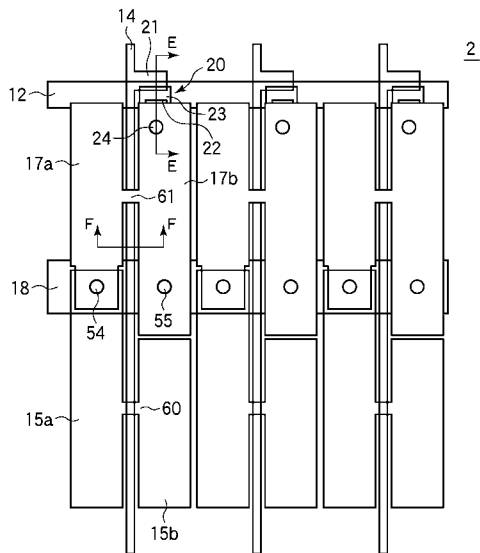
【 図 1 5 】



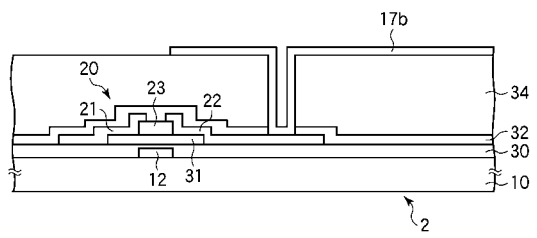
【 図 1 6 】



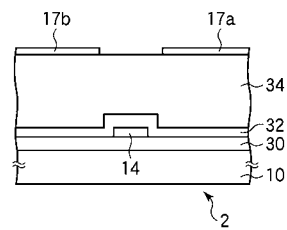
【 図 1 7 】



【 図 1 8 】

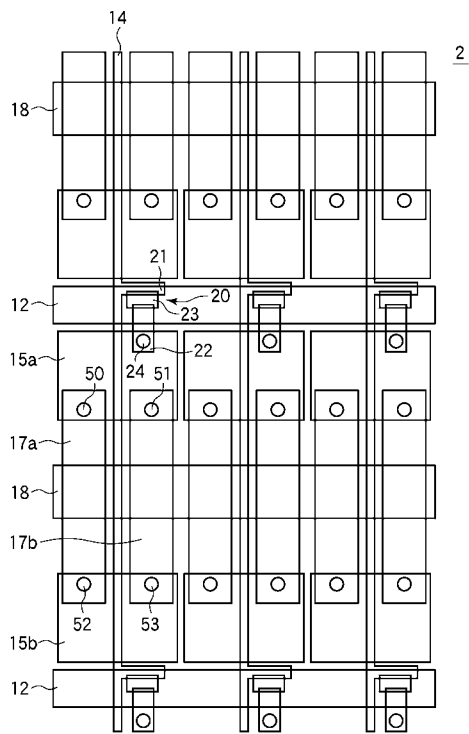


(a)

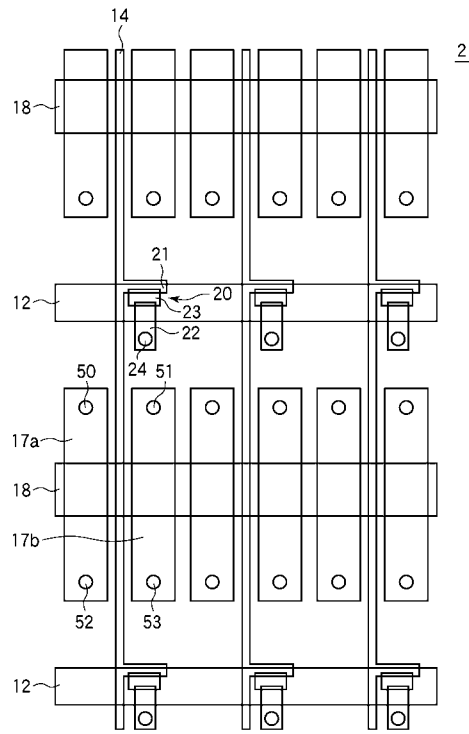


(b)

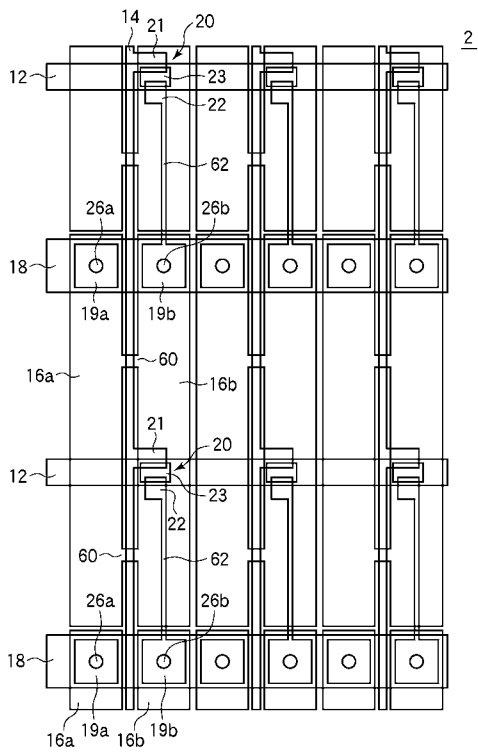
【 図 1 9 】



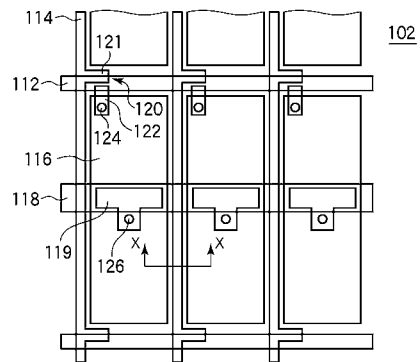
【 図 2 0 】



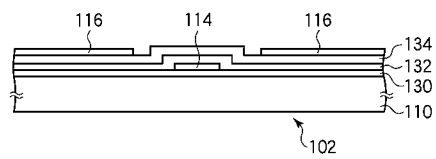
【 図 2 1 】



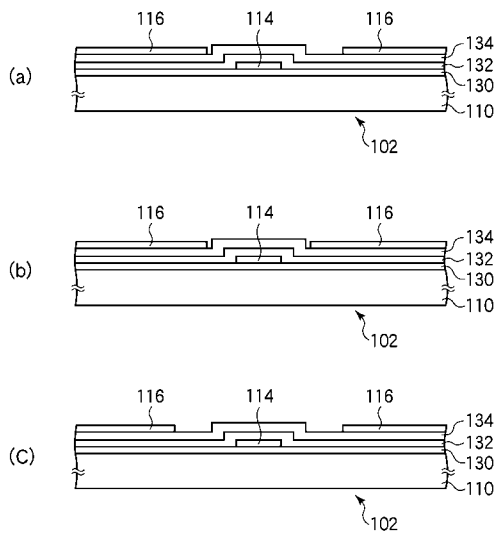
【 図 2 2 】



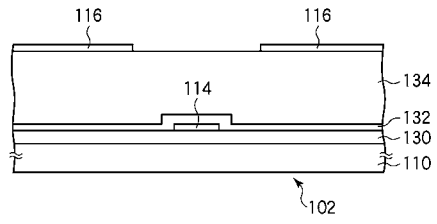
【 図 2 3 】



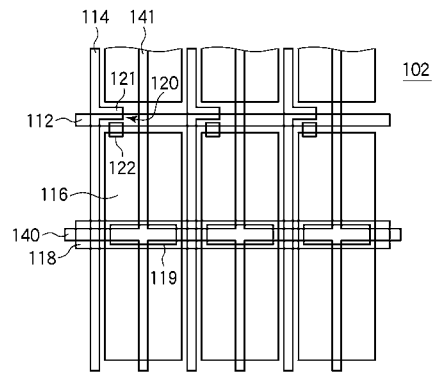
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



---

フロントページの続き

(72)発明者 澤崎 学

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

(72)発明者 佐口 琢哉

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

F ターム(参考) 2H092 GA28 JA37 JA41 JB24 JB33 JB64 NA27 PA02

5F110 AA16 AA30 BB01 CC07 DD02 EE01 EE03 EE04 EE15 FF03

GG02 GG15 HK01 HK03 HK04 HK09 HK16 HK22 HL01 HL07

HM18 NN02 NN12 NN24 NN27 NN72 NN73 QQ12

专利名称(译)	用于液晶显示装置的基板和具有该基板的液晶显示装置		
公开(公告)号	<a href="#">JP2004093826A</a>	公开(公告)日	2004-03-25
申请号	JP2002253823	申请日	2002-08-30
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
[标]发明人	高木孝 星野淳之 澤崎学 佐口琢哉		
发明人	高木孝 星野淳之 澤崎学 佐口琢哉		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/1335 G02F1/1345 G02F1/136 G02F1/1362 H01L29/786		
CPC分类号	G02F1/136227 G02F1/133555 G02F2001/13606		
FI分类号	G02F1/1368 H01L29/78.612.C		
F-TERM分类号	2H092/GA28 2H092/JA37 2H092/JA41 2H092/JB24 2H092/JB33 2H092/JB64 2H092/NA27 2H092/PA02 5F110/AA16 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE01 5F110/EE03 5F110/EE04 5F110/EE15 5F110/FF03 5F110/GG02 5F110/GG15 5F110/HK01 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HL01 5F110/HL07 5F110/HM18 5F110/NN02 5F110/NN12 5F110/NN24 5F110/NN27 5F110/NN72 5F110/NN73 5F110/QQ12 2H092/GA57 2H092/JA26 2H092/JB02 2H092/JB04 2H092/JB58 2H092/JB69 2H092/KB26 2H092/MA13 2H192/AA24 2H192/BA13 2H192/BC12 2H192/BC13 2H192/BC31 2H192/BC64 2H192/BC72 2H192/CB05 2H192/CB71 2H192/CC04 2H192/CC26 2H192/CC66 2H192/DA12 2H192/DA52 2H192/DA65 2H192/DA71 2H192/EA42 2H192/EA56 2H192/FB22 2H192/GD14 2H192/HA33 2H192/JA13		
代理人(译)	盛冈正树		
其他公开文献	JP4049639B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

技术领域本发明涉及一种用于电子设备的显示单元的液晶显示装置及其所用的液晶显示装置的基板，可以简化制造工艺并获得良好的显示质量的液晶显示装置及其所用的液晶。一个目的是提供一种用于显示装置的基板。形成在基板上的栅极总线线(12)和漏极总线线(14)彼此隔着绝缘膜相交，并且栅极总线线(12)和漏极总线线(14)中的至少一个经由介电层。布置像素电极16以覆盖像素总线16，并且在栅极总线12和漏极总线14之间形成寄生电容。[选择图]图2

