

(19)日本国特許庁（ J P ）

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 323881

(P2002 - 323881A)

(43)公開日 平成14年11月8日(2002.11.8)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	545	G 0 2 F 1/133	5 C 0 0 6
	550		5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A
	612		612 U

審査請求 有 請求項の数 10 O L (全 15数) 最終頁に続く

(21)出願番号 特願2002 - 2392(P2002 - 2392)
(22)出願日 平成14年1月9日(2002.1.9)
(31)優先権主張番号 特願2001 - 46595(P2001 - 46595)
(32)優先日 平成13年2月22日(2001.2.22)
(33)優先権主張国 日本(JP)

(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72)発明者 石山 久展
長野県諏訪市大和3丁目3番5号 セイコーエ
プソン株式会社内
(74)代理人 100090479
弁理士 井上 一 (外 2 名)

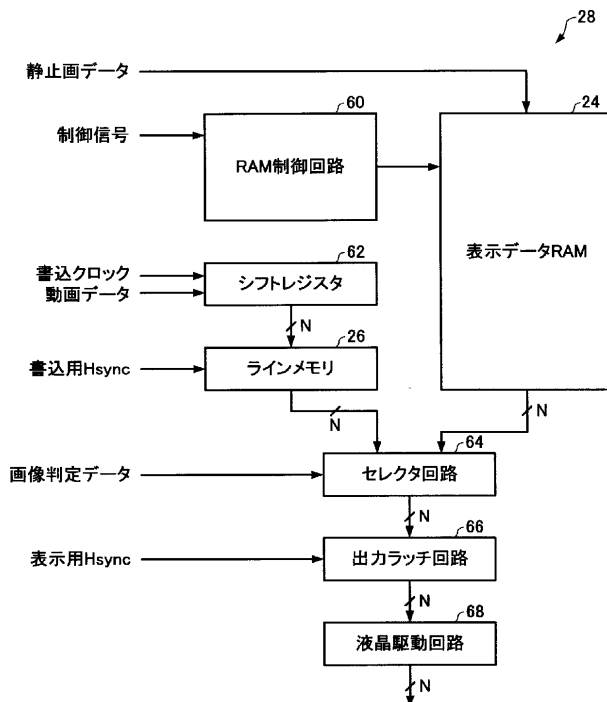
最終頁に続く

(54)【発明の名称】 表示ドライバ、表示ユニット及び電子機器

(57)【要約】

【課題】 1 走査ライン上で静止画及び動画を混在させて表示駆動できる表示ドライバ、表示ユニット及び電子機器を提供する。

【解決手段】 XドライバIC 28は、1フレーム分の静止画データを記憶する表示データRAM 24、1走査ライン分の動画データを記憶するラインメモリ 26を少なくとも含む。セレクト回路 64は、画像判定データに基づき、カラム位置ごとに、表示データRAM 24から読み出される水平方向の1走査ライン分の静止画データと、ラインメモリ 26から読み出される1走査ライン分の動画データとのいずれか一方のみを、静止画及び動画の混在データとして選択出力する。混在データは、出力ラッチ回路 66でラッチされた後、液晶駆動回路 68により、液晶パネルが表示駆動される。



【特許請求の範囲】

【請求項 1】 静止画データ及び動画データに基づいて表示部を表示駆動する表示ドライバであって、走査ラインごとに静止画データが読み出される RAM と、動画データが走査ライン単位で記憶されるラインメモリと、カラム位置ごとに、RAM の走査ライン出力又はラインメモリの出力の一方を、画像判定データに基づいて切り換えて出力するセレクトと、を含むことを特徴とする表示ドライバ。

【請求項 2】 請求項 1 において、前記画像判定データは、前記動画データ若しくは静止画データに基づいて駆動される表示領域のカラム位置を特定するためのカラムアドレス及び前記表示領域のライン位置を特定するためのラインアドレスに基づいて生成されることを特徴とする表示ドライバ。

【請求項 3】 請求項 1 又は 2 において、前記画像判定データは、走査ラインごとに、動画データ若しくは静止画データに基づいて駆動される表示領域の 20 カラム位置に応じて生成されることを特徴とする表示ドライバ。

【請求項 4】 請求項 3 において、1 カラムの各走査ライン位置について動画データに基づいて駆動すべきか否かを示すラインデータを記憶するラインデータレジスタと、1 走査ラインの各カラム位置について動画データに基づいて駆動すべきか否かを示すカラムデータを記憶するカラムデータレジスタと、前記表示部の走査ラインのカラム位置ごとに、前記ライ 30 ンデータ及び前記カラムデータに基づいて前記画像判定データを生成する画像判定データ生成手段と、を含むことを特徴とする表示ドライバ。

【請求項 5】 請求項 1 において、前記 RAM が、少なくとも各カラムに関連付けて、動画データに基づいて駆動すべきか否かを示す画像判定データを記憶し、前記セレクトは、カラム位置ごとに、RAM の走査ライン出力又はラインメモリの出力のいずれか一方を、前記 RAM に記憶された画像判定データに基づいて切り換え 40 て出力することを特徴とする表示ドライバ。

【請求項 6】 請求項 5 において、前記 RAM が、走査ラインごとに前記画像判定データを記憶し、前記セレクトは、走査ライン単位で、カラム位置ごとに、RAM の走査ライン出力又はラインメモリの出力のいずれか一方を、前記 RAM に記憶された画像判定データに基づいて切り換えて出力することを特徴とする表示ドライバ。

【請求項 7】 複数の信号電極と複数の走査電極により*50

*駆動される電気光学素子を有するパネルと、前記複数の信号電極を駆動する請求項 1 乃至 6 のいずれかに記載の表示ドライバと、前記複数の走査電極を走査駆動する走査駆動ドライバと、を含むことを特徴とする表示ユニット。

【請求項 8】 複数の信号電極と複数の走査電極により駆動される電気光学素子と、前記複数の信号電極を駆動する請求項 1 乃至 6 のいずれかに記載の表示ドライバと、を含むことを特徴とする表示パネル。

【請求項 9】 請求項 7 に記載の表示ユニットと、前記表示ユニットに、静止画データ及び動画データを供給する画像データ供給回路と、を含むことを特徴とする電子機器。

【請求項 10】 静止画データ及び動画データに基づいて表示部を表示駆動する表示駆動方法であって、画像判定データに基づいてカラム位置ごとに選択された静止画データ及び動画データを含む 1 走査ライン分の画像データを生成し、前記画像データに基づいて表示部を駆動することを特徴とする表示駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、動画及び静止画を表示駆動するための表示ドライバと、これを用いた表示ユニット及び電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】例えば携帯電話機のような携帯型の電子機器に関して、MPEG (Moving Picture Experts Group) の規格により圧縮して符号化された画像データを受信又は送信する技術が提案されている。このような技術によれば、その表示部には、例えば従来の静止画の表示領域に動画を表示させることができる。

【0003】携帯電話機を例にすると、表示部に表示される画像データのうち特に処理負荷が軽い静止画データは、携帯電話機の制御を司る中央処理装置 (Central Processing Unit: 以下、CPU と略す。) により生成される。生成された静止画データは、表示データ RAM に転送され、フレーム周期で、例えば 1 走査ライン分のデータ単位で読み出される。これにより、CPU の処理負荷の軽減と、低消費電力化とを図る。

【0004】一方、動画データは処理量が多くリアルタイム性が必要とされるため、他にデータの送受信や通話などの処理を行う必要がある CPU とは別個に DSP (Digital Signal Processor) などの専用コントローラが設けられ、これらコントローラにより生成される。動画データも、上述した表示データ RAM に転送することも可能であるが、1 走査ライン分のみを記憶する 1 走査

ラインメモリを用いることによって、静止画データとの混在処理に伴う回路の複雑化を回避し、低消費電力化を図ることができる。

【0005】このような動画及び静止画の混在表示を行う技術としては、種々提案されており、例えば特開平8 - 76721号公報「マトリックスパネル表示装置」や特開平9 - 281933号公報「データドライバ及びこれを用いた液晶表示装置、情報処理装置」には、表示データRAMから読み出された静止画データと、1走査ライン分の動画データとを、1走査ラインごとに、切り換え信号によって選択的に出力した混在データに基づき表示駆動する技術が開示されている。

【0006】しかしながら、このような技術では1走査ライン単位でしか静止画と動画を混在表示させることができない。すなわち、1走査ライン上で静止画と動画を混在させて表示することができない。このため、静止画が表示される静止画領域において、1走査ライン上で静止画及び動画が混在表示されるような特定の矩形領域に動画データを表示することができない。

【0007】本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、静止画及び動画の混在処理に伴う回路の複雑化と消費電力の増加を招くことなく、1走査ライン上で静止画及び動画を混在させて表示駆動できる表示ドライバと、これを用いた表示ユニット及び電子機器を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために本発明は、静止画データ及び動画データに基づいて表示部を表示駆動する表示ドライバであって、走査ラインごとに静止画データが読み出されるRAMと、動画データが走査ライン単位で記憶されるラインメモリと、カラム位置ごとに、RAMの走査ライン出力又はラインメモリの出力の一方を、画像判定データに基づいて切り換えて出力するセレクタとを含む表示ドライバに係する。

【0009】なお、画像判定データは、当該表示ドライバ内で生成するようにしても良いし、静止画データ等と共に外部から供給されるものであっても良い。

【0010】本発明によれば、走査ラインごとに動画データを記憶するラインメモリを設け、表示部の走査ラインごとに、RAMから読み出された静止画データとラインメモリから読み出された動画データとを、画像判定データに基づき、カラム位置ごとにいずれか一方を選択出力させるようにしたので、静止画及び動画の混在処理に伴う回路の複雑化と消費電力の増加を招くことなく、1走査ライン上で静止画及び動画を混在させて表示駆動できる。

【0011】ここで、走査ラインは、表示部における走査方向に1画素単位で走査されるラインであっても良いし、2以上の複数画素単位で走査されるラインであっても良い。

【0012】また本発明は、前記画像判定データは、前記動画データ若しくは静止画データに基づいて駆動される表示領域のカラム位置を特定するためのカラムアドレス及び前記表示領域のライン位置を特定するためのラインアドレスに基づいて生成されてもよい。

【0013】ここで、画像判定データは、表示ドライバ内でカラムアドレス及びラインアドレスに基づいて生成するようにしても良いし、外部でカラムアドレス及びラインアドレスに基づいて生成された画像判定データを表示ドライバに供給するようにしても良い。

【0014】本発明によれば、画像表示領域における任意の領域をラインアドレス及びカラムアドレスを用いて特定し、動画データ若しくは静止画データが1走査ライン上で混在した画像を表示させることができる。したがって、低消費電力を図り、しかもその表示領域を任意に変更できる動画及び静止画の混合表示が可能となる。

【0015】また本発明は、前記画像判定データは、走査ラインごとに、動画データ若しくは静止画データに基づいて駆動される表示領域のカラム位置に応じて生成されてもよい。

【0016】本発明によれば、走査ラインごとに、画像判定データに基づくカラム位置における切り換えにより、混在表示を行うようにしたので、混在表示に伴う回路規模を大幅に縮小し、かつ低消費電力化を実現することができる。

【0017】また本発明は、1カラムの各走査ライン位置について動画データに基づいて駆動すべきか否かを示すラインデータを記憶するラインデータレジスタと、1走査ラインの各カラム位置について動画データに基づいて駆動すべきか否かを示すカラムデータを記憶するカラムデータレジスタと、前記表示部の走査ラインのカラム位置ごとに、前記ラインデータ及び前記カラムデータに基づいて前記画像判定データを生成する画像判定データ生成手段とを含むことができる。

【0018】本発明によれば、1カラムの各走査ライン分のラインデータと、1走査ラインの各カラム分のカラムデータのみで1フレームの動画及び静止画の混在表示を行うことができる。

【0019】また本発明は、前記RAMが、少なくとも各カラムに関連付けて、動画データを表示すべきか否かの画像判定データを記憶し、前記セレクタは、カラム位置ごとに、RAMの走査ライン出力又はラインメモリの出力のいずれか一方を、前記RAMに記憶された画像判定データに基づいて切り換えて出力することができる。

【0020】本発明によれば、表示データRAMの各カラムに関連付けて画像判定データを記憶するようにしたので、容易に1走査ライン上でRAMの走査ライン出力とラインメモリの出力を混在させることができる。

【0021】また本発明は、前記RAMが、走査ラインごとに前記画像判定データを記憶し、前記セレクタは、

走査ライン単位で、カラム位置ごとに、RAMの走査ライン出力又はラインメモリの出力のいずれか一方を、前記RAMに記憶された画像判定データに基づいて切り換えて出力することができる。

【0022】本発明によれば、走査ラインごとに画像判定データをRAMに記憶させるようにし、走査ライン単位で、カラム位置ごとに、RAMの走査ライン出力又はラインメモリの出力のいずれか一方を切り換えて出力するようにしたので、一方の画像表示領域に、他方の画像を混在させる場合の画像表示領域は矩形領域に限定されることがない。この場合、表示データRAMの容量は、多階調化に伴い増加の一途をたどっているため、当該画像判定データを各カラムに関連付けて記憶させたとしても、ほとんど回路規模に影響を与えることがない。

【0023】また本発明に係る表示ユニットは、複数の信号電極と複数の走査電極により駆動される電気光学素子を有するパネルと、前記複数の信号電極を駆動する上記いずれかに記載の表示ドライバと、前記複数の走査電極を走査駆動する走査駆動ドライバとを含むことができる。

【0024】本発明によれば、1走査ライン上に動画及び静止画を混在させた表示を、回路規模を増加させることなく、低コストかつ低消費電力で実現する表示ユニットを提供することができる。

【0025】また本発明に係る電子機器は、上記記載の表示ユニットと、前記表示ユニットに、静止画データ及び動画データを供給する画像データ供給回路とを含むことができる。

【0026】本発明によれば、表示ユニットでの静止画及び動画の混合表示に際し、1走査ライン上に動画及び静止画を混在させることができ、しかも装置の低コスト化及び低消費電力化を図ることができる。

【0027】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

【0028】なお以下の説明する実施の形態は、特許請求の範囲に記載された発明の内容を不当に限定するものではない。また以下の実施の形態で説明される構成の全てが本発明の必須構成要件とは限らない。

【0029】1. 第1の実施形態

以下、本発明の第1の実施形態について説明する。

【0030】1.1 電子機器

図1に、本発明が適用される電子機器の概略ブロック図を示す。

【0031】電子機器10は、CPU12、コントローラ14、表示ユニット20を含む。

【0032】CPU12は、図示しないRAMなどのメモリに記憶されたプログラム若しくはファームウェアにしたがって、表示ユニット20の表示部を表示駆動するための静止画データを生成する。

【0033】コントローラ14は、MPEG規格によってデコードされた動画データを生成し、その機能はASIC（ゲートアレイ）又はDSPなどのハードウェアや図示しないRAMに記憶されたプログラム若しくはファームウェアにより実現される。

【0034】表示ユニット20は、電気光学素子を有するマトリクスパネル例えばカラー液晶パネル22と、この液晶パネル22を駆動する表示データRAM24及びラインメモリ26を内蔵したXドライバIC（広義には、データ駆動ドライバ。更に広義には、表示ドライバ）28と、走査用のYドライバ（広義には、走査駆動ドライバ）30とを含む。

【0035】液晶パネル22は、電圧印加によって光学特性が変化する液晶その他の電気光学素子を用いたものであればよい。液晶パネル22としては、例えば単純マトリクスパネルで構成でき、この場合、複数のセグメント電極（信号電極、第1の電極）が形成された第1基板と、コモン電極（走査電極、第2の電極）が形成された第2基板との間に、液晶が封入される。液晶パネル22は、薄膜トランジスタ（Thin Film Transistor: TFT）、薄膜ダイオード（Thin Film Diode: TFD）等の3端子素子、2端子素子を用いたアクティブマトリクスパネルであってもよい。これらのアクティブマトリクスパネルも、表示データRAM24及びラインメモリ26を内蔵したXドライバIC28により駆動される複数の信号電極（第1の電極）と、YドライバIC30により走査駆動される複数の走査電極（第2の電極）を有する。

【0036】なお図12に示すように、液晶パネル（広義には、表示パネル）22が形成されるガラス基板上に、XドライバIC28と同等の機能を有する表示駆動回路（広義には、表示ドライバ）を設けてもよい。この場合、液晶パネル22は、複数の信号電極及び複数の走査電極により駆動される電気光学素子と、上記表示駆動回路とを含むことができる。また、該ガラス基板上にYドライバ30と同等の機能を有する走査駆動回路を設けてもよい。

【0037】このような液晶パネル22は、静止画データに基づいて表示駆動された静止画と、動画データに基づいて表示駆動された動画とを同時に表示することができるようにしている。この場合、図1に示すように、液晶パネル22に、動画表示領域22Aと、それ以外の静止画表示領域22Bとが設定される。

【0038】CPU12は、XドライバIC28に対して、表示コマンドと静止画データとを供給する。そのため、CPU12は、XドライバIC28に対して、例えば表示コマンドと静止画データとを区別する識別信号A0、反転リセット信号XRES、反転チップセレクト信号XCS、反転リード信号XRD及び反転ライト信号XWRなどの制御信号を供給する。その際、例えばデータ

D7～D0の8ビットデータは、識別信号A0の論理によって、静止画データ又は表示コマンドとして区別される。データD7～D0を介してXドライバIC28に対して静止画データが供給された場合、当該静止画データは1フレーム単位に表示データRAM24に記憶される。

【0039】コントローラ14は、XドライバIC28に対して、動画データを供給する。そのため、コントローラ14は、XドライバIC28に対して、動画データを書き込むための書込クロック、書き込み用の垂直同期信号Vsync、書き込み用の水平同期信号Hsyncなどの制御信号を供給する。動画データは、例えば各6ビットのR、G、B信号である。この動画データは、1走査ライン単位にラインメモリ26に記憶される。

【0040】XドライバIC28は、表示ユニット20における所与の水平方向の走査周期で、1走査ラインごとに表示データRAM24から静止画データ、ラインメモリ26から1走査ライン単位の動画データをそれぞれ読み出し、画像判定データに基づいて、1走査ラインのカラム位置ごとに静止画データ若しくは動画データのいずれか一方が選択出力された画像データを生成する。このようにカラム位置ごとに出力された画像データが、混在データとなる。XドライバIC28は、この混在データに基づき、液晶パネル22を表示駆動する。

【0041】画像判定データは、液晶パネル22の表示領域でのカラム位置を特定するためのカラムアドレスと、液晶パネル22の表示領域でのライン位置を特定するためのラインアドレスとに基づいて生成される。このような画像判定データは、例えばXドライバIC28で生成されるようにしてもよいし、CPU12やコントローラ14で生成するようにしてもよい。

【0042】図2に、図1に示したCPU12、コントローラ14を搭載した携帯電話機の構成の概要を示す。

【0043】携帯電話機（広義には、電子機器）40は、CPU12によって構成各部が制御される。CPU12には、静止画用メモリ42及びコントローラ14が接続されている。コントローラ14には、動画用メモリ44が接続されている。

【0044】ここで、CPU12、コントローラ14、静止画用メモリ42及び動画用メモリ44を、1チップに集積化したMPU46として構成するようにしてもよい。静止画用メモリ42及び動画用メモリ44には、CPU12、コントローラ14を制御するためのプログラムを記憶させるようにしても良い。

【0045】携帯電話機40には、アンテナ48を介して受信された信号を復調し、あるいはアンテナ48を介して送信される信号を変調する変復調回路50が設けられている。そして、アンテナ48からは、例えばMPEGの規格に符号化された動画データを送受信可能となっている。

【0046】この携帯電話機40には、例えばデジタルビデオカメラ52を設けることもできる。このデジタルビデオカメラ52を介して動画データを取り込むことができる。携帯電話機40でのデータ送受信、デジタルビデオカメラ52での撮影に必要な操作情報は、操作入力部54を介して入力される。

【0047】CPU12は、液晶パネル22の動画表示領域22Aに動画を表示する際に、その動画のサイズを動画情報から決定する。そして、液晶パネル22の動画表示領域22Aを特定するスタートアドレスSA、エンドアドレスEAそれぞれについて、カラム位置を示すカラムアドレスとライン位置を示すラインアドレスをXドライバIC28に設定する。XドライバIC28は、これらアドレスに基づいて、1走査ラインのカラム位置ごとに静止画データ若しくは動画データのいずれか一方が選択出力された混在データを生成する。

【0048】動画表示領域22Aに表示される動画は、アンテナ48又はデジタルビデオカメラ52から供給される。アンテナ48から入力される信号は、変復調回路50を介して復調されてコントローラ14により信号処理される。コントローラ14は、動画用メモリ44と接続され、アンテナ48、変復調回路50を介して入力される圧縮データを伸張し、またMPEGの規格にて符号化されているデータについてはデコードする。変復調回路50、アンテナ48を介して送信されるデータは、コントローラ14において圧縮され、MPEGの規格にて符号化して送信する場合はエンコードされる。このようにコントローラ14は、MPEGのデコーダ、エンコーダとしての機能を有する。

【0049】コントローラ14には、デジタルビデオカメラ52からの信号も入力され、アンテナ48又はデジタルビデオカメラ52から入力された信号はコントローラ14においてRGB信号に処理されて表示ユニット20に供給される。

【0050】CPU12は、操作入力部54からの情報等に基づき、必要により静止画用メモリ42を用いて、液晶パネル22に表示される静止画用の表示に必要な表示コマンド、静止画データを表示ユニット20に出力する。

【0051】例えば、液晶パネル22の動画表示領域22Aにはインターネットを経由して映画情報として配信された映画の予告編、静止画表示領域22Bにはその映画を上映する劇場チケットの予約情報を、それぞれ表示するものとする。この場合、CPU12は、さらに変復調回路50、アンテナ48を介して操作入力部54を介して入力されたチケットの予約希望を送出制御して、当該映画のチケットの予約ができるようにすることができる。

【0052】1.2 表示ドライバ

図3に、第1の実施形態における表示ドライバとしての

XドライバIC 28の構成の概要を示す。

【0053】ただし、図1に示すXドライバIC 28と同一部分には同一符号を付し、適宜説明を省略する。

【0054】第1の実施形態におけるXドライバIC 28は、1フレーム分の静止画データを記憶する表示データRAM 24、1走査ライン分の動画データを記憶するラインメモリ 26を少なくとも含む。

【0055】静止画データは、CPU 12からの表示コマンド（制御信号）に基づき、RAM制御回路 60によって少なくとも1フレーム分、表示データRAM 24に書き込まれる。表示データRAM 24からは、RAM制御回路 60によって、表示ユニット 20における所与のフレーム周期で、1フレーム分の静止画データが読み出される。その際、表示データRAM 24からは、液晶パネル 22の1走査ライン分のデータ単位の静止画データが、液晶パネル 22の水平方向の走査周期で読み出される。

【0056】動画データは、液晶パネル 22の1走査ライン分のデータ単位でラインメモリ 26に書き込まれる。このため、コントローラ 14によって生成された当該1走査ライン分の動画データは、コントローラ 14から入力される書込クロックに同期してシフトレジスタ 62に順次書き込まれる。1走査ラインの表示にN個のデータが必要な場合、書込クロックのNクロック単位でコントローラ 14から書き込み用の水平同期信号Hsyncが入力され、この書き込み用の水平同期信号Hsyncに同期して、シフトレジスタ 62のN個のデータがラインメモリ 26にラッチされる。

【0057】セクタ回路 64は、画像判定データに基づき、カラム位置ごとに、表示データRAM 24から読み出される静止画データと、ラインメモリ 26から読み出される動画データとのうちいずれか一方を選択し、静止画及び動画の混在データとして出力する。

【0058】セクタ回路 64から選択出力された1走査ライン分の混在データは、表示ユニット 20の表示用の水平同期信号Hsyncに同期して、出力ラッチ回路 66にラッチされる。

【0059】液晶駆動回路 68は、出力ラッチ回路 66でラッチされた混在データに基づいて、表示ユニット 20の液晶パネル 22の表示系の電圧に応じてシフトした駆動電圧をセグメント電極に供給する。

【0060】図4に、図3に示したXドライバIC 28の動作の一例を示す。

【0061】ここでは、CPU 12から、表示コマンドに基づいて、1フレーム分の静止画データが表示データRAM 24に書き込まれているものとする。

【0062】コントローラ 14からは、書込クロックに同期して、シリアル転送された動画データが順次シフトレジスタ 62に書き込まれる。コントローラ 14は、書込クロックN個に対して、書き込み用の水平同期信号H

syncを生成する。したがって、シフトレジスタ 62に書き込まれたN個のシリアル転送された動画データは、この書き込み用の水平同期信号Hsyncに同期して、ラインメモリ 26に書き込まれる。

【0063】表示ユニット 20においては、図示しない表示タイミング制御回路において生成された所与のフレーム周期で、画像データに基づいて表示駆動される。そのため、表示データRAM 24からは、当該フレーム周期で、RAM制御回路 60により、静止画データが1走査ライン単位で読み出される。

【0064】画像判定データも、上述したフレーム周期における1走査ラインごとに、カラム位置ごとに静止画データまたは動画データのいずれを選択出力させるかを指示する。セクタ回路 64は、この画像判定データに基づき、カラム位置ごとに、表示データRAM 24から読み出される静止画データと、ラインメモリ 26から読み出される動画データとのうち、いずれか一方のみをセクタ出力として静止画及び動画の混在データを出力する。

【0065】1.3 画像判定データ

（アドレスによる判定）このような画像判定データは、例えば表示ユニット 20の液晶パネル 22の表示領域を特定するカラムアドレス及びラインアドレスに基づいて生成される。

【0066】図5に、液晶パネル 22におけるカラムアドレス及びラインアドレスを説明するための図を示す。

【0067】液晶パネル 22における画像表示領域のうち静止画表示領域 22Bにおける矩形領域に動画表示領域 22Aが表示される場合、スタートアドレスSAとエンドアドレスEAが設定される。すなわち、動画表示領域 22Aは、スタートアドレスSAとエンドアドレスEAとにより特定される。このようなスタートアドレスSAとエンドアドレスEAとは、CPU 12により、XドライバIC 28に対して設定される。

【0068】スタートアドレスSAは、スタートラインアドレス及びスタートカラムアドレスによって定義される。エンドアドレスEAは、エンドラインアドレス及びエンドカラムアドレスによって定義される。

【0069】液晶パネル 22は、表示用の垂直同期信号Vsyncに同期して1フレーム分の表示が開始され、表示用の水平同期信号Hsyncに同期して1走査ライン単位で表示駆動される。

【0070】この場合、各走査ラインのカラム位置ごとに、表示用の水平同期信号Hsyncにより更新される各走査ラインを特定するラインアドレスと、1走査ライン上の各カラム位置を特定するカラムアドレスとから、CPU 12によって設定された静止画表示領域であるか、動画表示領域であるかを判定することができる。

【0071】例えば、表示領域全てを静止画表示領域とした場合、ライン方向については、スタートアドレスS

Aのスタートラインアドレスと、エンドアドレスEAのエンドラインアドレスとの間を動画表示領域として判定することができる。同様に、カラム方向については、スタートアドレスSAのスタートカラムアドレスと、エンドアドレスEAのエンドカラムアドレスとの間を動画表示領域として判定することができる。このような判定結果は、画像判定データとして、表示用の水平同期信号Hsyncに同期してセレクト回路64に供給される。

【0072】このような判定は、CPU12によって動画表示領域をスタートアドレスSA及びエンドアドレスEAによって設定されたコントローラ14によって、書き込み用の水平同期信号に同期して行い、これを1走査ライン単位で転送する動画データと共に、XドライバIC28に供給するようにしても良い。この場合、XドライバIC28は、転送された当該判定結果に基づいて、1走査ライン単位で静止画データ及び動画データのいずれか一方を選択出力するだけで良い。

【0073】なお、ここでは、静止画表示領域22Bの領域内に動画表示領域22Aを配置するようにしていたが、動画表示領域22Aの領域内に静止画表示領域22Bを配置する場合も同様に判定することができる。

【0074】(データによる判定)また、第1の実施形態における画像判定データは、上述したようにラインアドレス及びカラムアドレスに基づいて生成するものに限らず、あらかじめ静止画を表示すべきか動画を表示すべきかを示す1ビットの画像判定データを、それぞれラインデータ及びカラムデータとして設定し、当該ラインデータ及びカラムデータに基づいて生成されるようにしても良い。この場合、上述した場合より、回路規模を大幅に縮小することができ、低消費電力化をより一層図ることができる。

【0075】カラムデータは、液晶パネル22の1走査ラインごとに各カラム位置において静止画を表示すべきか動画を表示すべきかを示すデータである。ラインデータは、液晶パネル22のカラム位置ごとに各走査ラインにおいて静止画を表示すべきか動画を表示すべきかを示すデータである。

【0076】図6に、液晶パネル22におけるラインデータとカラムデータを説明するための図を示す。

【0077】ここで、静止画を表示する場合は論理レベル「L」、動画を表示する場合は論理レベル「H」であるものとする。カラムデータは、例えば1走査ラインごとに各カラム位置に動画及び静止画のいずれを表示させるかを示す「LL・・・LHH・・・HL・・・LL」となる。例えば、1走査ラインの各カラム位置が静止画データの場合には、カラムデータは「LL・・・LL」となり、1走査ラインの各カラム位置が動画データの場合には、カラムデータは「HH・・・HH」となる。

【0078】一方、ラインデータは、例えばカラム位置

ごとに各走査ラインに動画及び静止画のいずれを表示させるかを示す「LL・・・LHH・・・HL・・・LL」となる。例えば、あるカラム位置における各走査ラインが静止画データの場合には、ラインデータは「LL・・・LL」となり、あるカラム位置における各走査ラインが動画データの場合には、ラインデータは「HH・・・HH」となる。

【0079】図7(A)に、このようなカラムデータとラインデータとから混在データを生成するための真理値表を示す。図7(B)に、ラインデータとカラムデータとに基づいて混在データを生成するための具体的な構成例を示す。

【0080】すなわち、図6及び図7(A)に示すように、ラインデータの論理レベルとカラムデータの論理レベルとが共に「H」である領域が、動画表示領域22Aとなる。

【0081】そこで、例えば図7(B)に示すように、ラインデータ及びカラムデータが共に論理レベル「H」の場合に、動画データが選択出力されるように、画像判定データを生成する。

【0082】図8に、上述した画像判定データを生成する画像判定データ生成回路の構成の一例を示す。

【0083】画像判定データ生成回路は、上述したラインデータを記憶するラインデータレジスタ80と、上述したカラムデータを記憶するカラムデータレジスタ82と、1走査ラインのカラム位置ごとに設けられそれぞれ画像判定データを生成するデータ生成回路84とを含む。

【0084】ラインデータレジスタ80は、書き込み用の水平同期信号Hsyncに同期して、液晶パネル22の走査方向の最初の走査ラインから、順に1ビットずつラインデータをシフト出力する。このシフト出力は、1走査ラインのカラム位置ごとに設けられたデータ生成回路84に供給される。

【0085】カラムデータレジスタ82は、表示用の水平同期信号Hsyncに同期して1走査ラインの各カラム位置に静止画及び動画のいずれを出力するべきかを示すカラムデータを出力する。カラムデータの各ビットは、カラム位置ごとに設けられたデータ生成回路84に供給される。

【0086】データ生成回路84は、表示用の水平同期信号Hsyncに同期して、カラム位置ごとに、ラインデータレジスタ80からの1ビット出力と、カラムデータレジスタ82の各カラムのカラムデータとから、図7(A)に示すように、カラムデータ及びラインデータが共に論理レベル「H」の場合に、動画データが選択出力するように、画像判定データを生成する。

【0087】こうすることで、1走査ライン分のカラムデータと、各走査ラインにおけるラインデータとにより、1フレーム分の表示領域において、任意の矩形領域

で静止画及び動画の混在表示が可能となる。しかも、回路規模を大幅に縮小することができ、低消費電力化をより一層図ることができる。

【0088】なお、このような画像判定データ生成回路は、CPU12によって上述したラインデータ及びカラムデータが設定されたコントローラ14により、書き込み用の水平同期信号に同期して1走査ライン単位で、動画データと共に、XドライバIC28に供給するようにしても良い。また、コントローラ14は、CPU12によって動画表示領域としてスタートアドレスSA及びエンドアドレスEAが設定され、当該スタートアドレスSA及びエンドアドレスEAから上述したラインデータ及びカラムデータを生成するようにしても良い。いずれの場合でも、XドライバIC28は、転送された画像判定データに基づいて、1走査ライン単位で静止画データ及び動画データのいずれか一方を選択出力するだけで良い。

【0089】このように第1の実施形態におけるXドライバIC28では、回路規模を複雑化させることなく、低消費電力で、1ライン上で動画及び静止画の表示が可能となる。また、動画データ生成用のコントローラと、静止画用のCPUとで完全分離することができ、処理の分散化を図り、CPUの負荷軽減を維持できる。

【0090】1.4 XドライバICの具体的な構成例図9に、上述したXドライバIC28の詳細なブロック構成例を示す。

【0091】このXドライバIC28は、入出力回路として、CPUインタフェース100と、入出力バッファ102、入力バッファ104を有している。

【0092】CPUインタフェース100には、反転チップセレクト信号XCS、コマンド及びデータの識別信号A0、反転リード信号XRD、反転ライト信号XWR、反転リセット信号XRESなどが入力される。入出力バッファ102には、例えば8ビットの表示コマンドと又は静止画データD7～D0が入力される。なお、ここでは、データD7～D0は、パラレルで入出力されるものとしているが、XドライバIC28内の表示データRAMからCPU12にデータを読み出す必要がない場合には、先頭ビットを識別信号A0として、それに続くデータD7～D0の各ビットデータをシリアルで入出力してもよい。この場合、CPU12及びXドライバIC28における表示部の表示駆動に係る端子数を削減することができる。

【0093】入力バッファ104には、例えば各6ビットのR、G、B信号からなる動画データと、クロック信号CLKとが入力される。各6ビットのR、G、B信号は、クロック信号CLKに同期したパラレルで入力される。

【0094】XドライバIC28には、CPUインタフェース100及び入出力バッファ102が接続された第

1のバスライン110と、入力バッファ104に接続された第2のバスライン120とが設けられている。

【0095】第1のバスライン110にはバスホールド112とコマンドデコーダ114とが接続され、第2のバスライン120にはバスホールド122が接続されている。なお、入出力バッファ102には、ステータス設定回路116が接続され、XドライバIC28の動作状態がCPU12に出力されるようになっている。この動作状態とは、例えば表示がオン状態であるか否かや、画面内の所与のスクロール領域のスクロールモードといったXドライバIC28で設定されている内部状態であり、CPU12から入力された所与のコマンドがコマンドデコーダ114でデコードされた結果、出力されるようになっている。

【0096】第1のバスライン110は、表示データRAM24のI/Oバッファ162に接続され、表示データRAM24に対してリード、ライトされる静止画データが伝送される。

【0097】第2のバスライン120は、ラインメモリ26に接続され、このラインメモリ26に1走査ラインのデータ単位で書き込まれる動画データが伝送される。

【0098】XドライバIC28には、上述した表示データRAM24、I/Oバッファ162、ラインメモリ26の他に、CPU系制御回路130、カラムアドレス制御回路140、ページアドレス制御回路150、ドライバ系制御回路170、セクタ回路180、PWMデコーダ回路190及び液晶駆動回路68等が設けられている。

【0099】CPU系制御回路130は、コマンドデコーダ114を介して入力されるCPU12の表示コマンドに基づいて、表示データRAM24に対するリード、ライト動作を制御する。このCPU系制御回路130により制御されるカラムアドレス制御回路140及びページアドレス制御回路150が設けられている。カラムアドレス制御回路140により指定されるカラムアドレスと、ページアドレス制御回路150により指定されるページアドレスとにより、表示データRAM24の読み出し先と書き込み先とが特定される。なお、図9では図示していないが、CPU12からの書き込み用の水平・垂直同期信号H・VsyncがCPU系制御回路130に入力される。書き込み用の水平同期信号Hsyncは、動画データの書き込みの際のノイズ等の誤書き込みによる表示ずれ等を極力抑えるために、カラムアドレス制御回路140及びページアドレス制御回路150内に設けられたカウンタのセット、リセットに用いられる。さらに、書き込み用の水平・垂直同期信号H・Vsyncは、カラムアドレス、ページアドレスをスタートアドレスSAに戻すために用いられる。

【0100】ドライバ系制御回路170は、Xドライバ系制御回路172及びYドライバ系制御回路174を含

む。このドライバ系制御回路 170 は、発振回路 176 からの発振出力に基づいて表示用の垂直同期信号 Vsync、階調制御パルス GCP、極性反転信号 FR、走査用ラッチパルス LP、Y ドライバ用スタートパルス YD、Y ドライバ用走査クロック YCLK、表示データ RAM 24 への書き込みクロック等を発生させ、CPU 系制御回路 130 とは独立して、セクタ回路 180、PWM デコーダ回路 190、電源制御回路 178 および Y ドライバ IC 30 を制御する。

【0101】第 1 の実施形態のドライバ系制御回路 170 は、発振回路 176 からの発振出力に基づいて生成された表示用の垂直同期信号 Vsync を外部出力する。例えばコントローラ 14 は、生成した動画データを、この表示用の垂直同期信号 Vsync に同期して X ドライバ IC 28 に供給する。

【0102】ドライバ系制御回路 170 は、発振回路 176 からの発振出力に基づいて生成された書き込みクロックに同期して、供給された動画データをラインメモリ 26 に書き込む。

【0103】さらに、ドライバ系制御回路 170 は、発振回路 176 からの発振出力に基づいて生成された走査用ラッチパルス LP を基準に、表示用データ RAM 24 から 1 フレーム分の画像を 1 走査ライン毎に読み出す。

【0104】セクタ回路 180 は、図 3 に示すセクタ回路 64 と出力ラッチ回路 66 の機能を含んで構成される。ドライバ系制御回路 170 は、上述した画像判定データ生成回路を含んで構成され、表示用の水平同期信号 Hsync としての走査用ラッチパルス LP に同期して、表示データ RAM 24 から読み出された 1 走査ラインの静止画データと、ラインメモリ 26 からの 1 走査ラインの動画データとから、混在データとを生成する。

【0105】PWM デコーダ回路 190 は、セクタ回路 180 によって生成された 1 走査ライン毎の混在データをラッチして、極性反転周期に従って階調値に応じたパルス幅の信号を出力する。液晶駆動回路 68 は、PWM デコーダ回路 190 からの信号を、LCD 表示系の電圧に応じた電圧にシフトさせ、図 1 に示す液晶パネル 22 のセグメント電極 SEG に供給する。

【0106】2. 第 2 の実施形態

第 1 の実施形態における X ドライバ IC 28 では、走査ラインごとに、CPU 12 若しくはコントローラ 14 から供給される、ラインアドレス及びカラムアドレスに基づいて、若しくはラインデータ及びカラムデータに基づいて生成した画像判定データにより、1 走査ライン上で静止画データ及び動画データが混在する混在データを生成するようにしていた。

【0107】第 2 の実施形態における X ドライバ IC では、表示データ RAM 24 において、少なくとも表示部のカラム位置に対応付けて、上述した画像判定データを予め記憶させるようにしている。この場合、表示データ

RAM 24 には、表示部の各ラインごとに、このような画像判定データを予め記憶させるようにすることが望ましい。

【0108】図 10 に、第 2 の実施形態における表示ドライバとしての X ドライバ IC の構成の概要を示す。

【0109】ただし、図 3 に示す X ドライバ IC 28 と同一部分には同一符号を付し、適宜説明を省略する。

【0110】第 2 の実施形態における X ドライバ IC 200 は、1 フレーム分の静止画データを記憶する表示データ RAM 24、1 走査ライン分の動画データを記憶するラインメモリ 26 を少なくとも含む。

【0111】さらに第 2 の実施形態における X ドライバ IC 200 では、表示データ RAM 24 を含む RAM 210 を有しており、この RAM 210 には RAM 制御回路 212 によって読み出し及び書込が制御される画像判定データ RAM 220 を含む。画像判定データ RAM 220 には、少なくともカラム位置に関連付けられた画像判定データを記憶している。また、画像判定データ RAM 220 には、各ライン位置ごとに、この画像判定データを記憶している。

【0112】静止画データは、CPU 12 からの表示コマンド（制御信号）に基づき、RAM 制御回路 212 によって 1 フレーム分、表示データ RAM 24 に書き込まれる。表示データ RAM 24 のカラム位置、ライン位置は、表示部におけるカラム位置、ライン位置に対応付けられている。

【0113】画像判定データは、CPU 12 からの表示コマンド（制御信号）に基づき、RAM 制御回路 212 によって表示データ RAM 24 の各カラムに対応して、走査ライン単位で更に 1 ビットずつ書き込まれる。また、CPU 12 によって、表示データ RAM 24 の各ラインに対応して、画像判定データがライン数分書き込まれる。

【0114】表示データ RAM 24 及び画像判定データ RAM 220 からは、液晶パネル 22 の 1 走査ライン分のデータ単位の静止画データ及び画像判定データが、液晶パネル 22 の水平方向の走査周期で読み出される。

【0115】セクタ回路 64 は、画像判定データ RAM 220 から読み出された画像判定データに基づき、走査ライン単位にカラム位置ごとに、表示データ RAM 24 から読み出される静止画データと、ラインメモリ 26 から読み出される動画データとのうちいずれか一方を選択し、静止画及び動画の混在データとして出力する。

【0116】セクタ回路 64 から選択出力された 1 走査ライン分の混在データは、表示ユニット 20 の表示用の水平同期信号 Hsync に同期して、出力ラッチ回路 66 にラッチされる。

【0117】液晶駆動回路 68 は、出力ラッチ回路 66 でラッチされた混在データに基づいて、表示ユニット 20 の液晶パネル 22 の表示系の電圧に応じてシフトした

駆動電圧をセグメント電極に供給する。

【0118】このように画像判定データRAM220を設け、少なくとも表示データRAM24の各カラムに対応して、走査ライン単位で更に1ビットずつ画像判定データを記憶するようにしたので、1走査ライン上で動画及び静止画の混合表示が可能となる。

【0119】特に、図11(A)に示すように、画像判定データRAM220に、カラム位置に対応づけた画像判定データのみを記憶させるようにした場合でも、上述したように図11(B)のように、走査ライン数分だけ画像判定データを画像判定データRAM220に記憶させ、走査周期で静止画及び動画の混在データとして選択出力することができるようにしたので、静止画表示領域の動画を表示させる領域は矩形領域に限定されることがなくなる。

【0120】また、表示データRAM24の容量は、多階調化に伴い増加の一途をたどっているため、上述したビットを追加することはほとんど回路規模に影響を与えることがない。

【0121】このような第2の実施形態におけるXドライバIC200の動作については、図4に示した第1の実施形態におけるXドライバIC28と同様のため説明を省略する。

【0122】また、XドライバIC200の詳細な構成例についても、図9に示した第1の実施形態と同様であるが、表示データRAM24に加えて画像判定データRAM220が設けられる点異なる。すなわち、第2の実施形態では、ドライバ系制御回路170により画像判定データが書き込まれ、表示データRAM24の静止画データと同様に対応する1走査ラインの画像判定データが読み出され、セレクト回路180で選択出力することで、混在データが生成される。

【0123】なお、本発明は上述した各実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【図面の簡単な説明】

【図1】本発明が適用される電子機器の概略ブロック図である。

【図2】CPU、コントローラを搭載した第1の実施形態における携帯電話機の構成の概要を示す構成図である。

【図3】第1の実施形態における表示ドライバとしてのXドライバICの構成の概要を示す構成図である。

【図4】図3に示したXドライバICの動作の一例を示すタイミングチャートである。

【図5】液晶パネルにおけるカラムアドレス及びラインアドレスを説明するための説明図である。

【図6】液晶パネルにおけるラインデータとカラムデータを説明するための説明図である。

【図7】図7(A)は、ラインデータとカラムデータと

から混在データを生成するための真理値表である。図7(B)は、ラインデータとカラムデータとに基づいて混在データを生成するための具体的な構成例を示す回路図である。

【図8】第1の実施形態における画像判定データを生成する画像判定データ生成回路の構成の一例を示す説明図である。

【図9】第1の実施形態におけるXドライバICの詳細なブロック構成例を示すブロック図である。

【図10】第2の実施形態における表示ドライバとしてのXドライバICの構成の概要を示す構成図である。

【図11】図11(A)は、画像判定データRAMに記憶される1走査ライン分の画像判定データを説明するための図である。図11(B)は、画像判定データRAMに記憶される走査ライン数分の画像判定データを説明するための図である。

【図12】同一基板上に表示ドライバが形成された液晶パネルの構成図である。

【符号の説明】

- 10 電子機器
- 12 CPU
- 14 コントローラ
- 20 表示ユニット
- 22 液晶パネル
- 22A 動画表示領域
- 22B 静止画表示領域
- 26 ラインメモリ
- 28、200 XドライバIC
- 30 YドライバIC
- 40 携帯電話機
- 42 静止画用メモリ
- 44 動画用メモリ
- 48 アンテナ
- 50 変復調回路
- 52 デジタルビデオカメラ
- 54 操作入力部
- 60、212 RAM制御回路
- 62 シフトレジスタ
- 64、180 セレクト回路
- 66 出力ラッチ回路
- 68 液晶駆動回路
- 80 カラムデータレジスタ
- 82 ラインデータレジスタ
- 84 データ生成回路
- 100 CPUインタフェース
- 102 入出力バッファ
- 104 入力バッファ
- 110 第1のバスライン
- 112、122 バスホールダ
- 114 コマンドデコーダ

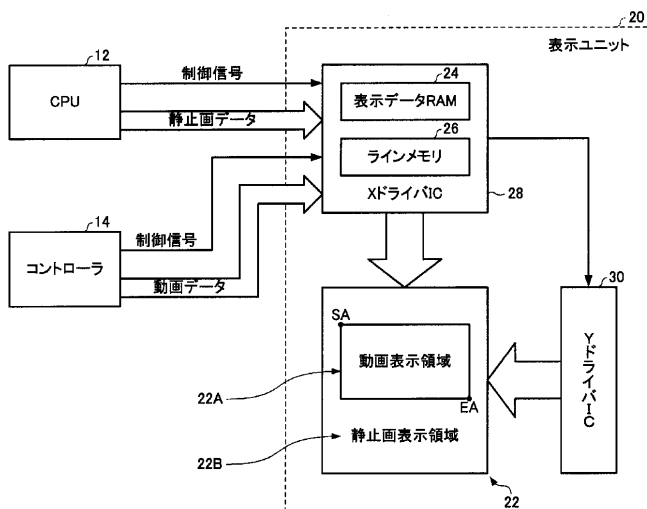
19

116 ステータス設定回路
120 第2のバスライン
130 CPU系制御回路
140 カラムアドレス制御回路
150 ページアドレス制御回路
162 I/Oバッファ
170 ドライバ系制御回路

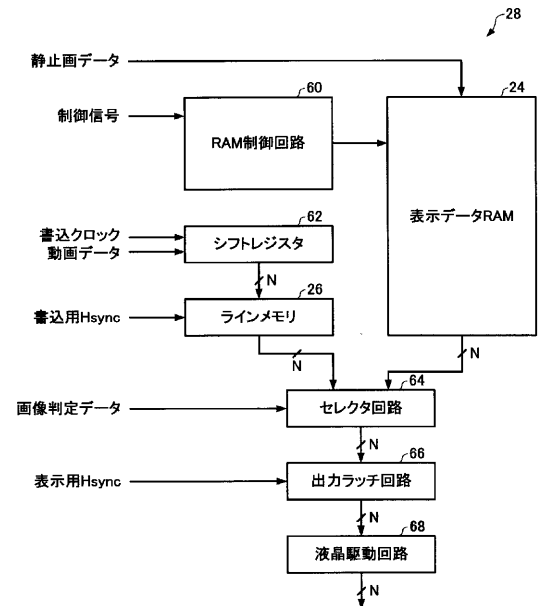
20

*172 Xドライバ系制御回路
174 Yドライバ系制御回路
176 発振回路
178 電源制御回路
190 PWMデコーダ回路
210 RAM
* 220 画像判定データRAM

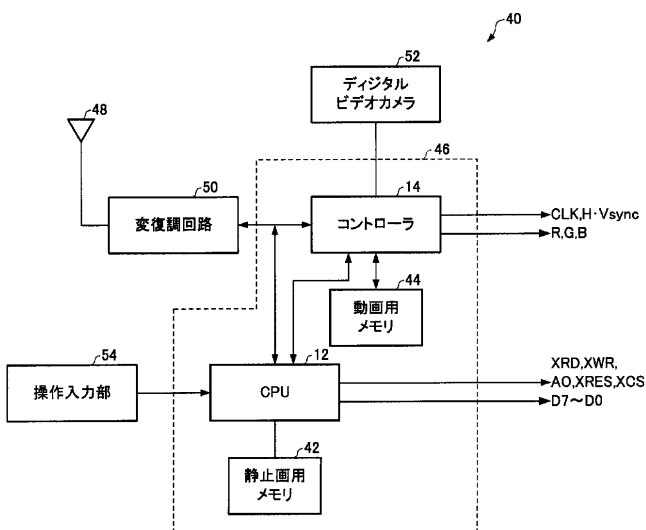
【図1】



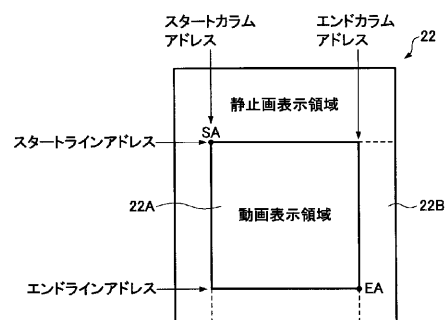
【図3】



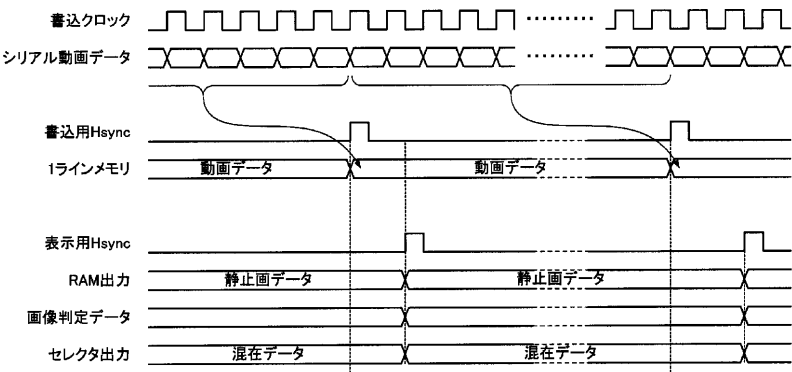
【図2】



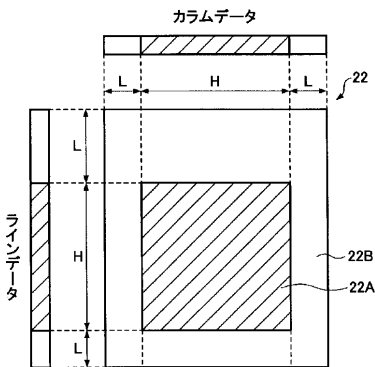
【図5】



【図4】



【図6】

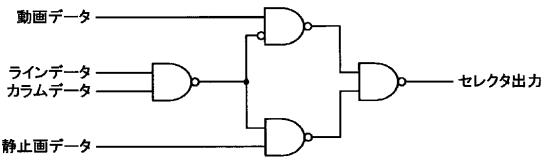


【図7】

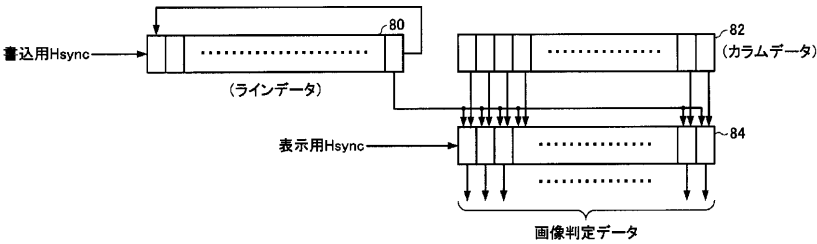
(A)

ラインデータ	カラムデータ	セクタ出力
H	H	動画データ
H	L	静止画データ
L	H	静止画データ
L	L	静止画データ

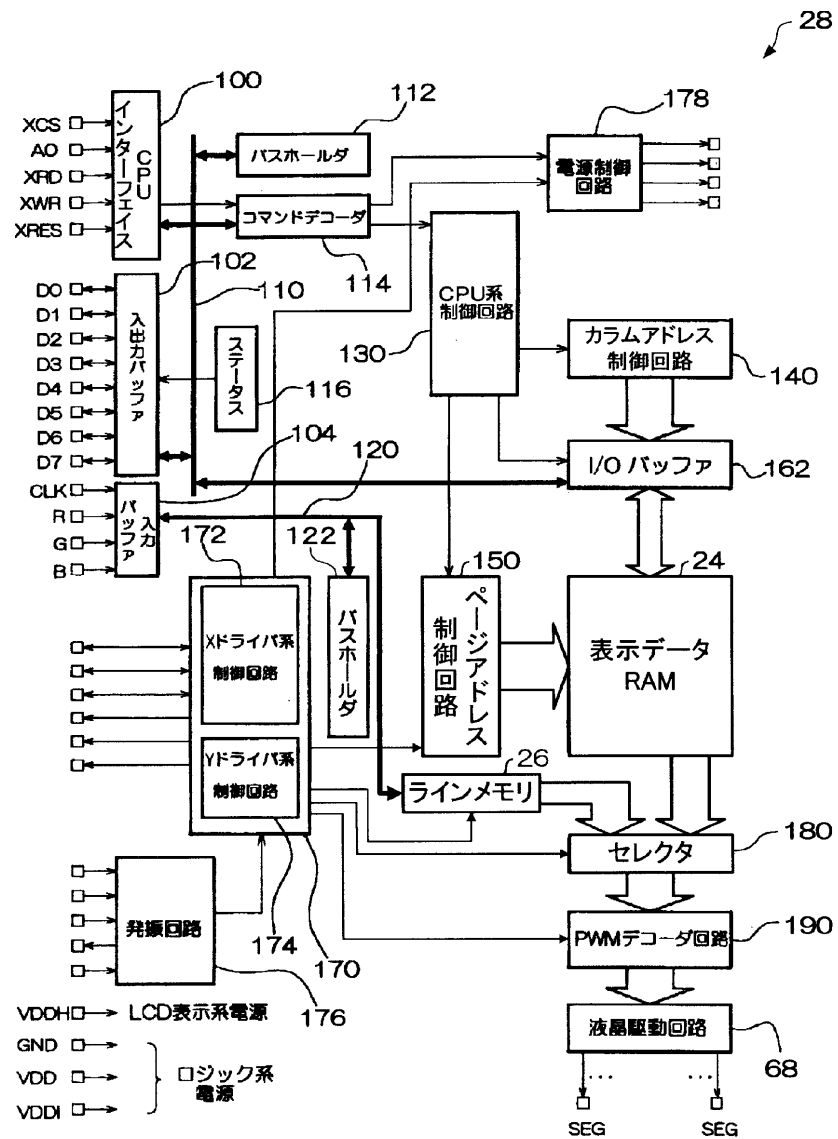
(B)



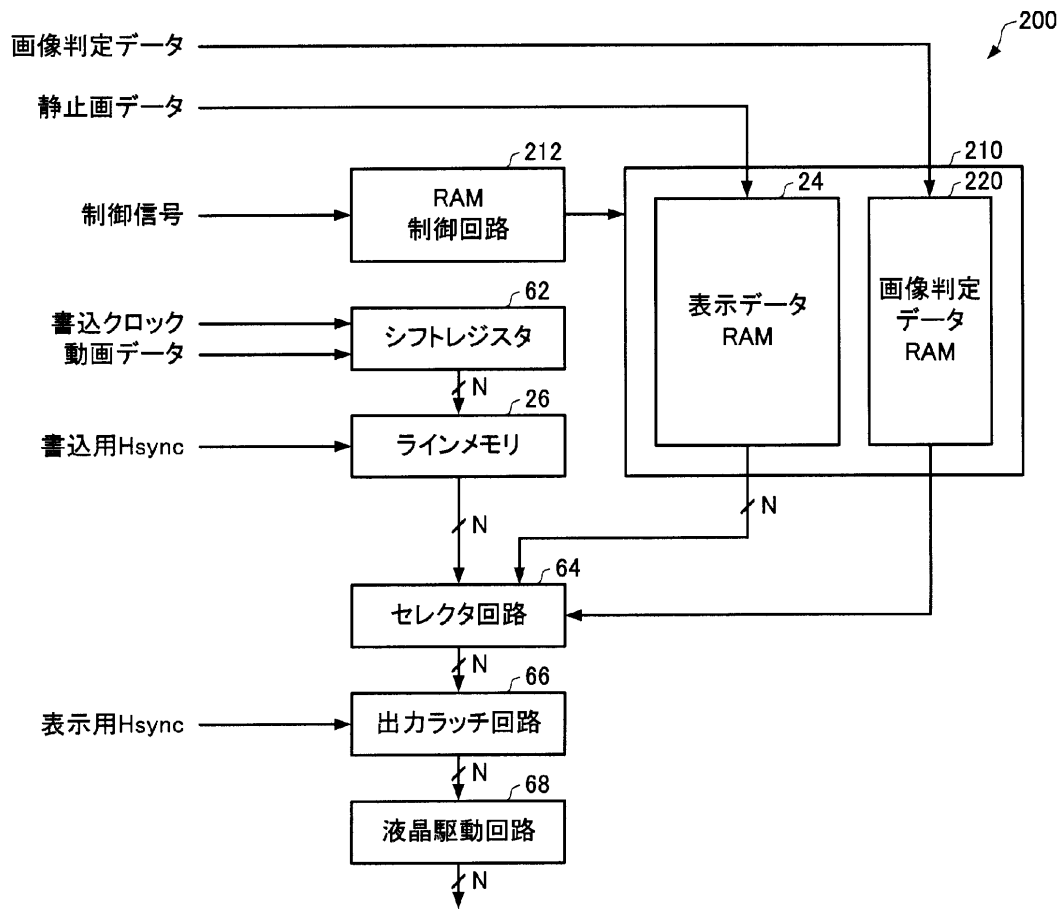
【図8】



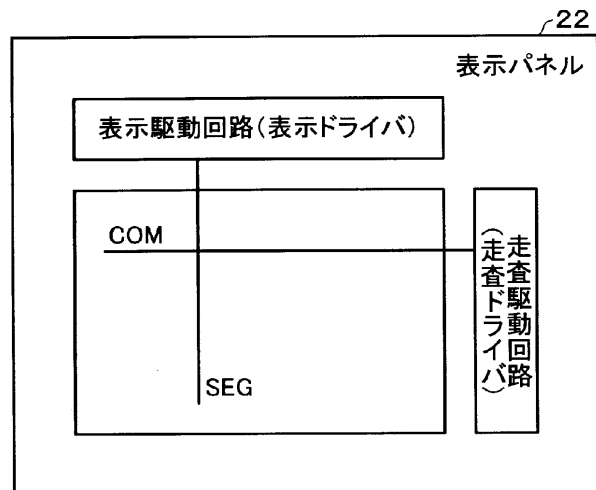
【図 9】



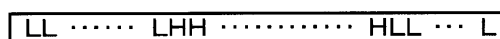
【図 10】



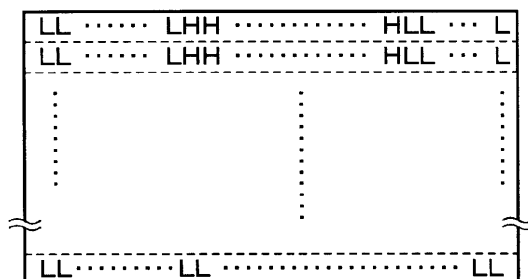
【図 12】



(A)



(B)



(51) Int. Cl. ⁷	識別記号	F I	テ-マコ-ト' (参考)
G 0 9 G 3/20	6 3 1	G 0 9 G 3/20	6 3 1 M
	6 6 0		6 6 0 U
			6 6 0 V
			6 6 0 W

F ターム(参考) 2H093 NA06 NA41 NC13 NC15 NC22
NC26 NC28 NC34 NC38 ND60
5C006 AA02 AA21 AF06 AF19 AF42
AF45 BB16 BC12 BC20 BF02
BF05 BF24 FA47
5C080 AA10 BB05 CC03 DD26 DD27
FF11 GG12 JJ01 JJ02 JJ03
JJ04 KK43 KK47

专利名称(译)	显示驱动器，显示器和电子设备		
公开(公告)号	JP2002323881A	公开(公告)日	2002-11-08
申请号	JP2002002392	申请日	2002-01-09
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	石山久展		
发明人	石山 久展		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/14		
CPC分类号	G09G5/14 G09G3/20 G09G3/2092 G09G3/3685 G09G5/397 G09G2340/125 G09G2360/18		
FI分类号	G09G3/36 G02F1/133.545 G02F1/133.550 G09G3/20.611.A G09G3/20.612.U G09G3/20.631.M G09G3/20.660.U G09G3/20.660.V G09G3/20.660.W		
F-TERM分类号	2H093/NA06 2H093/NA41 2H093/NC13 2H093/NC15 2H093/NC22 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC38 2H093/ND60 5C006/AA02 5C006/AA21 5C006/AF06 5C006/AF19 5C006/AF42 5C006/AF45 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF02 5C006/BF05 5C006/BF24 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD26 5C080/DD27 5C080/FF11 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 5C080/KK47 2H193/ZA04 2H193/ZA13 2H193/ZB42		
优先权	2001046595 2001-02-22 JP		
其他公开文献	JP3578141B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够在一条扫描线上显示和驱动静止图像和运动图像的混合的显示驱动器，显示单元和电子设备。X驱动器IC至少包括用于存储一帧的静止图像数据的显示数据RAM和用于存储用于一条扫描线的运动图像数据的线存储器。选择器电路64基于图像确定数据，对于每个列位置，从显示数据RAM 24读取的静止图像数据的一条水平扫描线，以及从行存储器26读取的运动图像数据的一条扫描线。仅将其中之一作为静止图像和运动图像的混合数据输出。混合数据被输出锁存电路66锁存，然后液晶驱动电路68驱动液晶面板进行显示。

