

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 62855

(P2002 - 62855A)

(43)公開日 平成14年2月28日 (2002.2.28)

(51) Int.Cl ⁷	識別記号	F I	テ-マ-コード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	621		621 B
			621 G

審査請求 未請求 請求項の数 4 O L (全 8 数) 最終頁に続く

(21)出願番号 特願2000 - 250766(P2000 - 250766)

(22)出願日 平成12年8月22日(2000.8.22)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号

(72)発明者 久保田 泰史

茨城県つくば市御幸が丘17番地 日本テキ
サス・インスツルメンツ株式会社内

(72)発明者 佐藤 多積

大分県速見郡日出町大字大神8133番地 株
式会社日出ハイテック内

(74)代理人 100102875

弁理士 石島 茂男 (外 1 名)

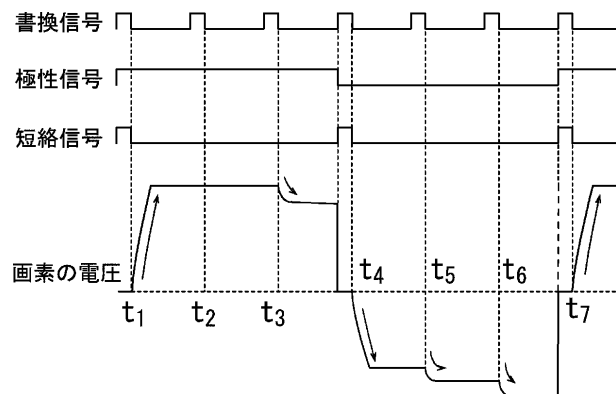
最終頁に続く

(54)【発明の名称】 液晶表示装置の駆動方法

(57)【要約】

【課題】高精細、低消費電力の液晶装置駆動方法を提供する。

【解決手段】液晶表示パネル内の各画素に、書換信号と同期して印加されるアナログ電圧が、所定期間同極性に維持されるnライン反転方式の液晶表示装置駆動方法において、画素の極性を決定する極性信号に変化がない場合は、その画素同士を短絡せず、極性信号が反転する場合に短絡信号を生成し、極性反転しようとする画素同士を短絡させる。極性反転がない期間は、画素を駆動する増幅回路の負担が減る。



【特許請求の範囲】

【請求項 1】画像データに応じたアナログ電圧を液晶表示装置の各画素に印加するための複数の増幅器と、上記各画素と上記複数の増幅器の出力端子との間にそれぞれ接続され、上記複数の増幅器の出力電圧を上記各画素に選択的にそれぞれ供給する複数の切換器とを有し、上記液晶表示装置の各画素に対して 1 ライン毎に上記アナログ電圧を供給する液晶表示装置の駆動方法であって、

液晶表示装置の所定数のライン毎に上記各画素に印加するアナログ電圧の極性が変化させられており、上記各画素に印加する上記アナログ電圧の極性を変更する際に上記複数の切換器により液晶表示装置の 1 ラインの各画素が短絡される液晶表示装置の駆動方法。

【請求項 2】画像データに応じたアナログ電圧を液晶表示装置の各画素に印加するための複数の増幅器と、上記複数の増幅器の入力端子にそれぞれ接続され、アナログ電圧を上記増幅器に選択的に供給する複数の第 1 の切換器と、

上記各画素と上記複数の増幅器の出力端子との間にそれぞれ接続され、上記複数の増幅器の出力電圧を上記各画素に選択的にそれぞれ供給する複数の第 2 の切換器とを有し、上記液晶表示装置の各画素に対して 1 ライン毎に上記アナログ電圧を供給する液晶表示装置の駆動方法であって、

液晶表示装置の所定数のライン毎に上記各画素に印加するアナログ電圧の極性が変化させられており、上記各画素に印加する上記アナログ電圧の極性を変更する際に上記複数の第 1 の切換器により上記複数の増幅器の入力端子が短絡されると共に上記複数の第 2 の切換器により液晶表示装置の 1 ラインの各画素が短絡される液晶表示装置の駆動方法。

【請求項 3】上記液晶表示装置の 1 ラインにおける隣接する画素に印加されるアナログ電圧の極性が互いに反対である請求項 1 又は 2 に記載の液晶表示装置の駆動方法。

【請求項 4】上記所定数が 3 である請求項 3 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置の駆動方法に係わり、特に、画素に印加するアナログ電圧の極性を所定周期毎に変化させる液晶表示装置の駆動方法に関する。

【0002】

【従来の技術】近年では、液晶表示パネルの隣接する画素に、極性が逆のアナログ電圧を印加し、高精細の階調表示を行う駆動方法が一般に用いられている。

【0003】図 7(a)、(b)の符号 159 は、液晶表示パネルの画素を示しており、各画素に印加されるアナロ

グ電圧が変化する際に、各画素に印加される電圧の極性は、図 7(a)に示す状態と図 7(b)に示す状態との間で交互に切り替わり、画素の内容が(印加電圧)が書き換えられる毎に極性も反転する。

【0004】図 8 は、一つの画素に注目したタイミングチャートであり、書換信号が出力され、画素が書き換えられるときに、極性信号と一緒に参照され、極性信号に応じた極性のアナログ電圧が印加される。

【0005】このタイミングチャートでは、書換信号のダウエッジのときに極性信号がハイであれば正極性、ローであれば負極性になっている。しかしながら、上記のように極性を反転させる場合、電圧振幅が大きいため、画素を駆動する回路が、全ての画素に大きな充放電電流を供給する必要がある。

【0006】そこで、各画素の極性を反転させる前に、一旦(一走査線(1ライン)の)全ての画素を短絡させ、画素間で充放電させるようにすると、画素自体に蓄積された電荷を有効に利用でき、低消費電力の液晶表示装置を得ることができる。

【0007】図 8(b)は、その場合の一画素を駆動するタイミングチャートを示しており、各画素は、書換信号とは別の短絡信号が入力されると画素同士が短絡され、各画素は一旦正と負の画素駆動電圧の略中間電位になる。

【0008】画素を駆動するドライバーは、中間電位にある画素に対し、正極性又は負極性のアナログ電圧を印加するので、逆極性にする場合に比べ、約半分の充放電電流で済む。

【0009】しかしながら近年では、一層の低消費電力化が求められており、各画素の内容を書き換える毎に極性を反転させる駆動方法が見直しの対象になっている。

【0010】

【発明が解決しようとする課題】本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、低消費電力化に適した液晶装置の駆動方法を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するために、請求項 1 記載の発明は、画像データに応じたアナログ電圧を液晶表示装置の各画素に印加するための複数の増幅器と、上記各画素と上記複数の増幅器の出力端子との間にそれぞれ接続され、上記複数の増幅器の出力電圧を上記各画素に選択的にそれぞれ供給する複数の切換器とを有し、上記液晶表示装置の各画素に対して 1 ライン毎に上記アナログ電圧を供給する液晶表示装置の駆動方法であって、液晶表示装置の所定数のライン毎に上記各画素に印加するアナログ電圧の極性が変化させられており、上記各画素に印加する上記アナログ電圧の極性を変更する際に上記複数の切換器により液晶表示装置の 1 ラインの各画素が短絡される液晶表示装置の駆動方法であ

る。請求項 2 に記載の発明は、画像データに応じたアナログ電圧を液晶表示装置の各画素に印加するための複数の増幅器と、上記複数の増幅器の入力端子にそれぞれ接続され、アナログ電圧を上記増幅器に選択的に供給する複数の第 1 の切換器と、上記各画素と上記複数の増幅器の出力端子との間にそれぞれ接続され、上記複数の増幅器の出力電圧を上記各画素に選択的にそれぞれ供給する複数の第 2 の切換器とを有し、上記液晶表示装置の各画素に対して 1 ライン毎に上記アナログ電圧を供給する液晶表示装置の駆動方法であって、液晶表示装置の所定数のライン毎に上記各画素に印加するアナログ電圧の極性が変化させられており、上記各画素に印加する上記アナログ電圧の極性を変更する際に上記複数の第 1 の切換器により上記複数の増幅器の入力端子が短絡されると共に上記複数の第 2 の切換器により液晶表示装置の 1 ラインの各画素が短絡される液晶表示装置の駆動方法である。請求項 3 に記載の発明は、上記液晶表示装置の 1 ラインにおける隣接する画素に印加されるアナログ電圧の極性が互いに反対である請求項 1 又は 2 に記載の液晶表示装置の駆動方法である。請求項 4 に記載の発明は、上記所定数が 3 である請求項 3 に記載の液晶表示装置の駆動方法である。

【0012】本発明は上記のように構成されており、書換信号に同期して液晶表示装置の各画素に印加するアナログ電圧を変化させて各画素の内容を書き換え、所定回数を書換信号の間、即ち、液晶表示装置の所定数のラインにおいて各画素に印加されるアナログ電圧の極性が変化しないので、この極性が変化するときだけに切換器により 1 ラインの各画素（及び複数の増幅器の入力端子）が短絡される。

【0013】従って、印加されるアナログ電圧の極性が反転しない画素においては画素の駆動回路が供給する充放電電流が僅かで済み、印加されるアナログ電圧の極性が反転する画素においては 1 ラインの各画素間で充放電がなされて各画素の電圧が一旦ほぼ印加されるアナログ電圧の中間電位になるので、画素の駆動回路の負担が僅かで済む。

【0014】

【発明の実施の形態】図 1 を参照し、符号 10 は液晶表示装置を示しており、液晶表示パネル 11 と、液晶駆動回路 12 とを有している。この液晶駆動回路 12 は所定個数の画素を取り扱うものであり、図 1 では 1 個が示されているが、液晶表示パネル 11 の画素数に応じて複数個設けられている。

【0015】1 個の液晶駆動回路 12 は、ラッチ回路 21 と、シフトレジスタ回路 22 と、ラインラッチ回路 23 と、DA コンバータ 26 と、出力回路 27 とを有している。

【0016】ラッチ回路 21 には、1 画素当たり 6 ビットの画像データが、複数画素分並列に入力されている。

符号 29 は、その画像データをラッチ回路 21 に入力する入力線を示しており、ここでは、6 個の画素に対する画像データが並列に入力されている。それらの画像データは、一旦ラッチ回路 21 に記憶された後、所定のタイミングで後段のラインラッチ 23 に出力される。

【0017】ラインラッチ回路 23 内には、ファーストラッチ 24 と、セカンドラッチ 25 が設けられている。ファーストラッチ 24 及びセカンドラッチ 25 は、それぞれ前段のラッチ回路 21 が並列に出力する画像データの複数の画素数画像データを記憶できるように構成されている。ここでは前段のラッチ回路 21 から 6 画素分の画像データが並列に出力されるが、ファーストラッチ 24 及びセカンドラッチ 25 は、その 6 4 倍の 384 画素の画像データを記憶できるようになっている。

【0018】ファーストラッチ 24 は、シフトレジスタ回路 22 によって制御されており、ラッチ回路 21 から出力された画像データは、シフトレジスタ回路 22 が指示するアドレスに記憶される。

【0019】従って、ラッチ回路 21 から、384 画素の画像データが 6 画素ずつ 64 回に分けて出力されると、ファーストラッチ 24 はそれらを順次記憶し、384 画素全ての画像データが記憶されたところで、それらの画像データを後段のセカンドラッチ 25 に出力する。

【0020】画像データの出力後、ファーストラッチ 24 は、384 画素の新たな画像データを順次取り込むが、その間、セカンドラッチ 25 は記憶した 384 画素分の画像データを保持する。

【0021】セカンドラッチ 25 及びその後段の DA コンバータ 26 は、書換信号によって制御されており、セカンドラッチ 25 は、書換信号が入力されると、記憶している画像データを後段の DA コンバータ 26 に一斉に出力する。符号 31 は、書換信号の入力線を模式的に示したものである。

【0022】DA コンバータ 26 は、セカンドラッチ 25 から入力された画像データに基づき、大きさが等しく、且つ基準電圧を中心とする正極性と負極性の二種類のアナログ電圧を生成する。

【0023】前述したように、DA コンバータ 26 に入力される画像データは 6 ビットの精度であるから、正極性のアナログ電圧と負極性のアナログ電圧は、それぞれ 64 階調の精度である。その二種類のアナログ電圧は、出力回路 27 に出力される。

【0024】出力回路 27 の内部ブロックを図 2 に示す。出力回路 27 は、極性選択回路 41 と、第 1 の切換回路 42 と、増幅回路 43 と、第 2 の切換回路 44 と、制御回路 45 とを有している。

【0025】第 1、第 2 の切換回路 42、44 内には、セカンドラッチ 25 が扱う画素数と同じ個数、即ち 384 個の切換器 47、49 がそれぞれ設けられている。また、増幅回路 43 内には、同様に、セカンドラッチ 25

が扱う画素数と同じ個数の増幅器48が設けられている。

【0026】各切換器47、49は、3個の端子51～53、56～58をそれぞれ有している。3個の端子51～53、56～58のうち、2個の端子51、52、56、57が選択端子となり、残りの1個の端子53、58が共通端子となっており、2個の選択端子51、52、56、57のうちのいずれか一方が1個の共通端子53、58に接続される。

【0027】DAコンバータ26から出力された二種類の極性のアナログ電圧は極性選択回路41に入力される。

【0028】極性選択回路41には、極性信号が入力されており、極性信号が示す極性に従い、各画素毎に、正極性のアナログ信号か、負極性のアナログ信号が選択される。図1、2の符号30は、極性選択信号の入力線を模式的に示したものである。極性信号は、液晶パネル11の画面の横方向に隣り合う画素間では互いに逆極性となり、縦方向では所定個数が連続して同極性になるよう制御を行なう。図3(a)～(f)の符号59は、液晶パネル11上の複数の画素とその極性を示しており、ここでは3ライン反転方式が採用されており、図3(a)～(f)に示すように、縦方向に連続した3個の画素が同じ極性にされている。

【0029】極性選択回路41の出力端子50は、取り扱い画素数と同じ数だけ設けられており、それら出力端子50は、第1の切換回路42内の切換器47の一方の選択端子51に対一で接続されている。

【0030】その各切換器47の他方の選択端子52は、一本の第1の共通線32に共通に接続されている。また、切換器47の共通端子53は、後段の増幅回路43内の各増幅器48の入力端子54に対一に接続されている。

【0031】従って、各増幅器48の入力端子54は、切換器47の動作により、極性選択回路41の出力端子50に接続されるか、又は第1の共通線32に接続されるようになっている。

【0032】増幅器48の入力端子54が極性選択回路41の出力端子50に接続された場合は、増幅器48には、極性選択回路41内で選択された極性のアナログ電圧が入力される。他方、第1の共通線32が接続された場合には、各増幅器48の入力端子54は互いに短絡される。

【0033】増幅器48は、入力された電圧と同じ大きさの電圧を低出力抵抗で出力するように構成されており、従って、極性選択回路41が出力するアナログ電圧が増幅器48に入力された場合には、そのアナログ電圧は、低出力抵抗で出力端子55から出力される。

【0034】他方、増幅器48の入力端子54が第1の共通線32に接続されると、その増幅器48の出力端子

55からは、正極性と負極性のアナログ電圧の略中間電位の電圧が出力される。

【0035】各増幅器48の出力端子55は、後段の第2の切換回路44内に設けられた切換器49の一方の選択端子56に対一に接続されている。

【0036】その切換器49の他方の選択端子57は、同じ第2の共通線33に共通に接続されている。従って、その切換器49の共通端子58は、増幅器48の出力端子55か、又は第2の共通線33のいずれか一方に接続されるようになっている。

【0037】各切換器49の共通端子58は、液晶パネル11内の画素に対一で接続されている。切換器49の共通端子58が増幅器48の出力端子55に接続されると、各画素には、増幅器48が出力するアナログ電圧が印加され、切換器49の共通端子58が第2の共通線33に接続されると、液晶パネル11中の各画素は、第2の共通線33によって互いに短絡される。

【0038】第1、第2の切換回路42、44内の各切換器47、49は、制御回路45が出力する短絡信号によって制御されている。図2の符号34、35は、制御回路45から第1、第2の切換回路42、44内の切換器47、49に、それぞれ出力される短絡信号を模式的に示したものである。

【0039】第1の切換回路42の接続状態が固定され、第2の切換回路44の接続状態が切り換えられる場合について説明する。この場合、増幅器48の入力端子54は、第1の切換回路42内の各切換器47により、極性選択回路41の出力端子50に接続された状態で固定される。

【0040】この状態で、セカンドラッチ25が、DAコンバータ26に、書換信号と同期して画像データを出力すると、DAコンバータ26は、画像データに基づいた正負二極性のアナログ電圧を生成し、極性選択回路41に出力する。

【0041】図4は、液晶表示パネル11内の一画素の電圧変化のタイミングチャートであり、極性選択回路41は、このタイミングチャートに示されたように、書換信号がハイからローに転じるダウンエッジのときに、極性信号がハイであれば正極性、負であれば負極性のアナログ電圧を選択する。

【0042】選択された極性のアナログ電圧が極性選択回路41の出力端子50から出力されると、そのアナログ電圧は、接続状態が固定された第1の切換器42を介して、増幅回路43に入力される。

【0043】増幅回路43は、入力されたアナログ電圧を低出力抵抗で、第2の切換回路44内の各切換器49に出力する。切換器49に入力されるアナログ電圧は、書換信号と同期しており、従って、切換器49から出力されるアナログ電圧も書換信号と同期している。

【0044】図4のタイミングチャートにおいては、あ

7

8

る画素に対して、時刻 $t_1 \sim t_2$ 、 $t_2 \sim t_3$ 、及び $t_3 \sim t_4$ の3期間の間、正極性のアナログ電圧が印加され、次の時刻 $t_4 \sim t_5$ 、 $t_5 \sim t_6$ 、 $t_6 \sim t_7$ の3期間、負極性のアナログ電圧が印加されている。

【0045】図3(a)~(f)は、6フレームにおける液晶表示パネル11の各画素59の極性を示した図であり、図4のタイミングチャートにおける画素の電圧波形は、図3のある位置にある画素についてしめ示したものである。

【0046】制御回路45は、時刻 t_4 において、印加されるアナログ電圧が正極性から負極性に反転する直前に、極性信号がハイからローに転じたことを検出し、短絡信号を生成して切換器49に出力する。

【0047】切換器49は、短絡信号が入力されている間、内部の接続状態を切り換え、共通端子58を第2の共通線33に接続させる。

【0048】従って、アナログ電圧の極性が反転する画素は、反転する直前に、切換器49を介して、全て第2の共通線33に接続される。第2の共通線33に接続された画素は、正極性の電荷が蓄積されている画素と、負極性の電荷が蓄積されている画素とが略同数あるため、それら各画素に蓄積されている正電荷と負電荷が第2の共通線33を介してキャンセルしあい、第2の共通線33に接続された画素は、略接地電位(正極性と負極性の間の中間電位)になる。

【0049】短絡信号が変化すると、共通端子58の接続先は、第2の共通線33から増幅器48の出力端子55に戻り、次いで、増幅回路43によって充放電電流が供給され、反転した極性のアナログ電圧が印加されると、一旦中間電位に置かれた画素が、アナログ電圧まで充放電される。

*【0050】他方、切換器49は、短絡信号が入力されていない場合は、各画素を増幅回路48の出力端子55に接続させている。従って、アナログ電圧の極性が反転せず、大きさだけが変わる場合は、各画素は第2の共通線33には接続されない。

【0051】それに対し、アナログ電圧の極性が反転しなくても、各画素が第2の共通線33に接続される場合は、図5のタイミングチャートに示すように、書換信号が入力される全ての時刻 $t_1 \sim t_7$ において各画素の電位が中間電位になるため、極性反転のない時刻 t_2 、 t_3 、 t_5 、 t_6 に於いても、中間電位から回復させるために、増幅回路43が大きな充放電電流を供給する必要がある。

【0052】以上は、第2の切換回路44のみを使用した場合を説明したが、第2の切換回路44に加えて、第1の切換回路42内の切換器47を動作させ、短絡信号が出力されるタイミングで、増幅器48の入力端子54を第1の共通線32に接続する構成としてもよい。

【0053】この場合、増幅器48の入力端子容量は液晶表示パネル11の容量より遥かに小さいので、切換器47における第1の共通線32への接続時間は切換器49における第2の共通線33への接続時間よりも短くてよい。この増幅器48の入力端子の短絡動作により、増幅器48の出力が高速化されると共に、増幅器48の入力端子54における充放電電流が低減される。

【0054】

【発明の効果】従来技術を用いた場合と、本発明を用いた場合の消費電力の比較結果を下記表1に示す。

【0055】

【表1】

表1. 駆動方法によるドライバ消費電力の比較

ドット反転駆動	画素同士の接続の有無	Ptotal [mW/CHIP] (注)	
		従来技術	本発明方法
完全交互反転	なし	130	—
	あり	55	—
3ライン反転	なし	63	—
	あり	55	38.3 (従来より30%低減)
4ライン反転	なし	55	—
	あり	55	36.3 (従来より34%低減)
5ライン反転	なし	50	—
	あり	55	35 (従来より36%低減)

nライン反転：縦方向n画素連続して同極性のアナログ電圧が印可される。
消費電力比較条件は以下の通り。
6ビットドライバ、420CH出力(SGXA+用)、VDD=8v、FTP=50KHz、CL=75pF、
全黒表示時でPamp=30mWとした。
(注)上記の消費電力はドライバ1つあたりの値であり、1パネル(SXGA+)ではその10倍となる。

【0056】上記表1から分かるように、本発明方法を用いれば、低消費電力で高品質の画像を得ることができる。

【図面の簡単な説明】

【図1】本発明方法を適用できる液晶表示装置の例
【図2】その液晶表示装置の液晶駆動回路の内部ブロック図

【図3】(a)~(f)：画素の極性反転を説明するための

図

【図4】本発明を用いた場合の一画素の電圧変化のタイミングチャート

【図5】本発明を用いない場合のタイミングチャート

【図6】本発明の変形例を用いた場合の一画素の電圧変化のタイミングチャート

【図7】(a)、(b)：極性の交互反転を説明するための図

*【図8】(a)、(b)：従来技術の駆動方法のタイミングチャート

【符号の説明】

10.....液晶表示装置

11.....液晶表示パネル

30.....極性信号(の入力線)

31.....書換信号(の入力線)

32.....極性信号(の入力線)

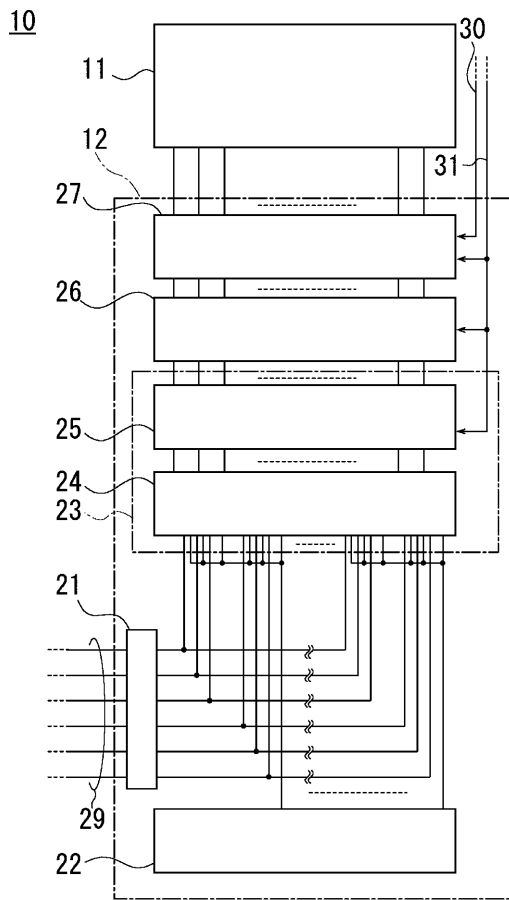
33.....書換信号(の入力線)

34.....極性信号(の入力線)

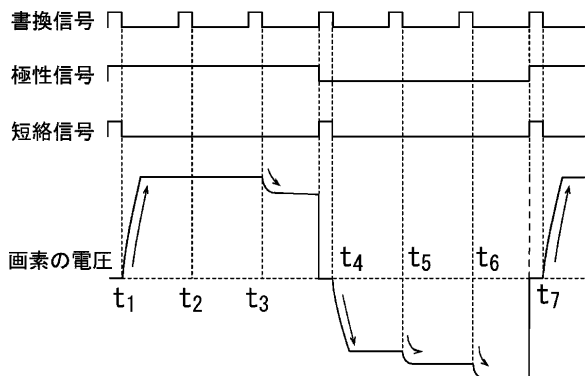
35.....書換信号(の入力線)

59.....画素

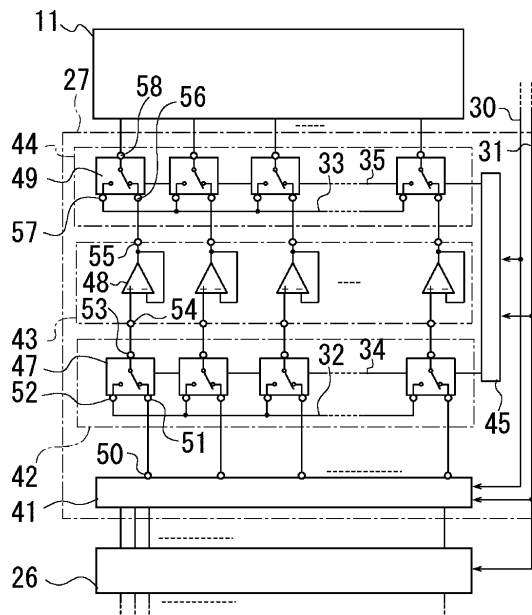
【図1】



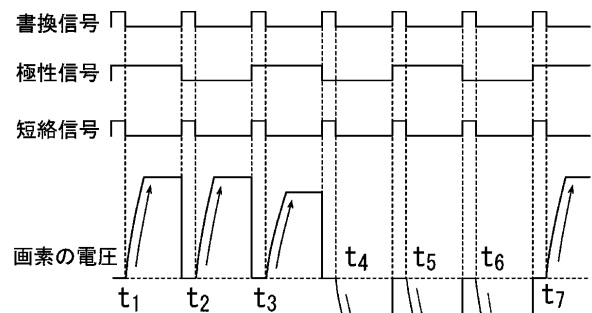
【図4】



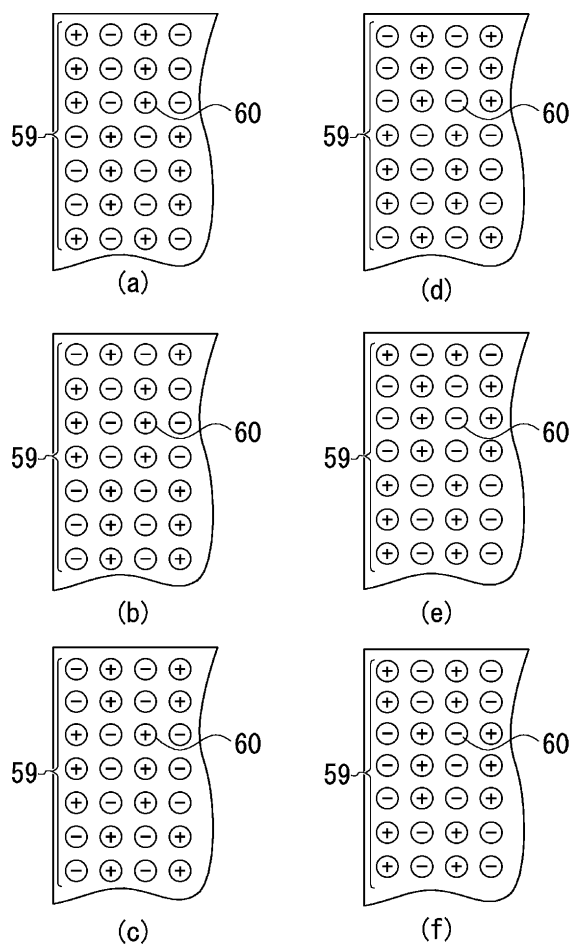
【図2】



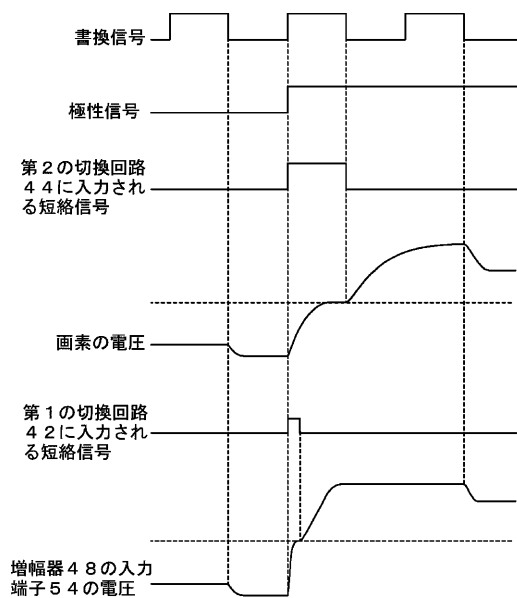
【図5】



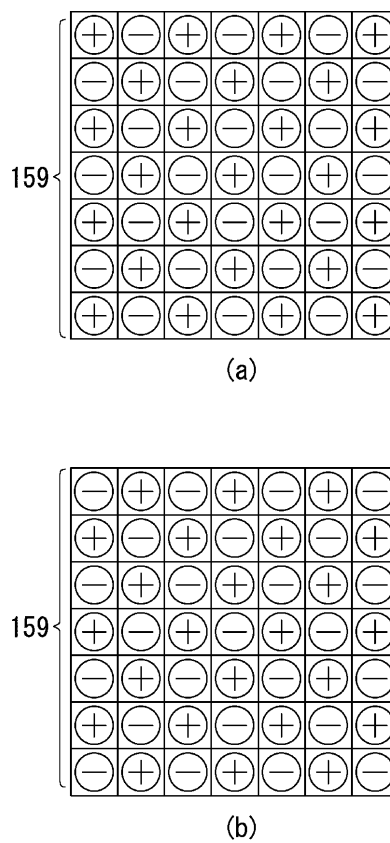
【図3】



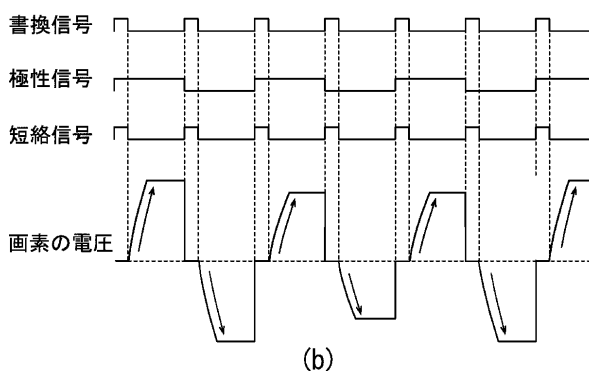
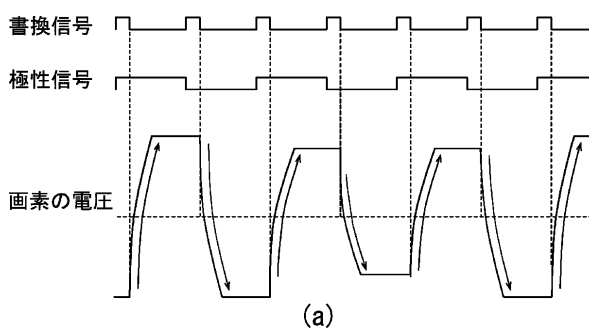
【図6】



【図7】



【図 8】



フロントページの続き

(51) Int.Cl.⁷
G 0 9 G 3/20

識別記号
6 2 3

F I
G 0 9 G 3/20

テ-マコ-ド (参考)
6 2 3 Y

F タ-ム (参考)

2H093	NA32	NA34	NC16	NC22	NC24
	NC26	ND33	ND34	ND39	ND52
5C006	AB01	AC21	AC27	AF42	AF64
	AF69	AF71	AF82	BB11	BC13
	BF03	BF04	BF25	BF49	FA47
5C080	AA10	BB05	DD26	FF09	JJ01
	JJ02	JJ04	KK02		

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2002062855A5	公开(公告)日	2007-09-13
申请号	JP2000250766	申请日	2000-08-22
申请(专利权)人(译)	德州仪器日本有限公司		
[标]发明人	KUBOTA YASUSHI SATO TAZUMI 久保田泰史 佐藤多積		
发明人	久保田 泰史 佐藤 多積		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.621.B G09G3/20.621.G G09G3/20.623.Y		
F-TERM分类号	2H093/ND34 5C006/BC13 2H093/NC26 2H093/NC16 5C080/FF09 5C080/DD26 2H093/ND33 5C006/BF04 5C080/AA10 5C080/BB05 5C006/FA47 5C080/JJ04 2H093/NA32 5C006/AF64 5C006/AF69 2H093/ND39 5C006/BF03 2H093/ND52 5C006/BF49 5C080/JJ02 5C006/AB01 5C006/AF71 5C006/AF82 2H093/NC24 2H093/NA34 5C006/BF25 2H093/NC22 5C080/JJ01 5C006/AC27 5C006/AC21 5C006/AF42 5C080/KK02 5C006/BB11 2H193/ZC02 2H193/ZC13 2H193/ZC14 2H193/ZC20		
其他公开文献	JP2002062855A		

摘要(译)

要解决的问题：提供一种驱动高清晰度和低功耗液晶器件的方法。解决方案：在用于驱动n线反转方法的液晶显示装置的方法中，其中与重写信号同步地施加上到液晶显示面板中的每个像素的模拟电压保持为具有相同的极性。规定的时间，当决定像素极性的极性信号保持不变时，像素不会相互短路，但是当极性信号反转时，产生短路信号，并且像素要极性-倒置相互短路。因此，放大器电路减少了在极性的非反相周期内驱动像素的负担。