

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
	575		5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	611 J
			611 A

審査請求 未請求 請求項の数 7 O L (全 10数) 最終頁に続く

(21)出願番号	特願2000 - 161380(P2000 - 161380)	(71)出願人	000156950 関西日本電気株式会社 滋賀県大津市晴嵐2丁目9番1号
(22)出願日	平成12年5月31日(2000.5.31)	(72)発明者	松田 覚 滋賀県大津市晴嵐2丁目9番1号 関西日本電 気株式会社内

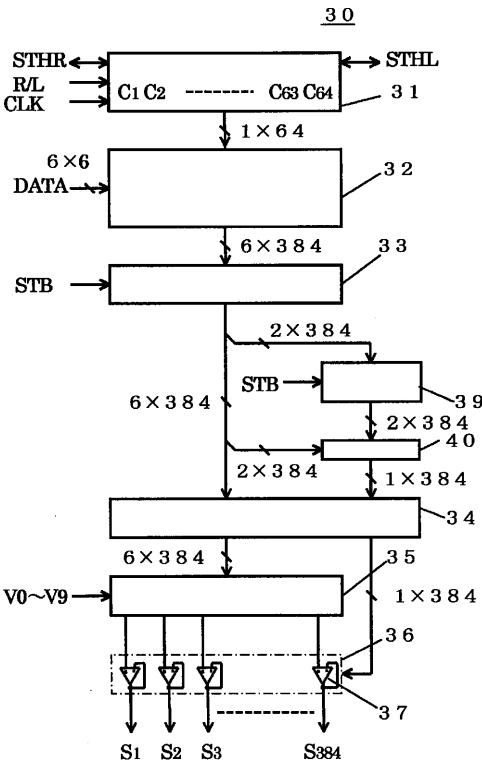
最終頁に続く

(54)【発明の名称】 液晶表示装置の駆動方法および駆動装置

(57)【要約】

【課題】 駆動電圧のリングングを防止するとともに低消費電流化を図る。

【解決手段】 6ビットのデータ信号に基づいて、演算増幅器37から64階調の正電圧と負電圧とを交互に出力するとき、スルーレート制御回路40でn番目およびn+1番目の走査に対応する上位2ビットの各データ信号を論理処理し、正電圧と負電圧との電圧差が大きくなるデータ信号の所定の組合せの場合は、“H”レベルのスルーレート制御信号TRを出力して、演算増幅器37のスルーレートを高駆動に制御し、正電圧と負電圧との電圧差が小さくなるデータ信号の所定の組合せの場合は、“L”レベルのスルーレート制御信号TRを出力して、演算増幅器37のスルーレートを低駆動に制御する。



【特許請求の範囲】

【請求項 1】液晶パネルの走査線の線順次の走査ごとに、液晶パネルのデータ線に対応する k ビットのデータ信号を、 D/A コンバータにより 2 の k 乗階調数の階調電圧のうちの所望の階調電圧に、コモン電圧に対して正極性および負極性を交互にして変換し、ボルテージフォロア出力回路により駆動能力を上げて、前記データ線に出力することにより、2 の k 乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動方法において、

n 番目の走査に対応する前記データ信号と $n+1$ 番目の走査に対応するデータ信号とを論理処理し、この結果に応じて、前記 $n+1$ 番目の走査時の前記ボルテージフォロア出力回路のスルーレートを切り替えることを特徴とする液晶表示装置の駆動方法。

【請求項 2】前記論理処理が、前記 k ビットの上位 x ビットで行われることを特徴とする請求項 1 記載の液晶表示装置の駆動方法。

【請求項 3】液晶パネルの走査線の線順次の走査ごとに、液晶パネルのデータ線に対応して、 k ビットのデータ信号を 2 の k 乗階調数の階調電圧のうちの 1 つの階調電圧に変換し、コモン電圧に対して正極性と負極性で交互に出力する D/A コンバータと、この変換された階調電圧を駆動能力を上げて前記データ線に出力するボルテージフォロア出力回路とを具備して、2 の k 乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動装置において、

前記データ信号のうち n 番目の走査に対応するデータ信号と $n+1$ 番目の走査に対応するデータ信号とを供給することにより、前記 $n+1$ 番目の走査時に、前記ボルテージフォロア出力回路のスルーレートを切り替えるスルーレート制御回路を有することを特徴とする液晶表示装置の駆動装置。

【請求項 4】前記スルーレート制御回路は、前記 k ビットのデータ信号のうち上位 x ビットのデータ信号が供給されることを特徴とする請求項 3 記載の液晶表示装置の駆動装置。

【請求項 5】前記スルーレート制御回路は、前記データ線に対応して、論理処理部を有することを特徴とする請求項 3 記載の液晶表示装置の駆動装置。

【請求項 6】前記ボルテージフォロア出力回路は、前記データ線に対応して、ボルテージフォロア接続の演算増幅器を有し、この演算増幅器の差動段に含まれ、バイアス回路のトランジスタとミラー接続されるトランジスタのミラー比が、前記スルーレート制御回路により切り替えられることを特徴とする請求項 3 記載の液晶表示装置の駆動装置。

【請求項 7】液晶パネルのデータ線に対応してシリアル/パラレル変換された k ビットのデータ信号をラッチ信号の立ち上がりエッジで出力する第 1 ラッチと、

*第 1 ラッチから出力された k ビットのデータ信号を 2 の k 乗階調数の階調電圧のうちの 1 つの階調電圧に変換し、コモン電圧に対して正極性と負極性で交互に出力する D/A コンバータと、

D/A コンバータからの出力を駆動能力を上げて前記データ線に出力するボルテージフォロア出力回路と、前記第 1 ラッチから出力された k ビットのデータ信号のうち上位 x ビットのデータ信号をラッチ信号の立ち上がりエッジで出力する第 2 ラッチと、

10 前記上位 x ビットのデータ信号について、前記第 1 ラッチから出力された $n+1$ 番目の走査に対応するデータ信号と、前記第 2 ラッチから出力された n 番目の走査に対応するデータ信号とを論理処理し、この結果に応じて、前記 $n+1$ 番目の走査時に、前記ボルテージフォロア出力回路のスルーレートを切り替えるスルーレート制御回路とを具備した、2 の k 乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動装置。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】本発明はアクティブマトリックス方式の液晶表示装置の駆動方法および駆動装置に関する。

【0002】

【従来の技術】アクティブマトリックス方式の液晶表示装置の液晶表示モジュールは、図 5 に示すように液晶パネル 100 と液晶パネル 100 の外周に配置した駆動装置 200 とを具備している。液晶パネル 100 は、画素を構成する画素電極および TFT（薄膜トランジスタ）がマトリックス状に形成されたリア側のガラス基板と、コモン電極およびカラーフィルタが形成されたフロント側のガラス基板とが液晶を介して互に対向配置され、TFT と画素電極に、水平方向に延在し垂直方向に並設される走査線と、垂直方向に延在し水平方向に並設されるデータ線が接続されて構成されている。駆動装置 200 は、液晶パネル 100 のデータ線に接続される水平ドライバ IC 210 と、走査線に接続される垂直ドライバ IC 220 とで構成されている。垂直ドライバ IC 220 から各走査線に線順次に走査信号が供給されることにより、走査信号が供給された走査線に接続されている各 TFT がオンし、水平ドライバ IC 210 から各データ線に同時に供給された駆動電圧がこのオンした TFT を介して対応する画素電極に供給され、コモン電極に供給される電圧（以下、コモン電圧 V_{com} という）との電位差で液晶を駆動する。

【0003】各ドライバ IC 210, 220 のモジュールへの実装は、例えば XGA（1024×768 画素）表示の場合、

水平ドライバ IC 210 は、1 画素を表示するためにデータ線は R（赤）、G（緑）、B（青）用の 3 本が必要なため、1024×3=3072 本のデータ線を駆動

する必要があり、例えば、384本分の駆動能力を有する水平ドライバIC210を液晶パネル100の上側外周に8個をカスケード接続で片側配置される。

垂直ドライバIC220は、768本のゲート線を駆動する必要があり、例えば192本分の駆動能力を有する垂直ドライバIC220を液晶パネル100の左側外周に4個をカスケード接続で片側配置される。

【0004】水平ドライバIC210により各画素電極に供給される駆動電圧は、液晶固有の特性からコモン電圧に対して正電圧と負電圧を交互に供給しなければならず、例えば、64階調表示の場合、正電圧として正極性階調電圧 $V_{P1} \sim V_{P64}$ ($V_{com} < V_{P1} < \dots < V_{P64}$)のうちのひとつの階調電圧 V_{Px} と負電圧として負極性階調電圧 $V_{N1} \sim V_{N64}$ ($V_{com} > V_{N1} > \dots > V_{N64}$)のうちのひとつの階調電圧 V_{Nx} とが交互に供給される。この正電圧と負電圧を交互に供給する駆動方式としては、1画面(フレーム)ごとに切り換えるフレーム反転駆動や、1走査線ごとに切り換えるライン反転駆動や、1画素電極単位で切り換えるドット反転駆動等の交流駆動方式が提案されており、ライン反転駆動やドット反転駆動の場合では、1走査線を走査するごとに、フレーム反転駆動の場合では、1フレームを走査するごとに、液晶パネルの駆動電圧として、データ線に正電圧と負電圧を交互に供給する。

【0005】以下に、上記水平ドライバIC210としての従来のドット反転駆動の水平ドライバIC10の概略構成について、384本分の駆動能力を有するものとして、図6を参照して説明する。水平ドライバIC10は表示データとしてR、G、B各色6ビットのデータ信号を供給することにより64階調の正極性および負極性階調電圧を駆動電圧として384本のデータ線に奇数線と偶数線とで極性が互い違いとなるようにして1走査期間ごとに交互に出力するもので、主回路としてシフトレジスタ11、データレジスタ12、ラッチ13、レベルシフタ14、D/Aコンバータ15およびボルテージフォロア出力回路16を有している。シフトレジスタ11は、例えば、64ビット双方向性でシフト方向切換え信号R/Lにより右シフト・スタートパルス入出力STHRまたは左シフト・スタートパルス入出力STHLが選択され、クロック信号CLKのエッジでスタートパルスSTHRまたはSTHLの“H”レベルを読み込み、データ取込み用の制御信号C1、C2、...、C64を順次生成し、データレジスタ12に出力する。データレジスタ12は、シフトレジスタ11の制御信号C1、C2、...、C64に基づき、6ビット×6ドット(RGB×2)の36ビット幅で供給されるデータ信号を取込み、ラッチ13は、データレジスタ12に取込まれたデータ信号をラッチ信号STBのエッジで、レベルシフタ14に1走査期間ごとに一括出力する。レベルシフタ14は、データレジスタ12からのデータ信号を電圧レベル

を高めてD/Aコンバータ15に1走査期間ごとに出力する。D/Aコンバータ15は、384個の各出力に対応するデータ信号に基づき γ 補正電源入力により内部の階調電圧発生回路で生成された64階調の正極性および負極性階調電圧のうち1つつを内部のROMデコーダで選択してボルテージフォロア出力回路16の内部の384個の演算増幅器17で駆動能力を高めて384本の各データ線に駆動電圧として奇数線と偶数線とで極性が互い違いになるようにして1走査期間ごとに交互に出力する。演算増幅器17は、図7に示すように、差動段18と出力段19とを有し、差動段18は、演算増幅器17内にバイアス電流を流すために、図示しないバイアス回路内のトランジスタとミラー接続されるPチャネルMOSトランジスタQ1とNチャネルMOSトランジスタQ2とを含み、出力段19は、立ち上がり波形と立ち下がり波形を出力するためのPチャネルMOSトランジスタQ3とNチャネルMOSトランジスタQ4とを含んでいる。

【0006】

【発明が解決しようとする課題】ところで、ボルテージフォロア出力回路16から各データ線への駆動電圧は、上述したように、正電圧と負電圧とで交互に出力されるため、この駆動電圧の波形は、負電圧から正電圧の立ち上がり波形と正電圧から負電圧の立ち下がり波形となる。この立ち上がり波形および立ち下がり波形の立ち上がりおよび立ち下がり時間は、液晶パネルの負荷が一定とした場合、ボルテージフォロア出力回路16に含まれる演算増幅器17のスルーレートにより決定され、このスルーレートは、バイアス回路からのバイアス電流が一定であれば、一定である。従って、立ち上がり波形および立ち下がり波形の立ち上がりおよび立ち下がり時間は、正電圧と負電圧との電圧差が大きくなるほど長くなり、正電圧と負電圧との電圧差が最大となるとき最長となるため、このスルーレートはこの最長時間を考慮して決定されている。このため、正電圧と負電圧との電圧差が小さい場合でも、演算増幅器17には正電圧と負電圧との電圧差が最大のときと同じバイアス電流が流れており、低消費電流化を阻害している。また、演算増幅器のスルーレートは、正電圧と負電圧との電圧差が小さい場合でも、正電圧と負電圧との電圧差が最大のときと同じに制御されているため、正電圧と負電圧との電圧差が小さい場合、リンギングを発生させる虞がある。この問題は他の反転駆動方式でも有しており、特に、1走査期間ごとに反転駆動するライン反転駆動やドット反転駆動の場合に問題となる虞がある。本発明は上記問題点に鑑みてなされたものであり、ボルテージフォロア出力回路に含まれる演算増幅器のスルーレートをデータ線が反転駆動される前後の正電圧と負電圧との電圧差に応じて切り替えることにより、リンギングの発生を防止させ、また、演算増幅器のバイアス電流による消費電流を低減し

た液晶表示装置の駆動方法および駆動装置を提供することである。

【0007】

【課題を解決するための手段】(1) 本発明の液晶表示装置の駆動方法は、液晶パネルの走査線の線順次の走査ごとに、液晶パネルのデータ線に対応する k ビットのデータ信号を、 D/A コンバータにより 2 の k 乗階調数の階調電圧のうちの所望の階調電圧に、コモン電圧に対して正極性および負極性を交互にして変換し、ボルテージフォロア出力回路により駆動能力を上げて、前記データ線に出力することにより、 2 の k 乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動方法において、前記正極性および負極性の所望の階調電圧を、 D/A コンバータにより k ビットのデータ信号から変換し、ボルテージフォロア出力回路により駆動能力を上げてデータ線に出力するとき、 n 番目の走査に対応する前記データ信号と $n+1$ 番目の走査に対応するデータ信号とを論理処理し、この結果に応じて、前記 $n+1$ 番目の走査時の前記ボルテージフォロア出力回路のスルーレートを切り替えることを特徴とする。本手段によれば、各データ線に正電圧と負電圧とを交互に出力するとき、正電圧と負電圧との電圧差に応じて、ボルテージフォロア出力回路のスルーレートを切り替え可能にしているので、正電圧と負電圧との電圧差が大きい場合は、ボルテージフォロア出力回路のスルーレートを高駆動に制御するのに対して、正電圧と負電圧との電圧差が小さい場合は、ボルテージフォロア出力回路のスルーレートを低駆動に制御することができ、リングングを防止できる。

(2) 本発明の液晶表示装置の駆動方法は上記(1)項において、前記論理処理が、前記 k ビットの上位 x ビットで行われることを特徴とする。本手段によれば、論理処理を k ビットより少ないビットのデータで行えるため、簡単な回路で論理処理できる。

(3) 本発明の液晶表示装置の駆動装置は、液晶パネルの走査線の線順次の走査ごとに、液晶パネルのデータ線に対応して、 k ビットのデータ信号を 2 の k 乗階調数の階調電圧のうちの 1 つの階調電圧に変換し、コモン電圧に対して正極性と負極性とで交互に出力する D/A コンバータと、この変換された階調電圧を駆動能力を上げて前記データ線に出力するボルテージフォロア出力回路とを具備して、 2 の k 乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動装置において、前記データ信号のうち n 番目の走査に対応するデータ信号と $n+1$ 番目の走査に対応するデータ信号とを供給することにより、前記 $n+1$ 番目の走査時に、前記ボルテージフォロア出力回路のスルーレートを切り替えるスルーレート制御回路を有することを特徴とする。

(4) 本発明の液晶表示装置の駆動装置は、上記(3)項において、前記スルーレート制御回路は、前記 k ビットのデータ信号のうち上位 x ビットのデータ信号が供給

されることを特徴とする。

(5) 本発明の液晶表示装置の駆動装置は、上記(3)項において、前記スルーレート制御回路は、前記データ線に対応して、論理処理部を有することを特徴とする。

(6) 本発明の液晶表示装置の駆動装置は、上記(3)項において、前記ボルテージフォロア出力回路は、前記データ線に対応して、ボルテージフォロア接続の演算増幅器を有し、この演算増幅器の差動段に含まれ、バイアス回路のトランジスタとミラー接続されるトランジスタのミラー比が、前記スルーレート制御回路により切り替えられることを特徴とする。

(7) 本発明の液晶表示装置の駆動装置は、液晶パネルのデータ線に対応してシリアル/パラレル変換された k ビットのデータ信号をラッチ信号の立ち上がりエッジで出力する第1ラッチと、第1ラッチから出力された k ビットのデータ信号を 2 の k 乗階調数の階調電圧のうちの 1 つの階調電圧に変換し、コモン電圧に対して正極性と負極性とで交互に出力する D/A コンバータと、 D/A コンバータからの出力を駆動能力を上げて前記データ線に出力するボルテージフォロア出力回路と、前記第1ラッチから出力された k ビットのデータ信号のうち上位 x ビットのデータ信号をラッチ信号の立ち上がりエッジで出力する第2ラッチと、前記上位 x ビットのデータ信号について、前記第1ラッチから出力された $n+1$ 番目の走査に対応するデータ信号と、前記第2ラッチから出力された n 番目の走査に対応するデータ信号とを論理処理し、この結果に応じて、前記 $n+1$ 番目の走査時に、前記ボルテージフォロア出力回路のスルーレートを切り替えるスルーレート制御回路とを具備した、 2 の k 乗階調表示するアクティブマトリックス駆動方式の液晶表示装置の駆動装置である。

【0008】

【発明の実施の形態】以下に、本発明に基づき、上記水平ドライバ IC 210 としての一実施例のドット反転駆動の水平ドライバ IC 30 について、データ線 384 本分の駆動能力を有するものとして、図1乃至図4を参照して説明する。水平ドライバ IC 30 は、データ線 384 本分に対応する $k=6$ ビットのデータ信号を供給することにより、各データ線に対応して 2 の k 乗 $= 64$ 階調の階調電圧のうち 1 つの階調電圧が、表1に示すように、選択され、この選択された各階調電圧を 384 本のデータ線に 1 走査期間ごとに奇数線と偶数線とで極性が互い違いとなるようにして出力するもので、主回路としてシフトレジスタ 31、データレジスタ 32、第1ラッチ 33、レベルシフタ 34、 D/A コンバータ 35、ボルテージフォロア出力回路 36、第2ラッチ 39 およびスルーレート制御回路 40 を有している。

【0009】

【表1】

7

D5:MSB D0:LSB

VP64>...>VP1>Vcom>VN1>...>VN64

データ信号

選択される階調電圧

	D5	D4	D3	D2	D1	D0
VP1,VN1	0	0	0	0	0	0
VP2,VN2	0	0	0	0	0	1
...	...	...	...	...	...	...
VP16,VN16	0	0	1	1	1	1
VP17,VN17	0	1	0	0	0	0
...	...	...	...	...	...	...
VP32,VN32	0	1	1	1	1	1
VP33,VN33	1	0	0	0	0	0
...	...	...	...	...	...	...
VP48,VN48	1	0	1	1	1	1
VP49,VN49	1	1	0	0	0	0
...	...	...	...	...	...	...
VP64,VN64	1	1	1	1	1	1

【0010】シフトレジスタ31は、例えば、64ビット双方向性でシフト方向切換え信号R/Lにより右シフト・スタートパルス入出力STHRまたは左シフト・スタートパルス入出力STHLが選択され、クロック信号CLKのエッジでスタートパルスSTHRまたはSTHLの“H”レベルを読み込み、データ取込み用の制御信号C1、C2、...、C64を順次生成し、データレジスタ32に出力する。データレジスタ32は、シフトレジスタ31の制御信号C1、C2、...、C64に基づき、6ビット×6ドット(RGB×2)の36ビット幅で供給される6ビット×データ線384本分のデータ信号を取込み、第1ラッチ33は、ラッチ信号STBの立ち上がりエッジで、データレジスタ32に取込まれた6ビット×データ線384本分のデータ信号をレベルシフタ34に、および上記データ信号のうち上位xビット、例えば、上位2ビット×データ線384本分のデータ信号を第2ラッチ39とスルーレート制御回路40とに1走査期間ごとに一括出力する。第2ラッチ39は、第1ラッチ33から1つ前のラッチ信号STBの立ち上がりエッジで出力された上位2ビット×データ線384本分のデータ信号をラッチ信号STBの立ち上がりエッジで、1つ前の走査に対応するデータ信号として、スルーレート制御回路40に1走査期間ごとに一括出力する。スルーレート制御回路40は、第2ラッチ39を介して供給された1つ前の走査に対応するデータ信号と、第1ラッチ33から直接供給された走査に対応するデータ信号とを論理処理して1ビットのスルーレート制御信号をレベルシフタ34に出力する。レベルシフタ34は、第1ラッチ33からの6ビットデータ信号、およびスルーレート制御回路40からのスルーレート制御信号の電圧レベルを高めて、6ビットデータ信号をD/Aコンバータ35に、およびスルーレート制御信号をボルテージフォロア出力回路36に1走査期間ごとに出力する。ボルテージフォロア出力回路36は、スルーレート制御信号に基づき内部に含まれる384個の演算増幅器37のスルーレ

*ートが制御される。D/Aコンバータ35は、384個の各出力に対応する6ビットデータ信号に基づき、γ補正電源入力により内部の階調電圧発生回路で生成された64階調の正極性および負極性階調電圧のうち1つを選択してスルーレートが制御されたボルテージフォロア出力回路36で駆動能力を高めて384本の各データ線に駆動電圧として奇数線と偶数線とで極性が互い違いになるようにして1走査期間ごとに交互に出力する。

【0011】スルーレート制御回路40は、図2に示すように、データ線384本に対応して、384個の論理処理部41を有している。各論理処理部41は、表2に真理値表を示すように、例えば、n番目の走査に対応する上位2ビットのデータ信号D5(n)、D4(n)と、n+1番目の走査に対応する上位2ビットのデータ信号D5(n+1)、D4(n+1)の少なくともどちらか一方のデータ信号が“11”のとき、“H”レベルの信号を出力して、演算増幅器37のスルーレートを速くするために、図2に示すように、n番目の走査に対応する上位2ビットのデータ信号D5(n)、D4(n)の論理積を出力するAND回路42と、第1ラッチ33から直接供給されたn+1番目の走査に対応する上位2ビットのデータ信号D5(n+1)、D4(n+1)の論理積を出力するAND回路43と、AND回路42、43の出力の論理和を出力するOR回路44とで構成する。

【0012】

【表2】

上位2ビットのデータ信号				回路40 の出力
D5(n)	D4(n)	D5(n+1)	D4(n+1)	
1	1	1	1	H
1	1	1	0	H
1	0	1	1	H
1	1	0	1	H
0	1	1	1	H
1	1	0	0	H
0	0	1	1	H
他の組合せ				L

【0013】演算増幅器37は、図3に示すように、差動段48と出力段49とを有している。差動段48は、演算増幅器37内にバイアス電流を流すために、図示しないバイアス回路内のトランジスタとミラー接続される並列接続のPチャネルMOSトランジスタQ11、Q12および並列接続のNチャネルMOSトランジスタQ21、Q22と、MOSトランジスタQ11を電源電位VDDに接続するためのPチャネルMOSトランジスタQ5と、MOSトランジスタQ21を接地電位に接続するためのNチャネルMOSトランジスタQ6と、トランジスタQ11をバイアス入力BPに接続するためのトランスファゲートTG1と、トランジスタQ21をバイアス入力BNに接続するためのトランスファゲートTG2と、トランスファゲートTG1のPチャネル側ゲートにレベ

ルシフト回路 34 からのスルーレート制御信号を反転して供給するためのインバータ INV1 と、トランスファゲート TG2 の P チャンネル側ゲートおよび MOS トランジスタ Q6 のゲートにレベルシフト回路 34 からのスルーレート制御信号を反転して供給するためのインバータ INV2 とを含んでいる。出力段 39 は、立ち上がり波形と立ち下がり波形を出力するための P チャンネル MOS トランジスタ Q3 と N チャンネル MOS トランジスタ Q4 とを含んでいる。

【0014】次に、水平ドライバ IC30 の動作を説明する。シフトレジスタ 31 において、シフト方向切換え信号 R/L により、例えば、右シフト・スタートパルス入出力 STHR が選択されている。

【0015】先ず、 $n-1$ 番目の走査期間でのデータレジスタ 32 へのデータ信号の取込みについて説明する。シフトレジスタ 31 は、クロック信号 CLK のエッジでスタートパルス STHR の “H” レベルを読み込み、データ取込み用の制御信号 C1, C2, ..., C64 をデータレジスタ 32 に順次出力する。データレジスタ 32 は、シフトレジスタ 31 の制御信号 C1, C2, ..., C64 により 6 ビット×6 ドット (RGB×2) の 36 ビット幅で 6 ビット×データ線 384 本分の n 番目の走査に対応するデータ信号 D5(n), D4(n), ..., D0(n) を取込む。

【0016】次に、 n 番目の走査期間でのデータレジスタ 32 へのデータ信号の取込み、および第 2 ラッチ 39 へのデータ信号の供給について説明する。第 1 ラッチ 33 は、ラッチ信号 STB の立ち上がりエッジで、データレジスタ 32 に取込まれた n 番目の走査に対応する 6 ビット×データ線 384 本分のデータ信号 D5(n), D4(n), ..., D0(n) のうち上位 2 ビット×データ線 384 本分のデータ信号 D5(n), D4(n) を第 2 ラッチ 39 に出力する。データレジスタ 32 は、 $n-1$ 番目の走査期間のときと同様に、6 ビット×データ線 384 本分の $n+1$ 番目の走査に対応するデータ信号 D5($n+1$), D4($n+1$), ..., D0($n+1$) を取込む。

【0017】次に、 $n+1$ 番目の走査期間でのボルテージフォロア出力回路 36 からの駆動電圧の出力について説明する。第 2 ラッチ 39 は、ラッチ信号 STB の立ち上がりエッジで、第 1 ラッチ 33 から出力された n 番目の走査に対応する 2 ビット×データ線 384 本分のデータ信号 D5(n), D4(n) をスルーレート制御回路 40 に出力する。第 1 ラッチ 33 は、ラッチ信号 STB の立ち上がりエッジで、データレジスタ 32 に取込まれた $n+1$ 番目の走査に対応する 6 ビット×データ線 384 本分のデータ信号 D5($n+1$), D4($n+1$), ..., D0($n+1$) をレベルシフタ 34 に、および 6 ビット×データ線 384 本分のデータ信号のうち上位 2 ビット×データ線 384 本分のデータ信号 D5($n+1$), D4($n+1$) を第 2 ラッチ 39 とスルーレート制御回路 40 とに出力する。

【0018】スルーレート制御回路 40 は、第 2 ラッチ 39 を介して供給された n 番目の走査に対応する 2 ビット×データ線 384 本分のデータ信号 D5(n), D4(n) と、第 1 ラッチ 33 から直接供給された $n+1$ 番目の走査に対応する 2 ビット×データ線 384 本分のデータ信号 D5($n+1$), D4($n+1$) とを内部の 384 個の論理処理部 41 に含まれる AND 回路 42, 43 および OR 回路 43 で論理処理して 1 ビットのスルーレート制御信号をレベルシフタ 34 に出力する。スルーレート制御信号は、表 2 に示すように、 n 番目の走査に対応する上位 2 ビットのデータ信号 D5(n), D4(n)、 $n+1$ 番目の走査に対応する上位 2 ビットのデータ信号 D5($n+1$), D4($n+1$) のうち、少なくともどちらか一方のデータ信号が “11” のとき、“H” レベルとなり、どちらのデータ信号も “11” でないとき、“L” レベルとなる。

【0019】レベルシフタ 34 は、第 1 ラッチ 33 からの 6 ビットデータ信号、およびスルーレート制御回路 40 からのスルーレート制御信号の電圧レベルを高めて、6 ビットデータ信号を D/A コンバータ 35 およびスルーレート制御信号をボルテージフォロア出力回路 36 に出力する。

【0020】ボルテージフォロア出力回路 36 は、スルーレート制御信号に基づき内部に含まれる 384 個の演算増幅器 37 のスルーレートが次のように制御される。スルーレート制御信号が “H” レベルの場合、演算増幅器 37 の差動段 48 に含まれるトランスファゲート TG1, TG2 がオン制御されるとともにトランジスタ Q5, Q6 がオフ制御されて、トランジスタ Q12, Q22 とともにトランジスタ Q11, Q21 もミラー接続されミラー比が大きくなり、出力段 49 に含まれるトランジスタ Q3, Q4 は高駆動に制御される。スルーレート制御信号が “L” レベルの場合、演算増幅器 37 の差動段 48 に含まれるトランスファゲート TG1, TG2 がオフ制御されるとともに、トランジスタ Q5, Q6 がオン制御されて、トランジスタ Q11, Q21 はミラー接続されず、トランジスタ Q12, Q22 のみのミラー接続となりミラー比が小さくなり、出力段 49 に含まれるトランジスタ Q3, Q4 は低駆動に制御される。

【0021】D/A コンバータ 35 は、384 個の各出力に対応する 6 ビットデータ信号に基づき、 γ 補正電源入力により内部の階調電圧発生回路で生成された 64 階調の正極性および負極性階調電圧のうち 1 つを選択してスルーレートが制御されたボルテージフォロア出力回路 36 で駆動能力を高めて 384 本の各データ線に駆動電圧として n 番目の走査とは反対極性で出力する。

【0022】次に、ボルテージフォロア出力回路 36 から正電圧と負電圧とを交互に出力するときの正電圧と負電圧との電圧差が大きい場合と小さい場合について、具体例で説明する。先ず、正電圧と負電圧との電圧差が大きい場合として、演算増幅器 37 から n 番目の走査時に

正極性階調電圧 V_{P64} を出力し、 $n+1$ 番目の走査時に負極性階調電圧 V_{N64} を出力する場合について説明する。表 1 から、 n 番目の走査時の正極性階調電圧 V_{P64} に対応する 6 ビットのデータ信号 $D5(n)$, $D4(n)$, ..., $D0(n)$ の上位 2 ビットのデータ信号 $D5(n)$, $D4(n)$ は、 $D5(n) = "1"$, $D4(n) = "1"$ であり、 $n+1$ 番目の走査時の負極性階調電圧 V_{N64} に対応する 6 ビットのデータ信号 $D5(n+1)$, $D4(n+1)$, ..., $D0(n+1)$ の上位 2 ビットのデータ信号 $D5(n+1)$, $D4(n+1)$ は、 $D5(n+1) = "1"$, $D4(n+1) = "1"$ である。スルーレート制御回路 40 は、 $n+1$ 番目の走査時に、これらのデータ信号が供給されると、表 2 に示すように、“H”レベルのスルーレート制御信号 TR を演算増幅器 37 に出力する。演算増幅器 37 は、 $n+1$ 番目の走査時に、“H”レベルのスルーレート制御信号 TR が供給されると、差動段 48 に含まれる、トランジスタ $Q12$, $Q22$ とともにトランジスタ $Q11$, $Q21$ もミラー接続されミラー比が大きくなってバイアス電流が大きくなり、スルーレートが高駆動に制御される。

【0023】次に、正電圧と負電圧との電圧差が小さい場合として、演算増幅器 37 から n 番目の走査時に正極性階調電圧 V_{P16} を出力し、 $n+1$ 番目の走査時に負極性階調電圧 V_{N16} を出力する場合について説明する。表 1 から、 n 番目の走査時の正極性階調電圧 V_{P16} に対応する 6 ビットのデータ信号の上位 2 ビットのデータ信号は、 $D5(n) = "0"$, $D4(n) = "0"$ であり、 $n+1$ 番目の走査時の負極性階調電圧 V_{N16} に対応する 6 ビットのデータ信号の上位 2 ビットのデータ信号は、 $D5(n+1) = "0"$, $D4(n+1) = "0"$ である。スルーレート制御回路 40 は、 $n+1$ 番目の走査時に、これらのデータ信号が供給されると、表 2 に示すように、“L”レベルのスルーレート制御信号 TR を演算増幅器 37 に出力する。演算増幅器 37 は、 $n+1$ 番目の走査時に、“L”レベルのスルーレート制御信号 TR が供給されると、差動段 48 に含まれるトランジスタ $Q11$, $Q21$ はミラー接続されず、トランジスタ $Q12$, $Q22$ のみミラー接続されミラー比が小さくなってバイアス電流が小さくなり、スルーレートが低駆動に制御される。

【0024】以上のように、演算増幅器 37 から正電圧と負電圧とを交互に出力するとき、正電圧と負電圧との電圧差が大きい場合は、スルーレート制御回路 40 から“H”レベルのスルーレート制御信号 TR を出力して、演算増幅器 37 のスルーレートを高駆動に制御するのに対して、正電圧と負電圧との電圧差が小さい場合は、スルーレート制御回路 40 から“L”レベルのスルーレート制御信号 TR を出力して、演算増幅器 37 のスルーレートを低駆動に制御するようにしているので、正電圧と負電圧との電圧差が小さい場合のバイアス電流は、正電圧と負電圧との電圧差が大きい場合より小さくて済み、

演算増幅器 37 の消費電流を低くすることができる。また、正電圧と負電圧との電圧差が小さい場合に演算増幅器 37 のスルーレートを高駆動に制御すると、リンギングを発生させる虞があるが、この場合、演算増幅器 37 のスルーレートを低駆動に制御するようにしているので、リンギングの発生を防止できる。

【0025】次に、本発明の他の実施例として、演算増幅器 37 の代わりに演算増幅器 57 を用いた場合について説明する。演算増幅器 57 は、図 4 に示すように、差動段 58 と出力段 59 とを有している。差動段 58 は、演算増幅器 57 内にバイアス電流を流すために、図示しないバイアス回路内のトランジスタとミラー接続される P チャネル MOS トランジスタ $Q1$ および N チャネル MOS トランジスタ $Q2$ を含んでいる。出力段 59 は、立ち上がり波形と立ち下がり波形を出力するための並列接続の P チャネル MOS トランジスタ $Q31$, $Q32$ および並列接続の N チャネル MOS トランジスタ $Q41$, $Q42$ と、MOS トランジスタ $Q31$ を電源電位 V_{DD} に接続するための P チャネル MOS トランジスタ $Q5$ と、MOS トランジスタ $Q41$ を接地電位に接続するための N チャネル MOS トランジスタ $Q6$ と、トランジスタ $Q31$ を差動段 58 の出力に接続するためのトランスファゲート $TG1$ と、トランジスタ $Q41$ を差動段 58 の出力に接続するためのトランスファゲート $TG2$ と、トランスファゲート $TG1$ の P チャネル側ゲートにレベルシフト回路 34 からのスルーレート制御信号 TR を反転して供給するためのインバータ $INV1$ と、トランスファゲート $TG2$ の P チャネル側ゲートおよび MOS トランジスタ $Q6$ のゲートにレベルシフト回路 34 からのスルーレート制御信号 TR を反転して供給するためのインバータ $INV2$ とを含んでいる。

【0026】演算増幅器 57 のスルーレートは次のように制御される。スルーレート制御信号 TR が“H”レベルの場合、演算増幅器 57 の出力段 59 に含まれるトランスファゲート $TG1$, $TG2$ がオン制御されるとともにトランジスタ $Q5$, $Q6$ がオフ制御されて、トランジスタ $Q32$, $Q42$ とともにトランジスタ $Q31$, $Q41$ も駆動可能となり、高駆動に制御される。スルーレート制御信号 TR が“L”レベルの場合、演算増幅器 57 の出力段 59 に含まれるトランスファゲート $TG1$, $TG2$ がオフ制御されるとともに、トランジスタ $Q5$, $Q6$ がオン制御されて、トランジスタ $Q31$, $Q41$ はオフ制御され、トランジスタ $Q32$, $Q42$ のみ駆動可能であり、低駆動に制御される。

【0027】演算増幅器 57 では、正電圧と負電圧との電圧差が小さい場合と大きい場合とでバイアス電流の切替えはなく、従って、正電圧と負電圧との電圧差が小さい場合でも演算増幅器 37 の消費電流を低くすることができない。しかし、正電圧と負電圧との電圧差が小さい場合、演算増幅 57 のスルーレートを低駆動に制御する

ようにしているので、演算増幅 37 と同様に、リングングの発生を防止できる。

【0028】尚、上記実施例では、ボルテージフォロア出力回路 36 に配置される演算増幅器を立ち上がりおよび立ち下がり用の両方を兼ねて配置される 1 アンプ方式の演算増幅器 37、57 で説明したが、データ線 384 本の N 番目 ($N = 1, 3, \dots, 383$) と ($N + 1$) 番目を 1 組として、 N 番目と ($N + 1$) 番目とに互い違いに接続される立ち上がり専用演算増幅器および立ち下がり専用演算増幅器の 2 アンプ方式の演算増幅器であって

【0029】

【発明の効果】本発明によれば、液晶表示装置の駆動装置から各データ線に正電圧と負電圧とを交互に出力するとき、正電圧と負電圧との電圧差に応じて、ボルテージフォロア出力回路のスルーレートを切り替え可能にしているので、正電圧と負電圧との電圧差が大きい場合は、ボルテージフォロア出力回路のスルーレートを高駆動に制御するのに対して、正電圧と負電圧との電圧差が小さい場合は、ボルテージフォロア出力回路のスルーレートを低駆動に制御するようにした場合、リングングを防止できる。また、正電圧と負電圧との電圧差が小さい場合、ボルテージフォロア出力回路に含まれる演算増幅器の差動段でのバイアス電流を電圧差が大きい場合より小さくして、ボルテージフォロア出力回路のスルーレートを低駆動に制御する場合は、ボルテージフォロア出力回路の消費電流を低くすることができる。

【図面の簡単な説明】

【図 1】 本発明の一実施例である水平ドライバ IC の

概略構成を示すブロック図。

【図 2】 図 1 の水平ドライバ IC に使用されるスルーレート制御回路の回路図。

【図 3】 図 1 の水平ドライバ IC に使用される一実施例の演算増幅器の要部回路図。

【図 4】 図 1 の水平ドライバ IC に使用される他の実施例の演算増幅器の要部回路図。

【図 5】 液晶表示モジュールの概略構造図。

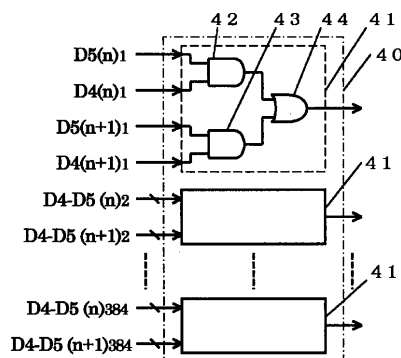
【図 6】 従来の水平ドライバ IC の概略構成を示すブロック図。

【図 7】 図 6 の水平ドライバ IC に使用される演算増幅器の要部回路図。

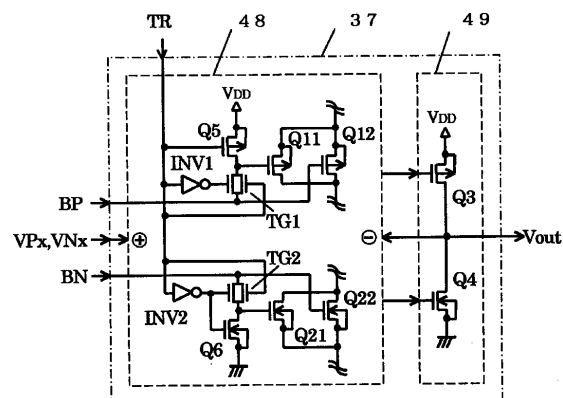
【符号の説明】

- 30 水平ドライバ IC
- 31 シフトレジスタ
- 32 データレジスタ
- 33 第 1 ラッチ
- 34 レベルシフタ
- 35 D/A コンバータ
- 36 ボルテージフォロア出力回路
- 37, 57 演算増幅器
- 39 第 2 ラッチ
- 40 スルーレート制御回路
- 41 論理処理部
- 42, 43 AND 回路
- 44 OR 回路
- 48, 58 演算増幅器の差動段
- 49, 59 演算増幅器の出力段

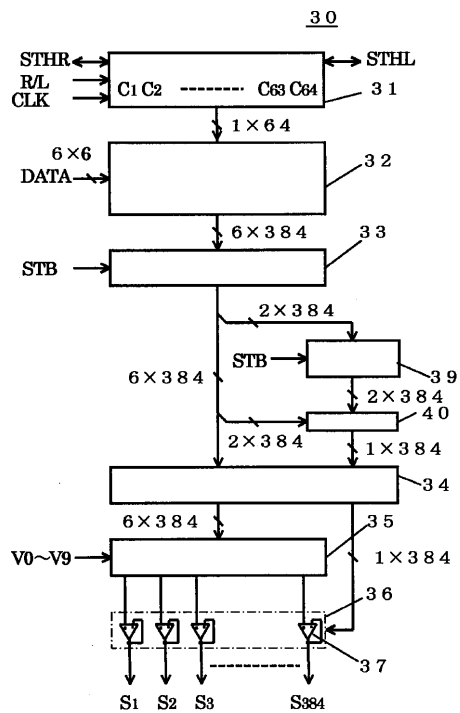
【図 2】



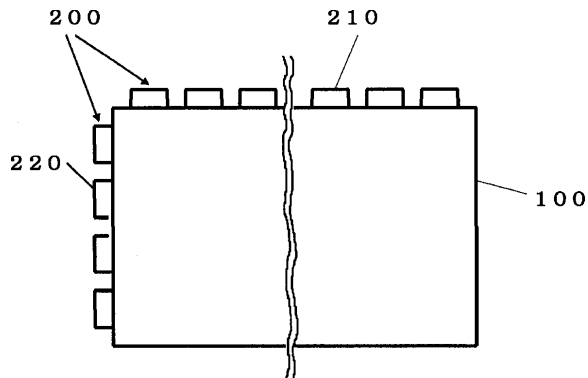
【図 3】



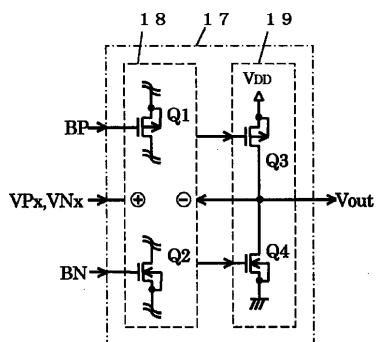
【図1】



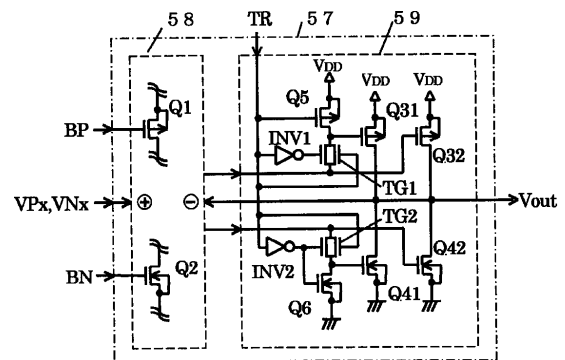
【図5】



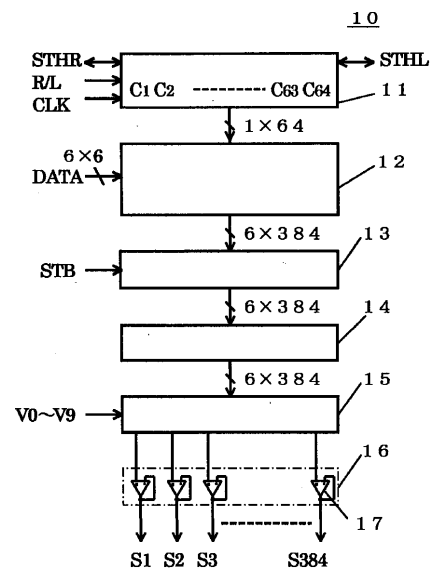
【図7】



【図4】



【図6】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 B
	6 2 3		6 2 3 Y

专利名称(译)	用于驱动液晶显示装置的方法和设备		
公开(公告)号	JP2001343944A	公开(公告)日	2001-12-14
申请号	JP2000161380	申请日	2000-05-31
申请(专利权)人(译)	Kansainippondenki有限公司		
[标]发明人	松田 觉		
发明人	松田 觉		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.611.J G09G3/20.611.A G09G3/20.621.B G09G3/20.623.Y G09G3/20.621.K G09G3/20.623.B G09G3/20.623.F G09G3/20.623.G G09G3/20.623.J G09G3/20.623.K		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC16 2H093/NC21 2H093/NC34 2H093/NC49 2H093/NC59 2H093/ND06 2H093/ND15 2H093/ND32 2H093/ND36 2H093/ND39 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AF45 5C006/AF50 5C006/AF51 5C006/AF53 5C006/BB16 5C006/BC12 5C006/FA00 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD12 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/JJ02 2H193/ZA04 2H193/ZD23		
其他公开文献	JP4553281B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止驱动电压振铃并减少电流消耗。 解决方案：当基于6位数据信号从运算放大器37交替输出64个灰度的正电压和负电压时，转换速率控制电路40扫描第n次扫描和第n+1次扫描。在预定的数据信号组合中，正电压和负电压之间的电压差增大，在逻辑上处理对应的高2位的每个数据信号，并输出“H”电平摆率控制信号TR。，将运算放大器37的转换速率控制为高驱动，并且在其中正电压和负电压之间的电压差变小的数据信号的预定组合的情况下，输出“L”电平的转换速率控制信号TR。，运算放大器37的压摆率被控制为低。

