

(51)Int.Cl ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
	575		5 C 0 8 0
G 0 9 G 3/20	641	G 0 9 G 3/20	C 5 K 0 2 3
	680		680 S

審査請求 未請求 請求項の数 20 O L (全 25数) 最終頁に続く

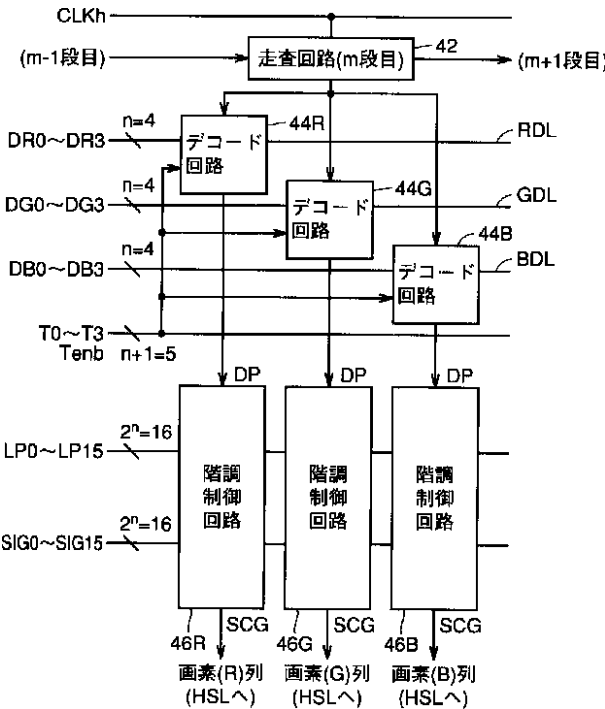
(21)出願番号	特願2000 - 98249(P2000 - 98249)	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成12年3月31日(2000.3.31)	(72)発明者	村井 博之 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72)発明者	上里 将史 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74)代理人	100064746 弁理士 深見 久郎 (外 4 名)

最終頁に続く

(54)【発明の名称】 液晶表示装置ならびにそれを用いた携帯電話機および携帯情報端末機器

(57)【要約】

【課題】 解像度等の表示品位を損なうことなくデジタル信号に応じた液晶表示装置の高階調表示を実行する。
【解決手段】 デコード回路は、 n ビットの映像信号に応じて活性化期間が設定されるデコードパルスDPを生成する。階調制御回路は、デコードパルスDPの活性化タイミングに応じて、 2^n 階調にそれぞれ対応する 2^n 個の階調制御信号SIG0～SIG15のうちの1個を選択して階調表示信号SCGとして出力する。各画素は、水平走査線HSLを介して階調表示信号SCGを受けて、階調表示信号SCGに応じた電位レベルを画素電極に供給する。



【特許請求の範囲】

【請求項 1】 行列状に配置される複数の画素を含む液晶表示部と、
前記画素の行に対応してそれぞれ配置される複数の垂直走査線と、
前記画素の列に対応してそれぞれ配置される複数の水平走査線と、
前記画素の行を第 1 の周期で順に垂直走査するための垂直走査回路と、
前記画素の列を第 2 の周期で順に水平走査するための水平走査回路とを備え、
前記水平走査回路は、 n ビット ($n: 2$ 以上の自然数) のデジタル信号である映像信号に応じた階調表示信号を、前記水平走査の対象となる前記水平走査線のうちの 1 本に供給し、
前記水平走査回路は、前記複数の水平走査線の各々に対応して設けられる、
前記映像信号の各ビットの信号レベルの組合せに応じた活性化期間を有するデコードパルス信号を生成するデコード回路と、
前記デコードパルス信号の前記活性化期間に応じて前記階調表示信号を生成する階調制御回路とを含み、
前記デコード回路は、前記映像信号の各ビットの信号レベルの組合せにそれぞれ対応する複数の活性化期間のうちの 1 個の活性化期間において、前記デコードパルス信号を活性化し、
各前記画素は、
対向する画素電極および共通電極を有する液晶表示素子と、
前記階調表示信号に応じた電位レベルを前記画素電極に供給する液晶駆動回路とを含む、液晶表示装置。

【請求項 2】 所定期間を 2^n 個の期間に時分割するための一定周波数を有する第 1 番目のデコードクロック信号を含む、同期した n 個のデコードクロック信号を生成するデコードクロック生成回路をさらに備え、
前記 n 個のデコードクロック信号は、互いに異なる周波数を有し、
前記デコード回路は、前記 n 個のデコードクロック信号および前記映像信号の n ビットの各信号レベルに応じて、前記 2^n 個の期間のうちの 1 個の期間において前記デコードパルス信号を活性化する、請求項 1 記載の液晶表示装置。

【請求項 3】 前記 n 個のデコードクロック信号のうちの第 i 番目 ($i: 2$ 以上 n 以下の自然数) のデコードクロック信号は、前記一定周波数の $1/2^{(i-1)}$ 倍の周波数を有し、
前記デコード回路は、前記 n 個のデコードクロック信号と前記映像信号の n ビットとの間のそれぞれにおける信号レベルの一致比較結果に基づいて、前記デコードパルス信号を活性化する、請求項 2 記載の液晶表示装置。

【請求項 4】 前記デコード回路は、前記所定期間において、前記デコードパルス信号を所定の信号レベルに固定する、請求項 2 記載の液晶表示装置。

【請求項 5】 前記映像信号の n ビットの信号レベルの 2^n 個の組合せにそれぞれ対応する 2^n 個の階調制御信号を生成して、 2^n 個の階調制御信号線にそれぞれ出力する階調制御信号生成回路と、
前記 2^n 個の期間にそれぞれ対応する 2^n 個のタイミングパルスを生成するタイミングパルス生成回路とをさらに備え、
タイミングパルス生成回路は、各前記 2^n 個のタイミングパルスを、前記 2^n 個の期間のうちの対応する 1 個の期間において活性化し、
前記階調制御回路は、前記 2^n 個のタイミングパルスにそれぞれ対応して設けられる、 2^n 個のラッチ回路を含み、
前記 2^n 個のラッチ回路の各々は、対応する前記タイミングパルスの活性化に応じて、前記デコードパルス信号の信号レベルを取り込んで保持し、
前記階調制御回路は、さらに、前記 2^n 個のラッチ回路に対応してそれぞれ設けられる 2^n 個のスイッチ回路をさらに含み、
前記 2^n 個のスイッチ回路は、前記 2^n 個の階調制御信号線と前記複数の水平走査線のうちの対応する 1 本との間に並列に接続され、対応する前記ラッチ回路に保持される信号レベルに応じてオン/オフする、請求項 2 記載の液晶表示装置。

【請求項 6】 前記 2^n 個の階調制御信号は、互いに異なる活性化期間を有するデジタル信号であり、
前記階調制御回路は、前記 2^n 個のスイッチ回路と前記複数の水平走査線のうちの対応する 1 本との間に設けられる信号バッファ回路をさらに含む、請求項 5 記載の液晶表示装置。

【請求項 7】 前記デコードクロック生成回路は、前記所定期間において先立つ一定期間において、前記 n 個のデコードクロック信号を、前記スイッチ回路のオフに対応する信号レベルに固定し、
前記タイミングパルス生成回路は、各前記 2^n 個のタイミングパルスを、前記一定期間においてさらに活性化する、請求項 5 記載の液晶表示装置。

【請求項 8】 前記映像信号の n ビットの信号レベルの 2^n 個の組合せにそれぞれ対応する 2^n 個の階調制御信号を生成する階調制御信号生成回路をさらに備え、
前記階調制御回路は、前記デコードパルス信号の前記活性化期間に応じて、前記 2^n 個の階調制御信号のうちの 1 個を選択して前記階調表示信号として出力する、請求項 1 記載の液晶表示装置。

【請求項 9】 前記映像信号の n ビットの信号レベルの 2^n 個の組合せにそれぞれ対応する 2^n 個の階調制御信号

を生成する階調制御信号生成回路をさらに備え、
各 2^n 個の階調制御信号は、互いに異なる電位レベルを有する信号であり、
前記階調制御回路は、前記デコードパルス信号の前記活性化期間に応じて、前記 2^n 個の階調制御信号のうちの 1 個を選択して前記階調表示信号として出力し、
前記液晶駆動回路は、対応する前記垂直走査線の電位レベルに応じて、対応する前記水平走査線と前記画素電極とを接続する、請求項 8 記載の液晶表示装置。

【請求項 10】 前記 2^n 個の階調制御信号は、共通する活性化開始タイミングと、互いに異なる活性化終了タイミングとを有するデジタル信号であり、
前記液晶表示装置は、
前記複数の垂直走査線に対応してそれぞれ設けられる複数の画像信号線と、
各前記複数の画像信号線に画像信号を出力する画像信号生成回路とをさらに備え、
前記画像信号生成回路は、前記画像信号の電位レベルを 2^n 個の前記活性化終了タイミングにおいてそれぞれ異なるように設定し、
前記液晶駆動回路は、対応する前記水平走査線の電位レベルに応じて、前記画像信号線と前記画素電極とを接続する、請求項 8 記載の液晶表示装置。

【請求項 11】 前記画像信号生成回路は、前記画像信号の電位レベルをステップ状に変化させる、請求項 10 記載の液晶表示装置。

【請求項 12】 前記液晶駆動回路は、
対応する前記画素信号線と前記画素電極との間に直列に接続される、第 1 および第 2 のスイッチ素子と、
対応する前記垂直走査線の電位レベルに応じて、対応する前記水平走査線と内部ノードとの間をオン/オフする第 3 のスイッチ素子と、
前記画素電極の電位レベルを保持するための保持容量素子とを有し、
前記第 1 のスイッチ素子は、前記内部ノードの電位レベルに応じてオン/オフし、
前記第 2 のスイッチ素子は、対応する前記垂直走査線の電位レベルに応じてオン/オフする、請求項 10 記載の液晶表示装置。

【請求項 13】 各前記画素は、各々が前記液晶表示素子と前記液晶駆動回路を有する n 個の副画素に分割され、
前記複数の垂直走査線および前記複数の水平走査線は、各前記副画素の行および列にそれぞれ対応するようにさらに配置され、
前記液晶駆動回路は、
対応する前記垂直走査線の電位レベルに応じて、対応する前記水平走査線と制御ノードとの間をオン/オフする第 1 のスイッチ素子と、
前記制御ノードの電位レベルを保持するための制御容量

素子と、
前記制御ノードの電位レベルに応じて、第 1 の基準電位配線および第 2 の基準電位配線いずれか一方を前記画素電極と接続する接続切換回路とを有し、
前記 2^n 個の階調制御信号は、前記 n 個の副画素のオン/オフ選択の 2^n 個の組合せとそれぞれ対応するデジタル信号である、請求項 8 記載の液晶表示装置。

【請求項 14】 前記液晶表示装置は、前記複数の垂直走査線にそれぞれ対応して設けられる複数の副垂直走査線をさらに備え、
画素電位供給回路は、
前記第 1 の電位を供給するノードと前記画素電極との間に直列に接続される、第 2 および第 3 のスイッチ素子と、
前記第 2 の電位を供給するノードと前記画素電極との間に直列に接続される、第 4 および第 5 のスイッチ素子とを有し、
前記第 2 のスイッチ素子は、前記制御ノードの電位レベルに応じてオン/オフし、
前記第 4 のスイッチ素子は、前記第 2 のスイッチ素子と相補的にオン/オフし、
前記第 3 および第 5 のスイッチ素子は、前記複数の副垂直走査線のうちの対応する 1 本の電位レベルに応じてオン/オフする、請求項 13 記載の液晶表示装置。

【請求項 15】 前記階調制御信号生成回路は、前記 n 個の副画素に対応して時分割された n 個の期間のそれぞれにおいて、対応する副画素のオンおよびオフを指定するために、各前記 2^n 個の階調制御信号をそれぞれ活性化および非活性化する、請求項 13 記載の液晶表示装置。

【請求項 16】 前記第 1 の基準電位配線は、前記共通電極に対応する電位を伝達し、
前記第 2 の基準電位配線は、前記共通電極の電位レベルとの電位差が前記液晶表示素子の駆動電位となる電位を伝達する、請求項 13 記載の液晶表示装置。

【請求項 17】 n ビット ($n: 2$ 以上の自然数) のデジタル信号である映像信号に応じた画像を表示するための液晶表示装置を備え、
前記液晶表示装置は、

行列状に配置される複数の画素を含む液晶表示部と、
前記映像信号の n ビットの信号レベルの 2^n 個の組合せにそれぞれ対応する 2^n 個の階調制御信号を生成する階調制御信号生成回路と、
前記画素の行に対応してそれぞれ配置される複数の垂直走査線と、
前記画素の列に対応してそれぞれ配置される複数の水平走査線と、
前記画素の行を第 1 の周期で順に垂直走査するための垂直走査回路と、
前記画素の列を第 2 の周期で順に水平走査するための水

平走査回路とを備え、
 前記水平走査回路は、前記映像信号に応じて、前記 2^n 個の階調制御信号のうちの 1 個を、階調表示信号として前記水平走査の対象となる前記水平走査線のうちの 1 本に供給し、
 前記水平走査回路は、前記複数の水平走査線の各々に対応して設けられる、
 前記映像信号の各ビットの信号レベルの組合せに応じた活性化期間を有するデコードパルス信号を生成するデコード回路と、
 前記デコードパルス信号の前記活性化期間に応じて前記階調表示信号を生成する階調制御回路とを含み、
 前記デコード回路は、前記映像信号の各ビットの信号レベルの組合せにそれぞれ対応する複数の活性化期間のうちの 1 個の活性化期間において、前記デコードパルス信号を活性化し、
 各前記画素は、
 対向する画素電極および共通電極を有する液晶表示素子と、
 前記階調表示信号に応じた電位レベルを前記画素電極に 20 供給する液晶駆動回路とを含む、携帯電話機。
 【請求項 18】 各前記画素は、各々が前記液晶表示素子と前記液晶駆動回路を有する n 個の副画素に分割され、
 前記複数の垂直走査線および前記複数の水平走査線は、各前記副画素の行および列にそれぞれ対応するようにさらに配置され、
 前記液晶駆動回路は、
 対応する前記垂直走査線の電位レベルに応じて、対応する前記水平走査線と制御ノードとの間をオン/オフする 30 第 1 のスイッチ素子と、
 前記制御ノードの電位レベルを保持するための制御容量素子と、
 前記制御ノードの電位レベルに応じて、第 1 の基準電位配線および第 2 の基準電位配線いずれか一方を前記画素電極と接続する接続切換回路とを有し、
 前記 2^n 個の階調制御信号は、前記 n 個の副画素のオン/オフ選択の 2^n 個の組合せとそれぞれ対応するデジタル信号である、請求項 17 記載の携帯電話機。
 【請求項 19】 n ビット ($n: 2$ 以上の自然数) のデ 40 ジタル信号である映像信号に応じた画像を表示するための液晶表示装置を備え、
 前記液晶表示装置は、
 行列状に配置される複数の画素を含む液晶表示部と、
 前記映像信号の n ビットの信号レベルの 2^n 個の組合せにそれぞれ対応する 2^n 個の階調制御信号を生成する階調制御信号生成回路と、
 前記画素の行に対応してそれぞれ配置される複数の垂直走査線と、
 前記画素の列に対応してそれぞれ配置される複数の水平*50

*走査線と、
 前記画素の行を第 1 の周期で順に垂直走査するための垂直走査回路と、
 前記画素の列を第 2 の周期で順に水平走査するための水平走査回路とを備え、
 前記水平走査回路は、前記映像信号に応じて、前記 2^n 個の階調制御信号のうちの 1 個を、階調表示信号として前記水平走査の対象となる前記水平走査線のうちの 1 本に供給し、
 10 前記水平走査回路は、前記複数の水平走査線の各々に対応して設けられる、
 前記映像信号の各ビットの信号レベルの組合せに応じた活性化期間を有するデコードパルス信号を生成するデコード回路と、
 前記デコードパルス信号の前記活性化期間に応じて前記階調表示信号を生成する階調制御回路とを含み、
 前記デコード回路は、前記映像信号の各ビットの信号レベルの組合せにそれぞれ対応する複数の活性化期間のうちの 1 個の活性化期間において、前記デコードパルス信号を活性化し、
 各前記画素は、
 対向する画素電極および共通電極を有する液晶表示素子と、
 前記階調表示信号に応じた電位レベルを前記画素電極に供給する液晶駆動回路とを含む、携帯情報端末機器。
 【請求項 20】 各前記画素は、各々が前記液晶表示素子と前記液晶駆動回路を有する n 個の副画素に分割され、
 前記複数の垂直走査線および前記複数の水平走査線は、各前記副画素の行および列にそれぞれ対応するようにさらに配置され、
 前記液晶駆動回路は、
 対応する前記垂直走査線の電位レベルに応じて、対応する前記水平走査線と制御ノードとの間をオン/オフする 第 1 のスイッチ素子と、
 前記制御ノードの電位レベルを保持するための制御容量素子と、
 前記制御ノードの電位レベルに応じて、第 1 の基準電位配線および第 2 の基準電位配線いずれか一方を前記画素電極と接続する接続切換回路とを有し、
 前記 2^n 個の階調制御信号は、前記 n 個の副画素のオン/オフ選択の 2^n 個の組合せとそれぞれ対応するデジタル信号である、請求項 19 記載の携帯情報端末機器。
 【発明の詳細な説明】
 【0001】
 【発明の属する技術分野】この発明は、液晶表示装置に関し、より特定的には、デジタル信号に基づいて階調表示を行なうことが可能な液晶表示装置ならびにそれを備える携帯電話機および携帯情報端末に関する。
 【0002】

【従来の技術】パーソナルコンピュータ、テレビジョン受像機、携帯電話機および携帯情報端末機器などのディスプレイパネルとして、液晶表示装置が用いられるようになってきている。液晶表示装置は、従来のディスプレイ装置と比較して、低消費電力化や小型軽量化の面でメリットが大きい。

【0003】図31は、従来の液晶表示装置500の全体構成を説明する概略ブロック図である。

【0004】図31を参照して、液晶表示装置500は、行列状に配置される複数の画素510を含む液晶表示部520を備える。カラー液晶表示装置においては、R (Red)、G (Green) およびB (Blue) の各1つの画素から1つの表示単位515が形成される。

【0005】液晶表示部520においては、画素の列（以下、単に画素列とも称する）ごとに水平走査線HSLが設けられ、画素の行（以下、単に画素行とも称する）ごとに垂直走査線VSLが配置される。また、各画素行ごとに共通配線CLが配置される。

【0006】詳細は図示しないが、各画素は、対向して設けられる画素電極と共通電極とを有する液晶表示素子と、液晶表示素子と並列に設けられる保持電極と、対応する垂直走査線VSLの活性化に応じてオンするスイッチ素子であるTFT (Thin Film Transistor) 素子とを有する。TFT素子は、対応する水平走査線HSLと画素電極との間に接続される。共通電極は、共通配線CLと結合される。画素電極と共通電極との間の電位差に応じて液晶の配向性が変化することにより、液晶表示素子の輝度（反射率）が変化する。

【0007】液晶表示装置500は、さらに、液晶表示部520中の画素行を一定の垂直走査周期で順に走査する垂直走査回路530と、画素列を一定の水平走査周期で順に走査して、表示信号を供水平走査線HSLを介して各画素に供給する水平走査回路540とを備える。

【0008】垂直走査回路530は、所定周期に基づいて、垂直走査線VSLを1本ずつ順に活性化することによって、画素行の走査を実行する。水平走査回路540は、 n ビット（ n ：自然数）のデジタル信号である映像信号を受けて、これに対応する電位信号である階調表示信号を水平走査の対象となる水平走査線HSLに出力する。

【0009】いわゆる点順次駆動の場合には、垂直走査の対象となる1つの画素行に属する各画素は、水平走査線HSLを介して水平走査回路540によって順次階調表示信号の供給を受ける。

【0010】1つの画素行に対応するすべての画素に対して水平走査が行われた後に、垂直走査回路530によって、これまで選択されていた垂直走査線VSLは非活性化されて、次の垂直走査線VSLが活性化される。これに応じて、TFT素子はオフされるが、TFT素子

のオフ期間においても保持容量によって画素電極ノードの電位レベルは保持される。

【0011】同様の水平走査が、次の画素行に対しても順次実行され、すべての画素行が走査（これを1フレームとも称する）された後に、再び先頭の垂直走査線VSLが活性化される。このように、すべての画素が、1フレームごとに階調表示信号を書込まれることによって、画像の表示が実行されることとなる。

【0012】各画素においては、画素電極の電位レベルに応じた輝度が得られるので、階調表示信号の電位レベルを、中間的な輝度に対応する電位レベルとすることによって、階調表示を行なうことができる。

【0013】図32は、デジタル映像信号に基づいて階調表示を行なうための水平走査回路540の構成を示すブロック図である。

【0014】図32においては、映像信号が4ビットのデジタル信号である場合、すなわち $n = 4$ の場合について示している。図32は、R、GおよびBの3画素からなる1つの表示単位に対応する水平走査回路の構成を示している。

【0015】図32を参照して、クロック信号CLKhは、水平走査周期に対応する周波数を有するクロック信号である。表示単位の各列ごとに走査回路542が設けられる。これらの走査回路は、クロック信号CLKhに基づいて一定周期で順に選択されて、対応する3個のデコード回路544R、544G、544Bを活性化する。

【0016】デコード回路544R、544G、544Bは、R、GおよびBの画素に対応してそれぞれ設けられる。4ビットの映像信号も、R、GおよびBの画素ごとに伝達される。映像信号線RDLは、R画素に対応する映像信号の4ビットを示すDR0～DR3を伝達する。以下において、映像信号を構成する各ビットを映像信号ビットとも称する。同様に、映像信号線GDRおよびBDRは、G画素に対応する映像信号ビットDG0～DG3および、B画素に対応する映像信号ビットDB0～DB3をそれぞれ伝達する。

【0017】R画素に対応して設けられるデコード回路544Rは、走査回路542によって活性化されたタイミングで映像信号線RDLから映像信号ビットDR0～DR3を取込み、制御信号TFに応じたタイミングで4ビットの映像信号のデコードを実行して、 2^n すなわち16個のデコード信号DSG0～DSG15を出力する。

【0018】G画素およびB画素にそれぞれ対応して設けられるデコード回路544Gおよび544Bも同様に、対応する映像信号のデコードを実行して、 $2^n = 16$ ビットのデコード信号を生成する。このように映像信号を $n = 4$ ビットのデジタル信号とすることにより、各画素において $2^4 = 16$ （ 2^n ）階調の階調表示を実行す

ることが可能となる。

【0019】R、GおよびB画素にそれぞれ対応して、階調制御回路546R、546Gおよび546Bがそれぞれ設けられる。

【0020】各階調制御回路は、16階調の階調表示を実行するための16個の階調制御信号SIG0～SIG15を受けて、対応する映像信号のデコード結果に応じて、16個のうちの1個の階調制御信号を選択して水平走査線HSLに出力する。水平走査線HSLに伝達された階調制御信号SIG15は、各画素に伝達される。

【0021】図33は、従来のデコード回路および階調制御回路の構成を詳細に説明するブロック図である。

【0022】図33においては、R画素に対応して設けられる、デコード回路544Rおよび階調制御回路546Rの構成が代表的に示される。

【0023】図33を参照して、デコード回路544Rは、映像信号ビットに対応してそれぞれ設けられるサンプリングユニットSU0～SU3と、サンプリングユニットSU0～SU3によってサンプリングされた映像信号ビットに基づいてデコードを実行するデコードユニット545Rとを有する。

【0024】サンプリングユニットSU0～SU3は、走査回路542によって指定されたタイミングにおいて、映像データ線RDLに伝達される映像信号をサンプリングする。

【0025】デコードユニット545Rは、サンプリングされた4ビットの映像信号に基づいて、デコードを実行し、映像信号の4ビットの信号レベルの組合せに応じて、デコード信号DSG0～DSG15のうちのいずれか1個を選択的に活性化する。

【0026】階調制御回路546Gは、 $16 (= 2^4)$ 個の階調制御信号SIG0～SIG15に対応してそれぞれ設けられるアナログスイッチSW0～SW15を有する。

【0027】図34は、アナログスイッチの構成を示す回路図である。図34には、代表的にアナログスイッチSW0の構成が示される。

【0028】図34を参照して、アナログスイッチSW0は、デコード信号DSG0の活性化に応じてオンするトランスファゲートTGAを有する。トランスファゲートTGAのオンによって、階調制御信号SIG0が水平走査線HSLに伝達される。

【0029】他のアナログスイッチSW1～SW15も同様の構成を有し、対応するデコード信号の活性化にตอบสนองして、対応する階調制御信号を水平走査線HSLに伝達する。

【0030】再び図33を参照して、階調制御回路546Rが有する16個のスイッチSW0～SW15は、4ビットの映像信号のデコード結果に応じて、いずれか1個がオンされる。したがって $16 (= 2^4)$ 個の階調制

御信号SIG0～SIG15を、それぞれ電位レベルの異なる電位信号とすれば、4ビットの映像信号のデコード結果に基づいて、16段階の電位レベルのうちのいずれか1個を水平走査線HSLを介して各画素に伝達することができる。このような構成とすることによって、 $n = 4$ ビットの映像信号による、各画素における $2^n = 16$ 階調の階調表示が可能となる。

【0031】

【発明が解決しようとする課題】しかしながら、従来の液晶表示装置500のデコード回路の構成では、 n ビットの映像信号に対して、 2^n 個のデコード信号を垂直方向（図33における縦方向）に沿って伝達するための配線を、各画素列ごとに設ける必要が生じる。この結果、面積上の制約が生じて、画素間の水平ピッチをある程度広く取らざるを得なくなり、解像度が低下してしまうという問題点がある。

【0032】たとえば、12インチSVGA（Super Video Graphics Array）においては、1つの表示単位のピッチは約 $270 \mu\text{m}$ であるので、R、GおよびBに分割される各画素の水平方向ピッチは $90 \mu\text{m}$ となる。

【0033】一方、デコード信号用配線の配線幅および配線間隔を各々一般的に $5 \mu\text{m}$ 確保するとすれば、16階調表示を得るためには、各画素間において160ミクロン程度の水平方向ピッチが必要となってしまう。したがって、液晶表示装置500の構成を使用するとすれば、12インチSVGAにおいては、3ビットの映像信号による8階調表示を行なうことが限界となってしまう。

【0034】また、液晶表示装置500の構成においては、階調制御信号SIG0～SIG15のそれぞれが有する電位レベルは、各表示階調における画素電極の電位レベルに相当する。したがって、比較的長配線である水平走査線HSLを十分に充電するだけの電流駆動能力を各アナログスイッチが有する必要があり、図34で示したトランスファゲートTGAを構成するCMOSTランジスタのトランジスタサイズを比較的大きく確保する必要がある。この結果、高階調表示化に対応した水平走査回路の面積の増大はさらに顕著となる。

【0035】このように、従来の液晶表示装置500においては、高階調表示化に伴って、水平走査回路の面積が増大し、画素ピッチの確保が困難になるという問題点が生じていた。

【0036】この発明は、このような問題点を解決するためになされたものであって、その目的は、映像信号としてデジタル信号を用いる液晶表示装置において、回路面積の増大から生じる画素ピッチの制約を回避して、解像度等の表示品位を損なうことなく高階調表示化を実現すること、およびそのような液晶表示装置を備えた携帯電話機および携帯情報端末を提供することである。

【0037】

【課題を解決するための手段】請求項 1 記載の液晶表示装置は、行列状に配置される複数の画素を含む液晶表示部と、画素の行に対応してそれぞれ配置される複数の垂直走査線と、画素の列に対応してそれぞれ配置される複数の水平走査線と、画素の行を第 1 の周期で順に垂直走査するための垂直走査回路と、画素の列を第 2 の周期で順に水平走査するための水平走査回路とを備え、水平走査回路は、 n ビット ($n: 2$ 以上の自然数) のデジタル信号である映像信号に応じた階調表示信号を、水平走査の対象となる水平走査線のうちの 1 本に供給し、水平走査回路は、複数の水平走査線の各々に対応して設けられる、映像信号の各ビットの信号レベルの組合せに応じた活性化期間を有するデコードパルス信号を生成するデコード回路と、デコードパルス信号の活性化期間に応じて階調表示信号を生成する階調制御回路とを含み、デコード回路は、映像信号の各ビットの信号レベルの組合せにそれぞれ対応する複数の活性化期間のうちの 1 個の活性化期間において、デコードパルス信号を活性化し、各画素は、対向する画素電極および共通電極を有する液晶表示素子と、階調表示信号に応じた電位レベルを画素電極に供給する液晶駆動回路とを含む。

【0038】請求項 2 記載の液晶表示装置は、請求項 1 記載の液晶表示装置であって、所定期間を 2^n 個の期間に時分割するための一定周波数を有する第 1 番目のデコードクロック信号を含む、同期した n 個のデコードクロック信号を生成するデコードクロック生成回路をさらに備え、 n 個のデコードクロック信号は、互いに異なる周波数を有し、デコード回路は、 n 個のデコードクロック信号および映像信号の n ビットの各信号レベルに応じて、 2^n 個の期間のうちの 1 個の期間においてデコードパルス信号を活性化する。

【0039】請求項 3 記載の液晶表示装置は、請求項 2 記載の液晶表示装置であって、 n 個のデコードクロック信号のうちの第 i 番目 ($i: 2$ 以上 n 以下の自然数) のデコードクロック信号は、一定周波数の $1/2^{(i-1)}$ 倍の周波数を有し、デコード回路は、 n 個のデコードクロック信号と映像信号の n ビットとの間のそれぞれにおける信号レベルの一致比較結果に基づいて、デコードパルス信号を活性化する。

【0040】請求項 4 記載の液晶表示装置は、請求項 2 記載の液晶表示装置であって、デコード回路は、所定期間に先立つ一定期間において、デコードパルス信号を所定の信号レベルに固定する。

【0041】請求項 5 記載の液晶表示装置は、請求項 2 記載の液晶表示装置であって、映像信号の n ビットの信号レベルの 2^n 個の組合せにそれぞれ対応する 2^n 個の階調制御信号を生成して、 2^n 個の階調制御信号線にそれぞれ出力する階調制御信号生成回路と、 2^n 個の期間にそれぞれ対応する 2^n 個のタイミングパルスを生成するタイミングパルス生成回路とをさらに備え、タイミング

パルス生成回路は、各 2^n 個のタイミングパルスを、 2^n 個の期間のうちの対応する 1 個の期間において活性化し、階調制御回路は、 2^n 個のタイミングパルスにそれぞれ対応して設けられる 2^n 個のラッチ回路を含み、 2^n 個のラッチ回路の各々は、対応するタイミングパルスの活性化に応じて、デコードパルス信号の信号レベルを取り込んで保持し、階調制御回路は、さらに、 2^n 個のラッチ回路に対応してそれぞれ設けられる 2^n 個のスイッチ回路をさらに含み、 2^n 個のスイッチ回路は、 2^n 個の階調制御信号線と複数の水平走査線のうちの対応する 1 本との間に並列に接続され、対応するラッチ回路に保持される信号レベルに応じてオン/オフする。

【0042】請求項 6 記載の液晶表示装置は、請求項 5 記載の液晶表示装置であって、 2^n 個の階調制御信号は、互いに異なる活性化期間を有するデジタル信号であり、階調制御回路は、 2^n 個のスイッチ回路と複数の水平走査線のうちの対応する 1 本との間に設けられる信号バッファ回路をさらに含む。

【0043】請求項 7 記載の液晶表示装置は、請求項 5 記載の液晶表示装置であって、デコードクロック生成回路は、所定期間に先立つ一定期間において、 n 個のデコードクロック信号を、スイッチ回路のオフに対応する信号レベルに固定し、タイミングパルス生成回路は、各 2^n 個のタイミングパルスを、一定期間においてさらに活性化する。

【0044】請求項 8 記載の液晶表示装置は、請求項 1 記載の液晶表示装置であって、映像信号の n ビットの信号レベルの 2^n 個の組合せにそれぞれ対応する 2^n 個の階調制御信号を生成する階調制御信号生成回路をさらに備え、階調制御回路は、デコードパルス信号の活性化期間に応じて、 2^n 個の階調制御信号のうちの 1 個を選択して階調表示信号として出力する。

【0045】請求項 9 記載の液晶表示装置は、請求項 8 記載の液晶表示装置であって、映像信号の n ビットの信号レベルの 2^n 個の組合せにそれぞれ対応する 2^n 個の階調制御信号を生成する階調制御信号生成回路をさらに備え、各 2^n 個の階調制御信号は、互いに異なる電位レベルを有する信号であり、階調制御回路は、デコードパルス信号の活性化期間に応じて、 2^n 個の階調制御信号のうちの 1 個を選択して階調表示信号として出力し、液晶駆動回路は、対応する垂直走査線の電位レベルに応じて、対応する水平走査線と画素電極とを接続する。

【0046】請求項 10 記載の液晶表示装置は、請求項 8 記載の液晶表示装置であって、 2^n 個の階調制御信号は、共通する活性化開始タイミングと、互いに異なる活性化終了タイミングとを有するデジタル信号であり、液晶表示装置は、複数の垂直走査線に対応してそれぞれ設けられる複数の画像信号線と、各複数の画像信号線に画像信号を出力する画像信号生成回路とをさらに備え、画像信号生成回路は、画像信号の電位レベルを 2^n 個の活

性化終了タイミングにおいてそれぞれ異なるように設定し、液晶駆動回路は、対応する水平走査線の電位レベルに応じて、画像信号線と画素電極とを接続する。

【0047】請求項11記載の液晶表示装置は、請求項10記載の液晶表示装置であって、画像信号生成回路は、画像信号の電位レベルをステップ状に変化させる。

【0048】請求項12記載の液晶表示装置は、請求項10記載の液晶表示装置であって、液晶駆動回路は、対応する画素信号線と画素電極との間に直列に接続される、第1および第2のスイッチ素子と、対応する垂直走査線の電位レベルに応じて、対応する水平走査線と内部ノードとの間をオン/オフする第3のスイッチ素子と、画素電極の電位レベルを保持するための保持容量素子とを有し、第1のスイッチ素子は、内部ノードの電位レベルに応じてオン/オフし、第2のスイッチ素子は、対応する垂直走査線の電位レベルに応じてオン/オフする。

【0049】請求項13記載の液晶表示装置は、請求項8記載の液晶表示装置であって、各画素は、各々が液晶表示素子と液晶駆動回路を有する n 個の副画素に分割され、複数の垂直走査線および複数の水平走査線は、各副画素の行および列にそれぞれ対応するようにさらに配置され、液晶駆動回路は、対応する垂直走査線の電位レベルに応じて、対応する水平走査線と制御ノードとの間をオン/オフする第1のスイッチ素子と、制御ノードの電位レベルを保持するための制御容量素子と、制御ノードの電位レベルに応じて、第1の基準電位配線および第2の基準電位配線いずれか一方を画素電極と接続する接続切換回路とを有し、 2^n 個の階調制御信号は、 n 個の副画素のオン/オフ選択の 2^n 個の組合せとそれぞれ対応するデジタル信号である。

【0050】請求項14記載の液晶表示装置は、請求項13記載の液晶表示装置であって、液晶表示装置は、複数の垂直走査線にそれぞれ対応して設けられる複数の副垂直走査線をさらに備え、画素電位供給回路は、第1の電位を供給するノードと画素電極との間に直列に接続される、第2および第3のスイッチ素子と、第2の電位を供給するノードと画素電極との間に直列に接続される、第4および第5のスイッチ素子とを有し、第2のスイッチ素子は、制御ノードの電位レベルに応じてオン/オフし、第4のスイッチ素子は、第2のスイッチ素子と相補的にオン/オフし、第3および第5のスイッチ素子は、複数の副垂直走査線のうちの対応する1本の電位レベルに応じてオン/オフする。

【0051】請求項15記載の液晶表示装置は、請求項13記載の液晶表示装置であって、階調制御信号生成回路は、 n 個の副画素に対応して時分割された n 個の期間のそれぞれにおいて、対応する副画素のオンおよびオフを指定するために、各 2^n 個の階調制御信号をそれぞれ活性化および非活性化する。

【0052】請求項16記載の液晶表示装置は、請求項

13記載の液晶表示装置であって、第1の基準電位配線は、共通電極に対応する電位を伝達し、第2の基準電位配線は、共通電極の電位レベルとの電位差が液晶表示素子の駆動電位となる電位を伝達する。

【0053】請求項17記載の携帯電話機は、 n ビット($n: 2$ 以上の自然数)のデジタル信号である映像信号に応じた画像を表示するための液晶表示装置を備え、液晶表示装置は、行列状に配置される複数の画素を含む液晶表示部と、映像信号の n ビットの信号レベルの 2^n 個の組合せにそれぞれ対応する 2^n 個の階調制御信号を生成する階調制御信号生成回路と、画素の行に対応してそれぞれ配置される複数の垂直走査線と、画素の列に対応してそれぞれ配置される複数の水平走査線と、画素の行を第1の周期で順に垂直走査するための垂直走査回路と、画素の列を第2の周期で順に水平走査するための水平走査回路とを備え、水平走査回路は、映像信号に応じて、 2^n 個の階調制御信号のうちの1個を、階調表示信号として水平走査の対象となる水平走査線のうちの1本に供給し、水平走査回路は、複数の水平走査線の各々に対応して設けられる、映像信号の各ビットの信号レベルの組合せに応じた活性化期間を有するデコードパルス信号を生成するデコード回路と、デコードパルス信号の活性化期間に応じて階調表示信号を生成する階調制御回路とを含み、デコード回路は、映像信号の各ビットの信号レベルの組合せにそれぞれ対応する複数の活性化期間のうちの1個の活性化期間において、デコードパルス信号を活性化し、各画素は、対向する画素電極および共通電極を有する液晶表示素子と、階調表示信号に応じた電位レベルを画素電極に供給する液晶駆動回路とを含む。

【0054】請求項18記載の携帯電話機は、請求項17記載の携帯電話機であって、各画素は、各々が液晶表示素子と液晶駆動回路を有する n 個の副画素に分割され、複数の垂直走査線および複数の水平走査線は、各副画素の行および列にそれぞれ対応するようにさらに配置され、液晶駆動回路は、対応する垂直走査線の電位レベルに応じて、対応する水平走査線と制御ノードとの間をオン/オフする第1のスイッチ素子と、制御ノードの電位レベルを保持するための制御容量素子と、制御ノードの電位レベルに応じて、第1の基準電位配線および第2の基準電位配線いずれか一方を画素電極と接続する接続切換回路とを有し、 2^n 個の階調制御信号は、 n 個の副画素のオン/オフ選択の 2^n 個の組合せとそれぞれ対応するデジタル信号である。

【0055】請求項19記載の携帯情報端末機器は、 n ビット($n: 2$ 以上の自然数)のデジタル信号である映像信号に応じた画像を表示するための液晶表示装置を備え、液晶表示装置は、行列状に配置される複数の画素を含む液晶表示部と、映像信号の n ビットの信号レベルの 2^n 個の組合せにそれぞれ対応する 2^n 個の階調制御信号を生成する階調制御信号生成回路と、画素の行に対応し

てそれぞれ配置される複数の垂直走査線と、画素の列に対応してそれぞれ配置される複数の水平走査線と、画素の行を第 1 の周期で順に垂直走査するための垂直走査回路と、画素の列を第 2 の周期で順に水平走査するための水平走査回路とを備え、水平走査回路は、映像信号に応じて、 2^n 個の階調制御信号のうちの 1 個を、階調表示信号として水平走査の対象となる水平走査線のうちの 1 本に供給し、水平走査回路は、複数の水平走査線の各々に対応して設けられる、映像信号の各ビットの信号レベルの組合せに応じた活性化期間を有するデコードパルス信号を生成するデコード回路と、デコードパルス信号の活性化期間に応じて階調表示信号を生成する階調制御回路とを含み、デコード回路は、映像信号の各ビットの信号レベルの組合せにそれぞれ対応する複数の活性化期間のうちの 1 個の活性化期間において、デコードパルス信号を活性化し、各画素は、対向する画素電極および共通電極を有する液晶表示素子と、階調表示信号に応じた電位レベルを画素電極に供給する液晶駆動回路とを含む。

【0056】請求項 20 記載の携帯情報端末機器は、請求項 19 記載の携帯情報端末機器であって、各画素は、各々が液晶表示素子と液晶駆動回路を有する n 個の副画素に分割され、複数の垂直走査線および複数の水平走査線は、各副画素の行および列にそれぞれ対応するようにさらに配置され、液晶駆動回路は、対応する垂直走査線の電位レベルに応じて、対応する水平走査線と制御ノードとの間をオン/オフする第 1 のスイッチ素子と、制御ノードの電位レベルを保持するための制御容量素子と、制御ノードの電位レベルに応じて、第 1 の基準電位配線および第 2 の基準電位配線いずれか一方を画素電極と接続する接続切換回路とを有し、 2^n 個の階調制御信号は、 n 個の副画素のオン/オフ選択の 2^n 個の組合せとそれぞれ対応するデジタル信号である。

【0057】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。

【0058】図 1 は、本発明の実施の形態に従う液晶表示装置 100 の全体構成を示すブロック図である。

【0059】図 1 を参照して、液晶表示装置 100 は、行列状に配置された複数の画素 10 を有する液晶表示部 20 を備える。カラー液晶表示装置においては、R (Red)、G (Green) および B (Blue) の各 1 つの画素から 1 つの表示単位 15 が形成される。液晶表示部 20 においては、画素列ごとに水平走査線 HSL が設けられ、画素行ごとに垂直走査線 VSL が配置される。また、各画素行ごとに共通配線 CL が配置される。

【0060】液晶表示装置 100 は、さらに、液晶表示部 20 中の画素行を一定の垂直走査周期で順に走査する垂直走査回路 30 と、画素列を一定の水平走査周期で順に走査して、表示信号を水平走査線 HSL を介して各画素に供給する水平走査回路 40 とを備える。

【0061】垂直走査回路 30 は、垂直走査周期周期に基づいて、垂直走査線 VSL を 1 本ずつ順に活性化することによって、画素行の走査を実行する。水平走査回路 40 は、 n ビット (n : 自然数) のデジタル信号である映像信号を受けて、映像信号に応じた階調表示信号 SCG を水平走査の対象となる水平走査線 HSL に出力する。

【0062】図 2 は、画素 10 の構成を示す回路図である。図 2 を参照して、画素 10 は、液晶駆動回路 11 と、液晶表示素子 14 とを有する。液晶表示素子 14 は、対向して設けられる画素電極および共通電極を有する。以下においては、液晶表示装置の画素電極と接続されるノードを画素電極ノード Na とし、共通電極と接続されるノードを共通電極ノード Nb と示す。

【0063】画素電極ノード Na と共通電極ノード Nb との間の電位差に応じて、液晶表示素子 14 中の液晶の配向性が変化し、これに応じて液晶表示素子 14 の輝度 (反射率) が変化する。これにより、各画素の輝度をコントロールすることが可能となる。すなわち、最大輝度に対応する電位差と最小輝度に対応する電位差との間の中間の電位差を対向電極と画素電極との間に印加することによって、中間的な輝度が得られる。この電位差を段階的に設定することにより階調的な輝度を得ることが可能となる。

【0064】液晶駆動回路 11 は、階調表示信号 SCG に応じた電位レベルを画素電極ノード Na に供給する。

【0065】液晶駆動回路 11 は、対応する垂直走査線 VSL の活性化に応じてオンするスイッチ素子である TFT (Thin Film Transistor) 素子 12 と、画素電極ノード Na と共通配線 CL との間に接続される保持容量 13 とを有する。TFT 素子 12 は、垂直走査線 VSL と結合されるゲートを有し、水平走査線 HSL と画素電極ノード Na との間に電気的に結合される。共通電極は、共通配線 CL と結合される。

【0066】垂直走査線 VSL の活性化に応じて TFT 素子 12 はオンした場合においては、画素電極ノード Na は、水平走査線 HSL の電位レベルまで充電される。一方、垂直走査線 VSL が非活性化されて TFT 素子 12 がオフされた場合においては、保持容量 13 によって画素電極ノード Na の電位レベルは保持される。

【0067】いわゆる点順次駆動の場合には、垂直走査の対象となる 1 つの画素行に属する各画素は、水平走査線 HSL を介して水平走査回路 40 によって順次階調表示信号 SCG の供給を受ける。

【0068】1 つの画素行に対応するすべての画素に対して水平走査が行なわれた後に、垂直走査回路 30 によって、これまで選択されていた垂直走査線 VSL は非活性化されて、次の垂直走査線 VSL が活性化される。これに応じて、TFT 素子はオフされるが、TFT 素子のオフ期間においても保持容量 13 によって画素電極ノード

ドNaの電位レベルは保持される。

【0069】同様の水平走査が、次の画素行に対しても順次実行され、垂直走査回路30がすべての画素行を走査（これを1フレームとも称する）した後に、再び先頭の垂直走査線VSLが活性化される。このように、すべての画素が、1フレームごとに表示信号を書込まれることによって、画像の表示が実行されることとなる。

【0070】液晶表示装置100は、さらに、水平走査および垂直走査に関するクロック信号および制御信号を生成する主制御回路50と、水平走査動作に関して、 n 10 個のデコードクロックを生成するデコードクロック生成回路60と、 2^n 個のタイミングパルス生成するタイミングパルス生成回路70と、 2^n 個の階調制御信号を生成する階調制御信号生成回路80とを含む。デコードクロック、タイミングパルスおよび階調制御信号の個数は、階調表示を制御するための映像信号のビット数 n に応じて定められる。

【0071】水平走査回路40は、 n ビットの映像信号、 n 個のデコードクロック、 2^n 個のタイミングパルスおよび、 2^n 個の階調制御信号を受けて、映像信号に 20 応じた階調表示を実行するための階調表示信号SCGを水平走査線HSLに供給する。

【0072】以下、本実施の形態においては、 $n=4$ の場合について説明する。したがって、デコードクロックはT0～T3の4個の信号であり、タイミングパルスはLP0～LP15の16個の信号であり、階調制御信号はSIG0～SIG15の16個の信号である。

【0073】図3は、水平走査回路40の構成を示すブロック図である。図3は、R、GおよびBの3画素からなる1つの表示単位に対応する水平走査回路の構成を示 30 している。

【0074】図3を参照して、クロック信号CLKhは、水平走査周期に対応する周波数を有するクロック信号である。表示単位の各列ごとに走査回路42が設けられる。

【0075】4ビットの映像信号は、R、GおよびBの画素ごとに独立の映像信号データ線RDL、GDLおよびBDLによって伝達される。

【0076】画素(R)に対応してデコード回路44Rおよび階調制御回路46Rが設けられる。同様に、画素 40 (G)に対応して、デコード回路44Gおよび階調制御回路46Gが設けられ、画素(B)に対応して、デコード回路44Bおよび階調制御回路46Bが設けられる。

【0077】走査回路42は、クロック信号CLKhに応じて一定周期で順に選択されて、対応する3個のデコード回路44R、44G、44Bを活性化する。デコード回路44Rは、4ビットの映像信号DR0～DR3をデコードして、1ビットのデコードパルスDPを出力する。階調制御回路46Rは、デコードパルスDPに応じて、 $2^n=16$ 個の階調制御信号SIG0～SIG15 50

のうちから1個を選択して画素(R)に対応する階調表示信号SCGを水平走査線HSLに伝達する。

【0078】デコード回路44R、44Gおよび44Bは同様の構成を有し、階調制御回路46R、46Gおよび46Bも同様の構成を有するので、以下においては、代表的に画素(R)に対応するデコード回路44Rおよび階調制御回路46Rの構成について説明する。

【0079】図4は、デコード回路の構成を示す回路図である。図4においては、R画素に対応して設けられ、デコード回路44Rの構成が代表的に示される。

【0080】図4を参照して、デコード回路44Rは、映像信号ビットDR0～DR3に対応してそれぞれ設けられるサンプリングユニットSU0～SU3と、サンプリングユニットSU0～SU3のサンプリング結果に応じてデコードパルスDPを生成するデコードユニット45とを含む。

【0081】サンプリングユニットSU0～SU3の各々は、走査回路によって活性化されて、映像信号DR0～DR3のうちの対応する1個をサンプリングする。

【0082】デコードユニット45は、デコードクロック生成回路60が生成する4個のデコードクロックT0～T3と、サンプリングユニットSU0～SU3によってそれぞれサンプリングされた映像信号ビットDR0～DR3の信号レベルの組合せとに応じて、デコードパルスDPを生成する。

【0083】デコードユニット45は、映像信号ビットDR0とデコードクロックT0との排他的論理和演算結果を出力する論理ゲートLG10と、映像信号DR1とデコードクロックT1との排他的論理和演算結果を出力する論理ゲートLG11と、映像信号DR2とデコードクロックT2との排他的論理和演算結果を出力する論理ゲートLG12と、映像信号DR3とデコードクロックT3との排他的論理和演算結果を出力する論理ゲートLG13と、論理ゲートLG10～LG13の出力を入力とする論理積演算結果を出力する論理ゲートLG14と、デコードイネーブル信号Tenbと論理ゲートLG14の出力との間の論理積演算結果をデコードパルスDPとして出力する論理ゲートLG16とを有する。

【0084】図5は、デコードユニット45の動作を説明するタイミングチャートである。図5を参照して、デコードクロックT0は、水平走査期間のうちの一部である転送期間Ttrを $2^n=16$ 個に分割するためのクロック信号である。デコードクロックT0の周期は、転送期間Ttrの $1/8(=1/2^{(n-1)})$ である。

【0085】デコードクロックT1は、デコードクロックT0の $1/2$ の周波数を有し、転送期間Ttrを8等分するためのクロック信号である。デコードクロックT2は、デコードクロックT1の $1/2$ の周波数を有し、転送期間Ttrを4等分するためのクロック信号である。デコードクロックT3は、デコードクロックT2の

1/2の周波数を有し、転送期間Ttrを2等分するためのクロック信号である。

【0086】デコードイネーブル信号Tenbは、転送期間の間において活性化(Hレベル)される。したがって、論理ゲートLG10~LG13によって、デコードクロックT0~T3と各映像信号との間の一致比較演算を行ない、さらに、各一致比較結果の論理積演算を行なうことによって、最も周波数の高いデコードクロックT0によって時分割された、 $2^n = 16$ 個の期間のうちのいずれかにおいて活性化期間(Hレベル)を有するワンショットパルスがデコードパルスDPとして生成される。

【0087】すなわち、デコードユニット45によって生成されるワンショットパルスの活性化期間に、 $n = 4$ ビットの映像信号のデコード結果を反映することができる。

【0088】図6は、デコードクロック生成回路60の構成例を示す図である。図6を参照して、デコードクロック生成回路60は、カウンタ回路62を有する。カウンタ回路62は、デコードクロックT0と等しい周波数を有するクロック信号DCLKと、カウンタ値を初期化するためのリセット信号CRSTとを受けて、デコードクロックT0~T3を生成する。

【0089】カウンタ回路62は、クロック信号DCLKの立上がり/立下がりエッジごとに4ビットのカウント信号のカウントアップを実行し、カウント信号の各ビットを最下位ビット側からT0、T1、T2およびT3の順に割り付けることによって、図5で説明したようなデコードクロックを得ることができる。

【0090】カウンタ回路62は、クロックリセット信号CRSTの活性化に応じて、カウント値をクリアするので、図5のタイミングチャートにおいては、時刻t0からt1の間のリセット期間中に、カウントリセット信号CRSTを一旦活性化すればよい。

【0091】図7は、階調制御回路46Rの構成を示す回路図である。図7を参照して、階調制御回路46Rは、 $2^n = 16$ 個の階調制御信号SIG0~SIG15に対応してそれぞれ設けられる、ラッチ回路およびアナログスイッチを有する。具体的には、階調制御信号SIG0に対応して、ラッチ回路LA0およびアナログスイッチSW1が設けられ、階調制御信号SIG1に対応してラッチ回路LA1およびアナログスイッチSW1が設けられる。以下同様に、各階調制御信号に応じてラッチ回路およびアナログスイッチが設けられる。

【0092】ラッチ回路LA0~LA15は、対応するタイミングパルスLP0~LP15の活性化タイミングに応じて、デコードパルスDPの信号レベルを取込んでラッチする。

【0093】アナログスイッチSW1~SW15は、対応するラッチ回路LA0~LA15がラッチする信号レ

ベルにそれぞれ対応してオン/オフする。

【0094】図8は、タイミングパルス生成回路70の構成を示す回路図である。図8を参照して、タイミングパルス生成回路70は、デコードクロックT0~T3を入力とするデコードユニット45を有する。デコードユニット45が出力する $2^n = 16$ 個のワンショットパルスは、図5に示した $2^n = 16$ 通りのデコード結果にそれぞれ対応するデコードパルスDPと同一である。

【0095】デコードユニット45から出力された16個のワンショットパルスは、ラッチ用リセット信号LRSTと各々一致比較がとられた上で、タイミングパルスLP0~LP15として出力される。

【0096】図9は、タイミングパルスLP0~LP15の活性化タイミングを説明するタイミングチャートである。

【0097】図9を参照して、ラッチ用リセット信号LRSTは、水平走査期間が開始されるt0から時刻t1までのリセット期間Trsの期間内において、活性化(Hレベル)される。これに応じて、タイミングパルスLP0~LP15の各々は、リセット期間において、一旦活性化される。

【0098】これに応じて、リセット期間においてはラッチ回路LA0~LA15のラッチ信号レベルは一旦Lレベルにクリアされる。

【0099】図5で説明したように、時刻t1からt2の間の転送期間において、デコードユニット45の出力する16個のワンショットパルスは、1個ずつ順に活性化されていくため、これに応じて、タイミングパルスLP0~LP15の各々も、転送期間内において、互いに異なるタイミングで順に活性化される。したがって、転送期間内においては、タイミングパルスLP0~LP15と、 $2^n = 16$ 通りのデコード結果にそれぞれ対応するタイミングパルスDPとは同期している。

【0100】映像信号ビットDR3, DR2, DR1およびDR0の信号レベルを、(DR3, DR2, DR1, DR0)の順に表記すると、たとえば、映像信号ビットの信号レベルが(0011)である場合には、デコードパルスDPとタイミングパルスのうちのLP3とが同期する。この場合には、ラッチ回路LA3のみにデコードパルスの活性状態(Hレベル)が取込まれ、タイミングパルスLP3の活性化タイミングである時刻taから、ラッチ回路LA3のラッチ信号レベルはLレベルからHレベルに変化して、このHレベルが保持される。

【0101】また、映像信号ビットの信号レベルが(1111)である場合には、タイミングパルスのうちのLP15とデコードパルスとが同期する。この場合には、ラッチ回路LA0~LA15のうち、ラッチ回路LA15のラッチ信号レベルのみが、タイミングパルスLP15の活性化タイミングtbよりHレベルに立上がり保持される。

【0102】このように、転送期間が終了して、ラッチ期間が開始される時刻 t_2 においては、ラッチ回路LA0～LA15のうちの1個が4ビットの映像信号のデコード結果に応じてHレベルデータを保持する。

【0103】これに応じて、アナログスイッチSW0～SW15のうちの1個が選択的にオンされて、階調制御信号SIG0～SIG15のうち映像信号の n ビットのデコード結果に対応する1個が、階調表示信号SCGとして、画素(R)に対応する水平走査線HSLに伝達される。

【0104】階調制御信号SIG0～SIG15の生成については後ほど詳細に説明するが、これらの階調制御信号は、階調表示を実現するために、それぞれが異なる電位レベルを有する信号である。したがって、 $n=4$ ビットの映像信号のデコード結果に応じた電位レベルを水平走査線HSLを介して各画素に供給することが可能となる。

【0105】しかし、図3で説明したように、実施の形態1に従う液晶表示装置100においては、階調制御回路は、 $2^n=16$ 個のデコード信号ではなく、1ビットのデコードパルスに基づいて、デコード結果に応じた階調制御信号の選択を実行する。したがって、デコード回路から階調制御回路に対するデコード結果の伝達に必要な信号配線数を、大幅に削減することができる。これにより、水平走査回路の面積削減が可能となり、解像度が低下しないような水平画素ピッチを確保した上で、デジタル映像信号に基づいた高階調表示化が可能となる。

【0106】次に、階調制御信号の生成について詳細に説明する。図10は、階調制御信号の電位レベルを説明する概念図である。

【0107】図10を参照して、階調制御信号SIG0の電位レベルは、 V_0 もしくは V_0' のいずれか1個に設定される。ここで、 V_0' は、 V_0 の極性を反転した電位レベルであり、 $V_0 = -V_0'$ で示される。同様に、階調制御信号SIG1～SIG15は、 $V_1 \sim V_{15}$ および $V_1' (= -V_1) \sim V_{15}' (= -V_{15})$ のいずれか一方にそれぞれ設定される。

【0108】階調制御信号の電位レベルの極性は一定周期で切替わる。これにより、液晶表示素子を交流駆動して、焼付きの発生を防止することができる。

【0109】図11は、階調制御信号生成回路80の構成を示す回路図である。図11を参照して、階調制御信号生成回路80は、電源電位Vddおよび接地電位GNDを受けて一定電位Voutを出力するレギュレータ82と、レギュレータ82の出力電位Voutを分圧するための分圧回路83とを有する。

【0110】分圧回路83は、電位Voutを分圧して、図10に示した $V_0 \sim V_{15}$ の電位レベルを出力する。階調制御信号生成回路80は、さらに分圧回路83が出力する電位レベル $V_0 \sim V_{15}$ を反転するためにそ

れぞれ設けられる電位反転レギュレータ84-0～84-15と、切替回路86とを有する。

【0111】電位反転レギュレータ84-0～84-15の各々は、分圧回路83の出力する電位レベル $V_0 \sim V_{15}$ をそれぞれ受けて、絶対値の等しい負電位 $V_0' (= -V_0)$, ..., $V_{15}' (= -V_{15})$ に変換する。

【0112】切替回路86は、分圧回路83および電位反転レギュレータ84-0～84-15が生成する電位レベル $V_0 \sim V_{15}$ および $V_0' \sim V_{15}'$ と、極性切替信号とSIGイネーブル信号SIGenbとを受け、切替回路86は、イネーブル信号SIGenbが活性化されている期間において、極性切替信号によって正電位駆動および負電位駆動のいずれが指定されているかに従って、階調制御信号SIG0～SIG15を生成する。

【0113】図12は、正電位駆動時における階調制御信号の信号レベルを説明するタイミングチャートである。

【0114】図12を参照して、イネーブル信号SIGenbは、リセット期間および転送期間が終了した時刻 t_2 以降のサンプリング/ラッチ期間において活性化(Hレベル)される。イネーブル信号SIGenbの活性化期間において、階調制御信号SIG0～SIG15は、異なる正電位 $V_0 \sim V_{15}$ にそれぞれ設定される。

【0115】水平走査周期が終了する時刻 t_3 に先立って、SIGイネーブル信号SIGenbは非活性化(Lレベル)されて、各階調制御信号SIG0～SIG15の各々の電位レベルも、リセットされて接地電位GNDに変化する。

【0116】図13は、負電位駆動時における階調制御信号の信号レベルを説明するタイミングチャートである。

【0117】図13を参照して、負電位駆動が指定されている期間においても、イネーブル信号SIGenbの活性化タイミングおよび階調制御信号SIG0～SIG15の電位レベルの絶対値は同じであり、階調制御信号SIG0～SIG15の極性のみが反転される。すなわち、イネーブル信号SIGenbの活性化期間において、階調制御信号SIG0～SIG15は、それぞれ $V_0' (= -V_0)$, $V_1' (= -V_1)$, ..., $V_{15}' (= -V_{15})$ にそれぞれ設定される。

【0118】図14は、画像表示装置100における画素電極電位の変化を説明するタイミングチャートである。

【0119】図14を参照して、時刻 t_0 において垂直走査周期が開始され、対応する垂直走査線VSLが活性化(Hレベル)される。時刻 t_0 からリセット期間および転送期間が経過した時刻 t_2 において、 2^n 個の階調制御信号のうちの n ビットの映像信号のデコード結果に対応する1個が、階調表示信号として水平走査線HSL

に伝達される。

【0120】垂直走査線VSLの活性化期間において、画素電極ノードは水平走査線HSLの電位レベルによって充電されるので、画素電極電位は、映像信号のデコード結果に応じて選択された階調制御信号が有する電位レベルと等しくなる。

【0121】水平走査周期が終了する時刻t3に先立って、垂直走査線VSLが非活性化(Lレベル)されて、液晶駆動回路中のTFT素子12がオフされる。これに応じて、画素電極ノードは水平走査線HSLと切離されるが、保持容量13によって画素電極電位は保持される。

【0122】時刻t0より垂直走査周期Tvが経過した時刻t00より、次のフレームに対応する画像を表示するために同様の動作が実行され、当該フレームにおける映像信号に対応する画素電極電位が書込まれて、階調表示が実行される。図14においては、一例として画素の交流駆動の周期を、垂直走査周期の1周期としているので、水平走査線HSLに伝達される階調制御信号の信号レベルの極性は、垂直走査周期ごとに反転される。

【0123】[実施の形態2]図15は、実施の形態2に従う液晶表示装置200の全体構成を示す概略ブロック図である。

【0124】図15を参照して、液晶表示装置200は、実施の形態1の従う液晶表示装置100に比較して、階調制御信号生成回路80に代えて階調制御信号生成回路180を備える点と、画素電位信号生成回路90を新たに備える点と、水平走査回路140を水平走査回路40に代えて備える点とで異なる。また、液晶表示部20中の各画素110は、実施の形態1の画素10と異なる構成を有する。液晶表示装置200のその他の構成および動作については、実施の形態1に従う液晶表示装置100と同様であるので、説明は繰り返さない。

【0125】図16は、画素110の構成を示す回路図である。図16を参照して、画素110は、液晶駆動回路111と、液晶表示素子14とを含む。

【0126】液晶駆動回路111は、図2で説明した液晶駆動回路110と比較して、画素電極電位を、水平走査線HSLではなく画素信号線VPLから受ける点、および画素信号線VPLと画素電極ノードNaとの間に配置されるスイッチ素子であるTFT素子112、114をさらに有する点で異なる。

【0127】液晶駆動回路111は、垂直走査線VSLの電位レベルに応じて、水平走査線HSLおよびTFT素子112のゲートとの間を電氣的に結合するスイッチ素子であるTFT素子12と、画素信号線VPLと画素電極ノードNaとの間に直列に接続されるTFT素子112および114と、画素電極ノードNaと共通配線CLとの間に接続される保持容量13とを有する。

【0128】TFT素子114のゲートは垂直走査線V

SL接続される。したがって、液晶駆動回路111は、垂直走査線VSLが活性化(Hレベル)されている場合においては、水平走査線HSLが活性化(Hレベル)されている期間において、TFT素子112および114の両方がオンして、画素信号線VPLと画素電極ノードNaとを接続する。これにより、画素電極ノードNaは、画素信号線VPLによって充電される。

【0129】垂直走査線VSLおよび水平走査線HSLのいずれか一方が非活性化(Lレベル)された場合には、画素信号線VPLと画素電極ノードNaとの間は遮断されて、画素電極ノードNaの電位レベルは保持容量13によって保持される。

【0130】このように、画素110においては、画素電極電位は、水平走査線HSLからではなく、画素電位信号生成回路90からの画素電位信号Vpxを供給する画素信号線VPLから与えられる。

【0131】図17は、階調制御信号生成回路180の動作を説明するタイミングチャートである。

【0132】図17を参照して、階調制御信号SIG0～SIG15は、それぞれパルス幅の異なるデジタル信号に設定される。階調制御信号SIG0～SIG15の活性化(Lレベル→Hレベル)タイミングは同期しているが、非活性化タイミング(Hレベル→Lレベル)がそれぞれ異なる。

【0133】図18は、階調制御信号生成回路180の構成を示すブロック図である。図18を参照して、階調制御信号生成回路180は、4ビットのカウンタ回路182と、カウンタ回路182が出力する4ビットのカウント信号をデコードするデコードユニット45と、デコードユニットの出力する $2^n = 16$ 個のワンショットパルスにそれぞれ対応して設けられるフリップフロップ回路182-02～182-15とを有する。

【0134】カウンタ回路182は、サンプリングクロックSCLKおよびサンプリングリセット信号SRSTに応じて動作する。サンプリングクロックSCLKは、図18におけるサンプリング/ラッチ期間Tslを $2^n = 16$ 分割するための周波数を有するクロック信号である。サンプリングリセット信号SRSTは、カウンタ回路182のカウント信号をリセットするための信号であり、サンプリング/ラッチ期間が開始される時刻t2において活性化される。

【0135】カウンタ回路182の出力するカウント信号T0'～T3'は、図5で説明したデコードクロックT0～T3について、転送期間Ttrをサンプリング/ラッチ期間Tsmに置換えた信号となる。したがって、デコードユニット45が出力する $2^n = 16$ 個のワンショットパルスは、図5に示した $2^n = 16$ 通りのデコード結果にそれぞれ対応するデコードパルスDPと同様であり、サンプリング/ラッチ期間を $2^n = 16$ 分割した、いずれかの期間において、活性化されたワンショッ

トパルスとなる。

【0136】フリップフロップ182-0~182-15の各々は、セット入力としてイネーブル信号SIGenbを共通に受ける。したがって、フリップフロップ182-0~182-15がそれぞれ出力する階調制御信号SIG0~SIG15の立上がりタイミングは同期することになる。一方、フリップフロップ182-0~182-15は、リセット入力として、デコードユニット45の出力する $2^n = 16$ 個のワンショットパルスのそれぞれを受ける。

【0137】これにより、フリップフロップ182-0~182-15がそれぞれ出力する階調制御信号SIG0~SIG15は、SIG0からSIG15の順番に、 $1/2^n \times T_{s1}$ ずつ活性化期間が長く設定されるパルス信号となる。

【0138】水平走査回路140は、水平走査回路40と比較して、階調制御回路の構成が異なる。

【0139】図19は、実施の形態2に従う液晶表示装置における階調制御回路146の構成を示すブロック図である。

【0140】図19を参照して、階調制御回路146は、図7に示した階調制御回路46Rと比較して、信号バッファ148をさらに有する点で異なる。

【0141】実施の形態2においては、階調制御信号SIG0~SIG15は、活性化/非活性化タイミングが有意なデジタル信号であるため、これらの電位レベルは、HレベルとLレベルとを識別できればよく、アナログ的な電位レベルは、意味を有さない。この点で、階調制御信号の電位レベルをそのまま階調表示を行なうための画素電極電位と対応づけた従来の技術の液晶表示装置500と異なる。

【0142】したがって、信号バッファ148を水平走査線ごとに設けて、信号増幅を実行することが可能である。これにより、各スイッチSW0~SW15は、デジタルスイッチでよいので、トランスファゲートを構成するトランジスタのサイズを抑えることができ、この点からも水平走査回路の面積削減を図ることができる。

【0143】また、液晶表示装置200においては、階調制御信号SIG0~SIG15の電位レベルは、階調表示を実行するために画素電極ノードに与えられる電位レベルとは直接の関係がないため、スイッチSW0~SW15のオン抵抗のばらつきによって、階調表示のための画素電極電位が直接影響を受けることがない。この結果、同一の映像信号に対する階調表示のばらつきを低減することができる。

【0144】階調制御回路146のその他の構成および動作は、図7に示した階調制御回路46Rと同様であるので、説明は繰り返さない。

【0145】図20は、画像電位信号生成回路90の構成を示すブロック図である。図20を参照して、画像電

位信号生成回路90は、階調制御信号生成回路180と共通のサンプリングクロックSCLKおよびサンプリングリセット信号SRSSTに応じて動作するカウント回路182と、カウント回路92の出力する4ビットのカウント信号T0'~T3'の信号レベルの組合せに応じた電位Vda出力するD/Aコンバータ回路94と、電位Vdaを絶対値はそのままで極性のみを反転する電位反転レギュレータ95と、D/Aコンバータ94の出力と電位反転レギュレータ95の出力とのいずれか一方を極性切替信号に応じて出力する切替回路96とを有する。

【0146】切替回路96は、画素信号線VPLに対して、画素電位信号Vpxを出力する。カウント信号T0'~T3'は、サンプリングクロックSCLKの活性化エッジに応じて、カウントアップされて、D/Aコンバータ回路94の出力電位は、ステップ状に増加する。水平走査周期の開始ごとにサンプリングリセット信号SRSSTは活性化される。これにより、画素電位信号Vpxは、図21に示すように、階段状の電位信号となる。また、極性切替信号によって、画素電位信号Vpxの極性を切替えることができ、正電位および負電位のいずれによっても、階段状の電位を発生することができ、各液晶表示素子を交流駆動して、焼付きを防止することができる。

【0147】図21は、画像表示装置200における画素電極電位の変化を説明するタイミングチャートである。

【0148】図21を参照して、垂直走査周期が開始される時刻t0において、垂直走査線VSLが活性化される。リセット期間および転送期間が経過した時刻t2において、水平走査線に、映像信号のデコード結果に応じた階調表示制御信号SCGが伝達される。これにより、映像信号のデコード結果に対応する期間だけ水平走査線HSLは活性化(Hレベル)される。水平走査線HSLの活性化期間中において、画素信号線と画素電極ノードとが接続されて、画素電極電位は、画素電位信号Vpxと等しくなる。

【0149】時刻txにおいて、映像信号のデコード結果に応じたタイミングで、水平走査線HSLが非活性化され、画素信号線VPLと画素電極ノードNaとは遮断される。したがって、画素電極電位は時刻txにおける電位レベルが保持される。時刻t3において水平走査周期が終了すると、次の画素に対して、画素電位信号を供給するために画素電位信号Vpxは一旦リセットされる。

【0150】このようにして、映像信号のデコード結果に基づいて水平走査線の活性化期間を制御するとともに、階段状に変化する画素電位信号Vpxによって画素電極電位を与えることによって、映像信号のデコード結果に対応した電位レベルを画素電極ノードに伝達することができる。これにより、デジタル信号である映像信号

に応じた階調表示を各画素において実行することができる。

【0151】なお、液晶表示装置200においては、画素電位信号 V_{px} を、三角波のような、直線状に電位レベルが推移する信号としても、同様の階調表示制御を行なうことができる。ただし、この場合には、水平走査線 HSL が非活性化の非活性タイミングが素子特性等によってばらつくと、画素電極電位が直接影響を受けるので、同一の映像信号に対する階調表示のばらつきを生じさせてしまうおそれがある。

【0152】[実施の形態3]図22は、本発明の実施の形態3に従う液晶表示装置300の全体構成を示す概略ブロック図である。

【0153】図22を参照して、液晶表示装置300は、実施の形態1の液晶表示装置100と比較して、階調制御信号生成回路180に代えて階調制御信号生成回路280を備える点および画素電位信号生成回路190を新たに備える点で異なる。また、液晶表示部20に行列状に配置される画素210は、実施の形態1で示した画素10とは異なる構成を有する。

【0154】図23は、実施の形態3に従う画素210の構成を示す概念図である。図23を参照して、画素210は、複数の副画素に分割される。図23においては、1つの画素を映像信号のビット数である4個の副画素 $SPX-0 \sim SPX-3$ に分割する例を示している。このように、各画素を複数の副画素に分割することにより、各副画素について、オン（最大輝度）およびオフ（最小輝度）のみを独立に制御することによって、オン選択された副画素副画素の面積に比例する階調表示を行なうことが可能である。

【0155】たとえば、図23に示すように、副画素 $SPX-0 \sim SPX-3$ の表示面積を、それぞれ S 、 $2S$ 、 $4S$ および $8S$ と設定することにより、 $n=4$ 個の副画素のオン/オフ選択によって、 $2^n=16$ 階調の階調表示を実行することができる。

【0156】各画素は、同様のメッシュによって分割されるものとする。これにより、液晶表示部20においては、副画素が行列状に配置されることになる。液晶表示装置300においては、垂直走査線および水平走査線は、この副画素の各行および各列に対応してそれぞれ設けられる。

【0157】図24は、実施の形態3に従う副画素の構成を示す回路図である。図24においては、副画素を総括的に符号 SPX で示すものとする。

【0158】図24を参照して、副画素 SPX は、液晶駆動回路211と、液晶表示素子14とを含む。各副画素 SPX に対応して、水平走査線 HSL および2本の垂直走査線 $VSL1$ 、 $VSL2$ 、共通配線 CL および画素信号線 VPL が設けられる。

【0159】液晶駆動回路211は、第1の垂直走査線

$VSL1$ の活性化に応じて、水平走査線 HSL と内部ノード Nx とを電氣的に結合する TFT 素子12と、共通配線 CL と内部ノード Nx との間に結合され、内部ノード Nx の電位レベルを保持するための制御容量素子116と、内部ノード Nx の電位レベルに応じて、共通配線 CL および画素信号線 VPL のうちのいずれか一方と画素電極ノード Na とを電氣的に結合するための画素電位供給回路212とを含む。

【0160】画素電位供給回路212は、内部ノード Nx の電位レベルに応じて、相補的にオン/オフするスイッチ素子112および118と、第2の垂直走査線 $VSL2$ の活性化に応じて、同時にオンするスイッチ素子122および124とを有する。スイッチ素子112、118、122、124は、 TFT 素子とすればよく、スイッチ素子112および118を相補的にオン/オフさせるためには、スイッチ素子112を n 型 TFT 素子として、スイッチ素子118を p 型 TFT 素子とすればよい。

【0161】第2の垂直走査線 $VSL2$ の活性化によって TFT 素子122および124がオンする。第2の垂直走査線 $VSL2$ の活性化期間中において、内部ノード Nx の電位レベルに応じて、 TFT 素子112および118のいずれかがオンすることによって、共通配線 CL および画素信号線 VPL のうちのいずれか一方と画素電極ノード Na とが電氣的に結合される。

【0162】したがって、第2の垂直走査線 $VSL2$ を活性化することによって、新たに第1の垂直走査線および水平走査線を活性化して、映像信号に対応する階調表示信号を画素に書込まなくても、画素電極電位を長期間維持して、同一の表示内容を保持することが可能となる。

【0163】一方、このような制御容量素子116を有しない画素の構成においては、同一の表示内容を保持する場合においても、垂直走査周期ごとに、同一データを繰返し書込む必要が生じる。

【0164】このように、液晶駆動回路内に制御容量素子116を設けて、副画素のオン/オフを選択する信号を副画素内で保持できる構成とすることにより、表示画面を変化させる必要がない場合におけるデータ書換周期を大幅に延長することができる。

【0165】これにより、たとえば携帯電話機の待ち受け時に相当するような、同一の表示画像が長時間表示される場合において、データ書換回数を極力少なくすることが可能となり、消費電力の低減を図ることが可能である。すなわち、このような構成は、低消費電力化が特に要求される、携帯電話や携帯情報端末等に適した構成であるといえる。

【0166】図25は、階調制御信号生成回路280の動作を説明するためのタイミングチャートである。

【0167】図25を参照して、サンプリング/ラッチ

期間 T_{s1} は、各画素に含まれる副画素の個数分の期間 $T_{dv0} \sim T_{dv3}$ に分割される。サンプリング/ラッチ期間の4分割された期間 $T_{dv0} \sim T_{dv3}$ は、副画素 $SPX-0 \sim SPX-3$ のオン/オフ状態を制御するための情報をそれぞれ有する。すなわち、これら4個の期間 $T_{dv0} \sim T_{dv3}$ についての、Hレベル/Lレベルの16通りの組み合わせは、16個の階調制御信号 $SIG0 \sim SIG15$ とそれぞれ対応する。

【0168】図26は、階調制御信号生成回路280の構成を示す回路図である。図26を参照して、階調制御信号生成回路280は、クロック信号 $DSCLK$ およびリセット信号 $DRST$ に応じて2ビットのカウント信号を生成するカウンタ回路282と、カウンタ回路282が生成する2ビットのカウント信号に応じたデコードを行なうデコードユニット245とを有する。

【0169】クロック信号 $DSCLK$ は、サンプリング/ラッチ期間 T_{s1} を4分割するために、その周期は、 $T_{sm}/2$ に設定される。カウンタ回路382は、クロック信号 $DSCLK$ の立上がり/立下がりエッジにตอบสนองして、2ビットのカウント信号のカウントアップを実行する。カウンタ回路382のカウント動作は、リセット信号 $DRST$ の活性化によってクリアされる。

【0170】デコードユニット245は、既に説明したデコードユニット45と類似の構成を有し、2ビットのカウント信号に対するデコードを実行する。したがって、デコードユニット245の出力信号 $OUT0$ 、 $OUT1$ 、 $OUT2$ および $OUT3$ は、それぞれ図25中における SIG 、 $SIG2$ 、 $SIG4$ および $SIG8$ に相当する。

【0171】階調制御信号生成回路280は、さらに論理回路285を有する。論理回路285は、デコードユニット245から出力される4個の出力信号 $OUT0 \sim OUT3$ を組み合わせることによって、図25に示されるような16通りの階調制御信号 $SIG0 \sim SIG15$ を生成する。

【0172】図27は、画素電位信号生成回路190の構成を示す回路図である。図27を参照して、画素電位供給回路190は、一定電位 V_d を反転する電位反転レギュレータ194と、極性切替信号に応じて、 V_d および $-V_d$ のいずれか一方を画素電位信号 V_{px} として出力する切替回路192を有する。

【0173】図28は、画像表示装置300における画素電極電位の変化を説明するタイミングチャートである。

【0174】図28を参照して、時刻 t_0 において、垂直走査が開始される。時刻 t_0 からリセット期間および転送期間が経過した時刻 t_2 において、サンプリング/ラッチ期間が開始され、サンプリング/ラッチ期間 T_{s1} を4分割した期間のそれぞれにおいて、第1の垂直走査線 $VSL1-0 \sim VSL1-3$ が順に活性化される。

これに応じて、各副画素においてTFT素子12がオンして、水平走査線 SHL に伝達された階調表示信号が内部ノード Nx に取込まれ保持される。

【0175】時刻 t_y において第2の垂直走査線 $VSL2-0 \sim VSL2-3$ が活性化(Hレベル)される。このタイミングで、画素電位信号生成回路190による画素電位信号 V_{px} の極性も切替えられる。第2の垂直走査線 $VSL2-0 \sim VSL2-3$ の活性化に応じて、各副画素において、内部ノード Nx に保持された電位レベルに応じて、画素電極ノード Na が共通配線 CL もしくは画素信号線 VPL のいずれかと接続される。これにより、映像信号のデコード結果に応じて、画素内における副画素のオン/オフ選択が実行される。第2の垂直走査線 $VSL2-0 \sim VSL2-3$ が非活性化されても、各副画素における画素電極電位は、保持容量13によって保持される。

【0176】第2の垂直走査線 $VSL2-0 \sim VSL2-3$ は、垂直走査周期ごと、すなわち1フレームの表示ごとに活性化される。したがって、垂直走査周期ごとに画素電極ノード Na を共通配線 CL もしくは画素信号線 VPL と電気的に結合することができる。この結果、同一内容を続けて表示する場合には、第1の垂直走査線および水平走査線を活性化して、映像信号に対応する階調表示信号を画素に書込む周期 T_{wt} を垂直走査周期 T_v よりもかなり長くとることができる。したがって、同一の表示内容を保持する場合における低消費電力化を図ることができる。

【0177】[実施の形態3の変形例]既に述べたように、副画素 SPX の構成は、表示画像の変更が必要ない場合において、データ書込頻度を削減して低消費電力化を図ることが可能である。そこで、このような画素の構成は、携帯電話や携帯情報端末等のバッテリー駆動機器に適している。

【0178】図29は、本発明の実施の形態3の変形例に従う携帯電話機400の構成を示す概念図である。

【0179】図29を参照して、携帯電話機400が備える表示部は、実施の形態3に従う液晶駆動装置300によって構成される。液晶表示装置300の構成および動作については既に説明したとおりであるので繰返さない。これにより、低消費電力化を図るとともに、デジタルデータの映像信号に基づいて、回路面積を削減した階調表示が実行できるので、携帯電話機に要求される低消費電力化および小型軽量化のニーズにマッチした構成とすることができる。

【0180】図30は、実施の形態3の変形例に従う携帯情報端末410の構成を示す概念図である。

【0181】図30を参照して、携帯情報端末410は、表示部として実施の形態3に従う液晶表示装置300を表示部として備える。これにより、携帯情報端末機器410は、携帯電話機400と同様に、低消費電力化

および小型軽量化を有効に図ることが可能となる。

【0182】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0183】

【発明の効果】請求項1、2、3および8記載の液晶表示装置は、 n ビットの映像信号のデコード結果に応じて活性化期間が変化する1ビットのデコードパルス信号によって階調表示制御を行なうので、デコード結果を伝達する信号配線の増大を回避することができる。この結果、画素間のピッチ制約によって解像度を低下させることなく、デジタル信号に基づいた多段階階調表示を実行することができる。

【0184】請求項4および7記載の液晶表示装置は、映像信号のデコード結果に対応してデコードパルス信号が活性化される期間に先立って、全てのスイッチ回路を一旦オフすることができる。この結果、以前のデコード結果に対応する階調制御信号の伝達を防止することができるので、請求項5記載の液晶表示装置が奏する効果に加えて、動作の安定化を図ることが可能である。

【0185】請求項5記載の液晶表示装置は、デコードパルス信号の2nd通りの活性化期間とそれぞれ同期した2nd個のタイミングパルスに応じてデコードパルス信号をラッチすることによって、階調制御信号の選択を行なうので、1ビットのデコードパルス信号によって、 n ビットの映像信号のデコード結果に応じた階調表示制御が可能である。

【0186】請求項6記載の液晶表示装置は、デジタル信号である階調制御信号を選択し、さらに信号バッファによって増幅して階調表示信号を生成する。この結果、各階調制御信号線と水平走査線との間に配置されるスイッチ回路の電流駆動能力を低減することができるので、請求項5記載の液晶表示装置が奏する効果に加えて、回路面積の削減を図ることができる。

【0187】請求項9記載の液晶表示装置は、それぞれ異なる電位レベルを有する2nd個の階調制御信号のうちの1個を n ビットの映像信号のデコード結果に応じて選択し、水平走査線を介して画素電極に供給することによって、請求項1記載の液晶表示装置が奏する効果享受することができる。

【0188】請求項10および12に記載の液晶表示装置は、デジタル信号である階調制御信号によって制御される水平走査線の活性化期間において、画素信号線と画素電極との間を接続することによって、 n ビットの映像信号のデコード結果に応じた電位レベルを画素電極に供給する。この結果、デジタル信号である階調制御信号によって、階調表示を行なうことができるので、アナログ

信号である階調制御信号を直接画素電極に供給する場合よりも、階調表示のばらつきを低減することができる。

【0189】請求項11記載の液晶表示装置は、画素信号の電位レベルをステップ状に変化させるので、請求項10記載の液晶表示装置が奏する効果に加えて、階調制御信号によって制御される水平走査線の活性化期間の微小なずれに起因する階調表示のばらつきを低減することができる。

【0190】請求項13、14および15に記載の液晶表示装置は、 n ビットの映像信号のデコード結果に応じて n 個の副画素のオン/オフ制御することによって、各画素における階調表示を行なう。この結果、デジタル信号である階調制御信号によって、階調表示を行なうことができるので、アナログ信号である階調制御信号を直接画素電極に供給する場合よりも、階調表示のばらつきを低減することができる。さらに、各副画素においては、制御用容量素子によって内部ノードに保持される電位レベルに応じて、第1および第2の基準電位配線の一方と各副画素中の画素電極との接続状態を維持できる。したがって、同一画像を連続して表示する場合において、垂直走査線および水平走査線を駆動した各画素へのデータ書込動作を実行する必要がなく、低消費電力化を図ることができる。また、各副画素において、第1および第2の基準電位配線の一方と各副画素中の画素電極との接続されることにより、画素電極電位の変動を抑えられるので、表示品位の低下を防止することができる。

【0191】請求項16記載の液晶表示装置は、共通電極との電位差がゼロおよび液晶駆動電位である2つの電位を、第1および第2の基準電位配線によってそれぞれ伝達するので、請求項13記載の液晶表示装置が奏する効果に加えて、副画素間の表示コントラストを強調することができる。

【0192】請求項17および18記載の携帯電話機置は、 n ビットの映像信号のデコード結果に応じて活性化期間が変化する1ビットのデコードパルス信号によって階調表示制御を行なう液晶表示部を備えるので、デコード結果を伝達する信号配線の増大を回避することができる。この結果、画素間のピッチ制約によって解像度を低下させることなく、デジタル信号に基づいた多段階階調表示を実行することができる。また、 n ビットの映像信号のデコード結果に応じて n 個の副画素のオン/オフ制御することによって、各画素における階調表示を行なう。この結果、デジタル信号である階調制御信号によって、階調表示を行なうことができるので、アナログ信号である階調制御信号を直接画素電極に供給する場合よりも、階調表示のばらつきを低減することができる。さらに、各副画素においては、制御用容量素子によって内部ノードに保持される電位レベルに応じて、第1および第2の基準電位配線の一方と各副画素中の画素電極とを接続できる。したがって、同一画像を連続して表示する、

いわゆる待ち受け時において、垂直走査線および水平走査線を駆動した各画素へのデータ書込動作を実行する必要がなく、低消費電力化を図ることができる。

【0193】請求項19および20記載の携帯情報端末機器は、 n ビットの映像信号のデコード結果に応じて活性化期間が変化する1ビットのデコードパルス信号によって階調表示制御を行なう液晶表示部を備えるので、デコード結果を伝達する信号配線の増大を回避することができる。この結果、画素間のピッチ制約によって解像度を低下させることなく、デジタル信号に基づいた多段階階調表示を実行することができる。また、 n ビットの映像信号のデコード結果に応じて n 個の副画素のオン/オフ制御することによって、各画素における階調表示を行なう。この結果、デジタル信号である階調制御信号によって、階調表示を行なうことができるので、アナログ信号である階調制御信号を直接画素電極に供給する場合よりも、階調表示のばらつきを低減することができる。さらに、各副画素においては、制御容量素子によって内部ノードに保持される電位レベルに応じて、第1および第2の基準電位配線の一方と各副画素中の画素電極とを接続できる。したがって、同一画像を連続して表示する場合において、垂直走査線および水平走査線を駆動した各画素へのデータ書込動作を実行する必要がなく、低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に従う液晶表示装置100の全体構成を示すブロック図である。

【図2】 画素10の構成を示す回路図である。

【図3】 水平走査回路40の構成を示すブロック図である。

【図4】 デコード回路の構成を示す回路図である。

【図5】 デコードユニットの動作を説明するタイミングチャートである。

【図6】 デコードクロック生成回路60の構成例を示す図である。

【図7】 階調制御回路の構成を示す回路図である。

【図8】 タイミングパルス生成回路70の構成を示す回路図である。

【図9】 タイミングパルスLP0～LP15の活性化タイミングを説明するタイミングチャートである。

【図10】 階調制御信号の電位レベルを説明する概念図である。

【図11】 階調制御信号生成回路80の構成を示す回路図である。

【図12】 正電位駆動時における階調制御信号の信号レベルを説明するタイミングチャートである。

【図13】 負電位駆動時における階調制御信号の信号レベルを説明するタイミングチャートである。

【図14】 画像表示装置100における画素電極電位の変化を説明するタイミングチャートである。

【図15】 実施の形態2に従う液晶表示装置200の全体構成を示す概略ブロック図である。

【図16】 画素110の構成を示す回路図である。

【図17】 制御信号生成回路180の動作を説明するタイミングチャートである。

【図18】 階調制御信号生成回路180の構成を示すブロック図である。

【図19】 実施の形態2に従う液晶表示装置における階調制御回路146の構成を示すブロック図である。

【図20】 画像電位信号生成回路90の構成を示すブロック図である。

【図21】 画像表示装置200における画素電極電位の変化を説明するタイミングチャートである。

【図22】 本発明の実施の形態3に従う液晶表示装置300の全体構成を示す概略ブロック図である。

【図23】 実施の形態3に従う画素210の構成を示す概念図である。

【図24】 実施の形態3に従う副画素の構成を示す回路図である。

【図25】 階調制御信号生成回路280の動作を説明するためのタイミングチャートである。

【図26】 階調制御信号生成回路280の構成を示す回路図である。

【図27】 画素電位信号生成回路190の構成を示す回路図である。

【図28】 画像表示装置300における画素電極電位の変化を説明するタイミングチャートである。

【図29】 本発明の実施の形態3の変形例に従う携帯電話機400の構成を示す概念図である。

【図30】 実施の形態3の変形例に従う携帯情報端末410の構成を示す概念図である。

【図31】 従来の液晶表示装置500の全体構成を説明する概略ブロック図である。

【図32】 デジタル映像信号に基づいて階調表示を行なうための水平走査回路540の構成を示すブロック図である。

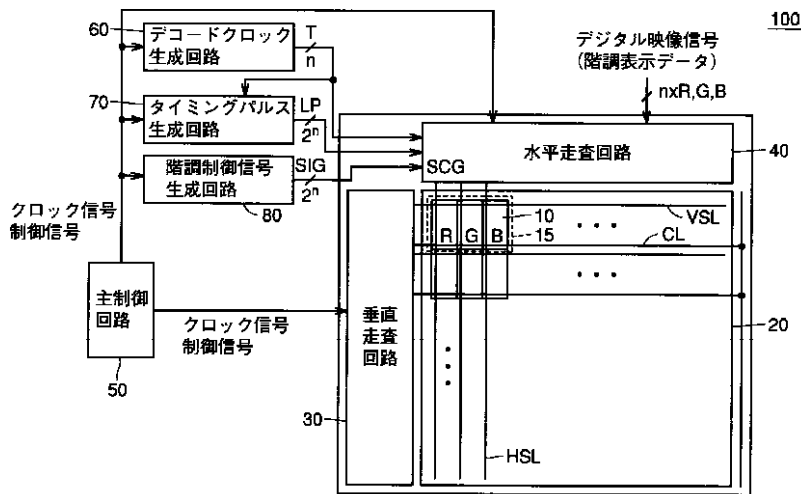
【図33】 従来のデコード回路および階調制御回路の構成を詳細に説明するブロック図である。

【図34】 アナログスイッチの構成を示す回路図である。

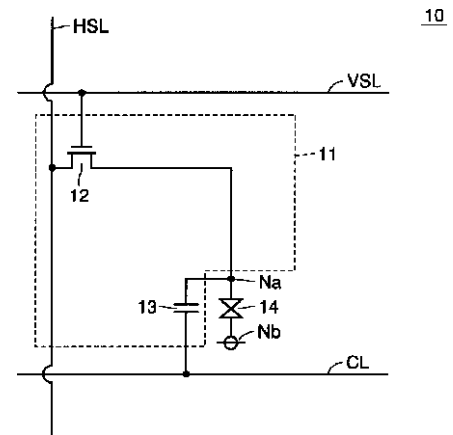
【符号の説明】

10, 110, 210 画素、20 液晶表示部、30 垂直走査回路、40 水平走査回路、50 主制御回路、60 デコードクロック生成回路、70 タイミングパルス生成回路、80, 180, 280 階調制御信号生成回路、90, 190 画素電位信号生成回路、HSL 水平走査線、VSL, VSL1, VSL2 垂直走査線、CL 共通配線、Na 画素電極ノード、Nb 共通電極ノード。

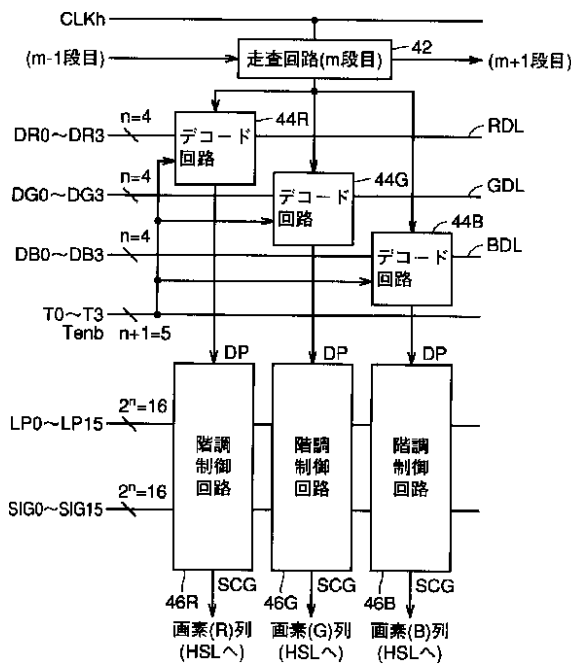
【図1】



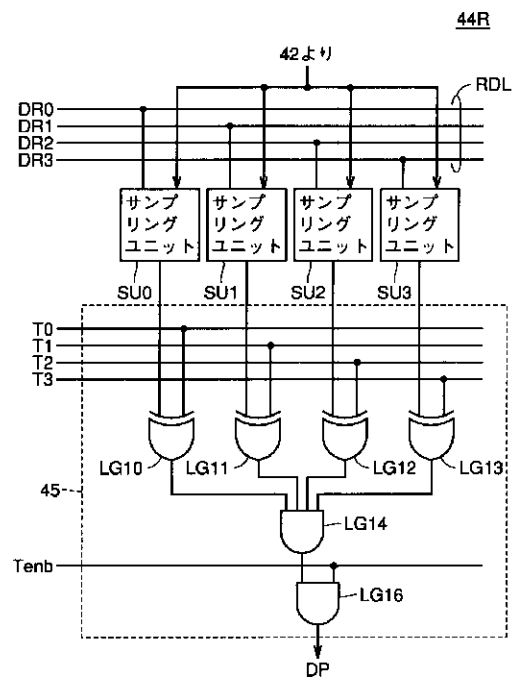
【図2】



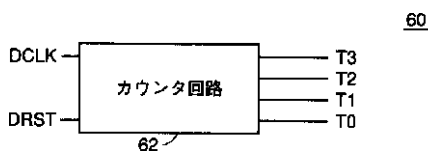
【図3】



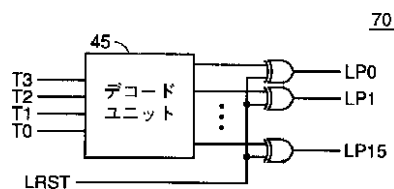
【図4】



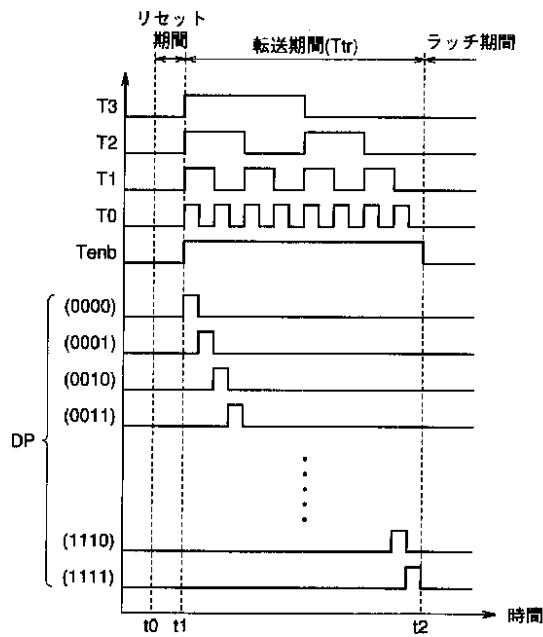
【図6】



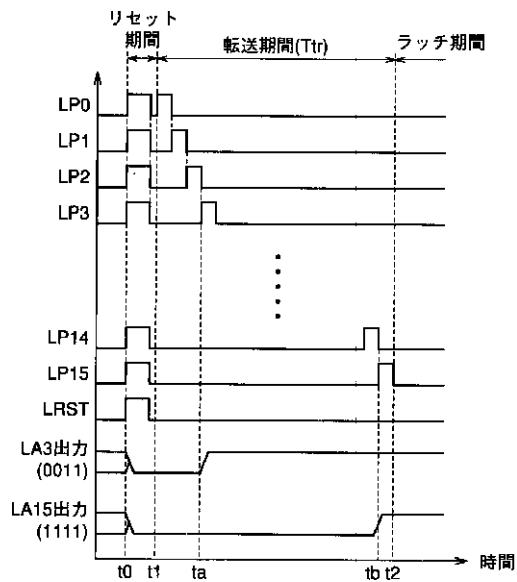
【図8】



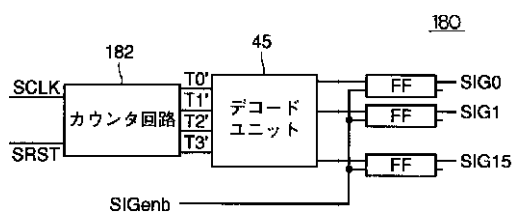
【図5】



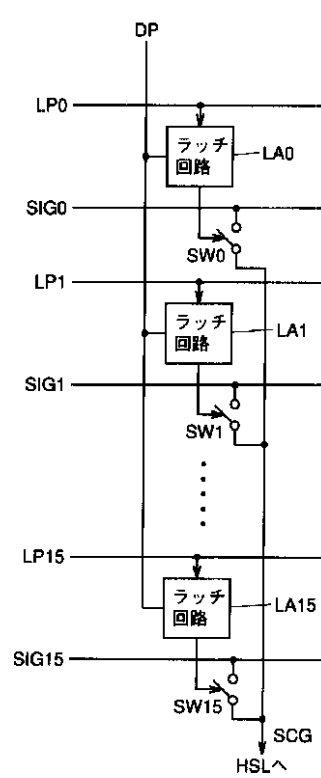
【図9】



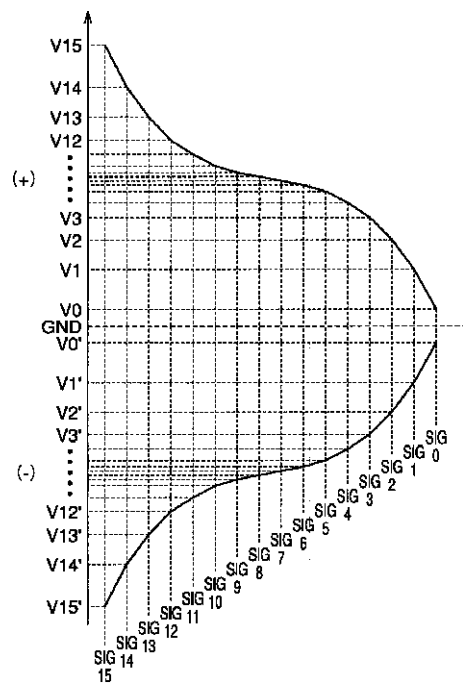
【図18】



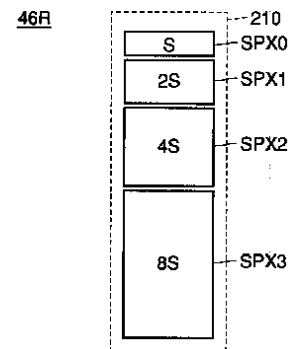
【図7】



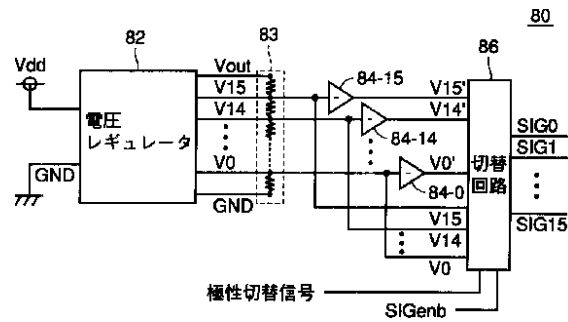
【図10】



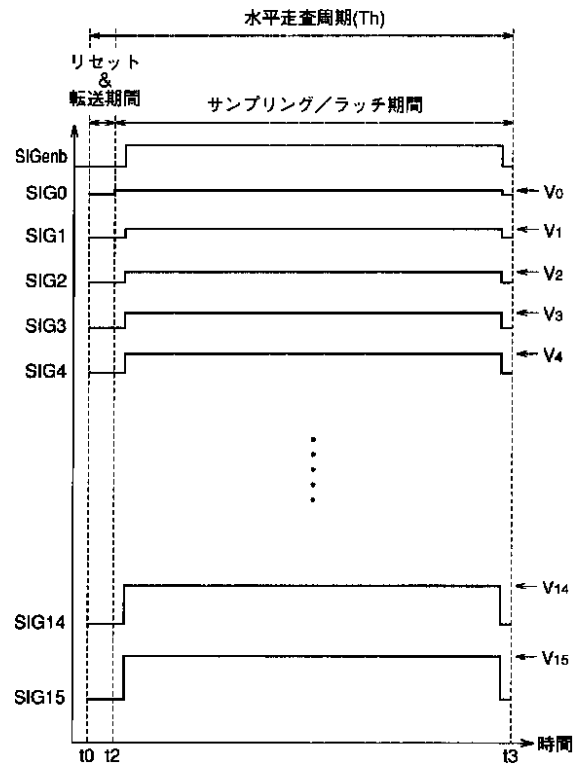
【図23】



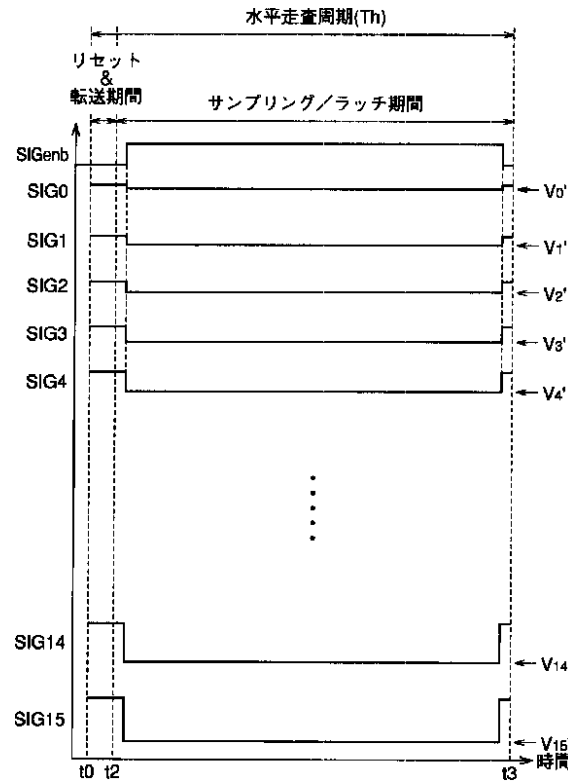
【図11】



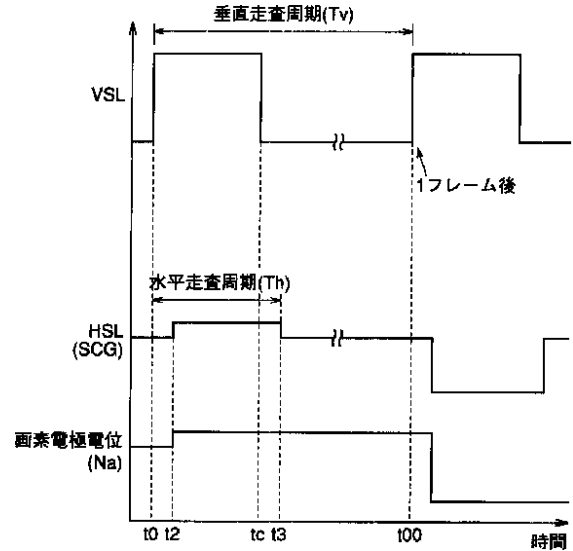
【図12】



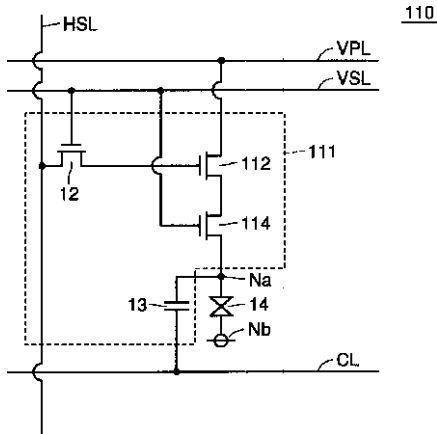
【図13】



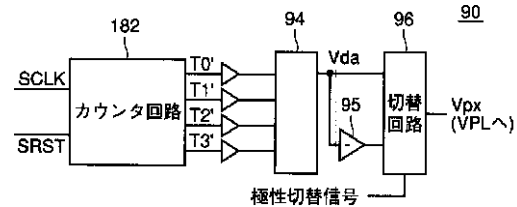
【図14】



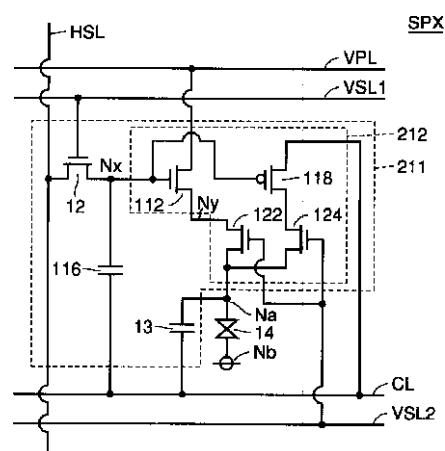
【図16】



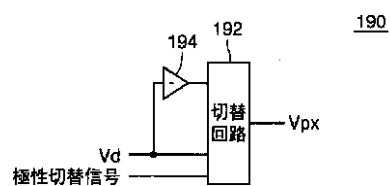
【図20】



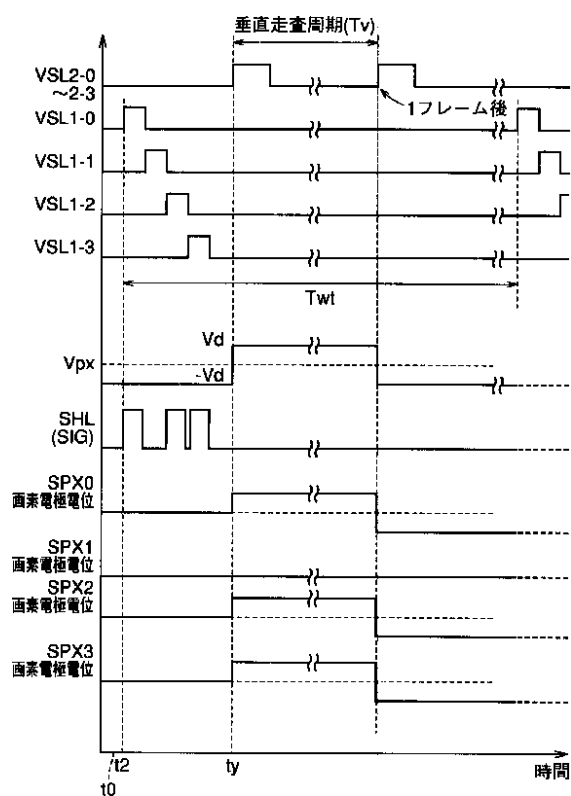
【圖 24】



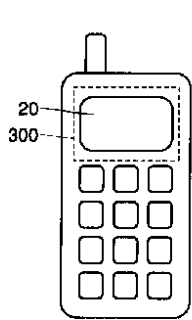
【圖 27】



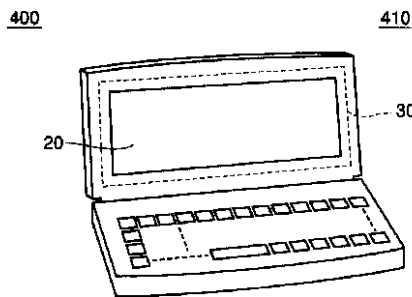
【图 28】



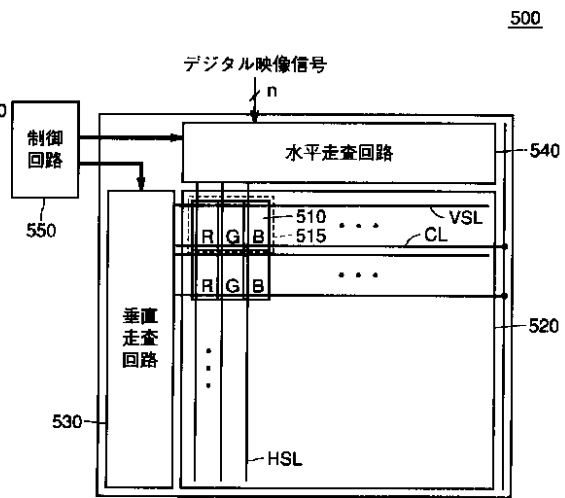
【図29】



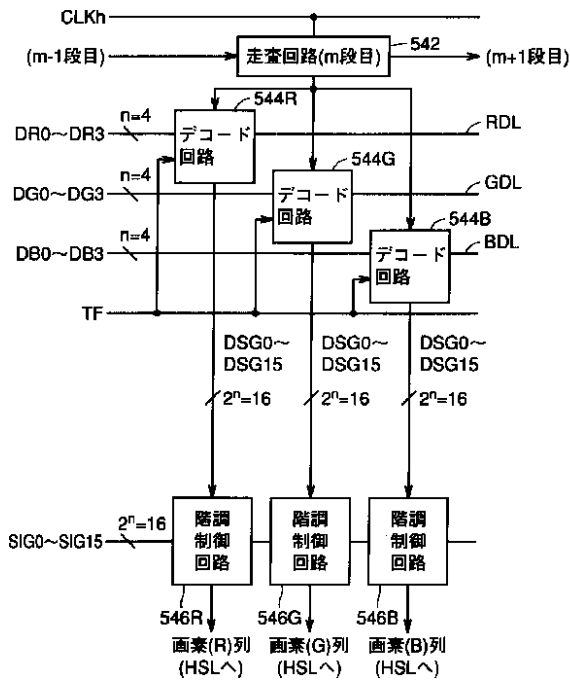
【図30】



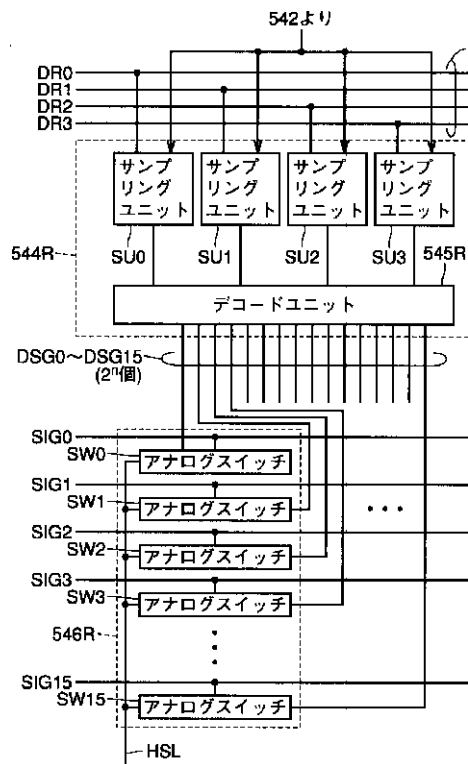
【図31】



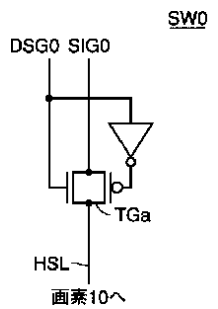
【図32】



【図33】



【図34】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

H 0 4 M 1/02

識別記号

6 8 0

F I

G 0 9 G 3/20

H 0 4 M 1/02

テ-マ-コード (参考)

6 8 0 T

A

(72)発明者	時岡 秀忠	F ターム(参考)	2H093	NA43	NA53	NA63	NC03	NC09
	東京都千代田区丸の内二丁目 2 番 3 号 三			NC11	NC16	NC21	NC25	NC26
	菱電機株式会社内			NC27	NC34	NC35	ND12	ND17
(72)発明者	井上 満夫			ND34	ND39	ND42		
	東京都千代田区丸の内二丁目 2 番 3 号 三		5C006	AA16	AA22	AC02	AC21	AF64
	菱電機株式会社内			AF72	BB16	BC03	BC06	BC12
				BF49	EC13	FA42	FA56	
			5C080	AA10	BB05	CC03	DD23	EE29
				FF09	JJ02	JJ03	JJ04	JJ06
				KK07				
			5K023	AA07	BB11	HH07		

专利名称(译)	液晶显示装置，移动电话和使用其的便携式信息终端装置		
公开(公告)号	JP2001282200A	公开(公告)日	2001-10-12
申请号	JP2000098249	申请日	2000-03-31
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	村井博之 上里将史 時岡秀忠 井上満夫		
发明人	村井 博之 上里 将史 時岡 秀忠 井上 満夫		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04M1/02		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.641.C G09G3/20.680.S G09G3/20.680.T H04M1/02.A		
F-TERM分类号	2H093/NA43 2H093/NA53 2H093/NA63 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC21 2H093/NC25 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC35 2H093/ND12 2H093/ND17 2H093/ND34 2H093/ND39 2H093/ND42 5C006/AA16 5C006/AA22 5C006/AC02 5C006/AC21 5C006/AF64 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BF49 5C006/EC13 5C006/FA42 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD23 5C080/EE29 5C080/FF09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5K023/AA07 5K023/BB11 5K023/HH07 2H093/NA54 2H193/ZA04 2H193/ZA19 2H193/ZD23 2H193/ZD24 2H193/ZF03		
其他公开文献	JP4521926B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在不降低显示质量例如分辨率的情况下，根据数字信号对液晶显示装置进行高灰度显示。解码电路产生解码脉冲DP，其激活周期根据n位视频信号设置。灰度控制电路根据解码脉冲DP的激活定时选择与2个n灰度相对应的2个n灰度控制信号SIG0至SIG15之一，并选择电平之一。输出为按键显示信号SCG。每个像素经由水平扫描线HSL接收灰度显示信号SCG，并且将与灰度显示信号SCG相对应的电势电平提供给像素电极。

