

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 264809

(P2001 - 264809A)

(43)公開日 平成13年9月26日(2001.9.26)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ド* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1333 500	2 H 0 9 0
1/1333	500	1/1337 505	2 H 0 9 2
1/1337	505	1/1343	5 C 0 9 4
1/1343		G 0 9 F 9/30 338	
G 0 9 F 9/30	338	9/35	

審査請求 未請求 請求項の数 18 O L (全 61数) 最終頁に続く

(21)出願番号 特願2000 - 77080(P2000 - 77080)

(22)出願日 平成12年3月17日(2000.3.17)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 太田 益幸

千葉県茂原市早野3300番地 株式会社日立

製作所ディスプレイグループ内

(74)代理人 100083552

弁理士 秋田 収喜

最終頁に続く

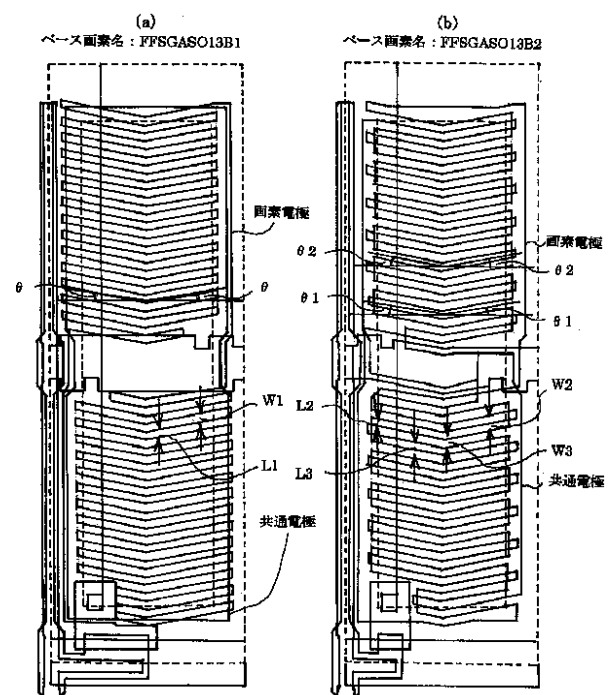
(54)【発明の名称】 液晶表示装置

(57)【要約】 (修正有)

【課題】 透過率を向上させ、かつ残像の発生の低減を図る。

【解決手段】 液晶層を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に、互いに離間されて形成された一対の電極が備えられ、これら電極の間に発生させる前記基板と平行な成分の電界によって前記液晶層の光透過率を制御させるものであって、前記電極は少なくともその一方が透明電極で形成されているとともに、前記液晶層の層厚を d 、前記電極の幅を w 、各電極の間隔を L とした場合に、 $d \ll L$ 、および $d \ll w$ の関係を有するように構成されている。

図 5 5



【特許請求の範囲】

【請求項 1】 液晶層を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に、互いに離間されて形成された一対の電極が備えられ、これら電極の間に発生させる前記基板と平行な成分の電界によって前記液晶層の光透過率を制御させるものであって、前記電極は少なくともその一方が透明電極で形成されているとともに、

前記液晶層の層厚を d 、前記電極の幅を w 、各電極の間隔を L とした場合に、 $d \leq L$ 、および $d \leq w$ の関係を有するように構成されていることを特徴とする液晶表示装置。

【請求項 2】 対向配置される各基板の間に介在され層厚が d で該基板と平行な成分を有する電界によって光透過率が制御される液晶層と、

前記基板のうち一方の基板の液晶側の画素領域に画素電極とこの画素電極に対して L の間隔で離間され該画素電極との間に電界を発生せしめる対向電極とを備え、

前記画素電極および対向電極は少なくともその一方が透明導電層で形成され、かつ、前記画素電極および対向電極の幅 w は前記液晶層の層厚 d より小さく設定されているとともに、この液晶層の層厚 d は前記画素電極と対向電極との間隔 L より小さく設定されていることを特徴とする液晶表示装置。

【請求項 3】 基板の間に介在され該基板と平行な成分を有する電界によって光透過率が制御される層厚 d の液晶層と、

前記基板のうち一方の基板の液晶側の画素領域に、一方向に延在され該一方向に交差する方向に並設される幅 w_1 (d) の第 1 電極と、これら第 1 電極の間に該第 1 電極と間隔 L (d) を有して配置され該第 1 電極との間に電界を発生せしめる幅 w_2 (d) の第 2 電極とを備え、

前記第 1 電極と第 2 電極のうちいずれかが透明電極で構成されていることを特徴とする液晶表示装置。

【請求項 4】 基板の間に介在され該基板と平行な成分を有する電界によって光透過率が制御される層厚 d の液晶層を備え、

前記基板のうち一方の基板の液晶側の面の信号線によって囲まれる画素領域に、

ゲート信号線からの走査信号の供給によって駆動されるスイッチング素子を介してドレイン信号線からの映像信号が供給される幅 w_1 の画素電極と、

この画素電極に対して L の距離を隔てて配置され該画素電極の間に電界を発生せしめる幅 w_2 の対向電極とが形成され、

前記画素電極および対向電極の一方が透明導電層で形成されているとともに、

$d \leq L$ 、および $d \leq w_1$ 、 w_2 の関係を有するように構成されていることを特徴とする液晶表示装置。

【請求項 5】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に画素電極と対向電極を有し、前記画素電極と前記対向電極の間の基板面に略平行な電界成分により、ツイスト可能な液晶層の液晶分子を制御し、表示を行うアクティブマトリクス型液晶表示装置において、

前記画素電極および対向電極の少なくとも一方が透明電極から構成されているとともに、

前記一方の基板に対する他方の基板のギャップの変動が $\pm 0.3 \mu\text{m}$ に対して、真白の輝度を 100% としたときの 20% の輝度の変動が 10% 以下になっていることを特徴とする液晶表示装置。

【請求項 6】 画素電極および対向電極は絶縁膜を介して配置され、一方の電極は一方向に延在し該方向に交差する方向に延在された電極群から構成されているとともに、他方の電極は少なくとも前記電極群の各電極と絶縁膜を介して重畳されていることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】 画素電極および対向電極は、それぞれ一方向に延在し該方向に交差する方向に延在された電極群から構成されているとともに、一方の電極が他方の電極の間に隙間を有して配置された櫛歯状電極となっていることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 8】 一対の映像信号線の間に画素領域を有し、この画素領域に画素電極と複数の電極群からなる対向電極が形成され、

前記一対の映像信号線にはそれぞれ反転された映像信号が供給されるとともに、

前記対向電極の各電極をそれぞれ接続させる接続部は、映像信号線の延在方向に沿って形成され、かつ、前記一対の映像信号線のそれぞれの映像信号線に隣接して割り振られていることを特徴とする液晶表示装置。

【請求項 9】 前記画素領域は映像信号線に交差して走行する対向電圧信号線によって分割され、その一方の画素領域の対向電極の各電極の接続部は前記一対の映像信号線のうち一方の映像信号線に隣接され、他方の画素領域の対向電極の各電極の接続部は他方の映像信号線に隣接されて配置され、かつ、これらの接続部は前記対向電圧信号線上で接続されていることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】 対向電極およびそれらの接続部は透明電極からなり、かつ、前記対向電圧信号線上の接続部は前記対向電圧信号線を一部被って形成されているとともに、該対向電圧信号線の前記接続部によって被われた部分には切欠きが形成されていることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に映像信号線とこの映像信号線に隣接した画素を有し、

この画素には前記映像信号線からの映像信号がスイッチ

ング素子を介して供給される画素電極とこの画素電極との間に前記基板に平行な成分を有する電界を発生せしめる対向電極が設けられ、

前記各基板の液晶側の面に配向膜が形成され、この配向膜によって初期配向が決定される液晶が前記映像信号線と交差する方向の電界によって動作しないことを特徴とする液晶表示装置。

【請求項 12】 画素電極と対向電極のうち少なくとも一方の電極が前記映像信号線と交差する方向に延在し該映像信号線に沿った方向に並設される電極群からなることを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に絶縁膜を介して画素電極と対向電極とが形成され、

これら各電極のうち一方の電極が該画素領域の大部分の領域に形成された透明電極からなるとともに、

他方の電極が一方に延在され該方向と交差する方向に並設される電極群からなり、

前記電極群の各電極は屈曲部を有し、その屈曲部における広がり角が $180^\circ - 2\theta$ であり、 θ は 10° 以上であることを特徴とする液晶表示装置。

【請求項 14】 θ は 40° 未満であることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】 前記絶縁膜はその膜厚が $0.5\mu\text{m}$ 以上であることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 16】 前記各電極のうち上層に位置づけられる電極をも被うようにして他の絶縁膜が形成され、その膜厚が $0.5\mu\text{m}$ 以上であることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 17】 前記絶縁膜の誘電率は 6 以上であることを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 18】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に対向電極上に絶縁膜を介して画素電極が形成され、

前記対向電極は該画素領域の大部分の領域に形成された透明電極からなるとともに、

画素電極はゲート信号線からの走査信号の供給によって駆動されるスイッチング素子を介して映像信号が供給される電極群からなり、かつ前記スイッチング素子をも被って形成される絶縁膜の上層に形成され、

さらに、前記対向電極と接続される対向電圧信号線と前記ゲート信号線とが同層となっていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、いわゆる横電界方式と称される液晶表示装置に関するものである。

【0002】

【従来の技術】横電界方式と称される液晶表示装置は、液晶を介して対向配置される各透明基板の一方の透明基板の液晶側の各画素領域に、画素電極とこの画素電極との間に透明基板と平行な電界（横電界）を発生せしめる対向電極とが形成されて構成されている。

【0003】画素電極と対向電極の間の領域を透過する光に対して、その量を前記電界が印加された液晶の駆動によって、制御するようになっている。

【0004】このような液晶表示装置は、表示面に対して斜めの方向から観察しても表示に変化のない、いわゆる広視野角特性に優れたものとして知られている。

【0005】そして、これまで、前記画素電極と対向電極は光を透過させることのない導電層で形成されていた。

【0006】しかし、近年、画素領域の周辺を除く領域の全域に透明電極からなる対向電極を形成し、この対向電極上に絶縁膜を介して一方に延在し該一方に交差する方向に並設させた透明電極からなる帯状の画素電極を形成した構成のものが知られるに至った。

【0007】このような構成の液晶表示装置は、横電界が画素電極と対向電極との間に発生し、依然として広視野角特性に優れるとともに、開口率が大幅に向上するようになる。

【0008】なお、この技術はたとえばSID (Society for Information Display) 99 DIGEST: P202~P205、あるいは特開平 11-202356 号公報に記載がなされている。

【0009】

【発明が解決しようとする課題】しかしながら、上述した液晶表示装置は、開口率の減少を憂えることなく、電極の配置密度を大きくできるようになるが、それにより、部分的に電界の集中が起きやすく残像の発生が生じ易いという不都合が指摘されるようになった。

【0010】本発明は、このような事情に基づいてなされたもので、その目的は、残像の発生を抑制し、表示品質の良好な液晶表示装置を提供することにある。

【0011】

【課題を解決するための手段】本発明において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】すなわち、液晶層を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に、互いに離間されて形成された一対の電極が備えられ、これら電極の間に発生させる前記基板と平行な成分の電界によって前記液晶層の光透過率を制御させるものであって、前記電極は少なくともその一方が透明電極で形成されるとともに、前記液晶層の層厚を d 、前記電極の幅を w 、各電極の間隔を L とした場合に、 $d \ll L$ 、および $d \ll w$ の関係を有するように構成されていることを特徴とするものである。

【0013】このように構成された液晶表示装置は、残像の発生を大幅に抑制させたものを得ることができるようになる。

【0014】仮に、画素電極と対向電極の間の距離に対して液晶の層厚を大きくした場合、それら電極が形成されている透明基板側に強力な横電界が発生し易くなり、該電極が形成されている透明基板側の配向膜のみによって初期配向の状態に復元させなければならないことから、残像が極めて生じ易くなってしまふ。

【0015】また、液晶の層厚に比較して電極の幅を大きくした場合、それら電極が形成されている透明基板と対向する他の透明基板側に強力な横電界が発生し易くなり、該透明基板側の配向膜のみによって初期配向の状態に復元されなければならないことから、残像が極めて生じ易くなってしまふ。

【0016】

【発明の実施の形態】本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0017】（実施例 1）

《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0018】《マトリクス部（画素部）の平面構成》図 1 は本発明のアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図である（図の斜線部分は透明導電膜 g 2 を示す）。

【0019】図 1 に示すように、各画素は走査信号線（ゲート信号線または水平信号線）G L と、対向電圧信号線（対向電極配線）C L と、隣接する 2 本の映像信号線（ドレイン信号線または垂直信号線）D L との交差領域内（4 本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタ T F T、蓄積容量 C s t g、画素電極 P X および対向電極 C T を含む。走査信号線 G L、対向電圧信号線 C L は図では左右方向に延在し、上下方向に複数本配置されている。映像信号線 D L は上下方向に延在し、左右方向に複数本配置されている。画素電極 P X は薄膜トランジスタ T F T と接続され、対向電極 C T は対向電圧信号線 C L と一体になっている。

【0020】映像信号線 D L に沿って上下に隣接する 2 画素では、図 1（a）線で折曲げたとき、平面構成が重なり合う構成となっている。これは、対向電圧信号線 C L を映像信号線 D L に沿って上下に隣接する 2 画素で共通化し、対向電圧信号線 C L の電極幅を拡大することにより、対向電圧信号線 C L の抵抗を低減するためである。これにより、外部回路から左右方向の各画素の対向電極 C T へ対向電圧を十分に供給することが容易にな

る。

【0021】画素電極 P X と対向電極 C T は互いに対向し、各画素電極 P X と対向電極 C T との間の電界により液晶 L C の光学的な状態を制御し、表示を制御する。画素電極 P X と対向電極 C T は櫛歯状に構成され、それぞれ、図の上下方向に長細い電極となっている。

【0022】1 画素内の対向電極 C T 1 の本数 O（櫛歯の本数）は、画素電極 P X の本数（櫛歯の本数）P と $O = P - 1$ の関係を必ず持つように構成する（本実施例では、 $O = 1$ 、 $P = 2$ ）。これは、対向電極 C T と画素電極 P X を交互に配置し、かつ、対向電極 C T 2 を映像信号線 D L に必ず隣接させるためである。これにより、対向電極 C T と画素電極 P X の間の電界が、映像信号線 D L から発生する電界から影響を受けないように、対向電極 C T 2 で映像信号線 D L からの電気力線をシールドすることができる。対向電極 C T 2 は、後述の対向電圧信号線 C L により常に外部から電位を供給されているため、電位は安定している。そのため、映像信号線 D L に隣接しても、電位の変動がほとんどない。また、これにより、画素電極 P X の映像信号線 D L からの幾何学的な位置が遠くなるので、画素電極 P X と映像信号線 D L の間の寄生容量が大幅に減少し、画素電極電位 V s の映像信号電圧による変動も抑制できる。これらにより、上下方向に発生するクロストーク（縦スミアと呼ばれる画質不良）を抑制することができる。

【0023】図 4 1 および図 4 2 は、電極の幅 W と画素電極 P X と対向電極 C T の間の距離（最短距離）L を液晶の層厚 d との関係を示す平面図である。

【0024】すなわち、L、d および W、d の関係とするにより、透過率を向上させ、かつ残像の発生を大幅に抑制できる効果を得ることができる。

【0025】なお、ここで、液晶の層厚 d とは、液晶セルの（平均）リタデーション $\Delta n \cdot d$ を液晶材料の屈折率異方性 Δn で割った値として定義する。

【0026】液晶の層厚 d に比較して電極の幅 W が大きい場合、図 4 1（a）に示すように、それらの電極上の電界の横方向成分が少なくなり、電極上の透過光が得られにくくなるためであり、図 4 3 に示すように電極幅 W の増加にともなって透過率が減少するためである。

【0027】したがって、図 4 1（b）に示すように、W を d より小さくすることで、電極上の横方向電界を発生させることで電極上の透過率を向上する。

【0028】しかしながら、図 4 2（a）、（b）に示すように、画素電極 P X と対向電極 C T 1 の間の距離 L に対して液晶の層厚 d が大きい場合、それら電極が形成されている透明基板側に強力な横電界が発生しやすくなり、該電極が形成されている透明基板側の配向膜のみによって初期配向の状態に復元させなければならないことから、残像が極めて生じ易くなってしまふからである。

【0029】図 4 4 に $d = 4 \mu m$ の時の L に対する残像

強度を示す。同図から $d = 4 \mu\text{m}$ の場合、 $W > d$ の範囲では $4 \mu\text{m}$ 以上で残像が落ち着くことがわかる。

【0030】したがって、液晶の層厚 d を基準として電極の幅 W と画素電極 PX と対向電極 CT の間の距離（最短距離） L を上述のように設定するか、あるいは電極の幅 W と画素電極 PX と対向電極 CT の間の距離（最短距離） L を基準として液晶の層厚 d を上述のように設定することによって、透過率を向上させ、かつ残像の発生を大幅に低減させることができるようになる。

【0031】また、図 70 は上述した構成においてセルギャップ（液晶の層厚）を変動させた場合の液晶分子の挙動を従来（IPS 方式）の場合と比較して示している。そして、中間調 20% 輝度（真白の輝度を 100% としたときの 20% の輝度）において、セルギャップ変動量に対する輝度変動を示したグラフを同図に示している。

【0032】このグラフから明らかなように、前記一方の基板に対する他方の基板のギャップの変動が $\pm 0.3 \mu\text{m}$ に対して、輝度の変動が 10% 以下になっていることが確認され、 $W > d$ の時よりも変動が緩やかであり、むらが少なくなることがわかる。

【0033】また、映像信号線 DL の電極幅は画素電極 PX と対向電極 $CT1$ と同じ幅以上とする。また、断線を防止するために、画素電極 PX と対向電極 CT に比較して若干広くした方が好ましい。

【0034】ここで、映像信号線 DL の電極幅が、隣接する対向電極 $CT2$ の電極幅の 2 倍以下になるように設定する。

【0035】または、映像信号線 DL の電極幅が歩留りの生産性から決まっている場合には、映像信号線 DL に隣接する対向電極 $CT2$ の電極幅を映像信号線 DL の電極幅の $1/2$ を超えるようにする。これは、映像信号線 DL から発生する電気力線をそれぞれ両脇の対向電極 CT で吸収するためであり、ある電極幅から発生する電気力線を吸収するには、それと同一幅以上の電極幅を持つ電極が必要である。したがって、映像信号線 DL の電極の半分（ $4 \mu\text{m}$ ずつ）から発生する電気力線をそれぞれ両脇の対向電極 CT が吸収すればよい。また、画素電極 PX からの電気力線も終端させる必要があるため、画素電極の半分（ $3 \mu\text{m}$ ）も必要である。したがって、映像信号線 DL に隣接する対向電極 CT の電極幅は映像信号線の $1/2$ に隣接する画素電極の幅の $1/2$ を加えた幅以上とする。これにより、映像信号の影響により、クロストークが発生する、特に上下方向（縦方向）のクロストークを防止する。

【0036】走査信号線 GL は末端側の画素（後述の走査電極端子 GT の反対側）のゲート電極 GT に十分に走査電圧が印加するだけの抵抗値を満足するように電極幅を設定する。また、対向電圧信号線 CL も末端側の画素（後述の共通バスライン CB の反対側）の対向電極 C

T に十分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

【0037】一方、画素電極 PX と対向電極 CT の間の電極間隔は、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路（信号側ドライバ）の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。

【0038】《マトリクス部（画素部）の断面構成》図 2 は図 1 の 3 - 3 切断線における断面を示す図、図 3 は図 1 の 4 - 4 切断線における薄膜トランジスタ TFT の断面図、図 4 は図 1 の 5 - 5 切断線における蓄積容量 $Cstg$ の断面を示す図である。図 2 ~ 図 4 に示すように、液晶層 LC を基準にして下部透明ガラス基板 $SUB1$ 側には薄膜トランジスタ TFT 、蓄積容量 $Cstg$ および電極群が形成され、上部透明ガラス基板 $SUB2$ 側にはカラーフィルタ FIL 、遮光用ブラックマトリクスパターン BM が形成されている。

【0039】また、透明ガラス基板 $SUB1$ 、 $SUB2$ のそれぞれの内側（液晶 LC 側）の表面には、液晶の初期配向を制御する配向膜 $O RI1$ 、 $O RI2$ が設けられており、透明ガラス基板 $SUB1$ 、 $SUB2$ のそれぞれの外側の表面には、偏光軸が直交して配置された（クロスニコル配置）偏光板が設けられている。

【0040】《 TFT 基板》まず、下側透明ガラス基板 $SUB1$ 側（ TFT 基板）の構成を詳しく説明する。

【0041】《薄膜トランジスタ TFT 》薄膜トランジスタ TFT は、ゲート電極 GT に正のバイアスを印加すると、ソース - ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0042】薄膜トランジスタ TFT は、図 3 に示すように、ゲート電極 GT 、ゲート絶縁膜 GI 、 i 型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（ Si ）からなる i 型半導体層 AS 、一対のソース電極 $SD1$ 、ドレイン電極 $SD2$ を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0043】《ゲート電極 GT 》ゲート電極 GT は走査信号線 GL と連続して形成されており、走査信号線 GL の一部の領域がゲート電極 GT となるように構成されている。ゲート電極 GT は薄膜トランジスタ TFT の能動領域を超える部分であり、 i 型半導体層 AS を完全に覆うよう（下方からみて）それより大き目に形成されている。これにより、ゲート電極 GT の役割のほかに、 i 型

半導体層 A S に外光やバックライト光が当たらないように工夫されている。本例では、ゲート電極 G T は、単層の導電膜 g 1 で形成されている。導電膜 g 1 としては例えばスパッタで形成されたアルミニウム (A l) 膜が、または、クロム (C r) 膜、 T i 、 T a 、 W 等およびそれらの合金が用いられる。また、 A l 等の場合はその表面に陽極酸化膜が形成される場合もある。さらには二層以上の積層構造にしてもよい。

【 0044 】《走査信号線 G L 》走査信号線 G L は導電膜 g 1 で構成されている。この走査信号線 G L の導電膜 g 1 はゲート電極 G T の導電膜 g 1 と同一製造工程で形成され、かつ一体に構成されている。この走査信号線 G L により、外部回路からゲート電圧 V g をゲート電極 G T に供給する。なお、映像信号線 D L と交差する部分は映像信号線 D L との短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしている。

【 0045 】《対向電極 C T 》対向電極 C T 2 はゲート電極 G T および走査信号線 G L と同層の導電膜 g 1 で構成されている。また対向電極 C T 1 は後述の画素電極 P X と同一工程で形成され、透明導電膜 g 2 で形成されており、また対向電圧信号線 C L と接続をゲート絶縁膜 G I のスルホール P H を介してとっている。また、画素電極 P X と対向電極 C T を同一マスクで同時に形成することにより、実施例 4 で 2 回行っている工程 F が 1 回になり、生産性も向上する。対向電極 C T には対向電圧 V c o m が印加されるように構成されている。本実施例では、対向電圧 V c o m は映像信号線 D L に印加される最小レベルの駆動電圧 V d m i n と最大レベルの駆動電圧 V d m a x との中間直流電位から、薄膜トランジスタ素子 T F T をオ 30 フ状態にするときに発生するフィードスルー電圧 V s 分だけ低い電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。

【 0046 】《対向電圧信号線 C L 》対向電圧信号線 C L は導電膜 g 1 で構成されている。この対向電圧信号線 C L の導電膜 g 1 はゲート電極 G T 、走査信号線 G L および対向電極 C T 2 の導電膜 g 1 と同一製造工程で形成され、かつ対向電極 C T 2 と一体に構成されている。この対向電圧信号線 C L により、外部回路から対向電圧 V 40 c o m を対向電極 C T に供給する。なお、映像信号線 D L と交差する部分は、走査信号線 G L と同様に映像信号線 D L との短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしている。対向電圧信号線 C L の抵抗を低減することにより、対向電極間の電圧の伝わりを円滑にし、電圧の歪を低減することにより、水平方向に発生するクロストーク (横スミア) を低減できる。

【 0047 】《絶縁膜 G I 》絶縁膜 G I は、薄膜トランジスタ T F T において、ゲート電極 G T と共に半導体層 50

A S に電界を与えるためのゲート絶縁膜として使用される。絶縁膜 G I はゲート電極 G T および走査信号線 G L の上層に形成されている。絶縁膜 G I としては例えばプラズマ C V D で形成された窒化シリコン膜が選ばれ、 1200 ~ 2700 の厚さに (本実施例では、 2400 程度) 形成される。ゲート絶縁膜 G I は、マトリクス部 A R の全体を囲むように形成され、周辺部は外部接続端子 D T M , G T M を露出するように除去されている。絶縁膜 G I は走査信号線 G L および対向電圧信号線 C L と映像信号線 D L の電氣的絶縁にも寄与している。

【 0048 】《 i 型半導体層 A S 》 i 型半導体層 A S は、非晶質シリコンで、 100 ~ 3000 の厚さに (本実施例では、 2000 程度の膜厚) で形成される。層 d 0 はオーミックコンタクト用のリン (P) をドーブした n (+) 型非晶質シリコン半導体層であり、下側に i 型半導体層 A S が存在し、上側に導電層 d 1 (d 2) が存在するところのみに残されている。

【 0049 】 i 型半導体層 A S は走査信号線 G L および対向電圧信号線 C L と映像信号線 D L との交差部 (クロスオーバー部) の両者間にも設けられている。この交差部の i 型半導体層 A S は交差部における走査信号線 G L および対向電圧信号線 C L と映像信号線 D L との短絡を低減する。

【 0050 】《ソース電極 S D 1、ドレイン電極 S D 2 》ソース電極 S D 1、ドレイン電極 S D 2 のそれぞれは、 n (+) 型半導体層 d 0 に接触する導電膜 d 1 とその上に形成された導電膜 d 2 とから構成されている。

【 0051 】導電膜 d 1 はスパッタで形成したクロム (C r) 膜を用い、 500 ~ 1000 の厚さに (本実施例では、 600 程度) で形成される。 C r 膜は膜厚を厚く形成するとストレスが大きくなるので、 2000 程度の膜厚を越えない範囲で形成する。 C r 膜は n (+) 型半導体層 d 0 との接着性を良好にし、導電膜 d 2 の A l が n (+) 型半導体層 d 0 に拡散することを防止する (いわゆるバリア層の) 目的で使用される。導電膜 d 1 として、 C r 膜の他に高融点金属 (M o 、 T i 、 T a 、 W) 膜、高融点金属シリサイド (M o S i ₂ 、 T i S i ₂ 、 T a S i ₂ 、 W S i ₂) 膜を用いてもよい。

【 0052 】導電膜 d 2 は A l のスパッタリングで 3000 ~ 5000 の厚さに (本実施例では、 4000 程度) 形成される。 A l 膜は C r 膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極 S D 1、ドレイン電極 S D 2 および映像信号線 D L の抵抗値を低減したり、ゲート電極 G T や i 型半導体層 A S に起因する段差乗り越えを確実にする (ステップカバレッジを良くする) 働きがある。

【 0053 】導電膜 d 1、導電膜 d 2 を同じマスクパターンでパターンニングした後、同じマスクを用いて、あるいは導電膜 d 1、導電膜 d 2 をマスクとして、 n (+) 型半導体層 d 0 が除去される。つまり、 i 型半導体層 A S

上に残っていたn(+)型半導体層d0は導電膜d1、導電膜d2以外の部分がセルフアラインで除去される。このとき、n(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。また、本実施例ではd1、d2の2層構造としたが、d1のみの単層構造としてもよいことはもちろんである。

【0054】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。また、映像信号線DLはドレイン電極SD2と一体に形成されている。また、本実施例ではd1、d2の2層構造としたが、d1のみの単層構造としてもよいことはもちろんである。

【0055】《画素電極PX》画素電極PXは、透明導電層g2で形成されている。この透明導電膜g2はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、100~2000の厚さに(本実施例では、1400程度の膜厚)形成される。

【0056】画素電極PXが本実施例のように透明になることにより、その部分の透過光により、白表示を行う時の最大透過率が向上するため、画素電極PXが不透明な場合よりも、より明るい表示を行うことができる。この時、後述するように、電圧無印加時には、液晶分子は初期の配向状態を保ち、その状態で黒表示をするように偏向板の配置を構成する(ノーマリブラックモードにする)にしているので、画素電極PXを透明にしても、その部分の光を透過することがなく、良質な黒を表示することができる。これにより、最大透過率を向上させ、かつ十分なコントラスト比を達成することができる。

【0057】《蓄積容量Cstg》画素電極PXは、薄膜トランジスタTFTと接続される端部と反対側の端部において、対向電圧信号線CLと重なるように形成されている。この重ね合わせは、図4からも明らかなように、画素電極PXを一方の電極PL2とし、対向電圧信号線CLを他方の電極PL1とする蓄積容量(静電容量素子)Cstgを構成する。この蓄積容量Cstgの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0058】図1に示すように平面的には蓄積容量Cstgは対向電圧信号線CLの導電膜g1の幅を広げた部分に形成されている。

【0059】《保護膜PSV1》薄膜トランジスタTFT上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン

膜で形成されており、0.1~3μm程度の膜厚で形成する。また、この保護膜PSV1として、アクリル樹脂、ポリイミド等の有機膜およびそれらとの積層構造にしてもよい。

【0060】保護膜PSV1は、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM, GTMを露出するよう除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを考え薄くされる。従って、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0061】《カラーフィルタ基板》次に、図1、図2に戻り、上側透明ガラス基板SUB2側(カラーフィルタ基板)の構成を詳しく説明する。

【0062】《遮光膜BM》上部透明ガラス基板SUB2側には、不要な間隙部(画素電極PXと対向電極CTの間以外の隙間)からの透過光が表示面側に射出して、コントラスト比等を低下させないように遮光膜BM(いわゆるブラックマトリクス)を形成している。遮光膜BMは、外部光またはバックライト光がi型半導体層ASに入射しないようにする役割も果たしている。すなわち、薄膜トランジスタTFTのi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

【0063】図1に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。この輪郭線のパターンは、1例であり、より開口部分を大きくすることもできる。たとえば電界方向は乱れるが、その部分の表示は、画素内の映像情報に1対1で対応し、かつ、黒の場合には黒、白の場合には白になる領域は、表示の一部として利用することが可能である。また、図の上下方向の境界線は上下基板の合わせ精度によって決まり、合わせ精度が映像信号線DLに隣接する対向電極CTの電極幅よりも良い場合には、対向電極の幅の間に設定すれば、より開口部を拡大することができる。

【0064】遮光膜BMは光に対する遮蔽性を有し、かつ、画素電極PXと対向電極CTの間の電界に影響を与えないように絶縁性の高い膜で形成されている。このようにすることにより、基板面に平行な電界が有効に液晶層に印加され、液晶を駆動する電圧の上昇を抑制できる。この遮光膜BMの材料として、たとえば、クロム(Cr)等の金属膜や、黒色の顔料をレジスト材に混入し、1.2μm程度の厚さで形成したものがある。

【0065】遮光膜BMは各画素の周囲に格子状に形成され、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによって明確に

なる。つまり、遮光膜BMはブラックマトリクスとi型半導体層ASに対する遮光との2つの機能をもつ。

【0066】遮光膜BMは周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図1に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3~1.0mm程内側に留められ、基板SUB2の切断領域を避け

て形成されている。

【0067】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは遮光膜BMのエッジ部分と重なるように形成されている。

【0068】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面に赤、緑、青のそれぞれの顔料を混入したアクリル系樹脂を形成し、フォトリソグラフィ技術で縦ストライプ状にパターン形成する。

【0069】《オーバーコート膜OC》オーバーコート膜OCはカラーフィルタFILの染料の液晶LCへの漏洩の防止、および、カラーフィルタFIL、遮光膜BMによる段差の平坦化のために設けられている。オーバーコート膜OCはたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0070】《液晶層および偏光板》次に、液晶層、配向膜、偏光板等について説明する。

【0071】《液晶層》液晶材料LCとしては、誘電率異方性 ϵ が正でその値が13.2、屈折率異方性 n が0.075(589nm、20℃)のネマティック液晶を用いる。

【0072】液晶層の厚み(ギャップ)は、3.9 μ mとし、リタデーション $n \cdot d$ は0.293とする。

【0073】このリタデーション $n \cdot d$ の値により、後述の配向膜と偏光板と組合せ、液晶分子がラビング方向から電界方向に45°回転したとき最大透過率を得ることができ、可視光の範囲内で波長依存性がほとんどない透過光を得ることができる。なお、液晶層の厚み(ギャップ)は、ポリマビーズやカラーフィルタ基板、またはTFT基板に形成したパターンングスペーサで制御する。

【0074】なお、液晶材料LCは、特に限定したものではなく、誘電率異方性 ϵ は負でもよい。また、誘電率異方性 ϵ は、その値が大きいほうが、駆動電圧を低減できる。 $\Delta \epsilon$ は10以上が好ましい。また、屈折異方性 Δn は小さいほうが、液晶層の厚み(ギャップ)を厚くでき、液晶の封入時間が短縮され、かつギャップばらつきを少なくすることができる。 Δn は0.1以下が好ましい。また、粘度は応答速度を早くするため低いほう

が好ましい。80mPa・s以下なら尚よい。

【0075】また、液晶材料の材料物性と透明導電膜の対向電極部分あるいは画素電極部分での透過光強度の関係を調べると、液晶材料のツイスト弾性定数 K_{22} に大きく依存することが判った。これは電極間の開口部において光透過をもたらす横電界による面内ツイスト変形の、透明導電膜の電極上部での減衰が、上記の液晶材料のツイスト弾性定数 K_{22} に応じた固有の極率で生じるためである。したがって、透明導電膜の電極部分での光透過をより大きくして、この透明導電膜の電極を含んだ開口部全体の輝度を向上させるには、ツイスト弾性定数 K_{22} の小さな液晶材料を用いて、上記の減衰曲率を小さくすればよい。ツイスト弾性定数 K_{22} の効果については、実施例11で更に説明する。

【0076】本実施例1では、ツイスト弾性定数 K_{22} として、室温で、 5.1×10^{-12} N(ニュートン)を使用している。 K_{22} は 1×10^{-11} N以下が好ましい。なお、ツイスト弾性定数 K_{22} の測定方法は、文献として岡野 光治、小林 俊介共編 液晶・基礎編p216~220(培風館、1985年)に記載があり、ツイストした液晶セルのしきい値電圧測定から求めることができる。

【0077】《配向膜》配向膜ORIとしては、ポリイミドを用いる。ラビング方向RDRは上下基板で互いに平行にし、かつ印加電界方向EDRとのなす角度は75°とする。図19にその関係を示す。

【0078】なお、ラビング方向RDRと印加電界方向EDRとのなす角度は、液晶材料の誘電率異方性 ϵ が正であれば、45°以上90°未満、誘電率異方性 ϵ が負であれば、0°を超え45°以下でなければならない。

【0079】さらに、本実施例では、ラビング方向を配向膜OR11、OR12で互いに平行とすることで、電極間及び電極上の表示に寄与する液晶層の上下界面の液晶分子の初期プレチルト角が、スプレイ状態となり、液晶分子が互いに光学特性を補償する効果を出し、広い視野角特性が得られる。

【0080】また、ラビング方向を配向膜OR11、OR12で互いに反平行とすることで、液晶層の上下界面の液晶分子のプレチルト角がバラレル状態となり、平均の液晶層内のチルト角は、より増加するが、10度以下にプレチルト角を設定することで、本発明の同様な効果が得られる。

【0081】《偏光板》偏光板POLとしては、日東電工社製G1220DUを用い、下側の偏光板POL1の偏光透過軸MAX1をラビング方向RDRと一致させ、上側の偏光板POL2の偏光透過軸MAX2を、それに直交させる。図19にその関係を示す。これにより、本発明の画素に印加される電圧(画素電極PXと対向電極CTの間の電圧)を増加させるに伴い、透過率が上昇す

るノーマリクローズ特性を得ることができ、また、電圧無印加時には、良質な黒表示ができる。

【0082】また、偏光板 POL2 自体には、外部からの静電気の影響を防止するため、その比抵抗値を低減する目的で、透明導電膜が一面に形成されている。この透明導電膜は、上基板 SUS2 と上偏光板 POL2 との間に形成してもよい。

【0083】《マトリクス周辺の構成》図5は上下のガラス基板 SUB1、SUB2 を含む表示パネル PNL のマトリクス (AR) 周辺の要部平面を示す図である。また、図6は、左側に走査回路が接続されるべき外部接続端子 GTM 付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0084】このパネルの製造では、小さいサイズであればスルーブット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図5、図6は後者の例を示すもので、図5、図6の両図とも上下基板 SUB1、SUB2 の切断後を表しており、LN は両基板の切断前の縁を示す。いずれの場合も、完成状態では外部接続端子群 Tg、Td および端子 CTM が存在する (図で上辺と左辺の) 部分はそれらを露出するように上側基板 SUB2 の大きさが下側基板 SUB1 よりも内側に制限されている。端子群 Tg、Td はそれぞれ後述する走査回路接続用端子 GTM、映像信号回路接続用端子 DTM とそれらの引出配線部を集積回路チップ CHI が搭載されたテープキャリアパッケージ TCP (図16、図17) の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージ TCP の配列ピッチ及び各パッケージ TCP における接続端子ピッチに表示パネル PNL の端子 DTM、GTM を合わせるためである。また、対向電極端子 CTM は、対向電極 CT に対向電圧を外部回路から与えるための端子である。マトリクス部の対向電極信号線 CL は、走査回路用端子 GTM の反対側 (図では右側) に引き出し、各対向電圧信号線を共通バスライン CB で一纏めにして、対向電極端子 CTM に接続している。

【0085】また、対向電圧信号線 CL は走査回路用端子 CTM 側 (図では左側) に引き出し、同じく共通バスライン CB で一まとめにして対向電極端子に引き出してもよい。この場合、共通バスライン CB は映像信号線と同一材料 (d1、d2) で構成し、スルホールを介して対向電圧信号線と接続しなければならない。さらには対向電圧の供給を充分にするために対向電圧信号線 CL を両側に引き出してもよい。

【0086】対向電極端子 CTM は独立に形成してもよ

いが、外部接続端子群 Tg、Td の一部に構成すると端子 GTM、DTM と共に接続がとれ、実装の手間が簡略される。

【0087】透明ガラス基板 SUB1、SUB2 の間にはその縁に沿って、液晶封入口 INJ を除き、液晶 LC を封止するようにシールパターン SL が形成される。シール材は例えばエポキシ樹脂から成る。

【0088】配向膜 ORI1、ORI2 の層は、シールパターン SL の内側に形成される。偏光板 POL1、POL2 はそれぞれ下部透明ガラス基板 SUB1、上部透明ガラス基板 SUB2 の外側の表面に構成されている。液晶 LC は液晶分子の向きを設定する下部配向膜 ORI1 と上部配向膜 ORI2 との間でシールパターン SL で仕切られた領域に封入されている。下部配向膜 ORI1 は下部透明ガラス基板 SUB1 側の保護膜 PSV1 の上部に形成される。

【0089】この液晶表示装置は、下部透明ガラス基板 SUB1 側、上部透明ガラス基板 SUB2 側で別個に種々の層を積み重ね、シールパターン SL を基板 SUB2 側に形成し、下部透明ガラス基板 SUB1 と上部透明ガラス基板 SUB2 とを重ね合わせ、シール材 SL の開口部 INJ から液晶 LC を注入し、注入部 INJ をエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0090】本実施例では注入部 INJ を走査回路用端子 GTM の反対側に設けたが、映像信号回路接続用端子 DTM の反対側に設けてもよい。

【0091】《ゲート端子部》図7は表示マトリクスの走査信号線 GL からその外部接続端子 GTM までの接続構造を示す図であり、(a) は平面であり (b) は (a) の B-B 切断線における断面を示している。なお、同図は図7下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0092】図中導電層 g1 は、判り易くするためハッチを施してあるが、櫛状にパターンニングされている。これは、導電層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、断線の確率や導電率の犠牲を最低限に押さえる狙いである。

【0093】ゲート端子 GTM は導電層 g1 と、更にその表面を保護し、かつ、TCP (Tape Carrier Package) との接続の信頼性を向上させるための透明導電層 g2 とで構成されている。この透明導電膜 g2 はスパッタリングで形成された透明導電膜 (Indium-Tin-Oxide ITO: ネサ膜) からなり、1000~2000 の厚さに (本実施例では、1400 程度の膜厚) 形成される。また導電層 g1 上及びその側面部に形成された導電層 d1 及び d2 は、導電層と透明導電層 g2 との接続不良を補うために、導電層と透明導電層 g2 の両方に接続性の良い Cr

層d1を接続し、接続抵抗の低減を図るためのものであり、導電層d2は導電層d1と同一マスク形成しているために残っているものである。

【0094】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図7に示すように上下に複数本並べられ端子群Tg(図5)が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され配線SHg(図示せず)によって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0095】《ドレイン端子DTM》図8(a)は映像信号線DLからその外部接続端子DTMまでの接続を示す平面図を示し、図8(b)は図8(a)のB-B切断線における断面を示す。なお、同図は図5右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部に該当する。

【0096】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。外部接続ドレイン端子DTMは上下方向に配列され、ドレイン端子DTMは、図5に示すように端子群Td(添字省略)を構成し基板SUB1の切断線を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHd(図示せず)によって短絡される。検査端子TSTdは図8に示すように一本置き映像信号線DLに形成される。

【0097】ドレイン接続端子DTMは透明導電層g2単層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。

【0098】マトリクス部からドレイン端子部DTMまでの引出配線は、映像信号線DLと同じレベルの層d1, d2が保護膜PSV1の途中まで構成されており、保護膜PSV1の中で透明導電膜g2と接続されている。これは、電触し易いAl層d2を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0099】《対向電極端子CTM》図9(a)は対向電極信号線CLからその外部接続端子CTMまでの接続を示す平面図を示し、図9(b)は図9(a)のB-B切断線における断面を示す。なお、同図は図5左上付近に対応する。

【0100】各対向電圧信号線CLは共通バスラインCBで一纏めして対向電極端子CTMに引き出されている。共通バスラインCBは導電層g1の上に導電層d1、導電層d2を積層した構造となっている。これは、共通バスラインCBの抵抗を低減し、対向電圧が外部回路から各対向電圧信号線CLに十分に供給されるようにするためである。これにより、対向電極CTが末端の画素まで十分に伝達され、これら各対向電極CTの映像信号線DLに供給される映像信号に応じた歪みによるクロストーク(特に画面の左右方向のクロストーク)の発生を低減できる。本構造では、特に新たに導電層を負荷することなく、共通バスラインの抵抗を下げられるのが特徴である。共通バスラインCBの導電層g1は導電層d1、導電層d2と電氣的に接続されるように、ゲート絶縁膜GIからも露出している。

【0101】また、対向電圧信号線CLは走査回路用端子CTM側(図では左側)に引出し、同じく共通バスラインCBで一まとめにして対向電極端子に引き出してもよい。この場合、共通バスラインCBは映像信号線と同一材料(d1、d2)で構成し、スルホールを介して対向電圧信号線と接続しなければならない。さらには対向電圧の供給を充分にするために対向電圧信号線CLを両側に引き出してもよい。

【0102】対向電極端子CTMは、導電層g1の上に透明導電層g2が積層された構造になっている。この透明導電層g2は他の端子の時と同様に画素電極PXと同一工程で形成された透明導電膜ITOを用いている。透明導電層g2により、その表面を保護し、電触等を防ぐために耐久性のよい透明導電層g2で、導電層g1を覆っている。

【0103】対向電極端子CTMは独立に形成してもよいが、外部接続端子群Tg、Tdの一部に構成すると端子GTM、DTMと共に接続がとれ、実装の手間が簡略される。

【0104】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図10に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0105】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1, 2, 3, ..., endlは走査タイミングの順序に従って付加されている。

【0106】走査信号線Y(添字省略)は垂直走査回路Vに接続されており、映像信号線X(添字省略)は映像信号駆動回路Hに接続されている。

【0107】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報を

TFT液晶表示装置用の情報に交換する回路を含む回路である。

【0108】《駆動方法》図11に本発明の液晶表示装置の駆動波形を示す。実施例1では、対向電圧信号線CLが、アルミニウムという低抵抗金属の導電膜g1から形成されているため、負荷インピーダンスが好くなく、対向電圧の波形変形が少なくなる。このため、対向電圧を交流化でき、信号線電圧を低減できる利点がある。

【0109】すなわち、対向電圧をVchとVclの2値の交流矩形波にし、それに同期させて走査信号Vg(i-1)、Vg(i)の非選択電圧を1走査線ごとに、VglhとVglの2値で変化させる。対向電圧の振幅値と非選択電圧の振幅値は同一にする。映像信号電圧は、液晶層に印加したい電圧から、対向電圧の振幅の1/2を差し引いた電圧である。

【0110】対向電圧は直流でもよいが、交流化することで映像信号電圧の最大振幅を低減でき、映像信号駆動回路(信号側ドライバ)に耐圧の低いものを用いることが可能になる。後述する実施例2、3では、対向電圧信*

*号線CLが、透明導電膜g2から形成されているため、比較的抵抗が高くなり、対向電圧は直流方式、たとえばドット反転駆動や列毎反転駆動が好ましい。

【0111】《蓄積容量Cstgの働き》蓄積容量Cstgは、画素に書き込まれた(薄膜トランジスタTFTがオフした後の)映像情報を、長く蓄積するために設ける。本発明で用いている電界を基板面と平行に印加する方式では、電界を基板面に垂直に印加する方式と異なり、画素電極と対向電極で構成される容量(いわゆる液晶容量)がほとんど無いため、蓄積容量Cstgが映像情報を画素に蓄積することができない。したがって、電界を基板面と平行に印加する方式では、蓄積容量Cstgは必須の構成要素である。

【0112】また、蓄積容量Cstgは、薄膜トランジスタTFTがスイッチングするとき、画素電極電位Vsに対するゲート電位変化Vgの影響を低減するようにも働く。この様子を式で表すと、次のようになる。

【0113】

$$\text{【数1】} \quad V_s = \{C_{gs} / (C_{gs} + C_{stg} + C_{pix})\} \times V_g$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは画素電極PXと対向電極CTとの間に形成される容量、VsはVgによる画素電極電位の変化分いわゆるフィードスルー電圧を表わす。この変化分Vsは液晶LCに加わる直流成分の原因となるが、保持容量Cstgを大きくすればする程、その値を小さくすることができる。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画

像が残るいわゆる焼き付きを低減することができる。

【0114】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量Cgsが大きくなり、画素電極電位Vsはゲート(走査)信号Vgの影響を受け易くなるという逆効果が生じる。しかし、蓄積容量Cstgを設けることによりこのデメリットも解消することができる。

【0115】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図12～図14を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す薄膜トランジスタTFT部分、右側は図7に示すゲート端子付近の断面形状でみた加工の流れを示す。工程B、工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリソを除去した段階を示している。なお、写真処理とは本説明ではフォトリソの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区

分けした工程に従って、説明する。

【0116】工程A、図12

AN635ガラス(商品名)からなる下部透明ガラス基板SUB1上にAl、Pd、Si、Cr、Ti、Ta、W、Moおよびその合金またはそれらの積層巻くおよび合金の積層膜や合金との組合せ等からなる導電膜g1をスパッタリングにより設ける。写真処理後、混酸液で導電膜g1を選択的にエッチングする。それによって、ゲート電極GT、走査信号線GL、対向電極CT、対向電圧信号線CL、電極PL1、ゲート端子GTM、共通バスラインCBの第1導電層、対向電極端子CTMの第1導電層、Al、Taの場合は陽極化成し、陽極酸化膜Al₂O₃、TaOxを表面に形成する場合もある。

【0117】工程B、図12

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、i型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、n(+)型非晶質Si膜を設ける。

【0118】工程C、図13

写真処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してn(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0119】工程D、図13

写真処理後、ドライエッチングガスとしてSF₆を使用して、窒化Si膜を選択的にエッチングする。

【0120】工程E、図13

膜厚が1400 のITO膜からなる透明導電膜g2をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で透明導電膜g2を選択的にエッチングすることにより、ゲート端子GTMの最上層ねドレイン端子DTMおよび対向電極端子CTMの第2導電膜を形成する。

【0121】工程F、図14

Al、Pd、Si、Cr、Ti、Ta、W、Moおよびその合金またはそれらの積層膜および合金の積層膜や合金との組合せ等からなる導電膜d1、d2をスパッタリ 10
ングにより設ける。写真処理後、導電膜d2を工程Bと同様な液でエッチングし、導電膜d1を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2、画素電極PX、電極PL2、共通バスラインCBの第2導電層、第3導電層およびドレイン端子DTMを短絡するバスラインSHd（図示せず）を形成する。つぎに、ドライエッチング装置にCCl₄、SF₆を導入して、n(+)型非晶質Siをエッチングすることにより、ソースとドレイン間のn(+)型半 20
導体層d0を選択的に除去する。

【0122】工程G、図14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF₆を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによ 30
って、保護膜PSV1を形成する。

【0123】《表示パネルPNLと駆動回路基板PCB1》図15は、図5等にした表示パネルPNLに映像信号駆動回路Hと垂直走査回路Vを接続した状態を示す上面図である。

【0124】CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の5個は垂直走査回路側の駆動ICチップ、左の10個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPは図16、図17で後述するように駆動用ICチップCHIがテープ・オートメイト・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサ等が実装された駆動回路基板で、映像信号駆動回路用と走査信号駆動回路用の2つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片が半田付けさ 40
れる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1を電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線（りん青銅の素材にSn鍍金を施したものを）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0125】《TCPの接続構造》図16は走査信号駆動回路Vや映像信号駆動回路Hを構成する、集積回路チ 50

ップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図17はそれを液晶表示パネルの、本例では走査信号回路用端子GTMに接続した状態を示す要部断面図である。

【0126】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウターリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子GTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子GTM（DTM）は保護膜PSV1がパッケージTCPの少なくとも一方で覆われるので電触に対し 20
て強くなる。

【0127】BF1はポリイミド等からなるベースフィルムであり、SR5は半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0128】《駆動回路基板PCB2》駆動回路基板PCB2は、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。

【0129】駆動回路基板PCB1と駆動回路基板PCB2とはフラットケーブルFCにより電気的に接続されている。

【0130】なお、本実施例ではTCPによる接続をしたが、ガラス上に直接ドライバICを接続するCOG（Chip On Glass）を用いてもよい。

【0131】《液晶表示モジュールMDLの全体構成》図18は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0132】SHDは金属板から成る枠状のシールドケース（メタルフレーム）、LCWはその表示窓、PNLは液晶表示パネル、SPBは光拡散板、LCBは導光体、RMは反射板、BLはバックライト蛍光管、LCAはバ

ックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールM D Lが組み立てられる。

【0133】モジュールMDLは、シールドケースSHDに設けられた爪とフックによって全体が固定されるようになっている。

【 0 1 3 4 】バックライトケース L C A はバックライト蛍光管 B L、光拡散板 S P B、導光体 L C B、反射板 R M を収納する形状になっており、導光体 L C B の側面に配置されたバックライト蛍光管 B L の光を、導 10 光体 L C B、反射板 R M、光拡散板 S P B により表示面で一様なバックライトにし、液晶表示パネル P N L 側に出射する。バックライト蛍光管 B L にはインバータ回路基板 P C B 3 が接続されており、バックライト蛍光管 B L の電源となっている。

【0135】以上、本実施例では、画素電極を透明にすることにより、白表示を行うときの最大透過率が約30%（本実施例では31.8%）向上できる。

【０１３６】具体的には、本実施例では、不透明な画素電極を採用した場合の約３．８％から透明な画素電極を２０採用した場合の約５．０％に透過率が向上した。

【０１３７】また、端子の信頼性を向上するためのＩＴＯ膜も同時に形成することができ、信頼性と生産性を両立することができる。

【0138】（実施例2）本実施例は下記の構成を除けば、実施例1と同一である。図20に画素の平面図を示す。図の斜線部分は透明導電膜g2を示す。

【０１３９】《対向電極ＣＴ》本実施例では、対向電極ＣＴを透明導電膜ｇ２で構成する。この透明導電膜ｇ２は実施例１と同様にスパッタリングで形成された透明導電膜（Indium-Tin-oxide ＩＴＯ：ネサ膜）からなり、１００～２０００の厚さに（本実施例では、１４００程度の膜厚）形成される。

【０１４０】《対向電圧信号線ＣＬ》対向電圧信号線ＣＬは透明導電膜ｇ２で構成されて、かつ対向電極ＣＴと一体に構成されている。

【０１４１】《製造方法》本実施例では、実施例１の工程Ｂと工程Ｃの間に工程Ｆが追加される順番になる。工程の順序としては図１２から図１５の工程の順序が、Ａ　Ｂ　Ｆ　Ｃ　Ｄ　Ｅ　Ｆ　Ｇ　Ｈの順になる。マスク４０パターンは、走査信号線ＧＬ、走査電極ＧＴと対向電圧信号線ＣＬのパターンが独立したマスクに形成される。

【０１４２】本実施例では、画素電極と対向電極の両方を透明にすることにより、実施例１または実施例２以上に、白表示を行うときの最大透過率を約５０％（本実施例では４７．７％）向上させることができ、液晶表示パネルＰＮＬの透過率が約５．６％になる。

【 0 1 4 3 】 対向電圧信号線 C L の抵抗を低減することにより、対向電極間の電圧の伝わりを円滑にし、電圧の歪を低減することにより、水平方向に発生するクロスト 50

ーク（横スミア）を低減できる。

【0144】また、画素電極PXと対向電極CTを同一マスクで同時に形成することにより、実施例4で2回行っている工程Fが1回になり、生産性も向上する。

【0145】（実施例3）本実施例は下記の構成を除けば、実施例1および実施例2と同一である。

【０１４６】《対向電極ＣＴ》本実施例では、中央の対向電極ＣＴ１だけを透明導電膜ｇ２で構成するが、実施例１と異なり実施例２の製造方法で工程Ｂと工程Ｃの間の工程Ｆで対向電極ＣＴ１を形成する。これにより、工程数は増えるがスルホールＰＨによる接続不良がなくなり、点欠陥が減少する。

【０１４７】（実施例４）上述した実施例２は、そのいずれにおいても対向電極ＣＴとともに対向電極信号線ＣＬが透明導電層ｇ２で構成されたものである。

【０１４８】この場合において、本実施例は２１（ａ）ないし（ｂ）に示す構成によって該対向電極信号線ＣＬの抵抗値を大幅に低減させるようにしたものである。

【0149】図24(a)は、図20の対向電極信号線CLの1部分を示す平面図であり、図24(b)は同図(a)のb-b線における断面図である。

【０１５０】同図において、図２０と異なる点は、対向電極信号線ＣＬは２層構造からなり、その下層として抵抗値が小さい導電層１０が形成され、この導電層１０の上面に該導電層１０を完全に被覆してＩＴＯ膜１１が形成されている。そして、対向電極ＣＴは前記ＩＴＯ膜１１の一部を延在させた延在部で構成したものとなっている。

【０１５１】このようにした場合、対向電極信号線ＣＬの低抵抗化を図れるとともに、たとえば導電層１０にＡ１を用いた場合に発生するいわゆるホイスカと称されるひげ状の突起による層間絶縁膜を介した他の導電層（たとえば映像信号線ＤＬ）との電氣的短絡を防止できるようになる。

【０１５２】すなわち、Ａ１はその上層に映像信号線ＤＬに対する層間絶縁膜を形成する際にホイスカが発生し、上述した弊害をもたらすことが知られているが、このＡ１を完全に被覆するようにしてＩＴＯ膜を形成するとによって該ホイスカが発生しないことが確かめられている。

【0153】（实施例5）

《アクティブ・マトリックス液晶表示装置》以下、アクティブ・マトリックス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰返しの説明は省略する。

【０１５４】《マトリックス部（画素部）の平面構成》
図２２は本発明のアクティブ・マトリックス方式のカラー液晶表示装置の一画素とその周辺を示す平面図である（図の斜線部分は透明導電膜１１を示す。）。

【0155】図22に示すように、各画素は、走査信号線（ゲート信号線または水平信号線）GLと、対向電圧信号線（対向電極配線）CLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、蓄積容量Cstg、画素電極PXおよび対向電極CTを含む。走査信号線GL、対向電圧信号線CLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。画素電極PXは透明導電膜i1で形成され、ソース電極SD1を介して薄膜トランジスタTFTと電気的に接続され、対向電極CTも透明導電膜i1で形成され、対向電圧信号線CLと電気的に接続されている。

【0156】画素電極PXと対向電極CTは互いに対向し、各画素電極PXと対向電極CT1、CT2との間の電界により液晶LCの光学的な状態を制御し、表示を制御する。画素電極PXと対向電極CT1、CT2は櫛歯状に構成され、それぞれ、図の上下方向に長細い電極となっている。

【0157】1画素内の対向電極CT1の本数O（櫛歯の本数）は、画素電極PXの本数（櫛歯の本数）Pと $O = P - 1$ の関係を保つように構成する（本実施例では、 $O = 1$ 、 $P = 2$ ）。これは、対向電極CT1と画素電極PXを交互に配置し、かつ、対向電極CT2を映像信号線DLに必ず隣接させるためである。これにより、対向電極CT1、CT2と画素電極PXの間の電界が、映像信号線DLから発生する電界から影響を受けないように、対向電極CT2で映像信号線DLからの電気力線をシールドすることができる。対向電極CT2は、後述の対向電圧信号線CLにより常に外部から電位を供給されているため、電位は安定している。そのため、映像信号線DLに隣接しても、電位の変動がほとんどない。また、これにより、画素電極PXの映像信号線DLからの幾何学的な位置が遠くなるので、画素電極PXと映像信号線DLの間の寄生容量が大幅に減少し、画素電極電位Vsの映像信号電圧による変動も抑制できる。これらにより、上下方向に発生するクロストーク（縦スミアと呼ばれる画質不良）を抑制することができる。

【0158】図41および図42は、電極の幅Wと画素電極PXと対向電極CTの間の距離（最短距離）Lを液晶の層厚dとの関係を示す平面図である。

【0159】すなわち、L、dおよびW、dの関係とするにより、透過率を向上させ、かつ残像の発生を大幅に抑制できる効果を得ることができる。

【0160】なお、ここで、液晶の層厚dとは、液晶セルの（平均）リタレーション $\Delta n \cdot d$ を液晶材料の屈折率異方性 Δn で割った値として定義する。

【0161】液晶の層厚dに比較して電極の幅Wが大きい場合、図41（a）に示すように、それらの電極上の

電界の横方向成分が少なくなり、電極上の透過光が得られにくくなるためであり、図43に示すように電極幅Wの増加にともなって透過率が減少するためである。

【0162】したがって、図41（b）に示すように、Wをdより小さくすることで、電極上の横方向電界を発生させることで電極上の透過率を向上する。

【0163】しかしながら、図42（a）、（b）に示すように、画素電極PXと対向電極CT1の間の距離Lに対して液晶の層厚dが大きい場合、それら電極が形成されている透明基板側に強力な横電界が発生しやすくなり、該電極が形成されている透明基板側の配向膜のみによって初期配向の状態に復元させなければならないことから、残象が極めて生じ易くなってしまいうからである。

【0164】図44に $d = 4 \mu\text{m}$ の時のLに対する残像強度を示す。同図から $d = 4 \mu\text{m}$ の場合、W、dの範囲では $4 \mu\text{m}$ 以上で残像が落ち着くことがわかる。

【0165】したがって、液晶の層厚dを基準として電極の幅Wと画素電極PXと対向電極CTの間の距離（最短距離）Lを上述のように設定するか、あるいは電極の幅Wと画素電極PXと対向電極CTの間の距離（最短距離）Lを基準として液晶の層厚dを上述のように設定することによって、透過率を向上させ、かつ残像の発生を大幅に低減させることができるようになる。

【0166】また、図70は上述した構成においてセルギャップ（液晶の層厚）を変動させた場合の液晶分子の挙動を従来（IPS方式）の場合と比較して示している。そして、中間調20%輝度（真白の輝度を100%としたときの20%の輝度）において、セルギャップ変動量に対する輝度変動を示したグラフを同図に示している。

【0167】このグラフから明らかになるように、前記一方の基板に対する他方の基板のギャップの変動が $\pm 0.3 \mu\text{m}$ に対して、輝度の変動が10%以下になっていることが確認され、 $W > d$ の時よりも変動が緩やかであり、むらが少なくなることがわかる。

【0168】また、映像信号線DLの電極幅は画素電極PXと対向電極CT1と同じ幅以上とする。また、断線を防止するために、画素電極PXと対向電極CTに比較して若干広くした方が好ましい。

【0169】ここで、映像信号線DLの電極幅が、隣接する対向電極CT2の電極幅の2倍以下になるように設定する。

【0170】または、映像信号線DLの電極幅が歩留りの生産性から決まっている場合には、映像信号線DLに隣接する対向電極CT2の電極幅を映像信号線DLの電極幅の1/2を超えるようにする。これは、映像信号線DLから発生する電気力線をそれぞれ両脇の対向電極CTで吸収するためであり、ある電極幅から発生する電気力線を吸収するには、それと同一幅以上の電極幅を持つ電極が必要である。したがって、映像信号線DLの電極

の半分(4 μmずつ)から発生する電気力線をそれぞれ両脇の対向電極CTが吸収すればよい。また、画素電極PXからの電気力線も終端させる必要があるため、画素電極の半分(3 μm)も必要である。したがって、映像信号線DLに隣接する対向電極CTの電極幅は映像信号線の1/2に隣接する画素電極の幅の1/2を加えた幅以上とする。これにより、映像信号の影響により、クロストークが発生する、特に上下方向(縦方向)のクロストークを防止する。

【0171】走査信号線GLは末端側の画素(後述の走査電極端子GTMの反対側)のゲート電極GTに十分に走査電圧が印加するだけの抵抗値を満足するように電極幅を設定する。また、対向電圧信号線CLも末端側の画素(後述の共通バスラインCB1およびCB2から最も遠い画素すなわちCB1とCB2の中間の画素)の対向電極CTに充分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

【0172】一方、画素電極PXと対向電極CTの間の電極間隔は、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路(信号側ドライバ)の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。

【0173】《マトリックス部(画素部)の断面構成》図23は図22の6-6切断面における断面図、図24は図22の7-7切断面における薄膜トランジスタTFTの断面図、図25は図22の8-8切断面における蓄積容量Cstgの断面図である。

【0174】図23~図25に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFT、蓄積容量Cstgおよび電極群が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。

【0175】また、透明ガラス基板SUB1、SUB2のそれぞれの内側(液晶LC側)の表面には、液晶の初期配向を制御する配向膜ORI1、ORI2が設けられており、透明ガラス基板SUB1、SUB2のそれぞれの外側の表面には、偏光軸が直交して配置された(クロスニコル配置)偏光板が設けられている。

【0176】《TFT基板》まず、下側透明ガラス基板SUB1(TFT基板)側の構成を詳しく説明する。

【0177】《薄膜トランジスタTFT》薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソース-ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0178】薄膜トランジスタTFTは、図24に示すように、ゲート電極GT、絶縁膜GI、i型(真性、in

trinsic、導電型決定不純物がドーピングされていない)非晶質シリコン(Si)からなるi型半導体層AS、一對のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0179】《ゲート電極GT》ゲート電極は走査信号線GLと連続して形成されており、走査信号線GLの一部の領域がゲート電極GTとなるように構成されている。ゲート電極GTは薄膜トランジスタTFTの能動領域を超える部分である。本例では、ゲート電極GTは、単層の導電膜g3で形成されている。導電膜g3としては例えばスパッタで形成されたクロム-モリブデン合金(Cr-Mo)膜が用いられるがそれに限ったものではない。

【0180】《走査信号線GL》走査信号線GLは導電膜g3で構成されている。この走査信号線GLの導電膜g3はゲート電極GTの導電膜g3と同一製造工程で形成され、かつ一体に形成されている。この走査信号線GLにより、外部回路からゲート電圧Vgをゲート電極GTに供給する。本例では、導電膜g3としては例えばスパッタで形成されたクロム-モリブデン合金(Cr-Mo)膜が用いられる。また、走査信号線GLおよびゲート電極GTは、クロム-モリブデン合金のみに限られたものではなく、たとえば、低抵抗化のためにアルミニウムまたはアルミニウム合金をクロム-モリブデンで包み込んだ2層構造としてもよい。さらに、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしてもよい。

【0181】《対向電圧信号線CL》対向電圧信号線CLは導電膜g3で構成されている。この対向電圧信号線CLの導電膜g3はゲート電極GT、走査信号線GLおよび対向電極CTの導電膜g3と同一製造工程で形成され、かつ対向電極CTと電気的に接続できるように構成されている。この対向電圧信号線CLにより、外部回路から対向電圧Vcomを対向電極CTに供給する。

【0182】また、対向電圧信号線CLは、クロム-モリブデン合金のみに限られたものではなく、たとえば低抵抗化のためにアルミニウムまたはアルミニウム合金をクロム-モリブデンで包み込んだ2層構造としてもよい。

【0183】さらに、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしてもよい。

【0184】《絶縁膜GI》絶縁膜GIは、薄膜トラン

ジスタTFTにおいて、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、2500~4500の厚さに(本実施例では、3500程度)形成される。また、絶縁膜GIは走査信号線GLおよび対向電圧信号線CLと映像信号線DLの層間絶縁膜としても働き、それらの電氣的絶縁にも寄与している。また、絶縁膜GIは後述の保護膜PSV1と同一の 10 ホトマスクでパターンニングされ、一括で加工される。

【0185】《i型半導体層AS》i型半導体層ASは、非晶質シリコンで、100~3000の厚さ(本実施例では、1200)で形成される。

【0186】層d0はオーミックコンタクト用のリン(P)をドーブしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d3が存在するところのみに残されている。

【0187】i型半導体層ASおよび層d0は、走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの短絡を低減する。

【0188】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する導電膜d3から構成されている。

【0189】導電膜d3はスパッタで形成したクロム-モリブデン合金(Cr-Mo)膜を用い、500~3000の厚さ(本実施例では、2500程度)で形成される。Cr-Mo膜は低応力であるので、比較的膜厚を厚く形成することができ配線の低抵抗化に寄与する。また、Cr-Mo膜はN(+)型半導体層d0との接着性も良好である。導電膜d3として、Cr-Mo膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよく、また、アルミニウム等との積層構造にしてもよい。

【0190】導電膜d3をマスクパターンでパターンニングした後、導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は導電膜d1、導電膜d2以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0191】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の導電膜d3 50

で構成されている。また、映像信号線DLはドレイン電極SD2と一体に形成されている。本例では、導電膜d3はスパッタで形成したクロム-モリブデン合金(Cr-Mo)膜を用い、500~3000の厚さ(本実施例では、2500程度)で形成される。Cr-Mo膜は低応力であるので、比較的膜厚を厚く形成することができ配線の低抵抗化に寄与する。また、Cr-Mo膜はN(+)型半導体層d0との接着性も良好である。導電膜d3として、Cr-Mo膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよく、また、アルミニウム等との積層構造にしてもよい。

【0192】《蓄積容量Cstg》導電膜d3は、薄膜トランジスタのソース電極SD2の部分において、対向電圧信号線CLと重なるように形成されている。この重ね合わせは、図28からも明かなように、ソース電極SD2(d3)を一方の電極とし、対向電圧信号線CLを他方の電極とする蓄積容量(静電容量素子)Cstgを構成する。この蓄積容量Cstgの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIで構成される。

【0193】図22に示すように平面的には蓄積容量Cstgは対向電圧信号線CLの一部分に形成されている。

【0194】《保護膜PSV1》薄膜トランジスタTFT上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気から保護するために形成されており、透明性が高くかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、0.1~3μm程度の膜厚で形成する。

【0195】保護膜PSV1は、外部接続端子DTM、GTMを露出するよう除去されている。保護膜PSV1と絶縁膜GIの厚さ関係に関しましては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを考え薄くされる。また、保護膜PSV1は保護膜GIと同一ホトマスクでパターンニングし、一括で加工する。また、画素部では、対向電圧信号線CLと後述の対向電極CTとの電氣的接続、および、ソース電極SD2と画素電極PXとの電氣的接続のために、スルーホールTH2およびTH1を設けている。スルーホールTH2では、保護膜PSV1と絶縁膜GIが一括で加工されるのでg3層までの孔があき、スルーホールTH1ではd3でブロッキングされるのでd3層までの孔があく。

【0196】《画素電極PX》画素電極PXは、透明導電層i1で形成されている。この透明導電層i1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、100~2000の厚

さ（本実施例では、1400）で形成される。また、画素電極PXはスルーホールTH1を介して、ソース電極SD2に接続されている。

【0197】画素電極が本実施例のように透明になることにより、その部分の透過光により、白表示を行う時の最大透過率が向上するため、画素電極が不透明な場合よりも、より明るい表示を行うことができる。このとき、後述するように、電圧無印加時には、液晶分子は初期の配向状態を保ち、その状態で黒表示をするように偏光板の配置を構成する（ノーマリブラックモードにする）ようにしているの、画素電極を透明にしても、その部分の光を透過することがなく、良質な黒を表示することができる。これにより、最大透過率が向上され、かつ十分なコントラスト比を達成することができる。

【0198】《対向電極CT1、CT2、CT3》対向電極CT1、CT2、CT3は透明導電層i1で形成されている。この透明導電層i1はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、100～2000の厚さ（本実施例では、1400）で形成される。また、画素電極PXはスルーホールTH2を介して、対向電圧信号線CLに接続されている。

【0199】対向電極CT1、CT2、CT3またCTは抵抗をできるだけ下げたため上下の行に接続する部分CT3をも被っており、マトリクス状に接続され、対向電圧Vcomが印加されるように構成されている。本実施例では、対向電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位から、薄膜トランジスタTFTをオフ状態にするときに発生するフィールドスルー電圧ΔVsだけ低い電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合には、交流電圧を印加すればよい。

【0200】《カラーフィルタ基板》次に、図22、図23に戻り、上側透明ガラス基板SUB2側（カラーフィルタ基板）の構成を詳しく説明する。

【0201】《遮光膜》上部透明ガラス基板SUB2側には、不要な間隙部（画素電極PXと対向電極CTの間以外の隙間）からの透過光が表示面側に射出して、コントラスト比等を低下させないように遮光膜BM（いわゆるブラックマトリクス）を形成している。遮光膜BMは、外部光またはバックライト光がi型半導体層ASに入射しないようにする役割も果たしている。すなわち、薄膜トランジスタTFTのi型半導体層ASは上下にある遮光膜BMおよび大きめのゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

【0202】図22に示す遮光膜BMは、薄膜トランジスタTFTの上部に左右方向に線状に延在した構成である。このパターンは一例であり、開口部を孔状にあげた

マトリクス状のようにすることもできる。櫛歯電極端部等の電界方向が乱れる部分においては、その部分の表示は、画素内の映像情報に1対1で対応し、かつ、黒の場合には黒、白の場合には白になるため、表示の一部として利用することも可能である。また、図の上下方向における対向電極CTと映像信号DLとの間隙部は、ゲート電極GTと同一工程で形成した遮光層SHで遮光する。これにより左右方向、上下方向の遮光は、TFT工程のアライメント精度で高精度に遮光できるので、映像信号線DLの隣接する対向電極CTの電極間に遮光層SHの境界を設定でき、上下基板のあわせ精度に依存する遮光膜BMによる遮光よりも、より開口部を拡大することができる。

【0203】遮光膜BMは光に対する遮光性を有し、かつ、画素電極PXと対向電極CTの間の電界に影響を与えないように絶縁性の高い膜で形成されており、本実施例では黒色の顔料をレジスト材に混入し、1.2μm程度の厚さで形成している。

【0204】遮光膜BMは各行の画素に左右方向に線状に形成され、この線で各行の有効表示領域が仕切られている。従って、各行の画素の輪郭が遮光膜BMによってはっきりとする。つまり、遮光膜BMは、ブラックマトリクスとi型半導体層ASに対する遮光との2つの機能をもつ。

【0205】遮光膜BMの周辺部にも額縁状に形成され、そのパターン図22に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防ぐとともに、バックライト等の光が表示エリア外に漏れるのも防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3～1.0nm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0206】《カラーフィルタFIL》実施例1と同じ。

【0207】《オーバーコート膜OC》実施例1と同じ。

【0208】《液晶層、配向膜および偏光板》実施例1と同じ。

【0209】《マトリクス周辺の構成》実施例1と同じ。

【0210】《ゲート端子部》図26(a)は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す平面図であり、図26(b)は図26(a)のB-B切断線における断面図を示している。なお、同図は図5右中央付近に対応し、斜め配線の部分は便宜上一直線状で示した。

【0211】図中Cr-Mo層g3は、判り易くするためハッチを施してある。ゲート端子GTMは、Cr-Mo層g3と、さらにその表面を保護し、かつ、TCP

(TapeCarrier Package)の信頼性を向上させるための透明導電層i1とで構成されている。

【0212】この透明導電層i1は画素電極PXと同一工程で形成された透明導電膜ITOを用いている。

【0213】平面図において、絶縁膜GIおよび保護膜PSV1はその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート信号線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図26(a)に示すよう10に上下に複数並べられ端子群Tg(図5)が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を超えて延長され配線SHg(図示せず)によって短絡される。製造過程における配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0214】《ドレイン端子DTM》図27(a)は映像信号線DLからその外部接続端子DTMまでの接続を示す平面図を示し、図27(b)は、図27(a)のB-B切断線における断面図を示す。なお、同図は図5右上付近に対応図の向きは便宜上変えてあるが右端方向20が基板SUB1の上端部に該当する。

【0215】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるように配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。外部接続ドレイン端子DTMは上下方向に配列され、ドレイン端子DTMは図5に示すように端子群Td(添字省略)を構成し基板SUB1の切断線を超えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHd(図示せず)によって短30絡される。検査端子TSTdは図8に示すように一本置き映像信号線DLに形成される。

【0216】ドレイン接続端子DTMは透明導電層i1で形成されており、保護膜PSV1を除去した部分で映像信号線DLと接続されている。この透明導電膜i1はゲート端子GTMの時と同様に画素電極PXと同一工程で形成された透明導電膜ITOを用いている。

【0217】マトリックス部からドレイン端子部DTMまでの引出配線は、映像信号線DLと同じレベルの層d3が構成されている。40

【0218】《対向電極端子CTM》図28(a)は対向電圧信号線CLからその外部接続端子CTMまでの接続を示す平面図を示し、図28(b)は図28(a)のB-B切断線における断面図を示す。なお、同図は図5右上付近に対応する。

【0219】各対向電圧信号線CLは、共通バスラインCB1で一まとめして対向電極端子CTMに引き出されている。共通バスラインCB1は導電層g3の上に導電層3を積層し、透明導電層i1でそれらを電氣的に接続した構造となっている。これは、共通バスラインCBの50

抵抗を低減し、対向電圧が外部回路から各対向電圧信号線CLに十分に供給されるようにするためである。本構造では、特に新たに導電層を付加することなく、共通バスラインの抵抗を下げられるのが特徴である。

【0220】対向電極端子CTMは、導電層g3の上に透明導電層i1が積層された構造になっている。この透明導電膜i1は他の端子の時と同様に画素電極PXと同一工程で形成された透明導電膜ITOを用いている。透明導電層i1により、その表面を保護し、電食等を防ぐために耐久性のよい透明導電層i1で、導電層g3を覆っている。また透明導電層i1と導電層g3および導電層d3との接続は保護膜PSV1および絶縁膜GIにスルーホールを形成し導通をとっている。

【0221】一方、図29(a)は対向電圧信号線CLのもう一方の端からその外部接続端子CTM2までの接続を示す平面図を示し、図29(b)は図29(a)のB-B切断線における断面図を示す。なお、同図は図5右上付近に対応する。ここで、共通バスラインCB2では各対向電圧信号線CLのもう一方の端(ゲート端子GTM側)を一まとめにして対向電極端子CTM2に引き出されている。共通バスラインCB1と異なる点は、走査信号線GLとは絶縁されるように、導電層d3と透明導電層i1で形成していることである。また、走査信号線GLとの絶縁は絶縁膜GIで行っている。

【0222】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図30に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元的に配列したマトリクス・アレイである。

【0223】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、...、endは走査タイミングの順序に従って付加されている。

【0224】走査信号線Y(添字省略)は垂直走査回路Vに接続されており、映像信号線X(添字省略)は映像信号駆動回路Hに接続されている。

【0225】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTF液晶表示装置用の情報に変換する回路を含む回路である。

【0226】《駆動方法》図31に本実施例の液晶表示装置の駆動波形を示す。対向電圧Vcは一定電圧とする。走査信号Vgは1走査期間ごとに、オンレベルを取り、その他はオフレベルをとる。映像信号電圧は、液晶層に印加したい電圧の2倍の振幅で正極と負極を1フレーム毎に反転して1つの画素に伝えるように印加する。ここで、映像信号電圧Vdは1列毎に極性を反転し、1行毎にも極性を反転する。これにより、極性が反転した

画素が上下左右にとなりあう構成となり、フリッカ、クロストーク（スミア）を発生しにくくすることができる。また、対向電圧 V_c は映像信号電圧の極性反転のセンター電圧から、一定量下げた電圧に設定する。これは、薄膜トランジスタ素子がオンからオフに変わるときに発生するフィードスルー電圧を補正するものであり、液晶に直流成分の少ない交流電圧を印加するために行う。これは、液晶は直流が印加されると、残像、劣化等が激しくなるためである。

【0227】また、この他に、対向電圧は交流化すること10
で映像信号電圧の最大振幅を低減でき、映像信号駆動回路（信号側ドライバ）に耐圧の低いものを用いることも可能である。

【0228】《蓄積容量 C_{stg} の働き》実施例1と同じ。

【0229】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図32～図34を参照して説明する。なお、同図において、中央の文字は工程名の略称であり、左側は図24に示す薄膜トランジスタTFT部分、右側は図26に示すゲート端子付近20
の断面形状でみた加工の流れを示す。工程B、工程Cを除き工程A～工程Iは各写真処理に対応して分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返し説明は避ける。以下、分けした工程に従って、説明する。

【0230】工程A、図32

AN635ガラス（商品名）からなる下部透明ガラス基30
板SUB1上に膜厚が2000のCr-Mo等からなる導電膜g3をスパッタリングにより設ける。写真処理後、硝酸第2セリウムアンモンで導電膜g3を選択エッチングする。それによって、ゲート電極GT、走査信号線GL、対向電圧信号線CL、ゲート端子GTM、共通バスラインCB1の第1導電層、対向電極端子CTM1の第1導電層、ゲート端子GTMを接続するバスラインSHg（SHg）を形成する。

【0231】工程B、図32

プラズマCVD装置にアンモニアガス、シランガス、窒40
素ガスを導入して、膜厚が3500の窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が1200のi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300のn（+）型非晶質Si膜を設ける。

【0232】工程C、図32

写真処理後、ドライエッチングガスとして SF_6 、 CCl_4 50
を使用してn（+）型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体

層ASの島を形成する。

【0233】工程D、図33

膜厚が300のCrからなる導電膜d3をスパッタリングにより設ける。写真処理後、導電膜d3を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2、共通バスラインCB2の第1導電層、およびドレイン端子DTMを短絡するバスラインSHd（図示せず）を形成する。つぎに、ドライエッチング装置に CCl_4 、 SF_6 を導入して、n（+）型非晶質Si膜をエッチングすることにより、ソースとドレイン間のn（+）型半導体層d0を選択的に除去する。

【0234】工程E、図33

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が0.4 μm の窒化Si膜を設ける。写真処理後、ドライエッチングガスとして SF_6 を使用して窒化Si膜を選択的にエッチングすることによって、保護膜PSV1および絶縁膜GIをパターンニングする。

【0235】工程F、図34

膜厚が1400のITO膜からなる透明導電膜i1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で透明導電膜i1を選択的にエッチングすることにより、ゲート端子GTMの最上層、ドレイン端子DTMおよび対向電極端子CTM1およびCTM2の第2導電層を形成する。

【0236】《表示パネルPNLと駆動回路基板PCB1》実施例1と同じ。

【0237】《TCPの接続構造》実施例1と同じ。

【0238】《駆動回路板PCB2》実施例1と同じ。

【0239】《液晶表示モジュールの全体構成》実施例1と同じ。

【0240】以上、本実施例では、実施例2と同様に櫛歯電極を透明にすることにより、白表示を行うときの最大透過率が約50%向上させることができ、液晶表示パネルPNLの透過率が約5.7%になる。

【0241】また、端子の信頼性を向上するためのITO膜も同時に形成することができ、信頼性と生産性を両立することができる。

【0242】また、本実施例では、実施例1～4と異なり、ITOを保護膜PSVの上層に形成するプロセスを用いているので、対向電極を最上層に持てくことができ、映像信号線からの漏洩電界のシールド効果も良好であり、クロストークを低減できる。

【0243】更に、電極間の液晶を駆動する電気力線の経路に保護膜PSVが介在しないため、保護膜PSVでの電圧低減がなく、液晶を駆動するための最大駆動電圧値を実施例1の7.5V $_{olt}$ から本例では5.0V $_{olt}$ に低減できた。

【0244】本方式のような基板面に略平行な電界を印

加して液晶を駆動する方式では、電極間の電気力線の経路に 2 回保護膜が入るため、また、プロセスを簡略化することができ、生産性も向上する。

【0245】(実施例 6) 本実施例は下記の構成を除けば、実施例 5 と同一である。図 35 に画素の平面図を示す。図の斜線部分は透明導電膜 i_1 を示す。

【0246】《遮光膜 BM》上部透明ガラス基板 SUS 2 側には、不要な間隙部(画素電極 PX と対向電極 CT の間以外の隙間)からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜 BM (いわゆるブラックマトリックス)を形成している。遮光膜 BM は、外部光またはバックライト光が i 型半導体層 AS に入射しないようにする役割も果たしている。すなわち、薄膜トランジスタ TFT の i 型半導体層 AS は上下にある遮光膜 BM および大きめのゲート電極 GT によってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

【0247】図 40 に示す遮光膜 BM は、薄膜トランジスタ TFT 上部に上下左右方向に延在した構成であり、開口部に孔をあけたマトリックス状の形状を有する。櫛歯電極端部等の電界方向が乱れる部分においては、その部分の表示は画素内の映像情報に 1 対 1 で対応し、かつ、黒の場合には黒、白の場合には白になるため、表示の一部として利用することが可能である。

【0248】また、本実施例では、実施例 5 と異なり、遮光膜 BM は光に対する遮光性を有し、かつ、映像信号線 DL からの電界が画素電極 PX と対向電極 CT の間の電界に影響しないように導電性の高い膜で形成されており、本実施例では対向基板 SUB 1 面からクロム酸化物(CrO_x)、クロム窒化物(CrN_x)、クロム(Cr)の 3 層構造を $0.2\mu m$ 程度の厚さで形成している。このときクロム酸化物(CrO_x)は、表示面の反射を抑えるために用いている。また、クロム(Cr)は遮光膜 BM に外部から電圧を与えられるよう遮光膜 BM の最上層に設ける。

【0249】遮光膜 BM は各行の画素に左右方向に線状に形成され、この線で各行の有効表示領域が仕切られている。従って、各行の画素の輪郭が遮光膜 BM によってはっきりとする。つまり、遮光膜 BM は、ブラックマトリックスと i 型半導体層 AS に対する遮光との 2 つの機能をもつ。

【0250】遮光膜 BM は周辺部にも額縁状に形成され、そのパターンは図 35 に示すマトリックス部のパターンと連続して形成されている。周辺部の遮光膜 BM は、シール部 SL の外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリックス部に入り込むのを防ぐとともに、バックライト等の光が表示エリア外に漏れるのも防いでいる。他方、この遮光膜 BM は基板 SUB 2 の縁よりも約 $0.3 \sim 1.0 mm$ 程内側に留められ、基板 SUB 2 の切断領域を避けて形成されて

いる。

【0251】《オーバーコート膜 OC》実施例 1 と同じ。ただし、遮光膜 BM に電位を与えられるようにスルーホールを形成してもよい。電位としては、対向電圧 V_c に接続することが好ましい。

【0252】本実施例では、実施例 5 の効果に加え、遮光膜 BM が映像信号線 DL からの電界の影響をシールドするため、それにより画素電極 PX と対向電極 CT 1、CT 2 との電界が影響されなくなる。したがって、映像信号線 DL とのクロストークがなくなり、画面に筋を引くような画質不良(スミア)を解消できる。また、映像信号線 DL の両脇に配置される透明な対向電極 CT 2 を遮光層 SH で遮光する領域も小さくでき、より高透過率を達成することができる。

【0253】(実施例 7) 図 36 は他の実施例の画素の平面図、図 37 は図 36 の 6-6 線における断面図を示す。本実施例では、対向電極 CT を実施例 2 と同様に工程を追加し、画素電極 PX と別工程で異なる層に形成した。これにより、対向電極 CT 1、CT 2 と画素電極 PX をいくら近付けてもショートすることがないので、点欠陥を大幅に減少させることができる。

【0254】(実施例 8) 図 38 は、本実施例のアクティブ・マトリックス型カラー液晶表示装置の開口率向上の原理を示す図で、図 38(a)は、電極に電圧を印加した時の液晶層内の電位分布を示す特性図、図 38(b)は、液晶層の中央部付近の液晶分子の再配向状態を示す平面図、図 38(c)は、図 38(b)に示す液晶分子の回転角 α を示す特性図、図 38(d)は、上下偏光板、上下基板、電極上および電極間の液晶層を透過する光の透過率分布を示す特性図の一例である。

【0255】ここで、下記の構成を除けば、実施例 5 と同一である。本実施例では、液晶層のツイスト弾性定数 K_{22} として約 $2 \times 10^{-12} N$ (ニュートン)を使用した。

【0256】ツイスト弾性定数 K_{22} として、例えば、約 $10 \times 10^{-12} N$ (ニュートン)の比較的大きな値を使用すると、図 39(b)に示すように、電極上中央部の液晶分子は、ほとんど回転角 α が零であり、この結果、電極上中央部の透過率はほぼ黒表示の値となる。

【0257】一方、本実施例では、電極上中央部の液晶分子までも回転し、電極間の A 部分の透過率の平均透過率の 50% 以上が、電極上での B 部分の透過率の平均値透過率となることが判った。

【0258】したがって、全体部分の平均透過率は、A + B 部分の透過率の平均値透過率となり、大幅に引き上げられる。

【0259】(実施例 9) 図 40 に他の実施例の画素の平面図を示す。本実施例では、画素電極 PX および対向電極 CT 1、CT 2 をくの字状にした。これにより、方向の違う再配向状態をもつ 2 つの領域(ドメイン)が形

成され、斜め方向の着色、階調反転をそれぞれが補償しあい、より広視野角が得られる。

【0260】図41および図42は、電極の幅 W と画素電極 PX と対向電極 CT の間の距離（最短距離） L を液晶の層厚 d との関係を示す平面図である。

【0261】すなわち、 L 、 d および W 、 d の関係とすることにより、透過率を向上させ、かつ残像の発生を大幅に抑制できる効果を得ることができる。

【0262】なお、ここで、液晶の層厚 d とは、液晶セルの（平均）リタレーション $\Delta n \cdot d$ を液晶材料の屈折率異方性 Δn で割った値として定義する。

【0263】しかしながら、図42(a)、(b)に示すように、画素電極 PX と対向電極 CT の間の距離 L に対して液晶の層厚 d が大きい場合、それら電極が形成されている透明基板側に強力な横電界が発生し易くなり、該電極が形成されている透明基板側の配向膜のみによって初期配向の状態に復元させなければならないことから、残像が極めて生じ易くなってしまいうからである。

【0264】図44に $d = 4 \mu m$ の時の L に対する残像強度を示す。同図から $d = 4 \mu m$ の場合、 W 、 d の範囲では $4 \mu m$ 以上で残像が落ち着くことがわかる。

【0265】液晶の層厚 d に比較して電極の幅 W が大きい場合、図41(a)に示すように、それらの電極上の電界の横方向成分が少なくなり、電極上の透過光が得られにくくなるためであり、図43に示すように電極幅 W の増加にともなって透過率が減少するためである。

【0266】したがって、図41(b)に示すように、 W を d より小さくすることで、電極上の横方向電界を発生させることで電極上の透過率を向上する。

【0267】したがって、液晶の層厚 d を基準として電極の幅 W と画素電極 PX と対向電極 CT の間の距離（最短距離） L を上述のように設定するか、あるいは電極の幅 W と画素電極 PX と対向電極 CT の間の距離（最短距離） L を基準として液晶の層厚 d を上述のように設定することによって、透過率を向上させ、かつ残像の発生を大幅に低減させることができるようになる。

【0268】（実施例10）図55(b)の図56中の画素仕様12～22は上述の画素構成において、電極数、電極幅、電極間隔、電極の配置位置を異ならしめて構成した場合の例である。

【0269】（実施例11）本実施例は下記を除き、実施例1と同一である。これにより、本実施例では画素電極 PX および対向電極 CT は、そのうちの一方の電極（下層に位置づけられる電極）を画素領域のほぼ全域に形成したものである。

【0270】図45(a)、図46(a)、図46(b)、図55(a)はそ実施例の画素の平面図を示す。図56の画素仕様1～11では、実施例10と同様に電極数、電極幅、電極間隔、電極を形成する層を異ならしめてある。

【0271】また、図70は、上述した構成においてセルギャップ（液晶の層厚 d ）を変動させた場合の液晶分子の挙動を従来（IPS方式）の場合と比較して示している。そして、中間調20%輝度（真白の輝度を100%としたときの20%の輝度）において、セルギャップ変動量に対する輝度変動を示したグラフを同図に示している。

【0272】このグラフから明らかになるように、前記一方の基板に対する他方の基板のギャップの変動が $\pm 0.3 \mu m$ に対して、輝度の変動が10%以下になっていることが確認され、 $W > d$ の時よりも変動が緩やかであり、むらが少なくなることがわかる。

【0273】本実施例では、下層の電極が画素領域のほぼ全域にあるため、 $L = 0$ となり、実施例1～10までの構成をとることができない。したがって、次の方法で残像を対策した。TFT基板側の配向膜近傍に電界が集中しないように画素電極と対向電極の層間膜の厚みを厚くする。また、それらの電極の上に保護膜を厚く形成する。

【0274】さらには、保護膜、層間膜の誘電率を高くする。たとえば層間膜の厚みは $0.5 \mu m$ 以上、保護膜の厚みは $0.5 \mu m$ 以上、誘電率は5以下が好ましい。なお、これらは単独でも効果を有する。

【0275】また、これらの図では、各電極群のそれぞれの電極はそれぞれの走行方向において複数の屈曲部を有するジグザグ形状となっており、その屈曲部を境にして一方は図中 y 方向に対して θ の角度を、他方は $180^\circ - \theta$ の角度を有している。

【0276】これにより、一画素内に、画素電極と対向電極との間の電界の方向を異ならしめた領域を形成し、異なる方向から表示面を観察した際に生じる色調の相違を相殺されるいわゆるマルチドメイン方式を採用している。

【0277】（実施例12）図45(b)、図47(a)、(b)は下層のITO電極にスリットを設け、上層のITO電極と平面的に重なる領域を減らしたものである。これにより、画素電極と対向電極の間に形成される容量が少なくなり、横スミアが減少する。

【0278】（図45～47の補足説明）図45ないし図47は上述した各画素の構成において、電極の数、電極幅、隣接する電極との間隔、一方の電極の構成等を異ならしめて構成した場合の開口率、および透過率を示したものである。

【0279】なお、各図において、電極幅および隣接する電極との間隔を示す寸法は、たとえば図中 $6.0(4.0)$ とあるのは前者がマスクにおける寸法 $6.0 \mu m$ で後者が実際に形成される寸法 $4.0 \mu m$ を示している。また、形成した薄膜トランジスタのチャンネル幅およびチャンネル長(W/L)、容量素子 $Cstg$ の容量をも示している。

【0280】図45は画素電極と対向電極との間の電界の方向を映像信号線と交差する方向に構成し、図46および図47は画素電極と対向電極との間の電界の方向を映像信号線に沿った方向に構成したものである。

【0281】図45(a)は、画素電極が6本、対向電極が画素領域の全域に形成した場合を示したもので、開口率として50.4%、透過率として3.8%を得ることができた。

【0282】図45(b)は、画素電極が6本、対向電極が一つ置きに画素電極と重畳されているとともに、その幅を画素電極の幅よりも大きく形成した場合を示したもので、開口率として50.4%、透過率として3.8%を得ることができた。

【0283】図45(a)と比較すると、容量素子Cstgの容量を400fFと小さくできる。

【0284】図46(a)は、対向電極を画素領域のほぼ全域に形成し、画素電極の幅を5(3.8)、隣接する画素電極の間隔を5(6.2)としたもので、開口率として50.3、透過率として4.3を得ることができた。

【0285】図46(b)は、対向電極を画素領域のほぼ全域に形成し、画素電極の幅を4(2.8)、隣接する画素電極の間隔を4(5.2)としたもので、開口率として50.3、透過率として4.8を得ることができた。

【0286】図47(a)は、画素電極の幅が5(3.8)、隣接する画素電極との間隔が5(6.2)、対向電極が一つ置きに画素電極と重畳されているとともに、その幅を画素電極の幅よりも大きく形成した場合を示したもので、開口率として50.3%、透過率として4.3%を得ることができた。

【0287】図47(b)は、図54(a)と同様の構成を採用し、画素電極の幅が4(2.8)、隣接する画素電極との間隔が4(5.2)としたもので、開口率として50.3%、透過率として4.8%を得ることができた。

【0288】図48は、このように構成された液晶表示装置の電圧-透過率特性を示したグラフである。比較のために従来(IPSで示している)のそれも示している。このグラフから、少ない電圧で透過率の向上が図れることが明らかとなる。

【0289】図49は、上述した各液晶表示装置において、それに用いられる液晶の材料、セルギャップ等に対して、最大透過率、応答時間、他の測定値を示した表である。

【0290】なお、同表において、画素3、画素4、画素1で示される画素構造は、それぞれの図46(a)、図46(b)、図45(a)に示すものに対応している。

【0291】図50は、上述した各液晶表示装置におい

て、その表示面における正面特性を示した表である。

【0292】なお、同表において、画素1、画素2、画素3、画素4、画素5、および画素6は、それぞれ図45(a)、図45(b)、図46(a)、図46(b)、図47(a)、図47(b)に示すものに対応している。

【0293】図51は、上述した液晶表示装置において、その応答速度を示したグラフである。図中左側の各グラフはNp液晶を用いた画素1(図45(a))の構成のものを示し、右側の各グラフはNn液晶を用いた画素4(図46(b))の構成のものを示している。

【0294】また、前段の各グラフは明るい側の階調から暗い側の階調へ移行させた場合の応答速度の結果を示し、中段の各グラフは暗い側の階調から明るい側の階調に移行された場合の応答速度の結果を示し、後段の各グラフはそれらの合計を示した応答速度の結果を示している。

【0295】この後段の各グラフから全体的にほぼ均一化された応答速度を有することが判る。

【0296】図52および図53は、上述した液晶表示装置において、画素1ないし画素6の構成のものにおいてスミアの発生の度合いを測定した表である。

【0297】図54は、上述した液晶表示装置において、表示部に同心円状の黒白ストライプパターンを焼き付けて残像を観察した結果を示す表である。

【0298】画素1および画素2の構成においてポジ型液晶(比抵抗： 7.5×10^{-12})を用い、また、画素3ないし画素6の構成においてネガ型液晶(比抵抗： 8.8×10^{-12})を用いたものを観察した。

【0299】《図55から図60までの補足説明》図56は、特に、各画素領域において画素電極と対向電極との間の電界方向が映像信号線に沿った場合の構成における各特性を評価した表である。

【0300】評価対象とした液晶表示装置は、図55(a)に示すように、対向電極(共通電極)を画素領域のほぼ全域に形成したものの、および、図55(b)に示すように、対向電極を画素電極と同様電極群として形成のものである。

【0301】ここで、図56の表中の画素仕様1から25は、図55(a)の構成において、画素電極の幅W1の値をどのくらいにしたか、隣接する画素電極との間隔L1をどのくらいにしたか、電極をどの層に形成したか等によって特定でき、さらに、図55(b)の構成において、画素電極の幅W2、対向電極の幅W3をどのくらいにしたか、画素電極と対向電極との間隔L2をどのくらいにしたか、電極をどの層に形成したか等によって特定できるようになっている。

【0302】また、図57から図60は、上記各画素仕様に対して、電圧に対する透過率を示したグラフを示している。

【0303】ここで、各図において図中左側のグラフは図55(a)に示す構成のもの、右側のグラフは図55(b)に示す構成のものを対象としている。

【0304】また、図61から図66は、それらをまとめたもので、それぞれのパラメータ(シェブロン角度 θ 、電極幅 W 、電極間隔 L 、電極のレイヤ配置)についての傾向を示している。

【0305】図61(a)からすると透過率を最大にし、かつ安定させるには、 θ は 10° 以上が好ましい。また、図61(d)から画素電極は保護膜PSV1上でかつ対向電極はゲート信号線と同層であることが透過率が最大となり、図65(d)に示すようにより青いので好ましい。

【0306】(実施例13)図67(b)は、本発明による液晶表示装置の他の実施例を示す平面図であり、この図は映像信号線DLを中心としたその近傍を示した図となっている。

【0307】図67(b)において、映像信号線DLの両脇に位置づけられる画素との間の液晶が、該映像信号線に供給される映像信号からのノイズによって、動作するのを解消させた構成となっている。

【0308】すなわち、前記画素領域には、該映像信号線DLに交差する方向に延在する画素電極PXと対向電極CTが形成されている。

【0309】画素電極PXと対向電極CTとの間に発生する電界の方向は、この場合、映像信号線に沿った方向となりこの電界によって液晶はその透過率が制御されるようになる。

【0310】なお、この場合における各透明基板に形成された配向膜の初期配向を決定するラビング方向は該映像信号線DLに沿った方向に一致づけられて形成されている。

【0311】一方、映像信号線DLから画素側へのノイズは該映像信号線と交差する方向の電界であることからして、その方向に初期配向されている液晶は動作しないことになる。

【0312】すなわち、映像信号線DLと対向電極CT(詳しくは、該映像信号線DLからのノイズを吸収するために形成された部分で電極群として形成された各対向電極CTを接続する部分)との間の隙間を通して光が透過することがなくなる。

【0313】このことは、これら電極が形成された透明基板と液晶を介して対向配置される他の透明基板側に前記隙間を被うブラックマトリックスが形成されているとしても、該他の透明基板の配置の位置ずれによっていわゆる縦スミアを発生させるようなことはなくなる。

【0314】また、前記ブラックマトリックスのうち、少なくとも該映像信号線に沿って形成される部分を形成しなくてもよくなるという効果も奏する。

【0315】上述した構成は、ネガ型に限らずポジ型の

液晶を用いた場合においても適用できることはいうまでもない。

【0316】図67はネガ型液晶の場合であるが、ポジ型液晶の場合にはそのラビング方向をネガ型の場合と直交する方向にすればよい。

【0317】配向膜によって初期配向が決定された液晶が前記映像信号線DLと交差する方向の電界によって動作しないよう(画素電極と対向電極との間に発生する電界によって動作する範囲よりも小さい動作を含む)にすればよいからである。

【0318】このためには、液晶の型によって適当な配向膜による初期配向が決定され、また、実質的な画素領域において画素電極と対向電極との間に発生する電界の方向が決定されることになる。

【0319】(実施例14)図68は、本発明による液晶表示装置の画素の他の実施例を示す平面図である。同図は、画素電極PXおよび対向電極CTが互いに噛み合う電極群から構成され、それらは、映像信号線に交差する方向へ延在されている。

【0320】この場合においても、電極の幅 W と画素電極PXと対向電極CTの間の距離(最短距離) L を液晶の層厚 d との関係で上述したと同様に規定している。

【0321】そして、各電極群のそれぞれの電極はそれぞれの中央において屈曲され、その屈曲点を境にして一方は図中 x 方向に対して θ の角度を、他方は $180^\circ - \theta$ の角度を有している。

【0322】また、映像信号線DLに供給される映像信号は隣接する映像信号線DLに供給する映像信号に対して反転させており(これは同図では明らかにされていない)、これにともない各対向電極CTを共通に接続させる電極接続部は、画素の上方で図中左側の映像信号線DLに隣接させ、画素の下方で図中右側の映像信号線に隣接させるようにし、これら各電極接続部は画素の中央で互いに接続されているとともに、対向電圧信号線CLに重ね合わされて形成された構成となっている。

【0323】これにより、各画素において、映像信号線DLと対向電極CT(それらの接続部も含む)との間の容量結合が左右対称となって相殺される効果を有するようになる。

【0324】このことから、前記対向電極はたとえば一番上のそれと二番目のそれを一方の映像信号線側で接続させ、三番目のそれと四番目のそれを他方の映像信号線側で接続させ、五番目のそれと六番目のそれを一方の映像信号線側で接続させるようにして順次繰り返すようなパターンとしても同様の効果を有するようになる。

【0325】また、前記電極接続部は、その下層にある対向電圧信号線CLを被うようにして形成されているとともに、その上辺を該対向電圧信号線で画される上方の画素領域の対向電極CTの形状に合わせ(対向電極との距離(画素電極と対向電極との距離に一致づけている))

を一定)、下辺を下方の画素領域の対向電極CTの形状に合わせるように構成している。

【0326】このように構成することによって、画素の有効領域が広がる効果を有するようになり、対向電圧信号線CLも該接続部に合わせたパターンとすることによって、幅を広く形成できその低抵抗化を図ることができるようになる。

【0327】また、対向電圧信号線CLに重ね合わされて形成される電極接続部は対向電極と一体に形成されたITO膜から構成されるため、該対向電圧信号線の図中x方向の各辺には切欠きが形成され、この切欠きによって該電極接続部の該対向電圧信号線の乗り越え部における段差切れの発生の確率を低減させている。

【0328】(実施例15)図69は本発明による液晶表示装置の製造方法の一実施例を示したものである。これら断面図は走査信号線(ゲート配線)GLと対向電圧信号線(コモン配線)CLを交差する線における断面図を示したものである。

【0329】また、透明電極(ITO)からなる対向電極CTおよび画素電極PXの各パターンは同図では明らかにされていないが、図45~47、図55等にするパターンとして形成することができる。

【0330】ここでは、ゲート信号線、コモン信号線にAlを用いることで低抵抗化を図り、かつ、電極間の短絡不良を軽減するために陽極酸化している。また、ここでは透明導電膜としてIZO(Indium-Zin-Oxide)を用いる。これは下層透明電極のエッチングの際、そのエッチング液でAlがエッチングされパターンがなくなってしまうことを防ぐためである。

【0331】ITOに使うHBrはAlを溶かしてしまうため、同層にはAlとITO(ポリの場合)をもってくることはできない。したがって、弱酸である蔞酸でエッチング可能なIZOを用いることによってAlと透明導電膜の同層形成が可能になる。この場合でもAlの形成工程がIZOの形成工程より先にくる必要がある。

【0332】

【発明の効果】以上説明したことから明らかなように、本発明による液晶表示装置によれば、透過率を大幅に向上させ、残像の発生を大幅に低減等でき、表示品質の良質なものを得ることができる。

【0333】また、ギャップ変動に対するむらのマージン拡大、上下基板の合わせずれマージンの拡大ができ、コントラスト比が向上し、応答速度を速くすることができる。

【図面の簡単な説明】

【図1】本発明のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図2】図1の3-3切断線における画素の断面図である。

【図3】図1の4-4切断線における薄膜トランジスタ素子TFTの断面図である。

【図4】図1の5-5切断線における蓄積容量Cstgの断面図である。

【図5】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図6】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図7】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図8】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図9】共通電極端子CTM、共通バスラインCBおよび共通電圧信号線CLの接続部付近を示す平面と断面の図である。

【図10】本発明のアクティブ・マトリクス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図11】本発明のアクティブ・マトリクス型カラー液晶表示装置の駆動波形を示す図である。

【図12】基板SUB1側の工程A~Bの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図13】基板SUB1側の工程C~Eの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】基板SUB1側の工程F~Gの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図16】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図17】テープキャリアパッケージTCPを液晶表示パネルPNLの走査信号回路用端子GTMに接続した状態を示す要部断面図である。

【図18】液晶表示モジュールの分解斜視図である。

【図19】印加電界方向、ラビング方向、偏光板透過軸の関係を示す図である。

【図20】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図21】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図22】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図23】図25の6-6線における断面図である。

【図24】図25の7-7線における断面図である。

【図25】図25の8-8線における断面図である。

【図26】ゲート端子GTMとゲート配線GLの接続部

近辺を示す平面と断面の図である。

【図 27】ドレイン端子 DTM と映像信号線 DL との接続部付近を示す平面と断面の図である。

【図 28】共通電極端子 CTM、共通バスライン CB および共通電圧信号線 CL の接続部付近を示す平面と断面の図である。

【図 29】共通電極端子 CTM、共通バスライン CB および共通電圧信号線 CL の接続部付近を示す平面と断面の図である。

【図 30】本発明のアクティブ・マトリクス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図 31】本発明のアクティブ・マトリクス型カラー液晶表示装置の駆動波形を示す図である。

【図 32】基板 SUB1 側の工程 A ~ C の製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 33】基板 SUB1 側の工程 D、E の製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 34】基板 SUB1 側の工程 F の製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 35】本発明の画素の他の実施例を示す平面図である。

【図 36】本発明の画素の他の実施例を示す平面図である。

【図 37】図 39 の 6 - 6 線における断面図である。

【図 38】本発明の画素領域における液晶分子の様子等を示した説明図である。

【図 39】本発明の他の実施例の画素領域における液晶分子の様子を示したグラフである。

【図 40】本発明の画素の他の実施例を示す平面図である。

【図 41】本発明による液晶表示装置の画素領域における等電位線および透過率を示す説明図である。

【図 42】残像が生じる理由を示した説明図である。

【図 43】電極の加工寸法と透過率の関係を示した説明図である。

【図 44】本発明の画素領域における液晶層の厚み、電極幅、画素電極と対向電極との間隔に対する残像強度を示したグラフである。

【図 45】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図 46】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図 47】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図 48】本発明による液晶表示装置の印加電圧に対する透過率の特性を示したグラフである。

【図 49】本発明による液晶表示装置の最大透過率等を

示す表である。

【図 50】本発明による液晶表示装置の正面特性を示す表である。

【図 51】本発明による液晶表示装置の画素の応答速度を示したグラフである。

【図 52】本発明による液晶表示装置のスミアの発生率を示した表である。

【図 53】本発明による液晶表示装置のスミアの発生率を示した表である。

【図 54】本発明による液晶表示装置の残像を評価した表である。

【図 55】図 64 の特性評価の対象となった液晶表示装置の画素を示す平面図である。

【図 56】本発明による液晶表示装置の種々の特性を評価した表である。

【図 57】本発明の各画素仕様における印加電圧に対する透過率の特性を示したグラフである。

【図 58】本発明の各画素仕様における印加電圧に対する透過率の特性を示したグラフである。

【図 59】本発明の各画素仕様における印加電圧に対する透過率の特性を示したグラフである。

【図 60】本発明の各画素仕様における印加電圧に対する透過率の特性を示したグラフである。

【図 61】本発明の透過率のシェブロン角度依存性等を示す図である。

【図 62】本発明のしきい値電圧のシェブロン角度依存性等を示す図である。

【図 63】本発明の駆動電圧のシェブロン角度依存性等を示す図である。

【図 64】本発明の色度特性を示す図である。

【図 65】本発明の色度特性のシェブロン角度依存性等を示す図である。

【図 66】本発明の残像のシェブロン角度依存性等を示す図である。

【図 67】本発明の画素の他の実施例を示す説明図である。

【図 68】本発明による画素の他の実施例を示す平面図である。

【図 69】本発明による液晶表示装置の製造方法の一実施例を示した工程図である。

【図 70】本発明による液晶表示装置とセルギャップと輝度変動の関係を示したグラフである。

【符号の説明】

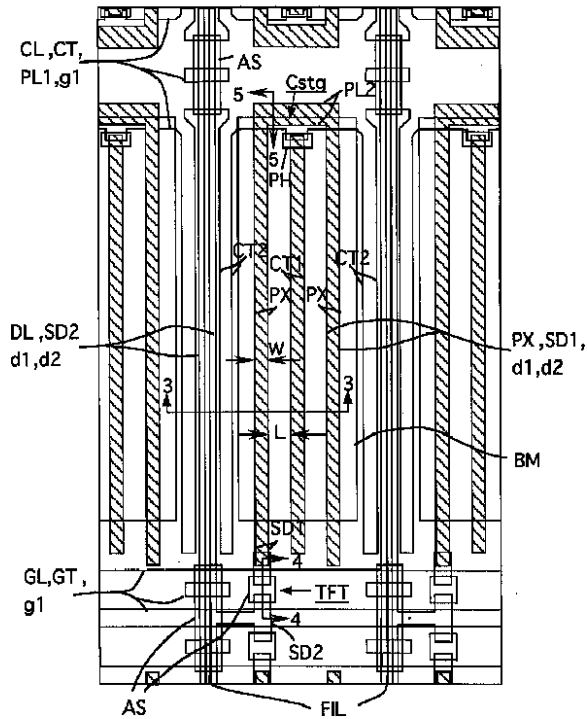
SUB...透明ガラス基板、GL...走査信号線、DL...映像信号線、CL...対向電圧信号線、PX...画素電極、CT...対向電極、GI...絶縁膜、GT...ゲート電極、AS...i 型半導体層、SD...ソース電極またはドレイン電極、PSV...保護膜、BM...遮光膜、LC...液晶、TF...薄膜トランジスタ、g, d...導電膜、Cstg...蓄積容量、GTM...ゲート端子、DTM...ドレイン端子、C

B...共通バスライン、DTM...共通電極端子、SHD...シールドケース、PNL...液晶表示パネル、SPB...光拡散板、LCB...導光体、BL...バックライト蛍光管、*

*LCA...バックライトケース、RM...反射板、(以上添字省略)。

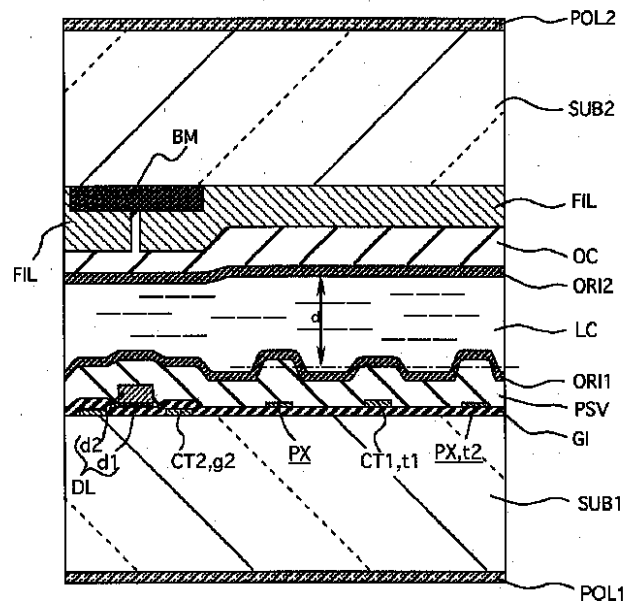
【図1】

図1



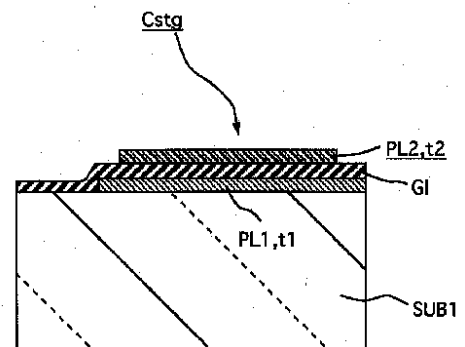
【図2】

図2



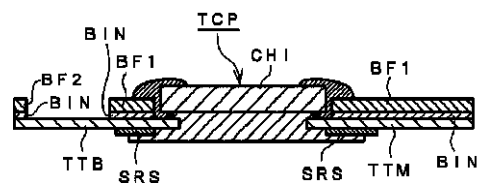
【図4】

図4



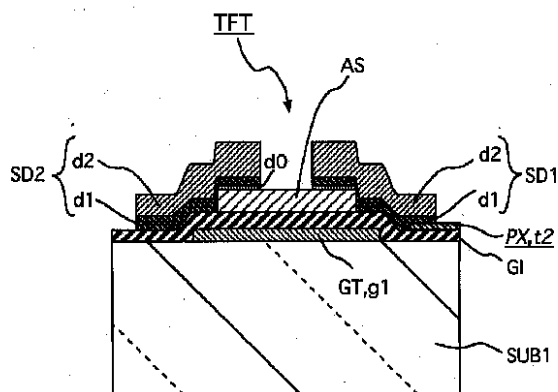
【図16】

図16



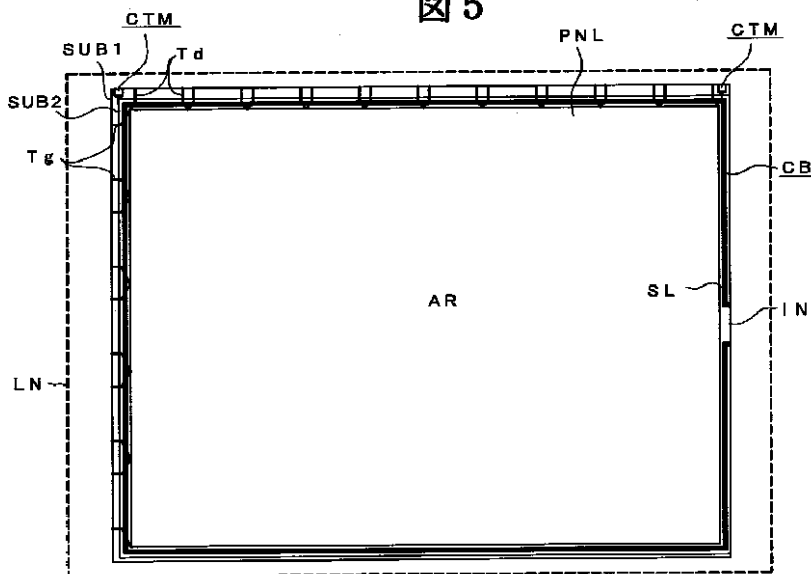
【図3】

図3



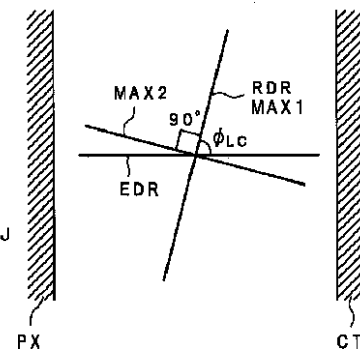
【図5】

図5



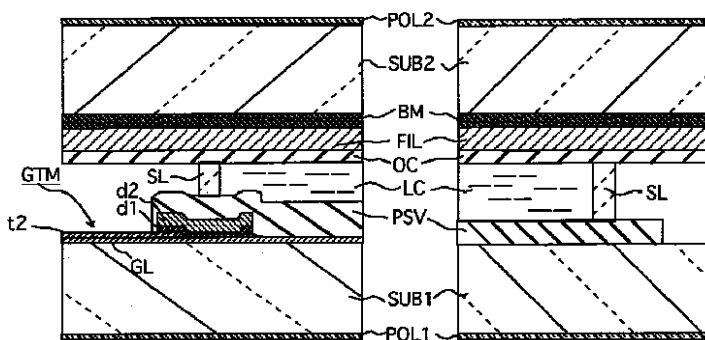
【図19】

図19



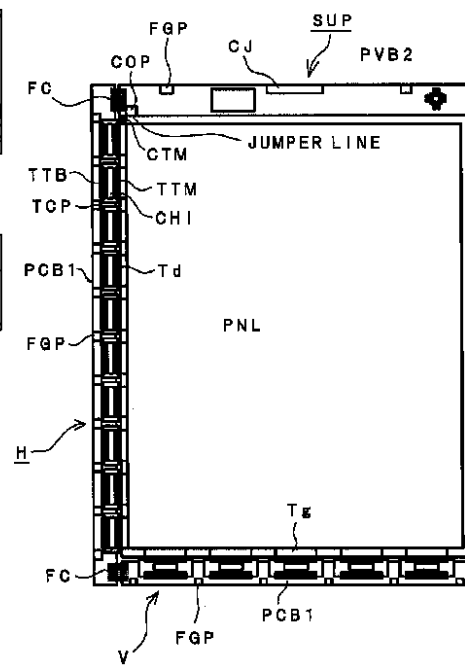
【図6】

図6



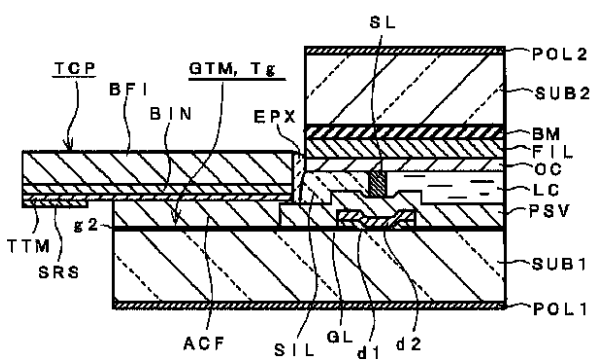
【図15】

図15

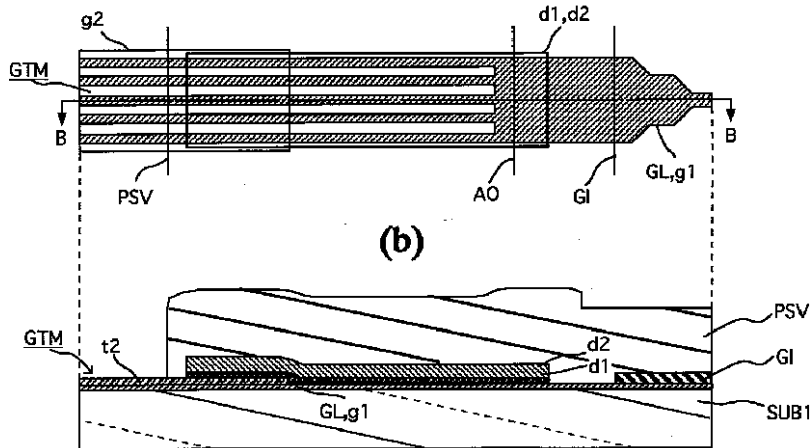


【図17】

図17

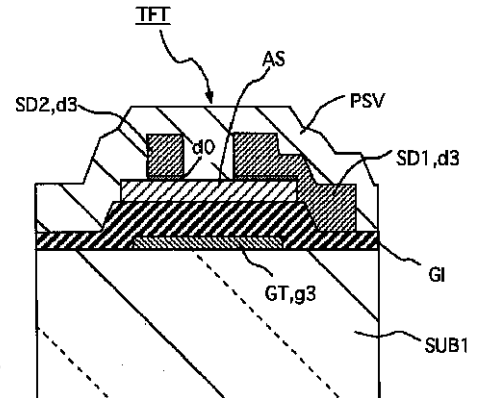


【図7】

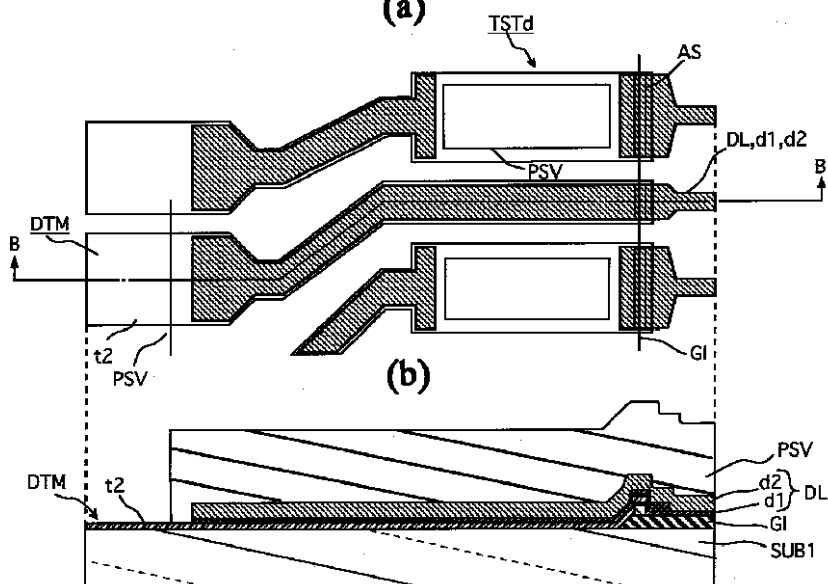
図7
(a)

【図24】

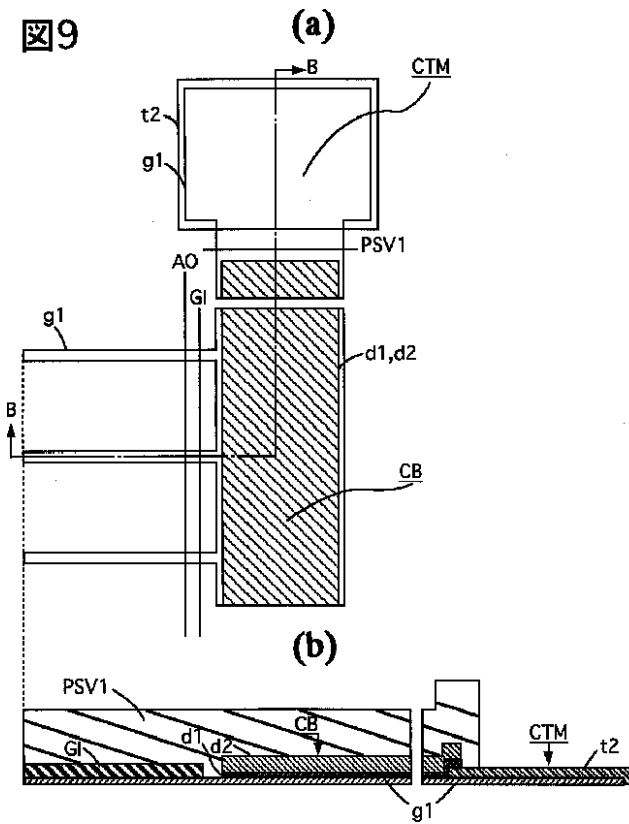
図24



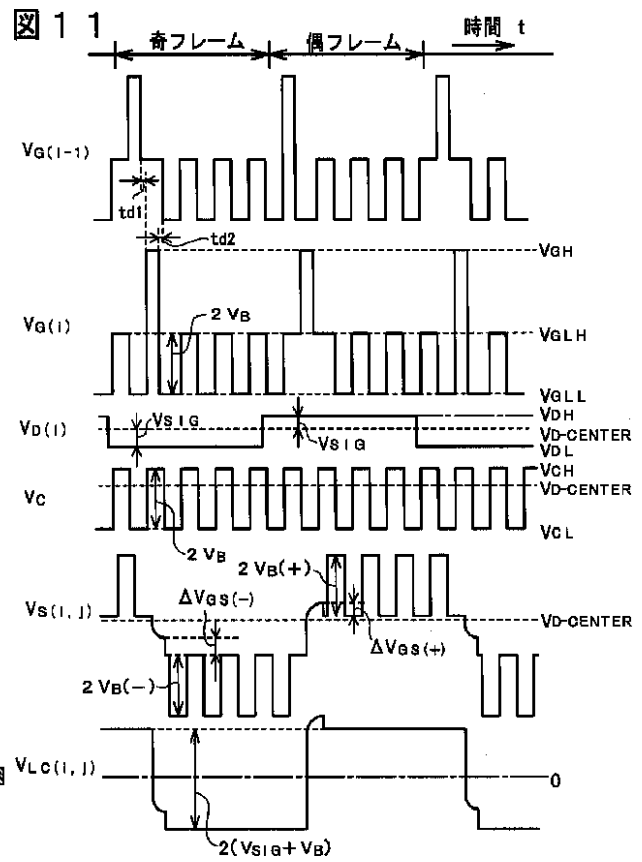
【図8】

図8
(a)

【図9】

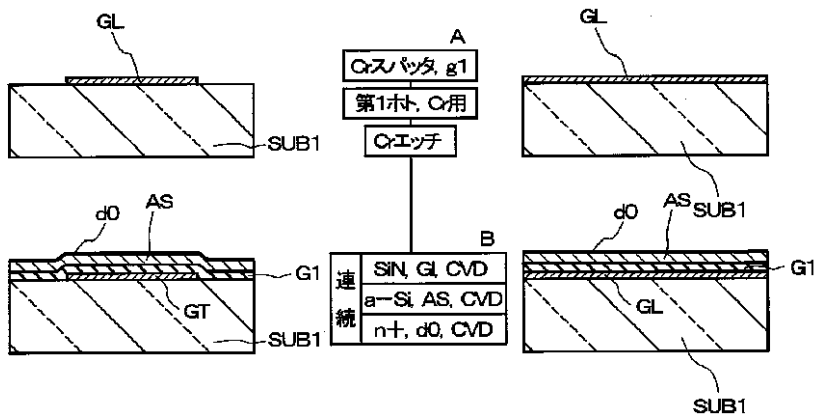


【図11】



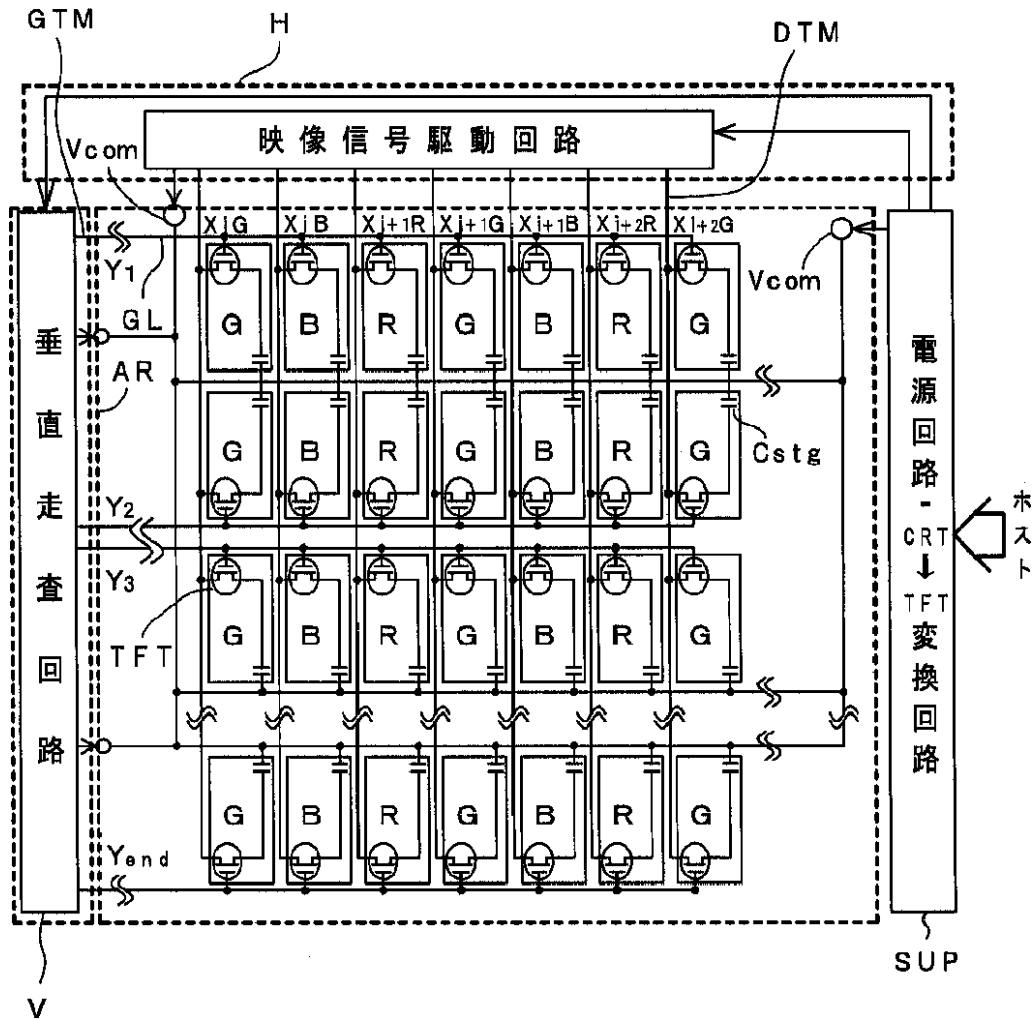
【図12】

図12



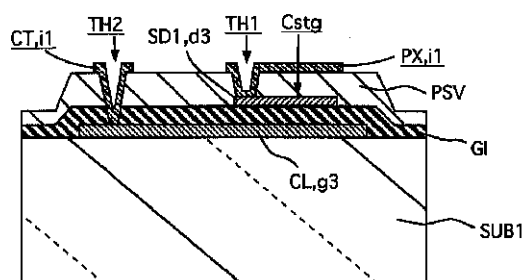
【図10】

図10



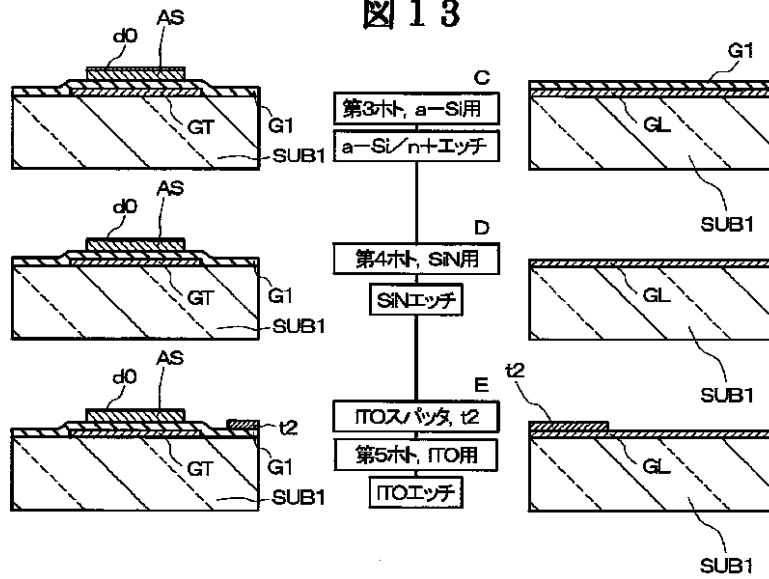
【図25】

図25



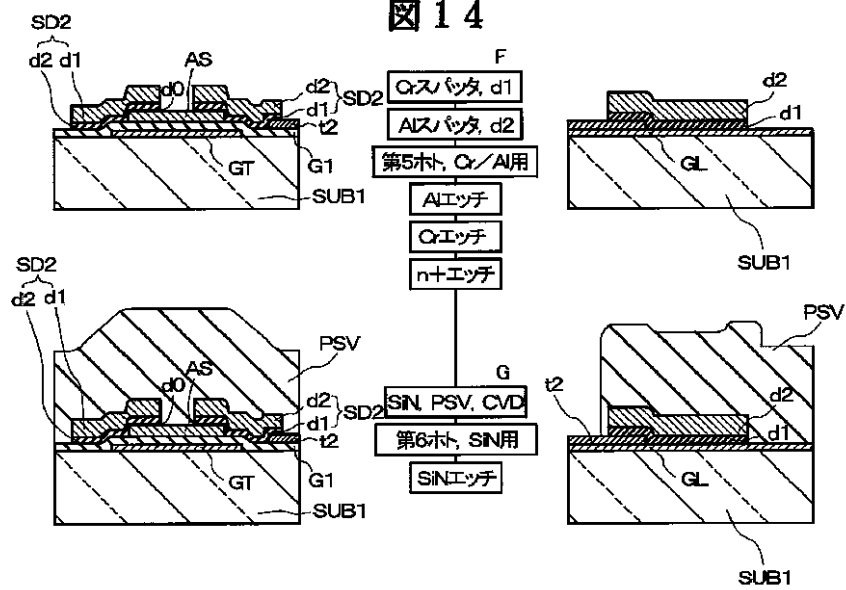
【図13】

図13



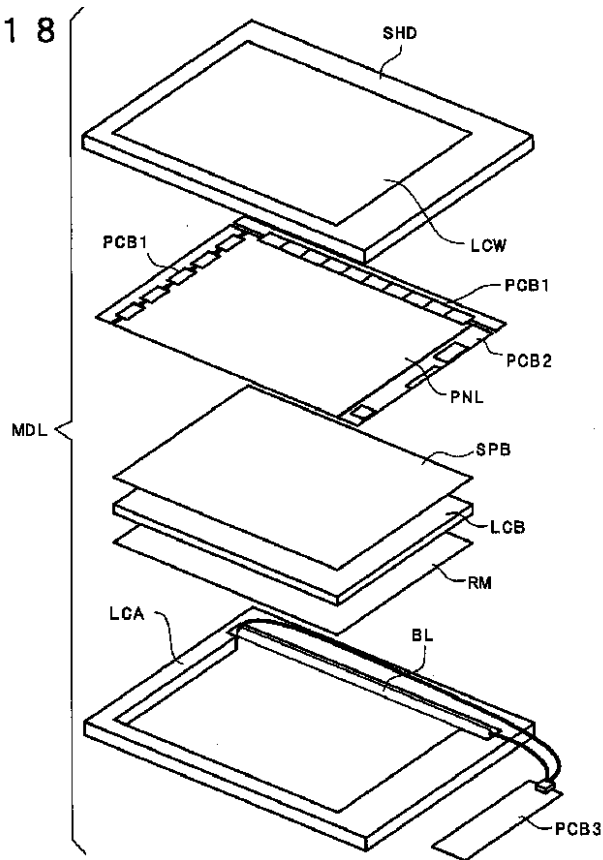
【図14】

図14



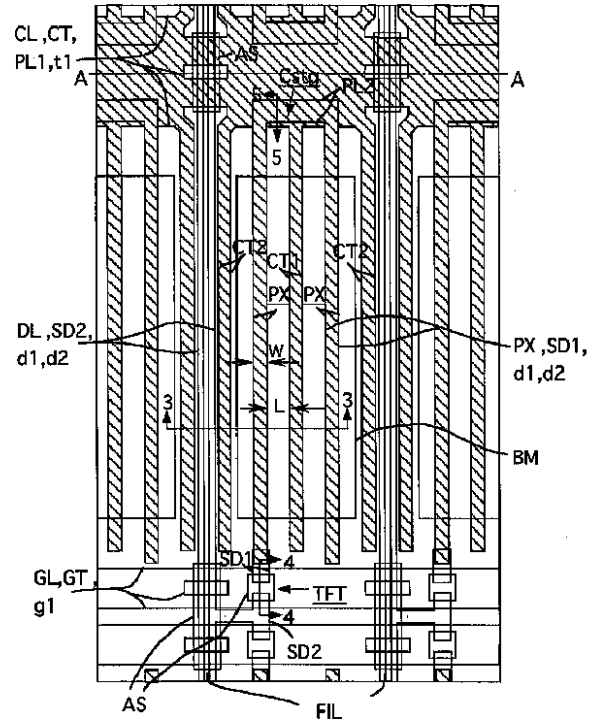
【図18】

図18



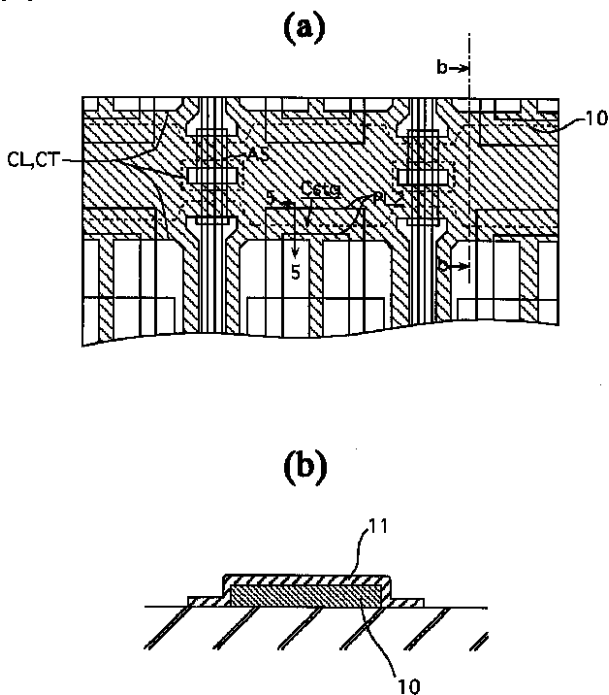
【図20】

図20



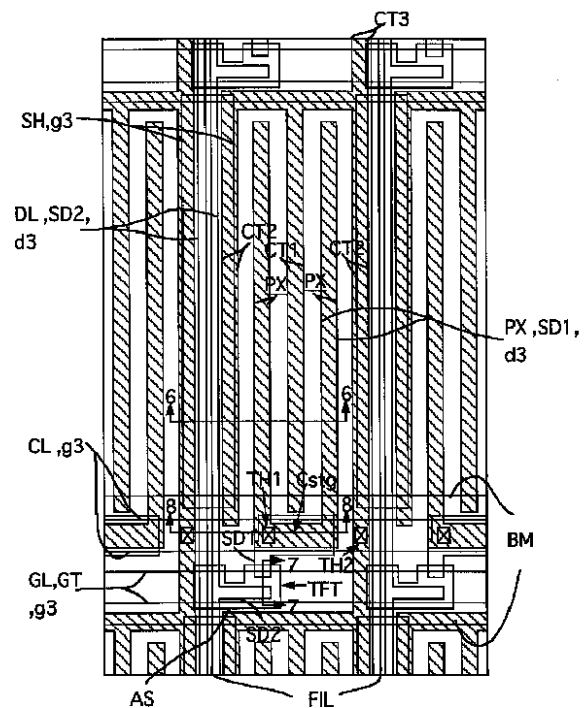
【図21】

図21



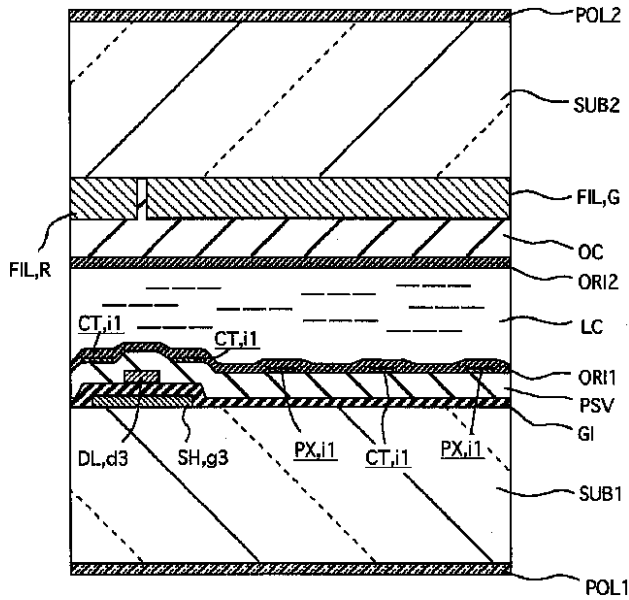
【図22】

図22



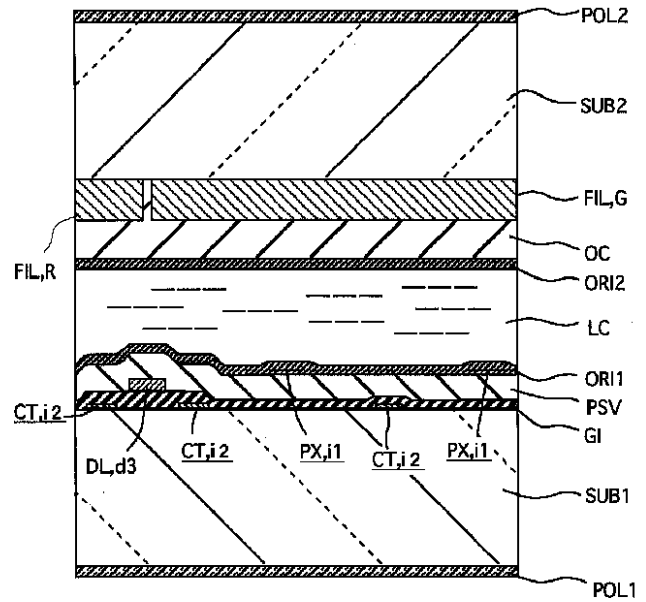
【図23】

図23



【図37】

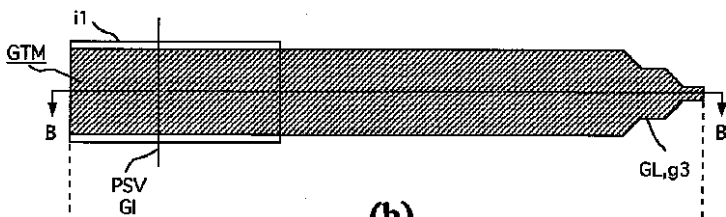
図37



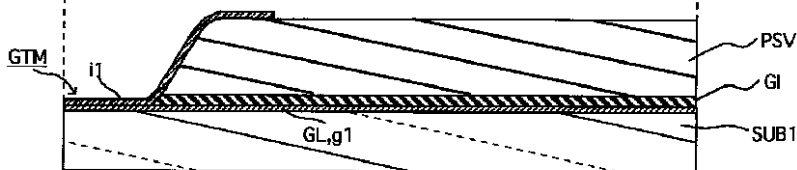
【図26】

図26

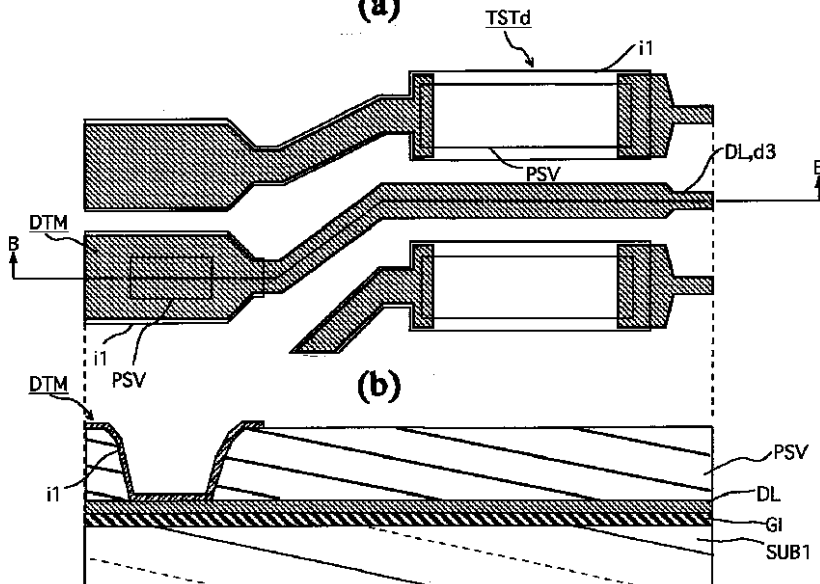
(a)



(b)



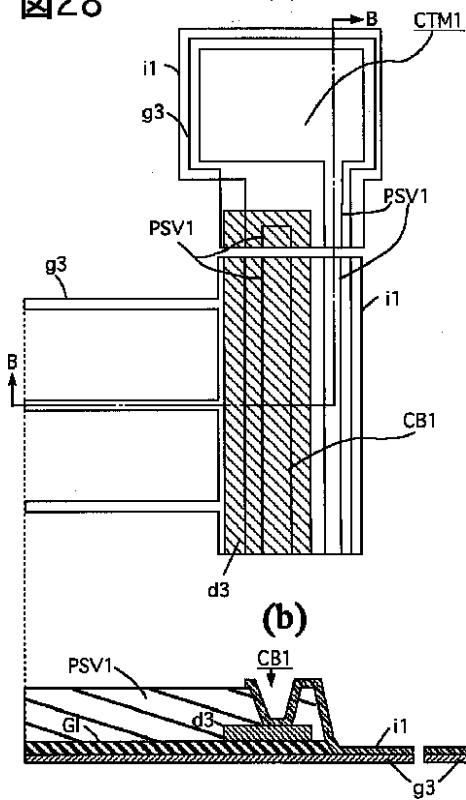
【図27】

図27
(a)

【図28】

図28

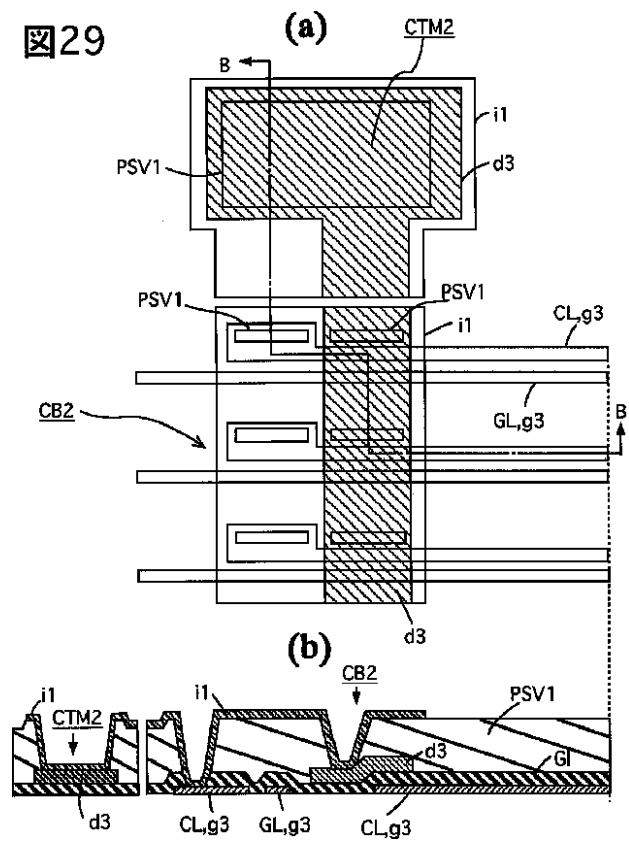
(a)



【図29】

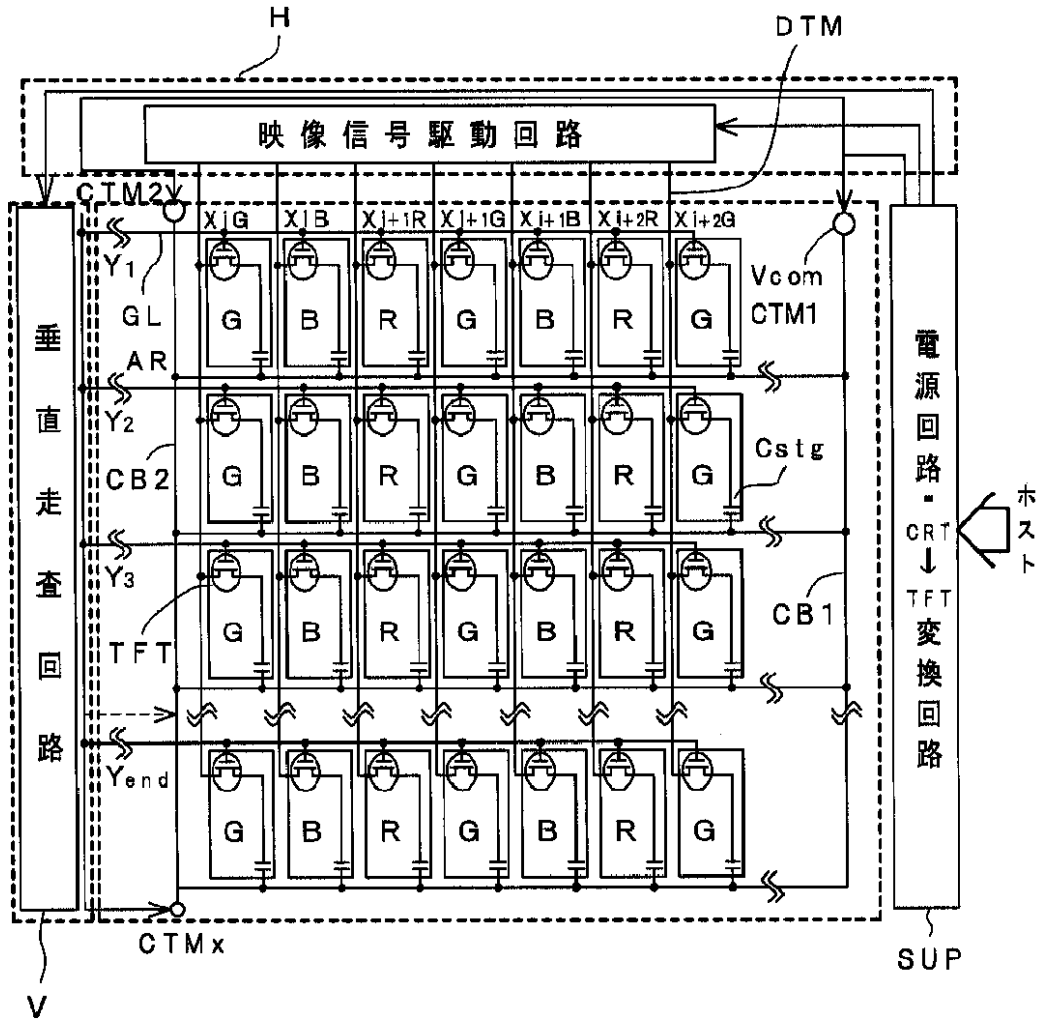
図29

(a)



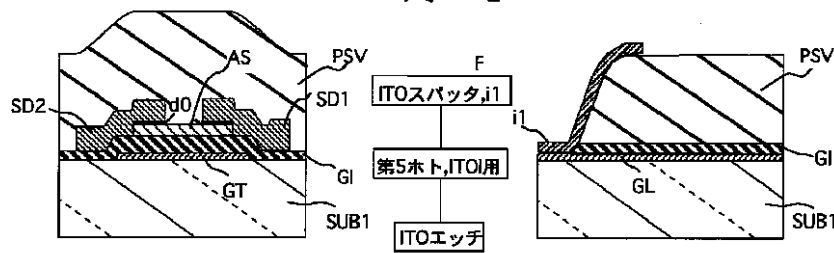
【図30】

図30



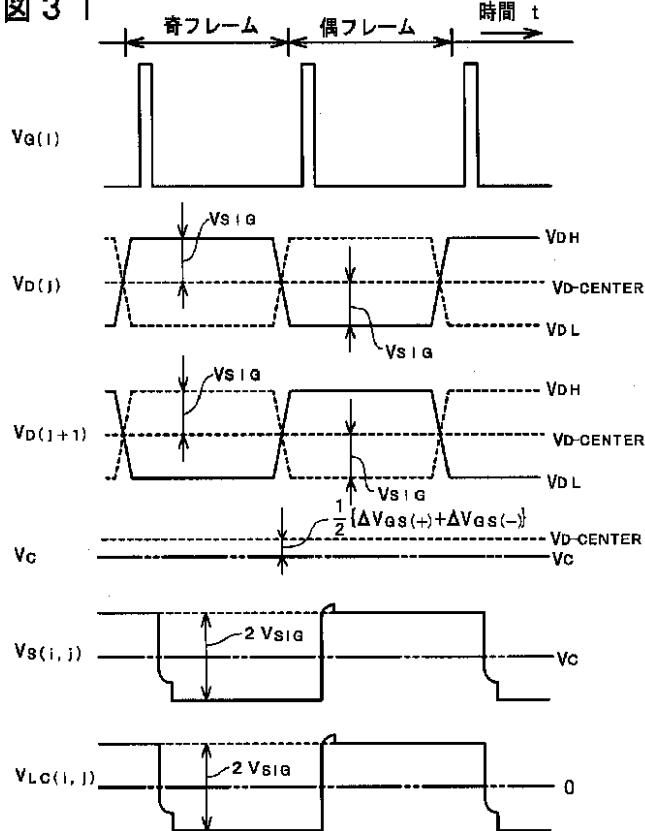
【図34】

図34



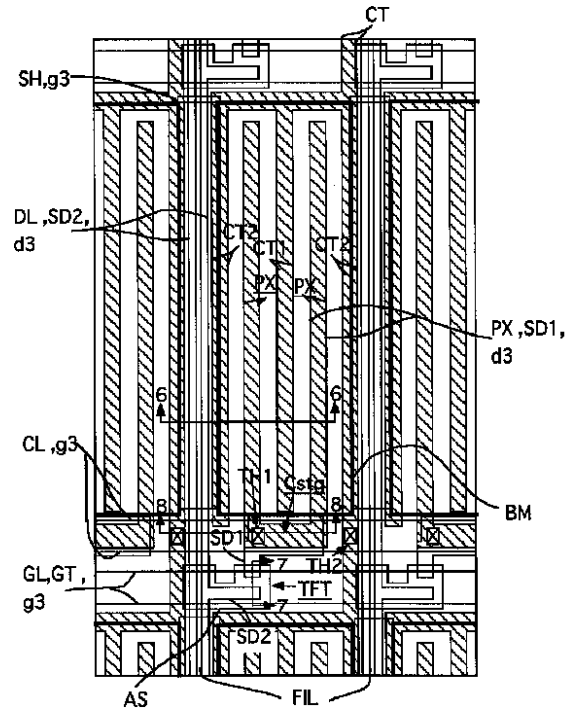
【図31】

図31



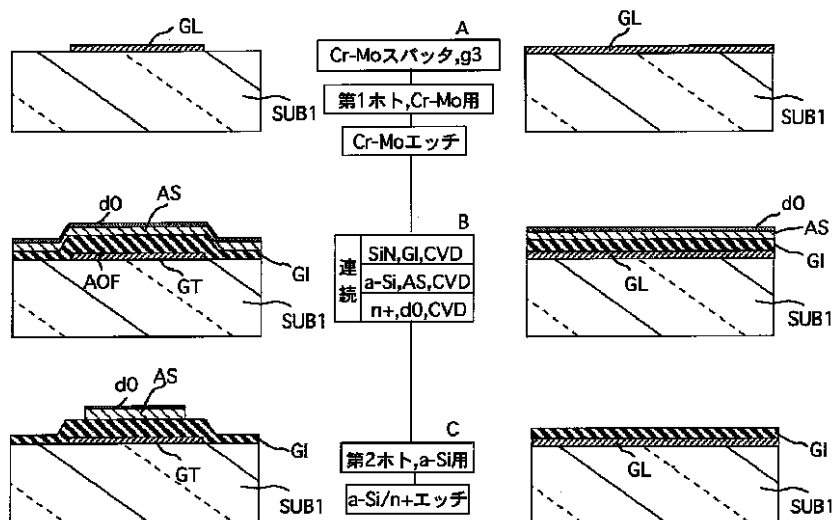
【図35】

図35



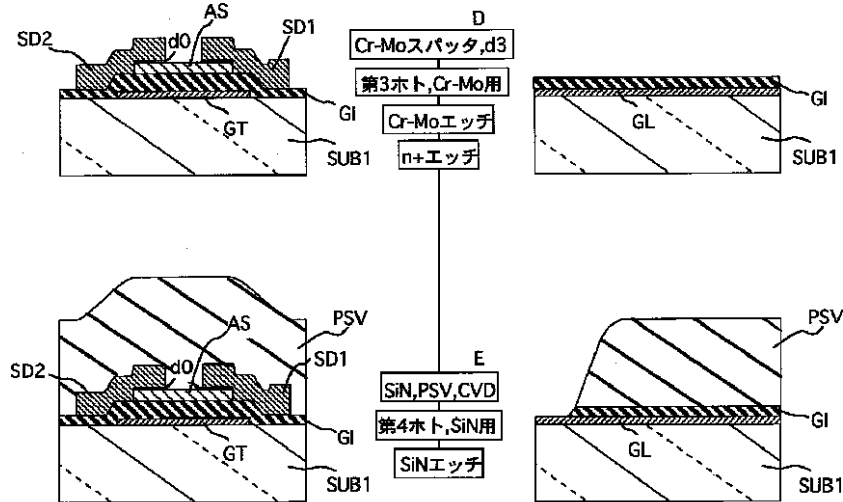
【図32】

図32



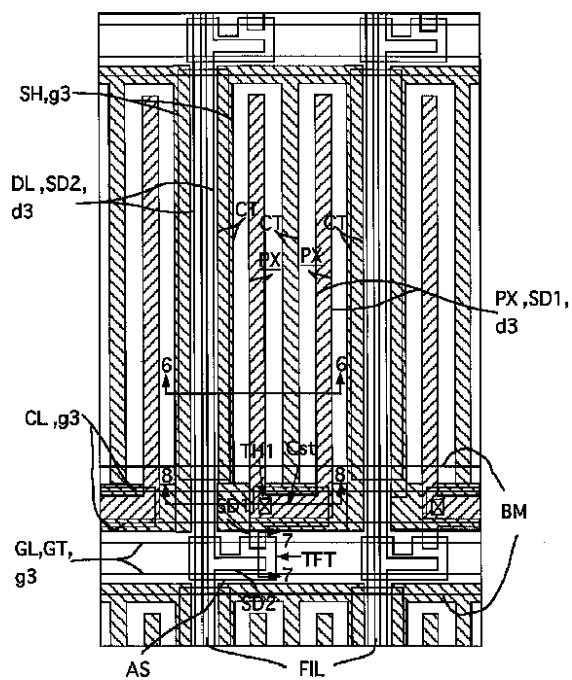
【図33】

図33



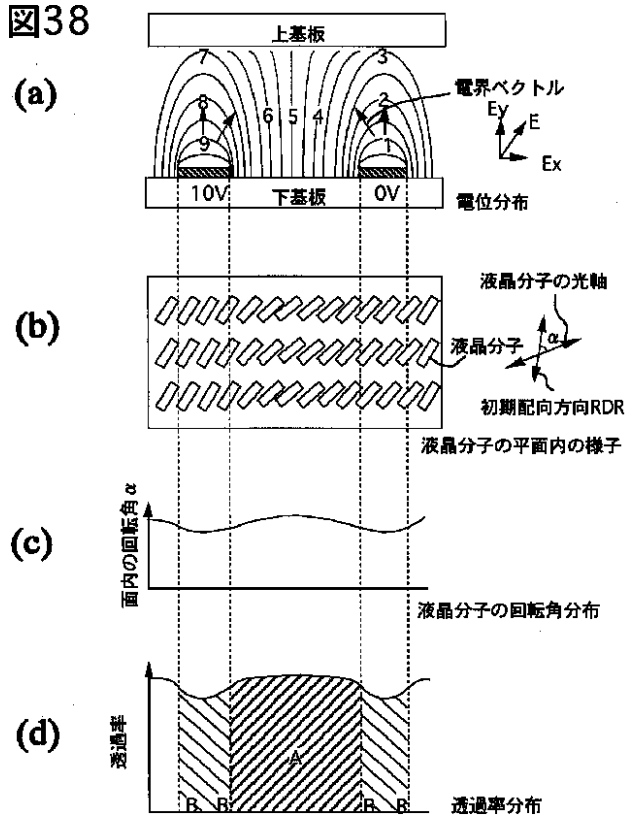
【図36】

図36



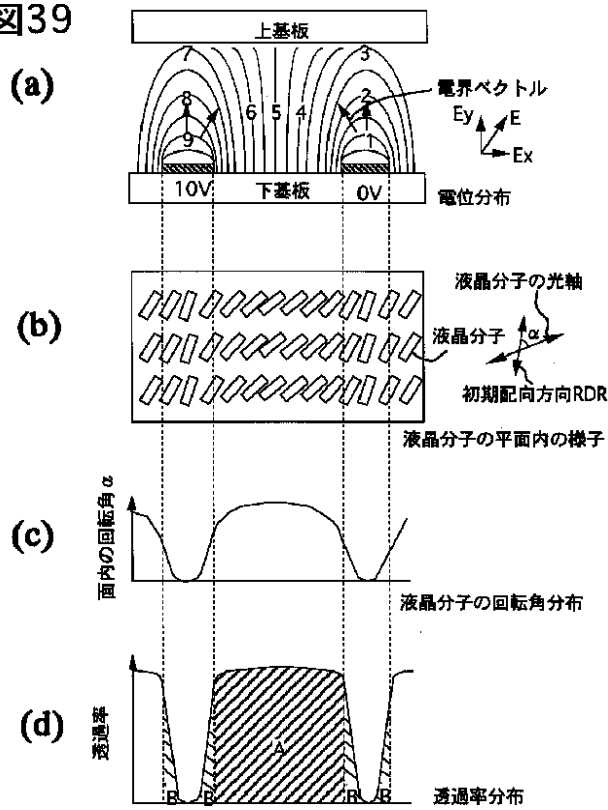
【図38】

図38



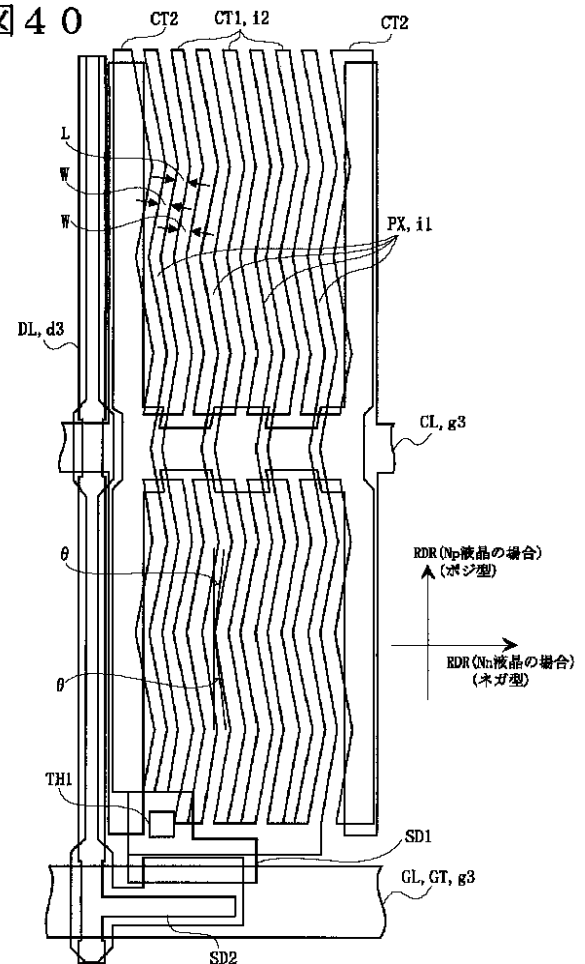
【図39】

図39



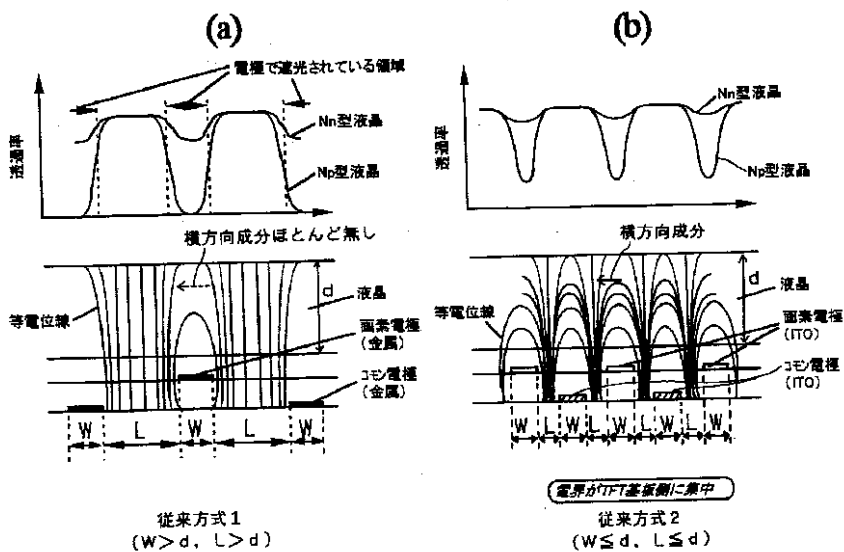
【図40】

図40



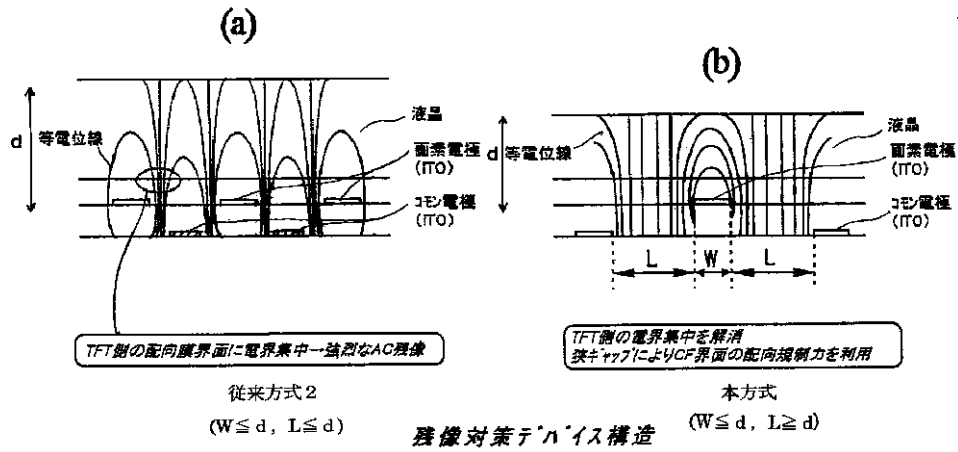
【図41】

図41



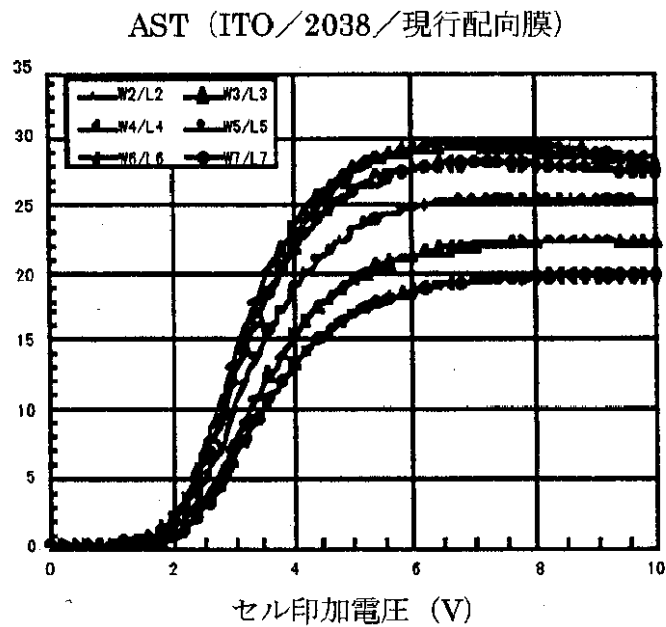
【図42】

図42



【図43】

図43

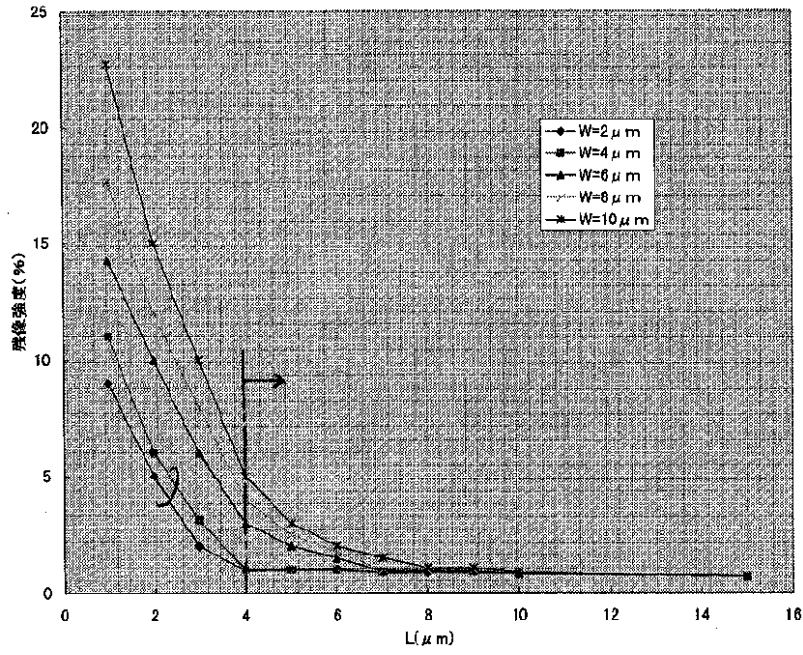


ITO 電極の加工寸法と透過率の関係

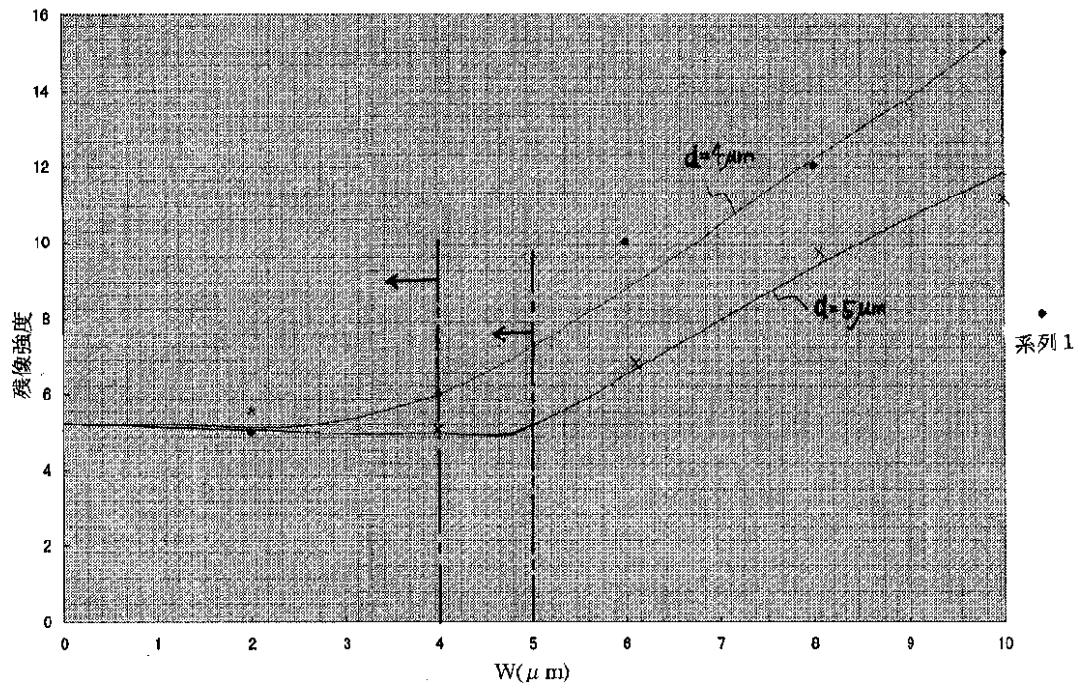
【図44】

図44

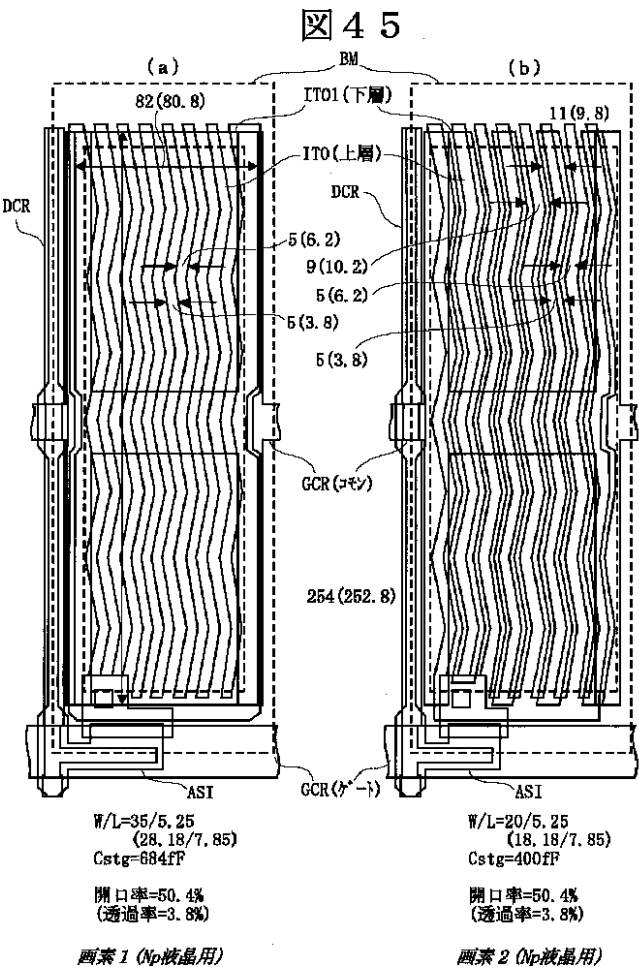
(a)



(b)

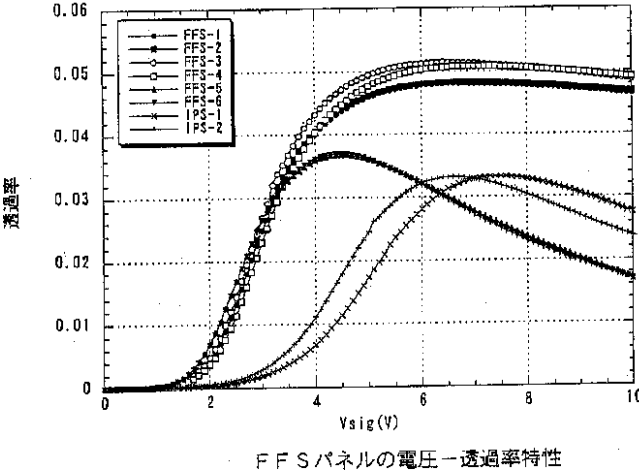


【図45】



【図48】

図48



【図54】

図54

残像
円心円状の黒白ストライプパターンを焼き付けて残像を観察した。

ポジ型

DC残像	
2分焼き付け	
画素1	53s
画素2	20s

液晶比抵抗 $7.5 \times 10^{12} \Omega \cdot \text{cm}$

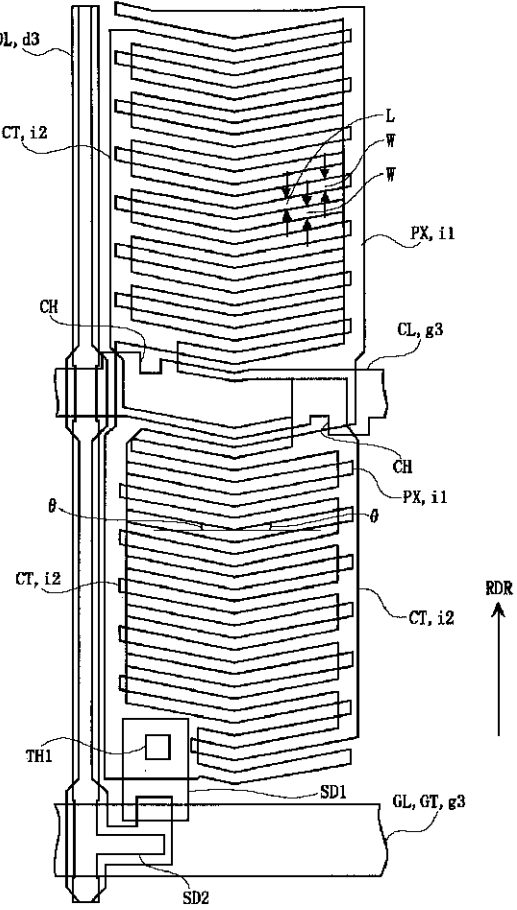
ネガ型

2分焼き付け	
画素3	464s
画素4	464s
画素5	401s
画素6	401s

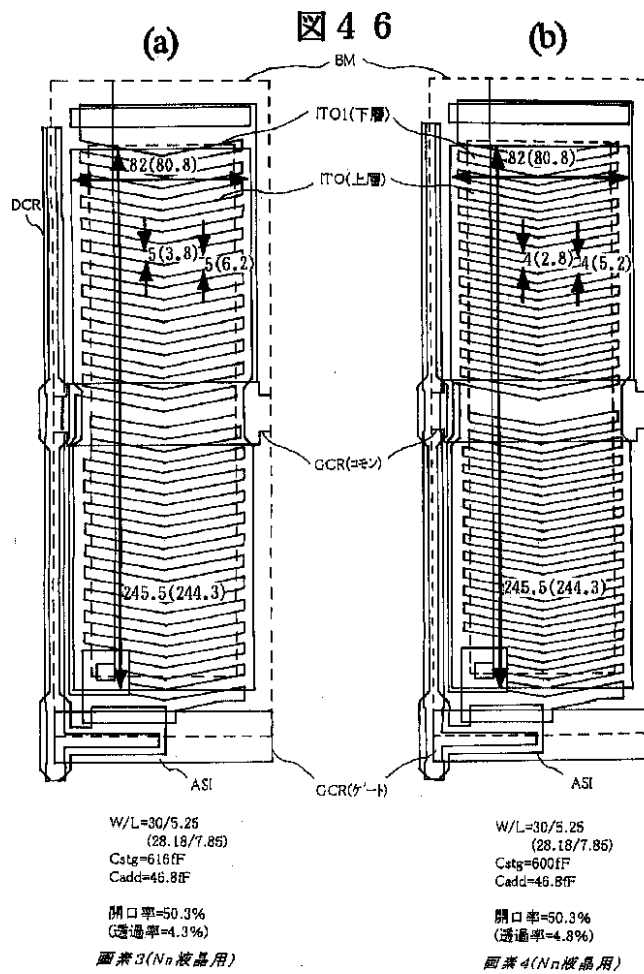
液晶比抵抗 $8.8 \times 10^{12} \Omega \cdot \text{cm}$

【図68】

図68

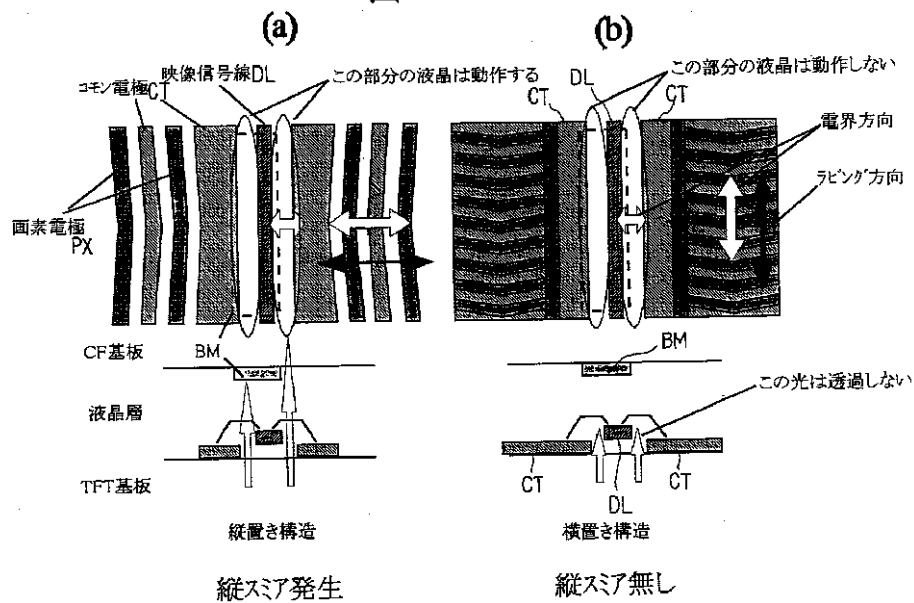


【図46】



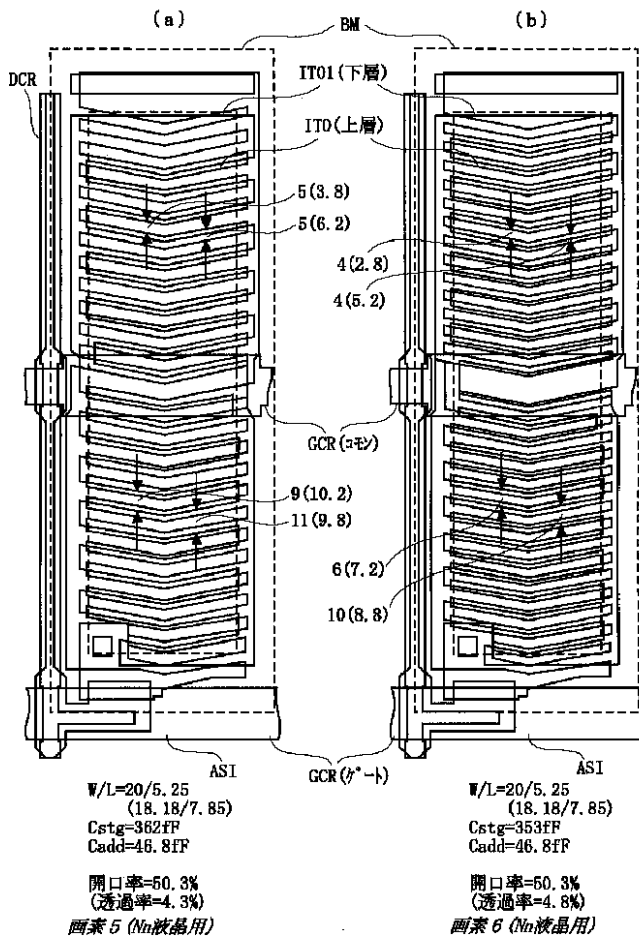
【図67】

図 6 7



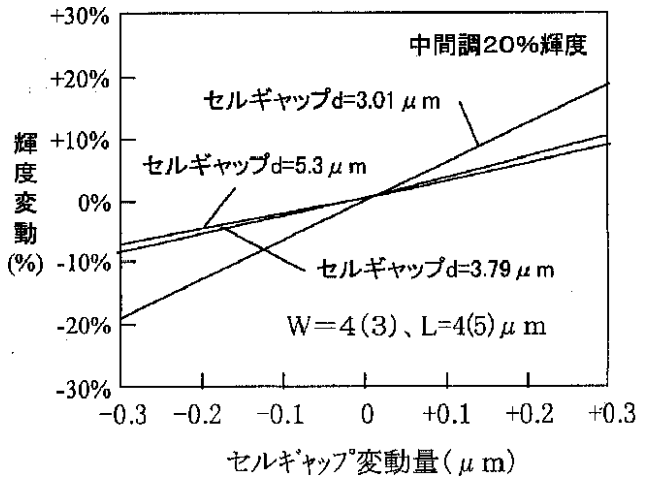
【図47】

図47



【図70】

図70



【図49】

図49
FFSパネル測定結果

測定試料No.	FFS-1	FFS-2	FFS-3	FFS-4	FFS-5	FFS-6	IPS-1	IPS-2
セルNo.	W70BGD3	W70BGN6	W70BGD3	W70BGN6	W70BGH2	W70BGL1	640BHJ5	640CHU3
画素構造	画素3						S-IPS	S-IPS
電極幅/間隔(μm)	5/5			画素4 4/4	画素1 5/5		12.3	12.8
液晶材料		MLC2038(Nr型)			MDA976442(Np型)		MX99539	L488A
N-1点($^{\circ}\text{C}$)		80			67.5		70	70
Δn		0.1032			0.0942		0.0947	0.0760
$\Delta \varepsilon$		-5.0			6.5		11.1	10.1
粘度($\text{mPa}\cdot\text{s}$)		179			63		82	83
セルギャップ(μm)	3.02	3.01	3.03	3.01	3.01	2.98	2.95	3.66
しきい値電圧(V)								
V0.9%	1.26	1.23	1.24	1.30	1.05	1.08	1.93	1.70
V50%	2.96	2.92	2.95	3.11	2.58	2.58	4.97	4.37
V90%	4.41	4.40	4.36	4.63	3.55	3.54	6.28	5.53
V95%	4.92	4.92	4.83	5.14	3.80	3.78	6.60	5.81
Vmax	6.80	6.75	6.40	6.95	4.55	4.40	7.50	6.60
最大透過率(%)	4.8	4.8	5.1	5.1	3.7	3.7	3.3	3.3
透過率比(対IPS)	1.45	1.45	1.55	1.55	1.12	1.12	-	-
応答時間(ms)								
$\tau_{on}(10\% \rightarrow 90\%)$	21.3	20.2	18.2	19.2	9.1	9.4	12.1	23.0
$\tau_{off}(90\% \rightarrow 10\%)$	30.0	30.7	29.7	30.0	10.0	9.4	12.8	24.3
$\tau_{on} + \tau_{off}$	51.3	50.9	47.9	49.2	19.1	18.8	24.9	47.3
$\tau_{on}(0\% \rightarrow 90\%)$	22.4	21.7	19.4	19.6	10.5	10.7	14.4	25.6
$\tau_{off}(100\% \rightarrow 10\%)$	32.5	33.3	32.9	34.0	10.8	10.2	15.0	26.6
$\tau_{on} + \tau_{off}$	54.9	55.0	52.3	53.6	21.3	20.9	29.4	52.2

IPSセルは、参考データ。

画素構造の名前は、(F設)マスクDRの名前。

電極幅/間隔は、設計値。IPSの電極間隔は実測値。

セルギャップは、(V1)リタデーション測定装置での実測値。

しきい値電圧、最大透過率の測定温度=室温。

応答時間の測定温度=22 $^{\circ}\text{C}$ (パネル表面温度=25 $^{\circ}\text{C}$)

图 50

パネル正面の色度特性を測定した。中間調は256階調の輝度に対して約20%となる階調で測定を行った。

測定装置：PR-704

		輝度	x	y		輝度	x	y
画素1	白	212.500	0.296	0.314	白中間調	46.540	0.298	0.316
	R	50.880	0.612	0.346	R中間調	11.000	0.594	0.341
	G	134.000	0.291	0.590	G中間調	28.330	0.291	0.580
	B	28.120	0.148	0.092	B中間調	6.279	0.150	0.097
	黒	0.478	0.255	0.235				
	コントラスト	444.2						
画素2	白	214.500	0.296	0.315	白中間調	44.930	0.297	0.315
	R	51.030	0.613	0.346	R中間調	10.670	0.593	0.340
	G	134.800	0.290	0.590	G中間調	27.500	0.289	0.578
	B	28.520	0.147	0.093	B中間調	6.116	0.150	0.097
	黒	0.494	0.250	0.230				
	コントラスト	434.0						
画素3	白	282.800	0.318	0.342	白中間調	56.180	0.311	0.334
	R	71.680	0.618	0.349	R中間調	13.980	0.598	0.344
	G	177.500	0.297	0.597	G中間調	33.890	0.293	0.585
	B	34.030	0.147	0.104	B中間調	7.039	0.151	0.104
	黒	0.600	0.258	0.242				
	コントラスト	471.4						
画素4	白	290.200	0.317	0.340	白中間調	59.420	0.311	0.333
	R	73.440	0.618	0.348	R中間調	14.860	0.599	0.344
	G	182.400	0.297	0.597	G中間調	36.030	0.293	0.585
	B	35.170	0.147	0.103	B中間調	7.479	0.150	0.103
	黒	0.611	0.258	0.242				
	コントラスト	474.7						
画素5	白	286.500	0.317	0.340	白中間調	54.220	0.311	0.333
	R	72.670	0.619	0.349	R中間調	13.230	0.599	0.343
	G	179.600	0.296	0.596	G中間調	32.250	0.293	0.584
	B	34.760	0.146	0.104	B中間調	6.717	0.150	0.104
	黒	0.544	0.254	0.233				
	コントラスト	526.6						
画素6	白	297.200	0.316	0.339	白中間調	57.460	0.310	0.332
	R	75.210	0.618	0.348	R中間調	13.940	0.599	0.343
	G	186.200	0.296	0.596	G中間調	34.130	0.293	0.584
	B	36.150	0.146	0.103	B中間調	7.127	0.150	0.104
	黒	0.566	0.254	0.234				
	コントラスト	525.3						

【図51】

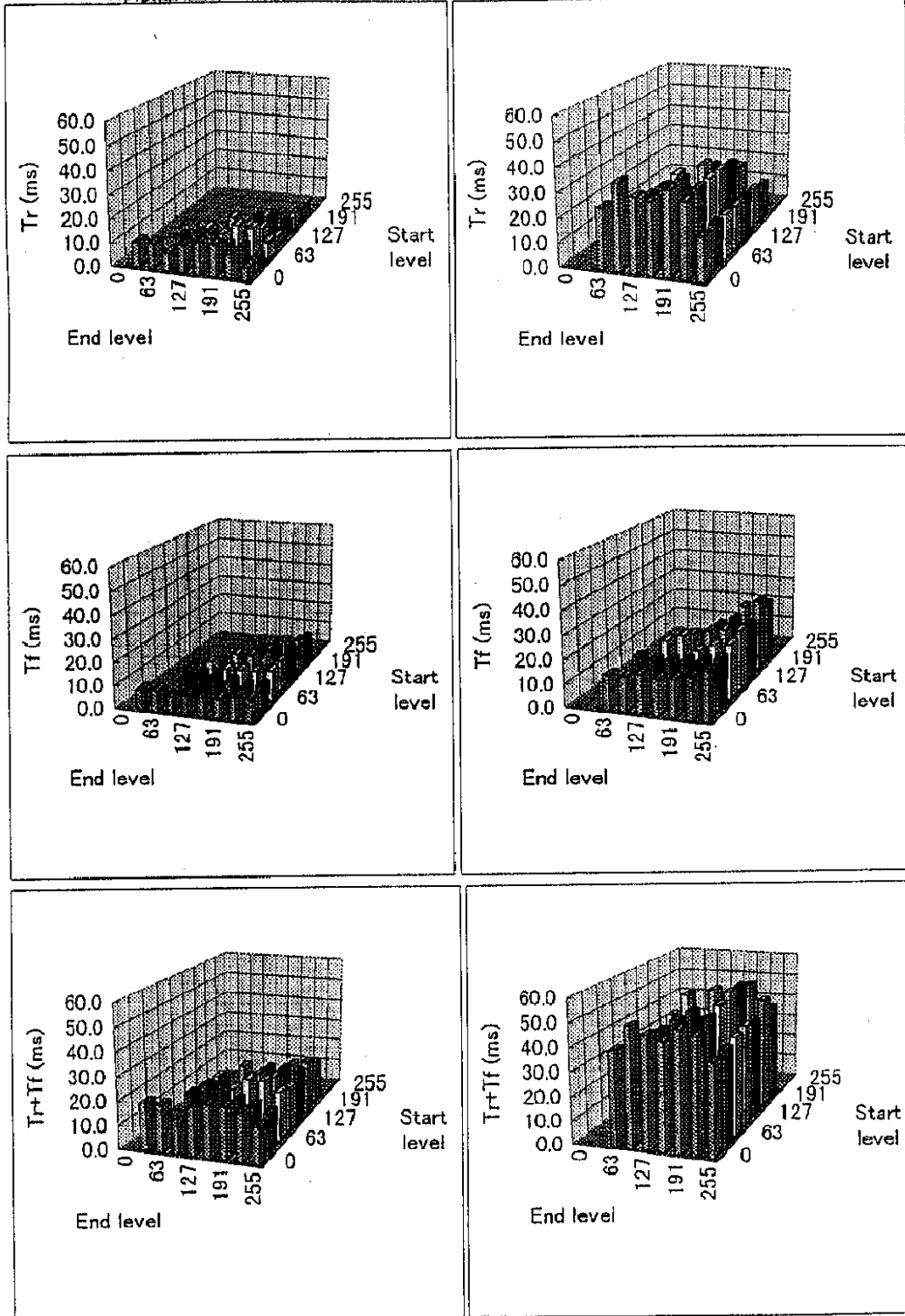
図51

応答速度

測定装置：1980A

Np液晶(画素1仕様)

Nn液晶(画素4仕様)



【図52】

図52

スミア

測定装置：BM-5A

W70BGH1 (画素1)					
window	back ground	評価項目	パターン有	パターン無	スミア(%)
白(255)	黒(0)	縦スミア	0.3777	0.374	0.984
白(255)	白中間調(170)	縦スミア	36.62	36.54	0.219
黒(0)	白中間調(170)	縦スミア	36.58	36.51	0.192
ドットチェッカー(255, 0)	白中間調(170)	縦スミア	36.43	36.39	0.110
白(255)	黒(0)	横スミア	0.374	0.374	0.000
白(255)	白中間調(170)	横スミア	36.36	36.43	-0.192
黒(0)	白中間調(170)	横スミア	36.51	36.36	0.412
ドットチェッカー(255, 0)	白中間調(170)	横スミア	36.47	36.36	0.302
縦ストライプ (255, 0)	白中間調(170)	横スミア	38.77	36.21	6.828
横ストライプ (255, 0)	白中間調(170)	横スミア	36.21	36.21	0.000

W70BGH1 (画素2)					
window	back ground	評価項目	パターン有	パターン無	スミア(%)
白(255)	黒(0)	縦スミア	0.3962	0.3925	0.938
白(255)	白中間調(182)	縦スミア	38.14	38.03	0.289
黒(0)	白中間調(182)	縦スミア	38.07	37.99	0.210
ドットチェッカー(255, 0)	白中間調(182)	縦スミア	38.03	37.96	0.184
白(255)	黒(0)	横スミア	0.3962	0.3925	0.938
白(255)	白中間調(182)	横スミア	37.99	38.1	-0.289
黒(0)	白中間調(182)	横スミア	38.18	38.1	0.210
ドットチェッカー(255, 0)	白中間調(182)	横スミア	38.14	38.1	0.105
縦ストライプ (255, 0)	白中間調(182)	横スミア	38.66	38.1	1.459
横ストライプ (255, 0)	白中間調(182)	横スミア	38.14	38.1	0.105

- ・縦スミアはポジ型、ネガ型共に問題無し
- ・下層ITO形状をスリットにした場合、Cstgが軽減できるため
下層ITOがベタ形状のものより横スミアを小さく抑える傾向が見られた。

【図53】

図 5 3

W70BGH4 (画素3)					
window	back ground	評価項目	パターン有	パターン無	スミア(%)
白(255)	黒(0)	縦スミア	0.532	0.5282	0.717
白(255)	白中間調(102)	縦スミア	55.43	55.43	0.000
黒(0)	白中間調(102)	縦スミア	55.43	55.47	-0.072
ドットチェッカー(255, 0)	白中間調(102)	縦スミア	55.51	55.47	0.072
白(255)	黒(0)	横スミア	0.5244	0.532	-1.439
白(255)	白中間調(102)	横スミア	55.2	55.51	-0.560
黒(0)	白中間調(102)	横スミア	55.62	55.55	0.126
ドットチェッカー(255, 0)	白中間調(102)	横スミア	55.7	55.55	0.270
縦ストライプ(255, 0)	白中間調(102)	横スミア	60.48	55.58	8.444
横ストライプ(255, 0)	白中間調(102)	横スミア	55.51	55.55	-0.072

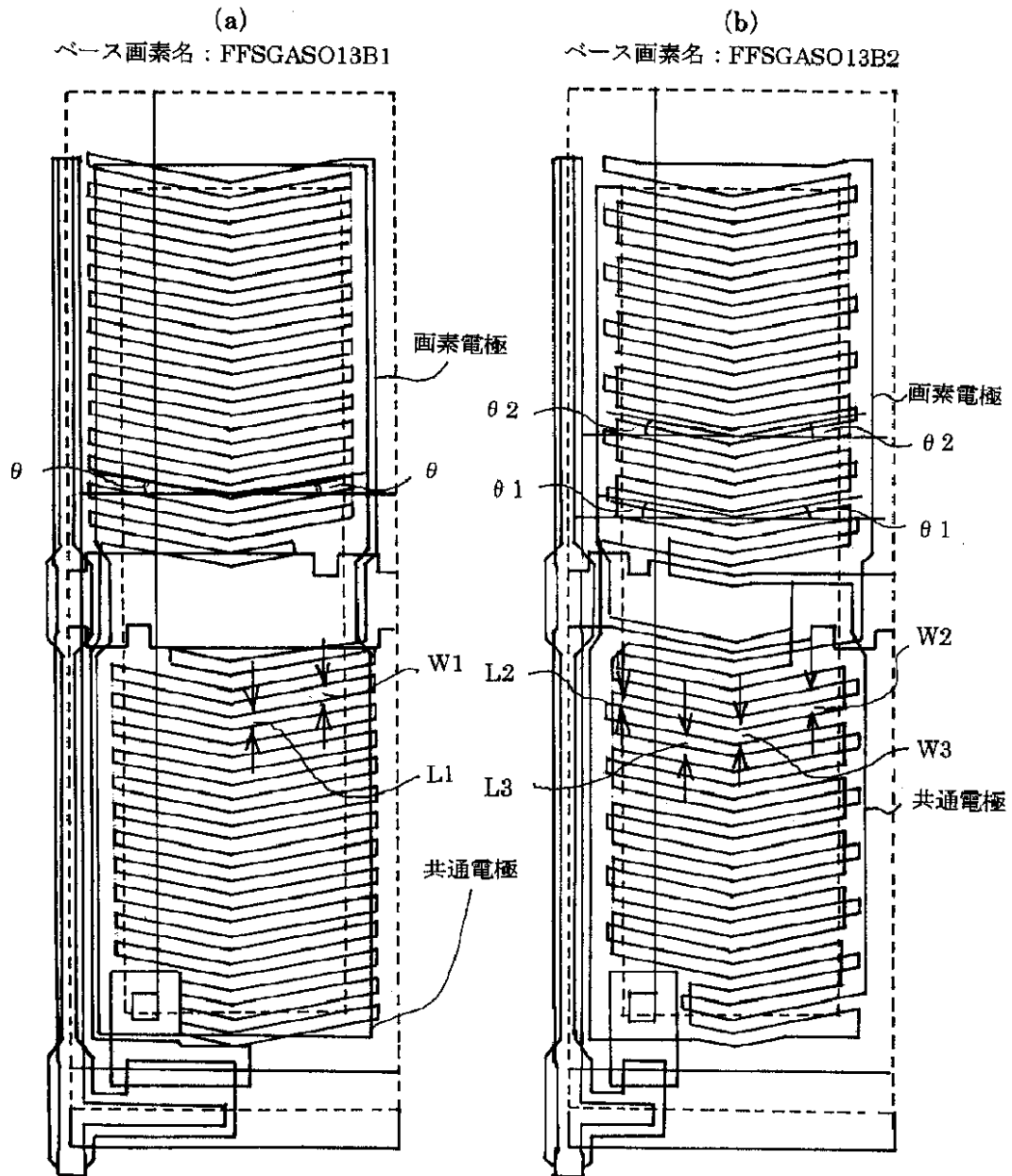
W70BGH4 (画素4)					
window	back ground	評価項目	パターン有	パターン無	スミア(%)
白(255)	黒(0)	縦スミア	0.5666	0.5666	0.000
白(255)	白中間調(106)	縦スミア	63.72	63.64	0.126
黒(0)	白中間調(106)	縦スミア	63.64	63.64	0.000
ドットチェッカー(255, 0)	白中間調(106)	縦スミア	63.44	63.64	-0.315
白(255)	黒(0)	横スミア	0.5549	0.5666	-2.086
白(255)	白中間調(106)	横スミア	62.82	63.03	-0.653
黒(0)	白中間調(106)	横スミア	63.03	63.09	-0.095
ドットチェッカー(255, 0)	白中間調(106)	横スミア	63.44	63.01	0.680
縦ストライプ(255, 0)	白中間調(106)	横スミア	68	63.03	7.586
横ストライプ(255, 0)	白中間調(106)	横スミア	63.03	63.03	0.000

W70BGH4 (画素5)					
window	back ground	評価項目	パターン有	パターン無	スミア(%)
白(255)	黒(0)	縦スミア	0.4846	0.4846	0.000
白(255)	白中間調(130)	縦スミア	46.41	46.37	0.086
黒(0)	白中間調(130)	縦スミア	46.41	46.41	0.000
ドットチェッカー(255, 0)	白中間調(130)	縦スミア	46.45	46.41	0.086
白(255)	黒(0)	横スミア	0.4806	0.4846	-0.829
白(255)	白中間調(130)	横スミア	46.1	46.37	-0.584
黒(0)	白中間調(130)	横スミア	46.41	46.37	0.086
ドットチェッカー(255, 0)	白中間調(130)	横スミア	46.37	46.37	0.000
縦ストライプ(255, 0)	白中間調(130)	横スミア	47.83	46.37	3.100
横ストライプ(255, 0)	白中間調(130)	横スミア	46.37	46.37	0.000

W70BGH4 (画素6)					
window	back ground	評価項目	パターン有	パターン無	スミア(%)
白(255)	黒(0)	縦スミア	0.5119	0.5119	0.000
白(255)	白中間調(130)	縦スミア	50.65	50.61	0.079
黒(0)	白中間調(130)	縦スミア	50.65	50.65	0.000
ドットチェッカー(255, 0)	白中間調(130)	縦スミア	50.73	50.69	0.079
白(255)	黒(0)	横スミア	0.508	0.5119	-0.765
白(255)	白中間調(130)	横スミア	50.42	50.73	-0.613
黒(0)	白中間調(130)	横スミア	50.77	50.69	0.158
ドットチェッカー(255, 0)	白中間調(130)	横スミア	50.73	50.77	-0.079
縦ストライプ(255, 0)	白中間調(130)	横スミア	52.81	50.77	3.939
横ストライプ(255, 0)	白中間調(130)	横スミア	50.73	50.77	-0.079

【図55】

図55



【図56】

図56

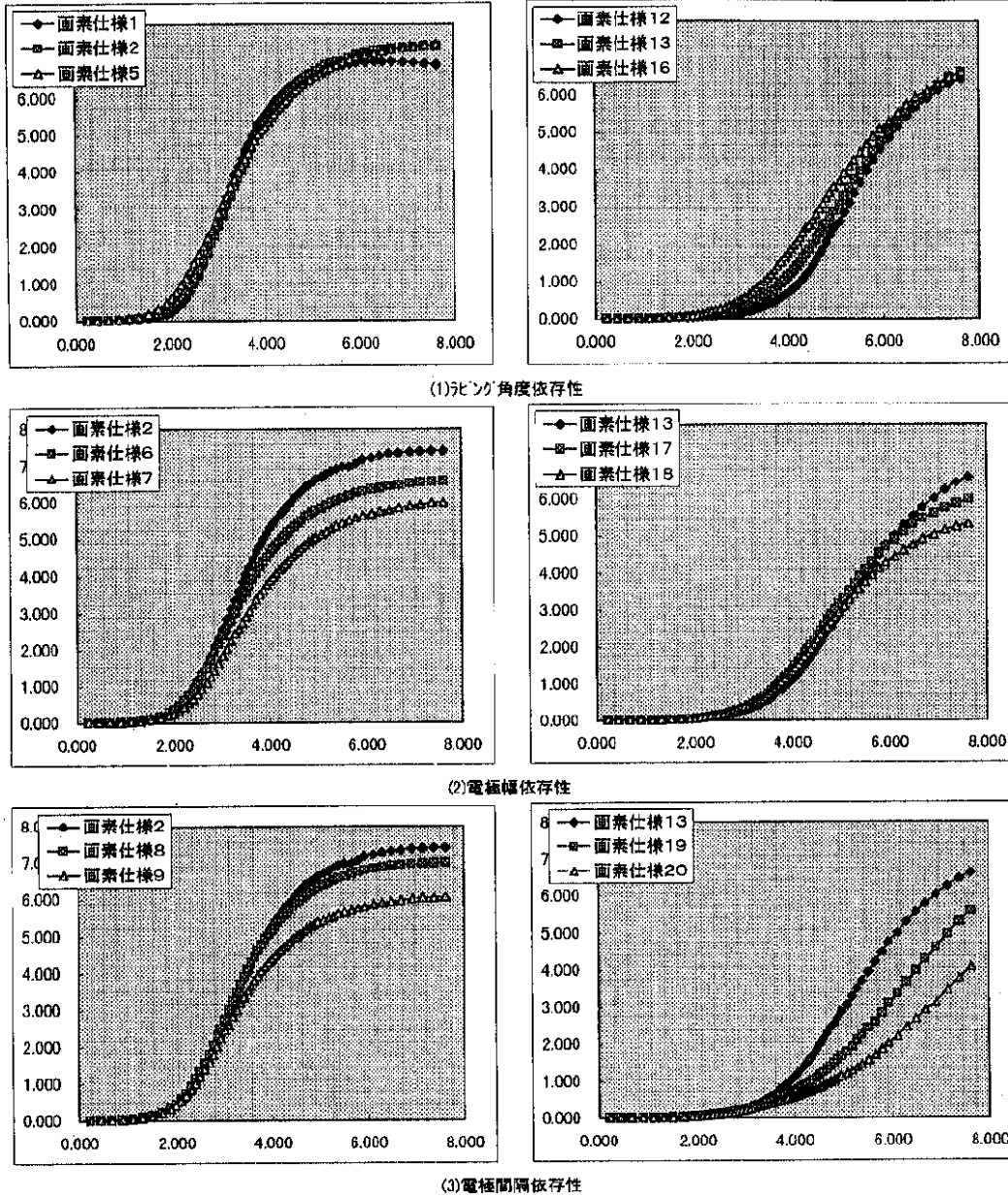
評価結果一覧

要素仕様	面素電極 レイヤ	共通電極 レイヤ	W1	W2	W3	L1	L2	L3	θ (°)	d	Δn	Δε	回転 粘度	開口率 (%)	透過率(%)		Vmax(V)	収容(ms)		短時間(2分)		長時間(2時間)					
															PAS350	PAS500		τ on	τ off	総合	PAS350	PAS500	0経時	32経時	PAS350	PAS500	0経時
1	ITO(PAS上)	ITO1(ゲート層)	4	—	4	—	4	—	5	3.73	0.0821	-4.1	163	44.05%	6.90%	5.33%	7.03%	6.35	23.8	31.9	55.7	1017	942	5	10	4	10
2	ITO(PAS上)	ITO1(ゲート層)	4	—	4	—	4	—	10	—	—	—	—	48.05%	7.40%	5.21%	7.44%	7.2	20.2	31.9	52.1	926	838	6	9	4	10
3	ITO(PAS上)	DAL(SD層)	4	—	4	—	4	—	10	—	—	—	—	48.05%	6.45%	4.43%	6.63%	6.85	20	32.5	52.5	807	830	7	10	5	7
4	DAL(SD層)	ITO1(ゲート層)	4	—	4	—	4	—	10	—	—	—	—	48.05%	6.57%	4.39%	6.63%	8.25	20.4	31.7	52.1	1801	836	5	9	4	9
5	ITO(PAS上)	ITO1(ゲート層)	4	—	4	—	4	—	15	—	—	—	—	48.05%	7.46%	5.12%	7.52%	8.3	17	31.6	48.6	835	713	5	9	4	10
6	ITO(PAS上)	ITO1(ゲート層)	6	—	4	—	4	—	10	—	—	—	—	48.05%	6.60%	5.02%	6.62%	8.15	20.5	31.2	51.7	1058	848	3	9	4	8
7	ITO(PAS上)	ITO1(ゲート層)	8	—	4	—	4	—	10	—	—	—	—	48.05%	6.00%	4.41%	5.95%	9.5	23.5	31.4	54.9	1008	956	3	8	3	8
8	ITO(PAS上)	ITO1(ゲート層)	4	—	6	—	—	—	10	—	—	—	—	48.05%	6.99%	4.75%	7.00%	7.2	23.8	32.8	56.6	1000	1024	3	8	4	8
9	ITO(PAS上)	ITO1(ゲート層)	4	—	8	—	—	—	10	—	—	—	—	48.05%	6.07%	3.95%	6.18%	7.7	25.7	31.8	58.5	1049	937	3	8	4	9
10	ITO(PAS上)	ITO1(ゲート層)	6	—	6	—	—	—	10	—	—	—	—	48.05%	6.73%	4.54%	6.84%	7.8	23.3	30.8	54.1	919	955	3	8	4	9
11	ITO(PAS上)	ITO1(ゲート層)	8	—	8	—	—	—	10	—	—	—	—	48.05%	5.71%	4.15%	5.69%	8.7	31.5	30.3	61.8	927	1019	3	7	2	8
12	ITO(PAS上)	ITO1(ゲート層)	—	4	4	—	4	4	5	—	—	—	—	48.8%	6.44%	4.78%	6.12%	8.5	34.1	32.4	56.5	401	416	3	4	—	—
13	ITO(PAS上)	ITO1(ゲート層)	—	4	4	—	4	4	10	—	—	—	—	49.42%	6.60%	4.95%	6.37%	8.9	29.1	33.4	52.5	300	251	3	3	—	—
14	ITO(PAS上)	DAL(SD層)	—	4	4	—	4	4	10	—	—	—	—	48.05%	6.37%	4.29%	6.18%	8.3	28	32.4	50.4	302	251	3	4	—	—
15	DAL(SD層)	ITO1(ゲート層)	—	4	4	—	4	4	10	—	—	—	—	49.42%	6.00%	4.53%	5.28%	≥10.0	27.3	31.7	58.3	21	236	3	4	—	—
16	ITO(PAS上)	ITO1(ゲート層)	—	4	4	—	4	4	15	—	—	—	—	49.53%	6.61%	5.34%	6.60%	9.8	24.2	32	56.2	315	248	3	4	—	—
17	ITO(PAS上)	ITO1(ゲート層)	—	6	6	—	4	4	10	—	—	—	—	49.42%	5.95%	4.44%	5.82%	8.8	32.7	31.6	84.3	—	—	—	—	—	—
18	ITO(PAS上)	ITO1(ゲート層)	—	8	8	—	4	4	10	—	—	—	—	49.42%	5.32%	3.79%	5.11%	8.55	30.5	31.6	88.1	—	—	—	—	—	—
19	ITO(PAS上)	ITO1(ゲート層)	—	4	4	—	6	6	10	—	—	—	—	49.42%	5.56%	5.02%	5.15%	≥10.0	33	32.9	85.9	—	—	—	—	—	—
20	ITO(PAS上)	ITO1(ゲート層)	—	4	4	—	8	8	10	—	—	—	—	49.42%	4.06%	4.44%	3.75%	≥10.0	45.6	32	78.6	—	—	—	—	—	—
21	ITO(PAS上)	ITO1(ゲート層)	—	6	6	—	6	6	10	—	—	—	—	49.42%	5.25%	4.43%	5.08%	9.7	35.6	31.8	57.4	—	—	—	—	—	—
22	ITO(PAS上)	ITO1(ゲート層)	—	8	8	—	8	8	10	—	—	—	—	49.42%	5.56%	3.93%	3.43%	≥10.0	40.5	30.8	71.3	—	—	—	—	—	—
23	ITO1(ゲート層)	ITO1(ゲート層)	—	4	4	—	4	4	10	—	—	—	—	46.80%	4.03%	3.88%	3.24%	≥10.0	29.9	32.7	82.6	—	—	—	—	—	—
24	DAL(SD層)	DAL(SD層)	—	4	4	—	4	4	10	—	—	—	—	48.93%	4.25%	3.56%	3.35%	≥10.0	23.4	32	55.4	—	—	—	—	—	—
25	ITO(PAS上)	ITO(PAS上)	—	4	4	—	4	4	10	—	—	—	—	49.36%	5.56%	4.42%	5.87%	7.9	24.6	32.7	57.3	—	—	—	—	—	—
P1	ITO(PAS上)	ITO1(ゲート層)	5	—	5	—	5	—	10	3.01	0.0942	65	63	—	5.05%	3.70%	—	4.475	92	97	18.9	0.53	—	—	—	—	—
P3	ITO(PAS上)	ITO1(ゲート層)	5	—	5	—	5	—	10	—	0.1032	-5	179	48.05%	6.37%	4.80%	—	6.77	20.8	38.3	58.1	744	—	—	—	—	—
P4	ITO(PAS上)	ITO1(ゲート層)	4	—	4	—	4	—	10	—	—	—	—	48.05%	6.76%	5.10%	—	6.675	18.8	29.8	48.6	744	—	—	—	—	—
備考			*単位: μm										単位 mPas	MD測定 Vsig ≥7.6 判定 時は 7.6V時	MD測定 Vmax時 Vsig 判定 時は 7.6V時	Q-DO 判定 時は 7.6V時	*PAS350 *PAS350mm		*残像観測時間 18.1; 10s以下		*2時間後の残像レベル 18.1; 0経時、0.1μs、32経時、2μs						

【図57】

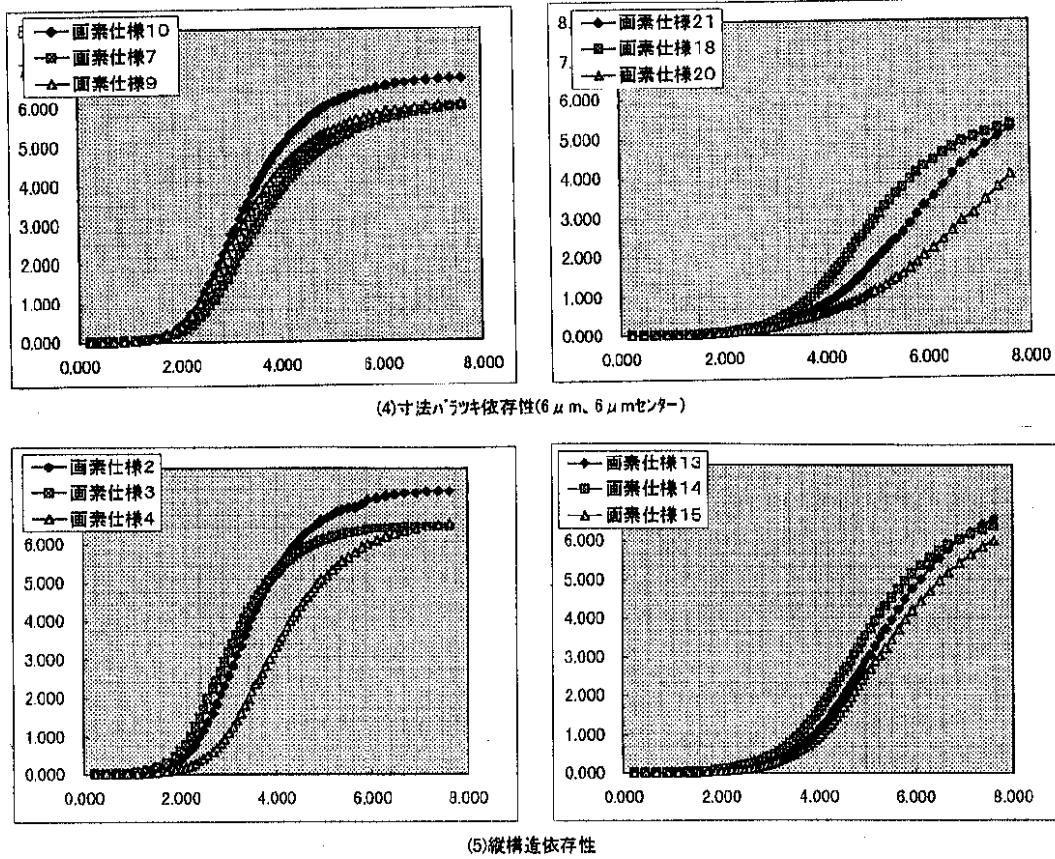
図57

PAS350nm仕様



【図58】

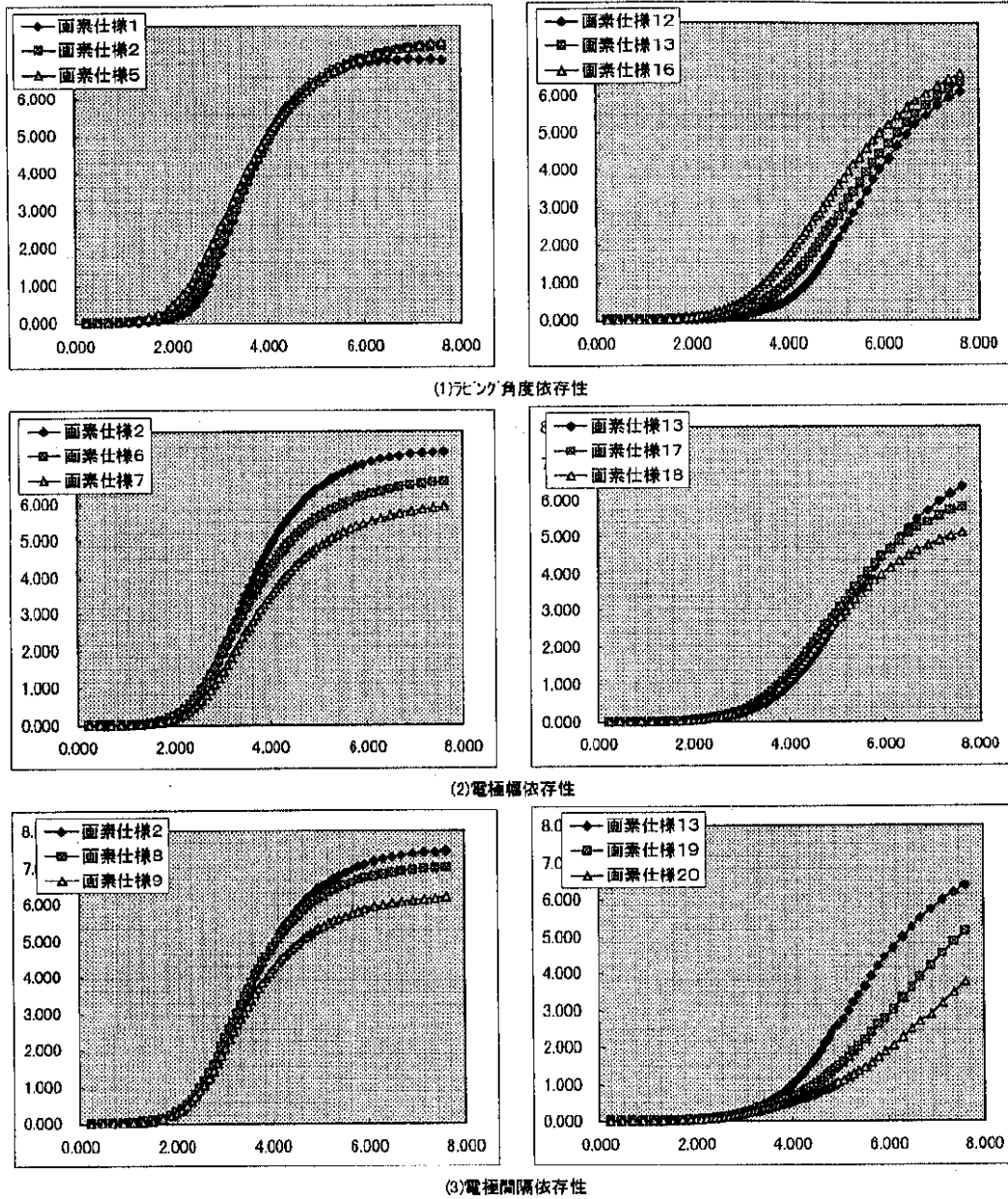
図58



【図59】

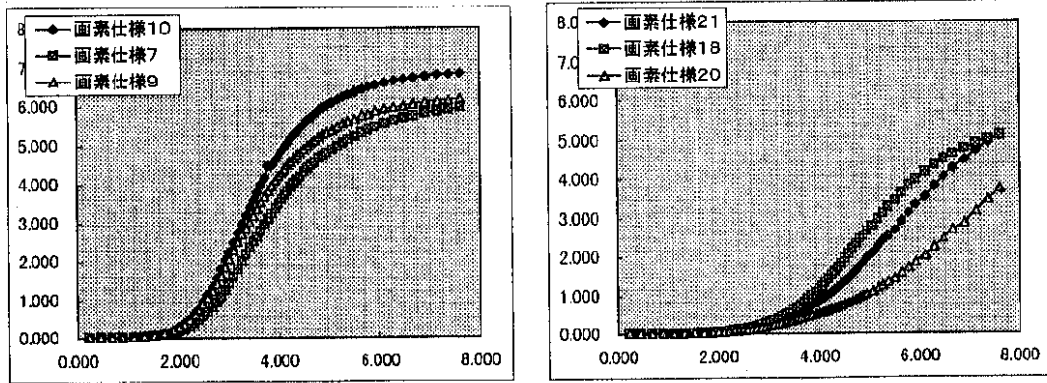
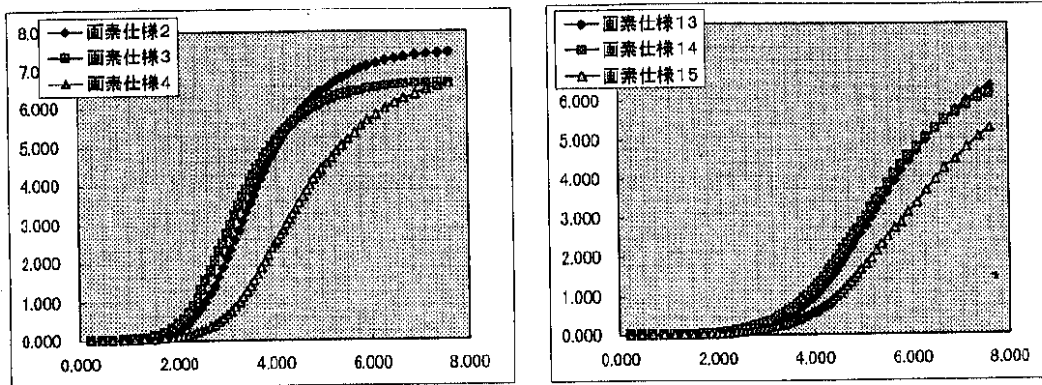
図59

PAS500nm仕様



【図60】

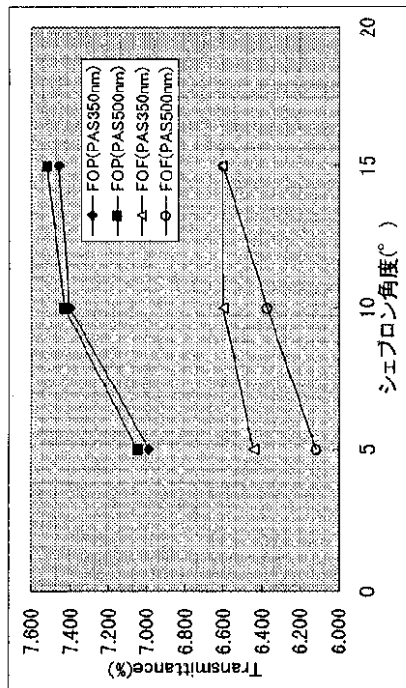
図60

(4)寸法バラツキ依存性(6 μ m、6 μ mセンター)

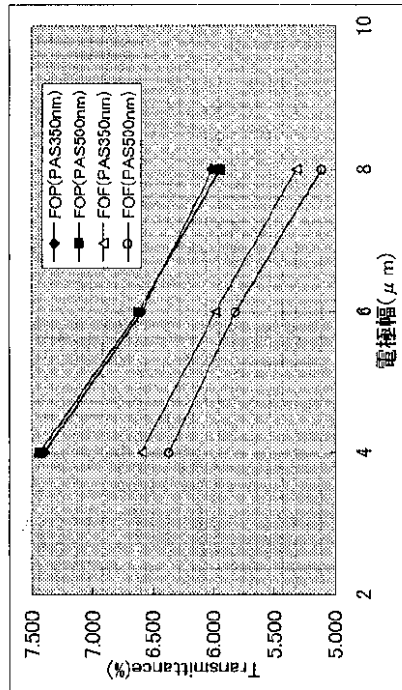
(5)縦構造依存性

透過率のデバイス構造依存性

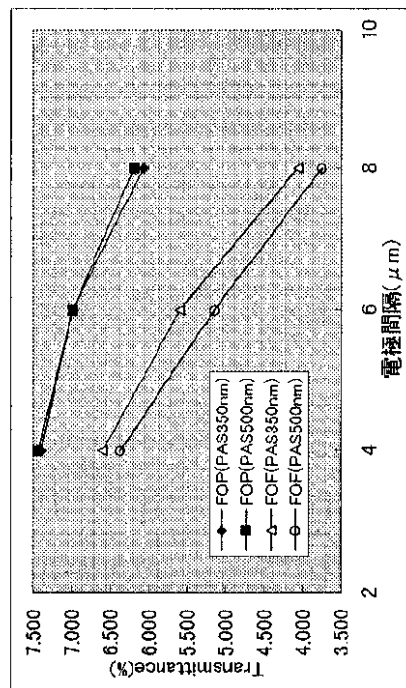
図61



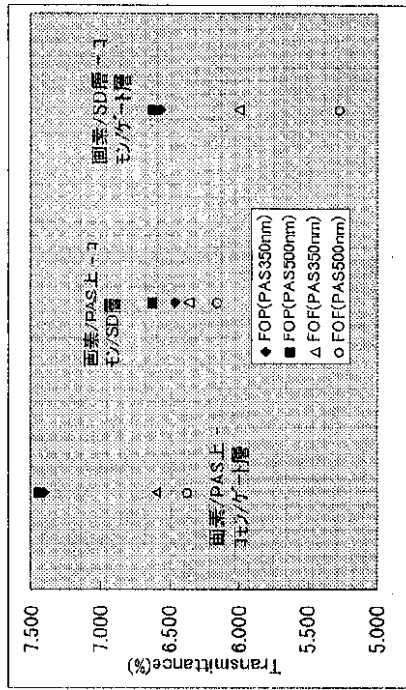
(a) シェアロン角度依存性



(b) 電極幅依存性



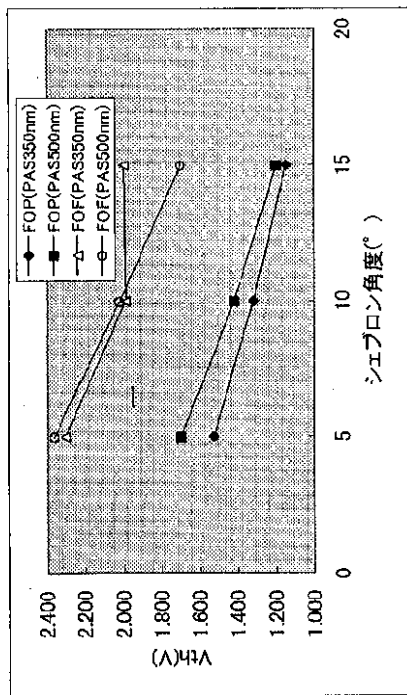
(c) 電極間隔依存性



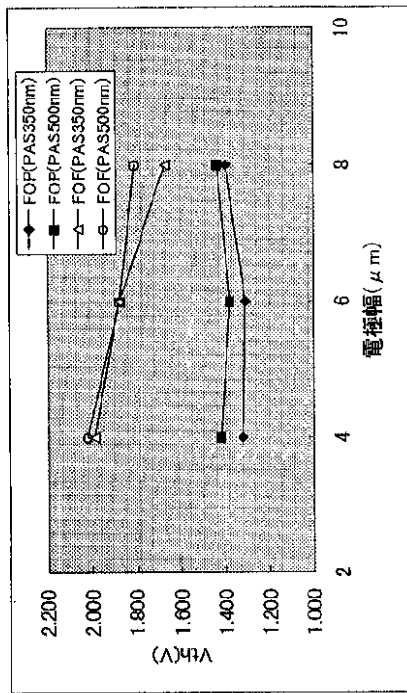
(d) 電極レイアウト配置依存性

※Vsig(0~7.621V)の範囲での最大透過率

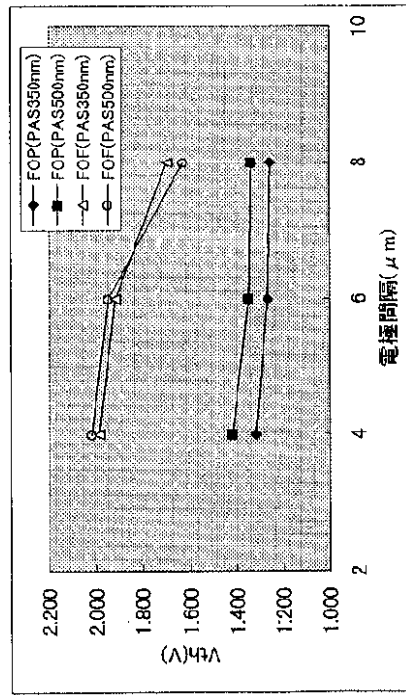
【図61】



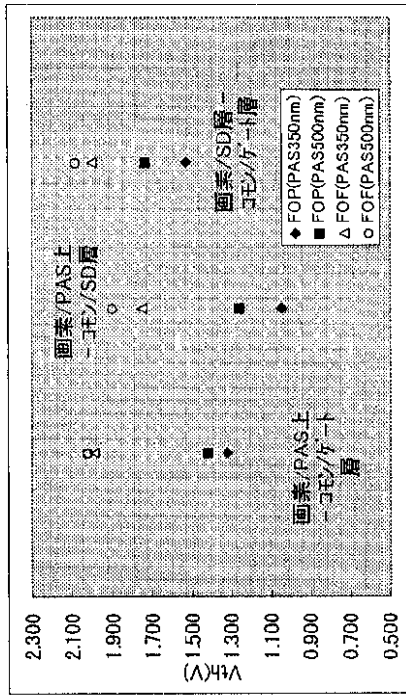
(a) シェアロン角度依存性



(b) 電極幅依存性

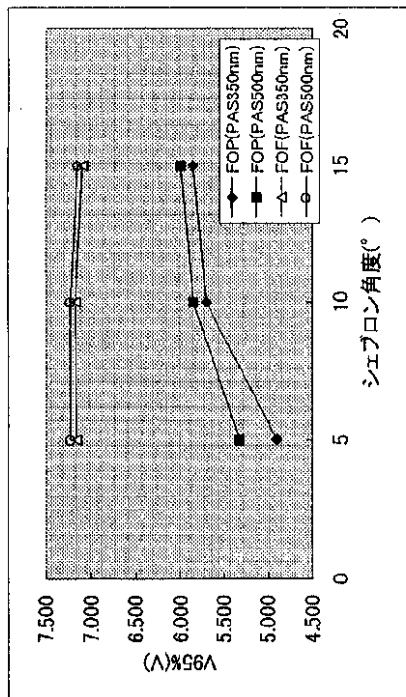


(c) 電極間隔依存性

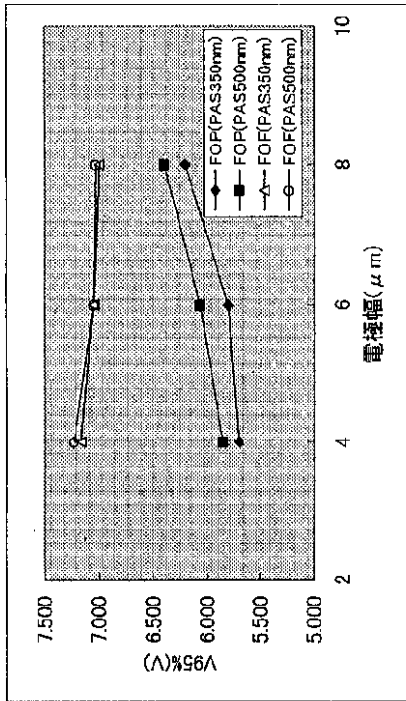


(d) 電極レイヤ配置依存性

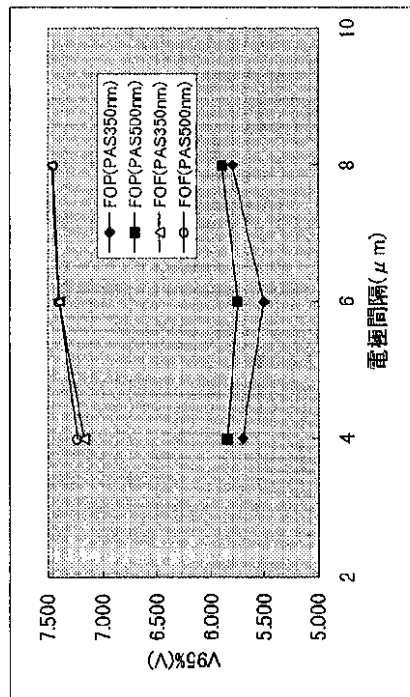
※ $V_{sig}(0 \sim 7.621V)$ の範囲での最大透過率をもとに算出



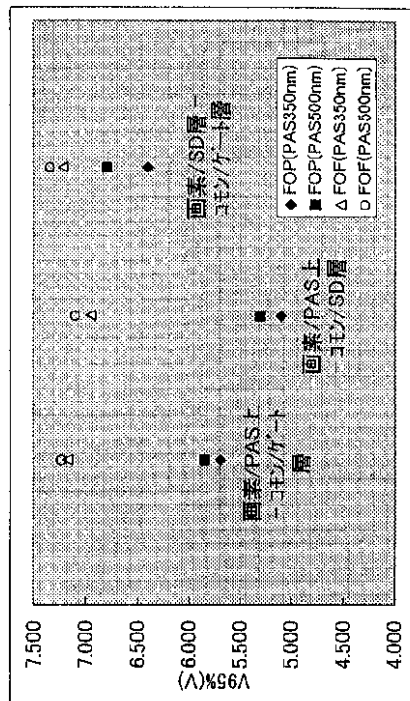
(a) シェアロン角度依存性



(b) 電極幅依存性



(c) 電極間隔依存性



(d) 電極レイヤ配置依存性

※ $V_{sig}(0 \sim 7.621V)$ の範囲での最大透過率をもとに算出

【図64】

色度特性

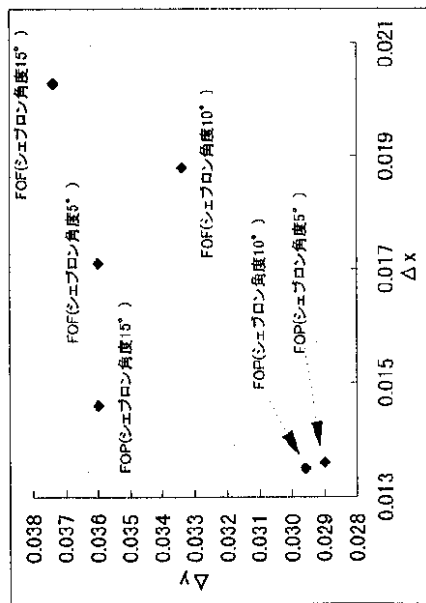
図64

パネル#BXOBGG2 PAS350nm仕様 測定器:PR-900

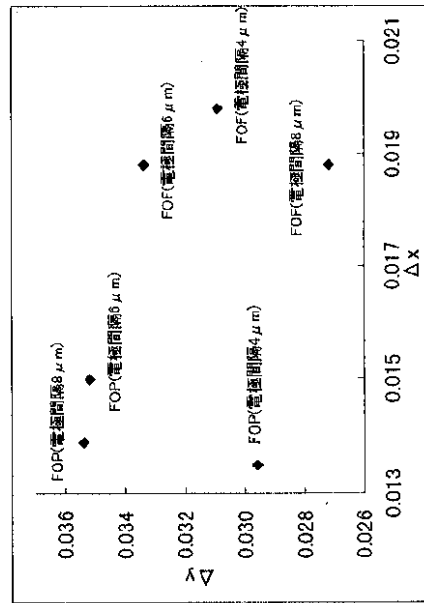
画面仕様	W			R			G			B		
	x	y	Y	x	y	Y	x	y	Y	x	y	Y
1	0.3156	0.3275	235.02	0.5759	0.3279	60.742	0.3078	0.1496	0.5626	148.07	0.1058	29.767
2	0.3148	0.3273	258.88	0.5741	0.3277	66.587	0.3082	0.1491	0.5628	160.88	0.1088	33.729
3	0.3186	0.3309	232.25	0.5744	0.3294	60.662	0.3108	0.1499	0.5818	142.7	0.1128	30.589
4	0.3165	0.3325	237.81	0.5719	0.329	61.042	0.3093	0.1485	0.5633	147.25	0.1125	30.974
5	0.3168	0.3342	263.26	0.5762	0.3281	67.304	0.3104	0.1483	0.5626	162.04	0.1136	34.231
6	0.3167	0.3311	228.56	0.5782	0.3286	58.572	0.3075	0.1486	0.5648	143.07	0.1078	28.737
7	0.3149	0.3296	221.37	0.5736	0.3279	56.87	0.3066	0.1488	0.5632	137.57	0.1117	29.509
8	0.316	0.3329	209.81	0.5764	0.327	69.597	0.3058	0.1496	0.564	162.94	0.1118	34.48
9	0.3152	0.3333	228.95	0.5723	0.3276	58.524	0.3083	0.1502	0.5632	139.69	0.1132	30.331
10	0.3172	0.332	226.04	0.5736	0.3309	58.777	0.3098	0.1489	0.5629	138.4	0.1151	30.049
11	0.3164	0.3333	203.72	0.5756	0.3289	52.009	0.3072	0.1482	0.5656	127.28	0.1092	25.531
12	0.3181	0.3335	247.43	0.5766	0.3289	62.92	0.3073	0.1477	0.5665	150.25	0.114	31.475
13	0.32	0.3307	260.88	0.5715	0.3317	68.923	0.308	0.1471	0.5608	153.73	0.1146	33.689
14	0.3246	0.333	242.91	0.5756	0.3311	64.89	0.3131	0.1476	0.559	142.64	0.1179	31.984
15	0.3269	0.3318	210.44	0.5747	0.3323	57.724	0.3093	0.148	0.5634	126.89	0.1171	28.116
16	0.3217	0.3344	236.24	0.5787	0.3311	61.233	0.3099	0.1494	0.5625	141.06	0.1134	29.495
17	0.322	0.3332	231.04	0.5755	0.3314	61.317	0.309	0.1497	0.563	137.12	0.1142	29.462
18	0.3223	0.3321	202.35	0.5751	0.3291	54.024	0.3082	0.1496	0.5643	121.62	0.1152	26.372
19	0.3205	0.3277	200.37	0.5717	0.3304	52.45	0.3109	0.1481	0.5578	110.52	0.1167	26.225
20	0.3205	0.3242	134.25	0.574	0.3255	35.522	0.3091	0.1509	0.557	71.228	0.1182	17.384
21	0.3229	0.3292	186.23	0.5768	0.3293	49.136	0.3099	0.1494	0.56	108.27	0.1121	23.36
22	0.3222	0.3256	132.81	0.5693	0.3291	34.59	0.3081	0.1515	0.5569	69.892	0.1143	16.469
23	0.32	0.3282	136.24	0.5714	0.3265	36.863	0.3077	0.1498	0.56	79.608	0.1156	18.192
24	0.3226	0.3296	155	0.5706	0.3301	42.939	0.313	0.1487	0.5561	90.848	0.1189	21.413
25	0.322	0.3345	209.68	0.5687	0.331	57.885	0.3094	0.153	0.5601	125.5	0.1213	29.144
参考: 15" S-IPS	0.304	0.312	—	0.572	0.324	—	0.306	0.150	0.560	—	0.100	—

色度(白)のデバイス構造依存性

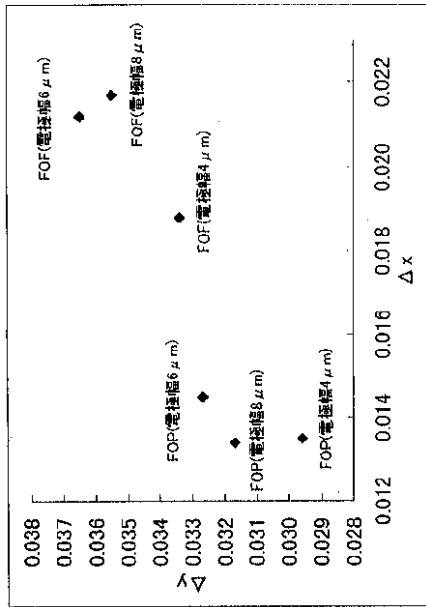
図 65



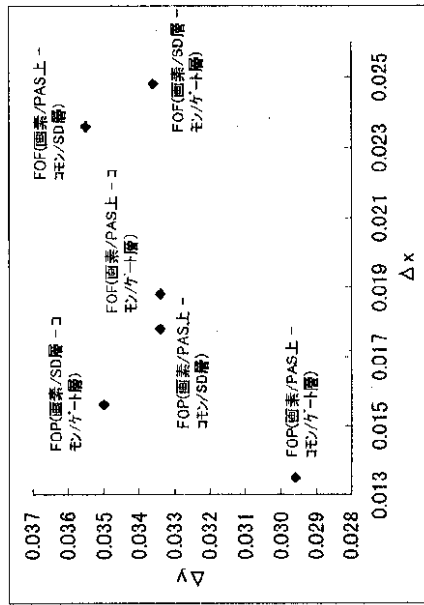
(a) シエプロン角度依存性



(b) 電極間隔依存性

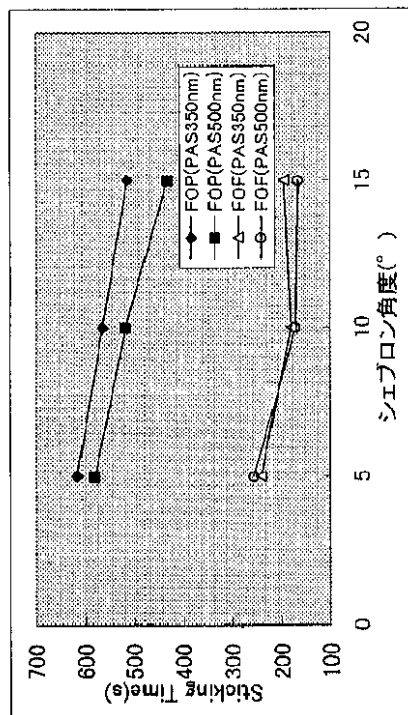


(c) 電極幅依存性

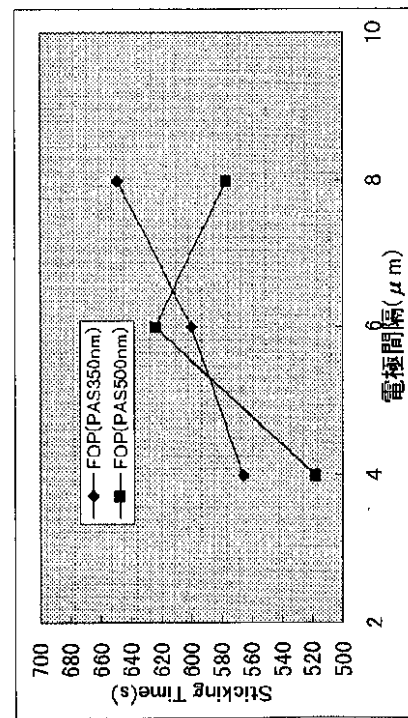


(d) 電極レイヤ配置依存性

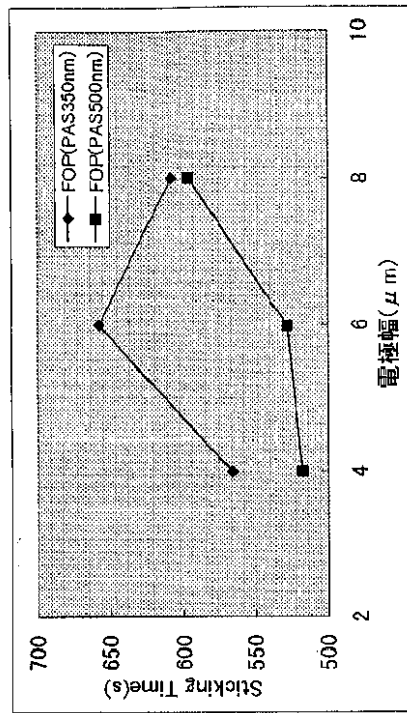
※ (Δx , Δy) = (モジュールでの x_y) - (バックライトのみの x_y)



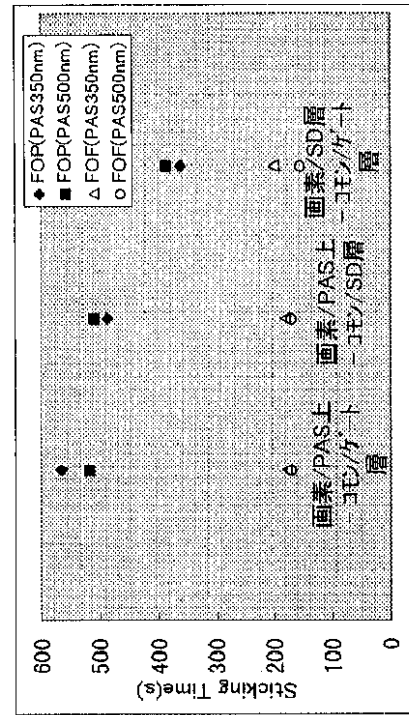
(a) シェアロン角度依存性



(c) 電極間隔依存性

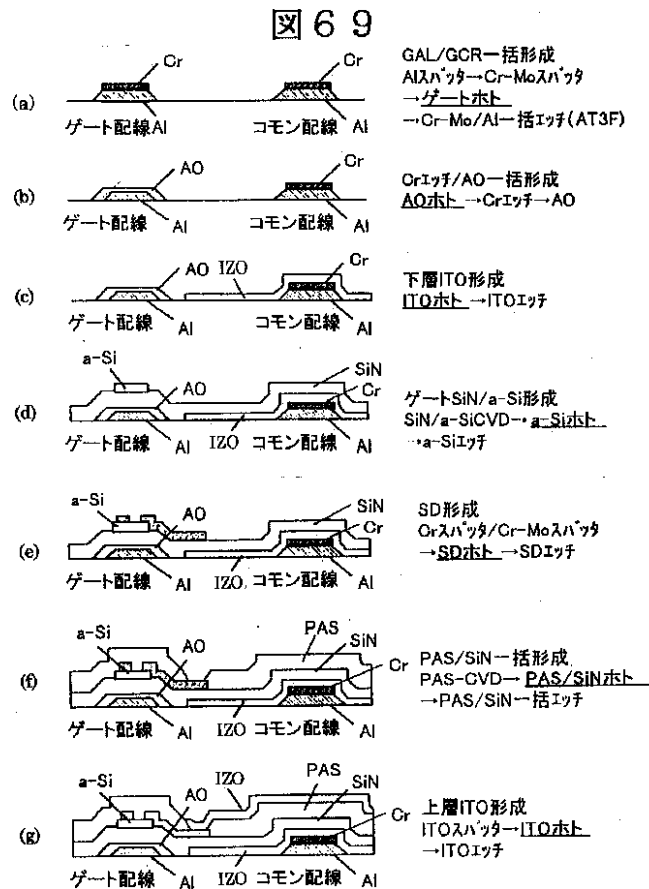


(b) 電極幅依存性



(d) 電極レイヤ配置依存性

【図69】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 F 9/35

識別記号

F I

G 0 2 F 1/136

特マコト(参考)

5 0 0

F ターム(参考) 2H090 HA03 HB08X HC03 HD07
HD14 KA04 KA18 LA04 MA02
MA07 MA17 MB02
2H092 GA13 GA14 JA26 JA29 JA33
JA35 JA38 JA42 JA43 JA44
JA46 JA47 JB11 JB13 JB23
JB27 JB32 JB33 JB36 JB38
JB51 JB57 JB63 JB69 KA05
KA07 KA16 KA18 MA05 MA08
MA14 MA15 MA16 MA18 MA19
MA20 MA27 MA35 MA37 MA41
NA04 NA25 NA27 PA02 QA06
QA18
5C094 AA09 AA10 BA03 BA44 CA19
EA04 EA05 EB02 ED14 ED15
JA01 JA08 JA11

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001264809A	公开(公告)日	2001-09-26
申请号	JP2000077080	申请日	2000-03-17
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	太田益幸		
发明人	太田 益幸		
IPC分类号	G02F1/1333 G02F1/1337 G02F1/1343 G02F1/136 G02F1/1368 G09F9/30 G09F9/35		
FI分类号	G02F1/1333.500 G02F1/1337.505 G02F1/1343 G09F9/30.338 G09F9/35 G02F1/136.500 G02F1/1368		
F-TERM分类号	2H090/HA03 2H090/HB08X 2H090/HC03 2H090/HD07 2H090/HD14 2H090/KA04 2H090/KA18 2H090/LA04 2H090/MA02 2H090/MA07 2H090/MA17 2H090/MB02 2H092/GA13 2H092/GA14 2H092/JA26 2H092/JA29 2H092/JA33 2H092/JA35 2H092/JA38 2H092/JA42 2H092/JA43 2H092/JA44 2H092/JA46 2H092/JA47 2H092/JB11 2H092/JB13 2H092/JB23 2H092/JB27 2H092/JB32 2H092/JB33 2H092/JB36 2H092/JB38 2H092/JB51 2H092/JB57 2H092/JB63 2H092/JB69 2H092/KA05 2H092/KA07 2H092/KA16 2H092/KA18 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA27 2H092/MA35 2H092/MA37 2H092/MA41 2H092/NA04 2H092/NA25 2H092/NA27 2H092/PA02 2H092/QA06 2H092/QA18 5C094/AA09 5C094/AA10 5C094/BA03 5C094/BA44 5C094/CA19 5C094/EA04 5C094/EA05 5C094/EB02 5C094/ED14 5C094/ED15 5C094/JA01 5C094/JA08 5C094/JA11 2H190/HA03 2H190/HB08 2H190/HC03 2H190/HD07 2H190/KA04 2H190/KA18 2H190/LA04 2H190/LA23 2H192/AA24 2H192/BB02 2H192/BB03 2H192/BB53 2H192/BB54 2H192/BB55 2H192/BB73 2H192/BB84 2H192/CB05 2H192/CC04 2H192/CC72 2H192/DA32 2H192/DA74 2H192/EA22 2H192/EA32 2H192/EA43 2H192/EA62 2H192/EA74 2H192/FA39 2H192/FA48 2H192/FA52 2H192/FA65 2H192/FB46 2H192/GA03 2H192/GD61 2H192/HA43 2H192/HA47 2H192/HA86 2H192/HB14 2H192/JA33 2H290/AA73 2H290/BA04 2H290/BA12 2H290/BB63 2H290/BB64 2H290/BF13 2H290/CA46 2H290/DA01		
外部链接	Espacenet		

摘要(译)

(带更正) 解决的问题: 提高透射率并减少残像的发生。在彼此相对的基板之一的液晶侧像素区域中, 隔着液晶层设置有彼此分开形成的一对电极。液晶层的透光率由与基板平行的分量的电场控制, 至少一个电极由透明电极形成, 液晶层的层厚为 d 。其中 w 是每个电极的宽度, L 是电极之间的距离, $d \geq L$ 和 $d \geq w$ 。

