

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2001 - 194685

(P2001 - 194685A)

(43)公開日 平成13年7月19日(2001.7.19)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-コード (参考)
G 0 2 F 1/1368		G 0 2 F 1/133	550 2 H 0 9 2
	1/133 550	G 0 9 F 9/30	338 2 H 0 9 3
G 0 9 F 9/30	338		9/35 5 C 0 0 6
	9/35	G 0 9 G 3/20	621 M 5 C 0 5 8
G 0 9 G 3/20	621		624 B 5 C 0 8 0

審査請求 未請求 請求項の数 7 O L (全 12数) 最終頁に続く

(21)出願番号 特願2000 - 936(P2000 - 936)

(22)出願日 平成12年1月6日(2000.1.6)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株式

会社日立製作所日立研究所内

(72)発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株式

会社日立製作所日立研究所内

(74)代理人 100098017

弁理士 吉岡 宏嗣

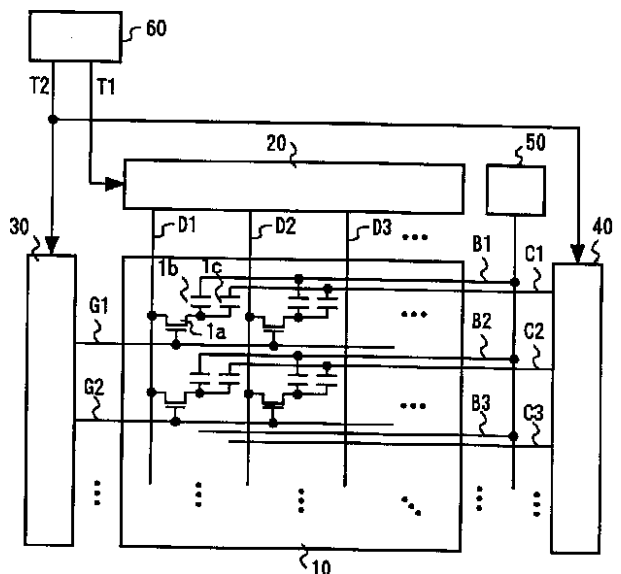
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 液晶表示装置を構成する回路素子に印加される最大電圧を引き下げて、消費電力を低減するとともに装置を小形化する。

【解決手段】 行方向に伸びる走査線 (G) と該走査線に平行に伸びる共通線 (C) と列方向に伸びる信号線 (D) とを有し、走査線と信号線とが交差する各領域に、ドレイン及びゲートが対応の信号線及び走査線にそれぞれ接続されたトランジスタ (1 a) と、一方の電極が該トランジスタのソースに接続され、他方の電極が対応の共通線に接続された液晶容量 (1 c) とを配置してなる液晶表示装置において、共通線に平行に伸び、一定の電圧が印加される基準線 (B) を設け、上記各領域に一方の電極が対応のトランジスタのソースに接続され、他方の電極が対応の基準線に接続された保持容量 (1 b) を設けたことを特徴とする。



【特許請求の範囲】

【請求項1】 行方向に配列された複数の走査線と、該複数の走査線に沿って配列された複数の共通線と、列方向に配列された複数の信号線とを有し、前記走査線と信号線とが交差する各領域に、対応の信号線及び走査線にそれぞれ接続された一方の主回路電極及び制御電極を有するスイッチング素子と、該スイッチング素子の他方の主回路電極と対応の共通線とに接続された液晶容量とが配置されてなるアクティブマトリクス方式の液晶表示装置において、

前記共通線に沿って一定の電圧が印加される複数の基準線を設け、前記各領域に対応のアクティブ素子の他方の主回路電極と対応の基準線とに接続される保持容量を設けたことを特徴とする液晶表示装置。

【請求項2】 請求項1において、複数の走査線に矩形波電圧を順次印加する走査線駆動手段、該矩形波電圧に同期して複数の共通線の電圧を順次反転させる共通線駆動手段、選択された行の表示データに対応した電圧を複数の信号線に印加する信号線駆動手段を備え、該走査線駆動手段、共通線駆動手段、信号線駆動手段、及び前記表示手段を同一の基板に形成したことを特徴とする液晶表示装置。

【請求項3】 請求項2において、共通線の電圧が反転するとき、該共通線の電圧が所定の値に達した後に、対応の走査線を選択することを特徴とする液晶表示装置。

【請求項4】 請求項1から3のいずれかにおいて、前記保持容量を C_{st} 、前記液晶容量を C_{lc} とすると、 $C_{st}/C_{lc} > 1$ であることを特徴とする液晶表示装置。

【請求項5】 請求項2において、走査線駆動手段と共通線駆動手段とを共通のシフトレジスタを用いて構成したことを特徴とする液晶表示装置。

【請求項6】 請求項1から5のいずれかにおいて、スイッチング素子がMOSトランジスタであり、該MOSトランジスタのゲート酸化膜を誘電体として保持容量を形成することを特徴とする液晶表示装置。

【請求項7】 請求項1から6のいずれかにおいて、基準線を構成する材料のシート抵抗率が共通線を構成する材料のシート抵抗率より小さいことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス方式の液晶表示装置に関し、特に駆動回路をアクティブマトリクス基板と同一の基板に形成した液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリクス方式の液晶表示装置は、マトリクス状に配置された画素トランジスタを介

して液晶に印加する電圧を制御する表示部と、該画素トランジスタを駆動する駆動回路部とで構成される。表示部の画素トランジスタには、アモルファスシリコン(a-Si:amorphous-Silicon)薄膜トランジスタ(TFT:Thin-FilmTransistor)、多結晶シリコン(p-Si:poly-Silicon)TFT、あるいは単結晶シリコンのMOS(Metal-Oxide Semiconductor)トランジスタが使用される。

10 【0003】駆動回路部は、表示部の画素トランジスタにa-SiTFTを使用する場合には、単結晶シリコンのMOSトランジスタで形成した大規模集積回路(LSI:Large Scale Integrated Circuit)で構成される。また、表示部の画素トランジスタにp-SiTFTや単結晶シリコンのMOSトランジスタを使用する場合には、駆動回路部は、画素トランジスタと同じ種類のトランジスタを用いて表示部と同一基板上に構成される。

【0004】これらの液晶表示装置では、良好な画質を確保する以外に、(1)表示部以外の周辺部分の面積を可能な限り小さくする、(2)消費電力を下げる、(3)信頼性を高めることが要求される。上記(1)についてはトランジスタのゲート長を短くして微細化する、(2)については駆動回路の電源電圧を低減する、(3)についてはトランジスタに印加される最大電圧を低減することがそれぞれ有効である。このため、これらの要求に対処するには、液晶に印加すべき必要な電圧を確保しつつ使用するトランジスタに印加される最大電圧(以下、耐圧と呼ぶ)を低減することが全体として最も効果的である。これは、p-SiTFTを表示部と駆動回路部に使用する駆動回路一体型の液晶表示装置には特に重要である。

30 【0005】このトランジスタの耐圧を下げる構成が、特開平06-035417号公報及び特開平10-031464号公報に記載されている。これらに記載の駆動方法はいずれも、画素電極に対向する共通線の電圧を画素電極に印加される電圧と逆極性に变化させるいわゆるコモン交流駆動と呼ばれるものである。

【0006】このコモン交流駆動を図18を用いて説明する。図18は画素電極をマトリクス状に配置した表示部のn行、m列(m、nは整数)の1画素部分の等価回路を示す。この等価回路は画素トランジスタT(m、n)、画素電極P(m、n)、走査線Gn、共通線Cn、信号線Dm、保持容量Cst、液晶容量Clcで構成される。画素トランジスタT(m、n)のゲート電極、ドレイン電極、ソース電極はそれぞれ走査線Gn、信号線Dn、画素電極P(m、n)に接続され、保持容量Cstと液晶容量Clcは画素電極P(m、n)と共通線Cnの間に並列に接続されている。

【0007】上記等価回路の動作を図19に示すタイミング図で説明する。動作を分かり易くするため、表示する画像データは、画面を全面均一な輝度にするデータで

あると仮定する。このときの、走査線G_n、共通線C_n、信号線D_mの各電圧信号はそれぞれ、V_{gL}とV_{gH}、V_{cL}とV_{cH}、V_{dL}とV_{dH}の2値状態をとる。共通線の電圧信号C_nの平均電圧をV_cとする。以下の説明で用いる信号振幅は、この平均電圧V_cを基準

$$V_{cL} = V_c - V_c, V_{cH} = V_c + V_c \quad \dots (1)$$

$$V_{dL} = V_c - V_d, V_{dH} = V_c + V_d \quad \dots (2)$$

走査線G_nの信号は、各フィールドにおいて最初の一定期間だけV_{gH}の状態をとるのに対し、共通線C_n、信号線D_mの信号は、フィールドが変わるたびにその状態が切り替わるように変化する。即ち、走査線G_nの信号は各フィールドの最初に、V_{gL}からV_{gH}に立ち上がり、1水平走査期間(1H)が経過した後にV_{gH}からV_{gL}に立ち下がる。共通線C_nの信号は、第1フィールドの走査線G_nが立ち上がるタイミングでV_{cH}からV_{cL}に立ち下がり、第2フィールドの走査線G_nが立ち上がるタイミングでV_{cL}からV_{cH}に立ち上がる。一方、信号線D_mの信号は、第1フィールドの走査線G_nが立ち上がるタイミングでV_{dL}からV_{dH}に変化し、第2フィールドの走査線G_nが立ち上がるタイミングでV_{dH}からV_{dL}に変化する。

【0009】図19の電圧波形は、走査線G_n、信号線D_m、及び共通線C_nの各信号が以上のタイミングで駆動されるときに得られるものである。第1フィールドで共通線C_nの電圧がステップ状に低下すると、画素電極P(m, n)の電圧は瞬間的にV_sだけV_{dL}から低下する。これは、液晶容量C_{lc}と保持容量C_{st}の並列容量と画素トランジスタT(m, N)のオン抵抗との直列回路にステップ電圧が印加されことによる過渡的現象によるものである。その後この直列回路の時定数に従う波形曲線で、画素電極P(m, n)の電圧が信号線D_mの信号電圧に等しくなるよう変化する。一方、第2フィールドでも共通線C_nの電圧がステップ状に上昇するタイミングで画素電極P(m, n)の電圧は瞬間的にV_{dH}からV_sだけ上昇し、前記直列回路の時定数に従う波形曲線で、画素電極P(m, n)の電圧が信号線D_mの信号電圧V_{dL}に等しくなるように変化する。

【0010】上記電圧変化V_sは共通線C_nの信号振幅V_cの2倍であり、次式で示される。

$$V_s = 2 \times V_c \quad \dots (3)$$

このため、画素トランジスタT(m, n)のソース電極に印加される最小電圧V_{smi}(=V_{sL})と、最大電圧V_{sma}(=V_{sH})は次式で表される。

$$V_{smi} = V_{dL} - 2 \times V_c \quad \dots (4)$$

$$V_{sma} = V_{dH} + 2 \times V_c \quad \dots (5)$$

(4)、(5)式で示されるように、ソース電極に印加される最小電圧V_{smi}と最大電圧V_{sma}の値は、それぞれV_{dL}及びV_{dH}に共通線C_nの信号振幅の2倍が減算または加算された値である。このため、画

とした電圧で示す。共通線C_nの信号振幅をV_c、信号線D_mの信号振幅をV_dとすると、V_{cL}とV_{cH}、及びV_{dL}とV_{dH}は次式で表される。

【0008】

素トランジスタのソース電極に印加される電圧の絶対値は、(V_{dH} - V_{dL})に共通線C_nの信号振幅V_cの4倍を加えた値となる。

【0013】一方、液晶に印加される電圧は、画素電極P(m, n)の電圧と共通線C_nの電圧との差であるので、第1フィールド、第2フィールドで液晶に印加される実効電圧V_{Lc}はそれぞれ次式となる。

$$V_{Lc} = V_c + V_d \quad \dots (6)$$

ここで、V_c > 0、V_d < V_c コモン交流駆動方法では、上に説明したように共通線の信号振幅V_cに信号線の信号振幅V_dを加算して得られる電圧で液晶を駆動することにより、信号線D_mの信号電圧を低減することを可能にしている。また、信号線D_mの信号電圧を低減することで走査線G_nの信号電圧も低減できる。

【0015】上記コモン交流駆動方法を例えば、4Vで駆動する液晶に適用した場合、主な信号の電圧は次を示す値となる。液晶駆動電圧V_{Lc} = 0 ~ 4V、共通線C_nの電圧振幅V_c = 2V、共通線C_nの平均電圧V_c = 3V、共通線の電圧V_{cL} = 1V、V_{cH} = 5V、信号線の信号振幅V_d = -2V ~ +2V、信号線の電圧V_{dL} = 1V、V_{dH} = 5V、走査線の電圧V_{gL} = 0、V_{gH} = 6V、画素トランジスタのソース電極の電圧V_{sL} = -3V、V_{sH} = 9V。

【0016】このようにコモン交流駆動方法では、画素トランジスタのゲート電極及びドレイン電極に印加される電圧変化幅は6V以内であるのに対し、ソース電極の電圧は-3V ~ 9Vの範囲で変化し、その電圧変化幅は12Vである。

【0017】次に、共通線C_nの電圧の過渡的变化について説明する。前述のように、液晶に印加される電圧は画素電極P(m, n)の電圧と共通線C_nの電圧の差である。このため、共通線C_nの電圧は走査線G_nの電圧がV_{gH}からV_{gL}に立ち下がる前に定常状態になることが必要であり、そうでなければ表示むらが発生する。

【0018】通常、共通線C_nは金属配線又は透明電極(ITO: Indium Tin Oxide)配線で形成されるので、図18の等価回路には示されていないが、共通線C_nは単位画素当りの配線抵抗R_cを有する。また、共通線C_nには、液晶容量C_{lc}と保持容量C_{st}が並列に接続されるので、共通線C_nは、この並列容量と配線抵抗R_cによる時定数τを有する単位CR回路が多段に接続された分布CR回路とみなすことができる。水平方向の

画素数を $N \times$ とすると、この分布 CR 回路の時定数 p は次式で示される。

【0019】

$$p = N \times^2 \times R c \times (C l c + C s t) \dots (7)$$

上記の等価回路では、保持容量 $C s t$ は液晶のリーク抵抗、画素 TFT のオフ電流などによる保持率の劣化を防止するため、液晶容量 $C l c$ に対して数倍から十倍程度の値としている。一方、表示装置を高精細化すると、上記 $N \times$ が増加するとともに、走査線 $G n$ が $V g H$ になっている 1 水平走査期間 (1 H 期間) が短くなる。

【0020】この関係を 80 万画素の 10 インチサイズの液晶表示装置を例にとって説明すると、 $C l c = 200 \text{ fF}$ 、 $C s t = 600 \text{ fF}$ 、 $R c = 50$ 、 $N \times = 1000$ 程度になる。この場合、時定数 $p = 40 \mu s$ となる。しかしながら、このような高精細液晶表示装置の 1 H 期間は概略 $20 \mu s$ であるので、この場合、共通線の電圧は 1 H 期間内に定常状態に達しないことになる。このように、この共通線の時定数 p の値は液晶表示装置の高精細化を妨げる要因となる。

【0021】

【発明が解決しようとする課題】上述の従来のコモン交流駆動方法では、信号線を駆動する回路と走査線を駆動する回路の耐圧を低減できるものの、表示部を構成する画素トランジスタの耐圧を低減することができず、更なる消費電力の低減が図れないという問題がある。また、表示部のトランジスタのサイズを大きくする必要があるので、駆動回路部をアクティブマトリクス基板と同一の基板に形成する場合、すべてのトランジスタを同じ大きさに形成する必要があることから駆動回路部とを一体化しても小型軽量化が達成できないという問題がある。さ

らに、上記したように、従来のコモン交流駆動方法では、共通線の電圧波形が配線抵抗と画素の容量とに起因する遅延によって表示むらが発生するという問題がある。

【0022】本発明は、上記従来技術の問題を解決するためになされたものであり、液晶表示装置を構成する回路素子に印加される最大電圧を引き下げて消費電力を低減することを課題とする。別の課題は、装置を小型化し回路接続点数を削減して、信頼性、耐久性を向上させることにある。本発明の更に別の課題は、共通線の電圧波形の遅延を抑制して高品質の画像を表示することにある。

【0023】

【課題を解決するための手段】上記課題は以下の手段により解決される。即ち、行方向に配列された複数の走査線と、該複数の走査線に沿って配列された複数の共通線と、列方向に配列された複数の信号線とを有し、前記走査線と信号線とが交差する各領域に、対応の信号線及び走査線にそれぞれ接続された一方の主回路電極及び制御電極を有するスイッチング素子と、該スイッチング素子

の他方の主回路電極と対応の共通線とに接続された液晶容量とが配置されてなるアクティブマトリクス方式の液晶表示装置において、前記共通線に沿って一定の電圧が印加される複数の基準線を設け、前記各領域に対応のアクティブ素子の他方の主回路電極と対応の基準線とに接続される保持容量を設けたことを特徴とする。

【0024】上記液晶表示装置では、アクティブ素子の信号出力電極は、共通線と基準線との間に直列に接続された液晶容量と保持容量の接続点に接続される。従って、共通線に印加される電圧がステップ状にある値だけ上昇(または下降)したときに、該接続点の電圧、即ちアクティブ素子の信号出力電極の電圧も瞬間的に上昇(または下降)するが、その瞬間的上昇(または下降)値は、上記値を二つの容量で分圧したものとなる。従って、アクティブ素子に印加される最大電圧を小さくすることができ、耐圧の小さい小形のアクティブ素子を使用することができる。このため、液晶表示装置を小形にするとともに電力消費量を低減することができる。

【0025】複数の走査線に矩形波電圧を順次印加する走査線駆動手段、該矩形波電圧に同期して複数の共通線の電圧を順次反転させる共通線駆動手段、及び複数の信号線に選択された行の表示データに対応した電圧を印加する信号線駆動手段を備え、該走査線駆動手段、共通線駆動手段、信号線駆動手段、及び表示手段を同一の基板に形成することができる。こうすることにより、装置をより小形にすることができる。

【0026】共通線の電圧が反転するとき、該共通線の電圧が所定の値に達した後に、対応の走査線を選択することが好ましい。これにより、液晶容量に印加される電圧を一定にし、表示むらを防止することができる。

【0027】保持容量を $C s t$ 、前記液晶容量を $C l c$ とするとき、 $C s t / C l c > 1$ であることが好ましい。こうすることにより、上記アクティブ素子に印加される瞬間的電圧の上昇(または下降)値を、共通線の電圧変化幅の約 $1/2$ 以下にすることができる。

【0028】走査線駆動手段と共通線駆動手段とを共通のシフトレジスタを用いて構成することができる。こうすることにより、回路素子数を低減し、信頼性を高めることができる。

【0029】スイッチング素子を MOS トランジスタとし、保持容量を該 MOS トランジスタのゲート酸化膜を誘電体として形成することができる。こうすることにより、小さな面積に大きな容量を得ることができる。

【0030】基準線を構成する材料のシート抵抗率を、共通線を構成する材料のシート抵抗率より小さくすることが好ましい。こうすることにより、共通線の電圧が上昇(または下降)するとき、保持容量に流れる電流がより多くなり、液晶容量に印加される電圧がより早く定常値に達するので表示むらの発生が防止される。

【0031】

【発明の実施の形態】以下、本発明の実施形態を詳細に説明する。図20は本発明の液晶表示装置の1画素部分の等価回路である。図18で説明した従来の等価回路の要素に対応する要素には同じ符号を付した。図20の等価回路は、基準線Rnを新たに設け、保持容量Ctを画素電極P(n, m)と該基準線Rnとの間に接続した点で従来の回路と異なる。

【0032】本発明の液晶表示装置の等価回路の動作を図21に示すタイミング図で説明する。図21のタイミング図においても図19に示したタイミング図の波形に対応するものには同じ符号を付した。図21のタイミング図と図19のタイミング図とは、画素電極P(m, n)の電圧波形が異なっている。

【0033】第1フィールドで共通線Cnの電圧がステップ状に低下すると、画素電極P(m, n)の電圧は瞬間的にVsだけ減少する。これは、共通線Cnと基準*

$$V_s = 2 \times V_c \times C_{1c} / (C_{1c} + C_{st}) \quad \dots (8)$$

このときの画素トランジスタT(m, n)のソース電極に印加される最小電圧Vsmínと、最大電圧Vsmá

$$V_{smin} = V_{dL} - 2 \times V_c \times C_{1c} / (C_{1c} + C_{st})$$

...

(9)

$$V_{smax} = V_{dH} + 2 \times V_c \times C_{1c} / (C_{1c} + C_{st})$$

(9)、(10)式で示されるように、ソース電極に印加される最小電圧Vsmínと最大電圧Vsmáxの値は、VdL及びVdHに、共通線Cnの信号振幅の2倍の値を二つの容量により分圧してそれぞれ減算または加算した値である。

【0037】このため、過渡変化時、画素トランジスタのソース電極に加算される電圧Vsは図18、図1930に示した従来の回路構成に比較し小さくなる。

【0038】上記本発明の液晶表示装置の画素回路において、図18、19の場合と同様、共通線Cnの平均電圧Vc = 3V、その電圧振幅Vc = 2Vとすると、液晶容量C1c = 200fF、保持容量Cst = 600fFであれば、画素トランジスタのソース電極に印加される電圧は0V ~ 6Vの範囲で変化し、電圧変化幅は6Vとなる。

【0039】図22に、液晶容量C1cと保持容量Cstとの比と、ソース電圧の瞬間的電圧変化Vs、画素トランジスタに印加される最小電圧VsL、及び最大電圧VsHとの関係を示す。この図から、保持容量Cstを液晶容量C1cに等しくすれば、ソース電圧の電圧変化Vsを1/2に低減することができることが分かる。

【0040】次に、共通線Cnの電圧の過渡的变化について説明する。前述したように、液晶に印加される電圧は画素電極P(m, n)の電圧と共通線Cnの電圧との差であるので、共通線Cnの電圧は走査線Gnの電圧がVgHからVgLに立ち下がる前に安定状態になること50

*線Rnの間に直列に接続された液晶容量C1cと保持容量Cstの容量分圧回路にステップ電圧が印加され、該分圧回路により分圧された電圧が画素トランジスタT(m, n)のオン抵抗に接続されることによる。その後これらの容量と画素トランジスタのオン抵抗による時定数で、画素電極P(m, n)の電圧が前記信号線Dmの信号電圧に一致するように応答する。一方、第2フィールドでは共通線Cnの電圧がステップ状に上昇するタイミングで画素電極P(m, n)の電圧波形は瞬間的にVsだけ増加し、上述の時定数で画素電極P(m, n)の電圧が信号線Dmの信号電圧VdLに一致するように応答する。

【0034】上記電圧変化Vsは、液晶容量と保持容量とで分圧されるので、次式で示される。

【0035】

xは次式となる。

【0036】

が必要である。上記本発明の実施形態では、共通線Cnには保持容量Cstは接続されず、液晶容量C1cだけが接続される。共通線Cnの配線抵抗をRcとすると、共通線Cnはこの配線抵抗Rcと液晶容量C1cで定まる時定数pを有する単位CR回路が多段に接続された分布CR回路とみなすことができる。水平方向の画素数をNxとすると、この分布CR回路の時定数pは次式で示される。

$$p = N \times x^2 \times R_c \times C_{1c} \dots (11)$$

このように、本発明の実施形態における共通線の時定数pは保持容量Cstに依存しないので、小さくすることができる。80万画素の10インチサイズの液晶表示装置の例で示すと、C1c = 200fF、Rc = 50、Nx = 1000のときの時定数pは10μsとなる。この値は、図18、19で説明した従来の回路の1/4であり、この表示装置の1H期間の20μsより小さい。

【0042】以上説明したように、本発明の実施形態では、画素トランジスタのソース電極に印加される電圧を大幅に低減できるので、駆動回路及び画素回路を構成するトランジスタに耐圧の低いトランジスタを用いることができる。さらに、共通線の電圧波形の応答遅れを小さくできるので、表示画像の劣化が防止される。

【0043】上に説明した画素回路を有する本発明の液晶表示装置の全体構成を図1に示す。同図において、10は表示部、20は信号回路、30は走査回路、40は共通線駆動回路、50は基準線駆動回路、60は制御回

路である。表示部10は、列方向に配列した複数の信号線D1、D2...、行方向に配列した複数の走査線G1、G2...、信号線と走査線の各交点に配置した画素トランジスタ(TFT)1a、各画素に配置した保持容量1b及び液晶容量1c、行方向に配列した複数の共通線C1、C2...、及び複数の基準線B1、B2...を含む。

【0044】画素トランジスタ1aのドレイン電極とゲート電極は信号線と走査線にそれぞれ接続し、ソース電極は保持容量1b及び液晶容量1cの各一方の電極に接続している。保持容量1bと液晶容量1cの各他方の電極は基準線B1、B2...及び共通線C1、C2...にそれぞれ接続している。この表示部の1画素分が図20で説明した画素等価回路に対応する。

【0045】信号回路20は制御回路60により生成された制御信号T1に基づき信号線D1、D2...を駆動する。走査回路30と共通線駆動回路40は制御回路60により生成された制御信号T2に基づき、走査線G1、G2...、共通線C1、C2...をそれぞれ駆動する。基準線B1、B2...は、基準線駆動回路50に接続されている線に表示部10の外で共通に接続される。

【0046】以上のように構成した本発明の液晶表示装置の動作を図2により説明する。走査線G1、G2...の各信号は、各フィールドの1フレーム期間の間、順次“H”状態を取る。共通線C1、C2...の各信号は、VCLとVCHの2状態を取り、第1フィールドでは走査線G1、G2...の各信号の立ち上がりのタイミングで順次立ち下がり、第2フィールドでは走査線G1、G2...の各信号の立ち上がりのタイミングで順次立ち上がる。

【0047】各信号線の信号を表す例として、n列目の信号線Dnを示した。走査線G1、G2...の信号が“H”になるタイミングで走査線G1、G2...の各行の画像データに対応する電圧を信号線に印加する。信号線D1、D2...の電圧は共通線C1、C2...の電圧を基準とし、その極性をフィールド毎に切換えている。すなわち、第1フィールドではVCLを基準にしてプラス極性の電圧を印加し、第2フィールドではVCLを基準にしてマイナス極性の電圧を印加している。

【0048】以上のタイミングで駆動したときの各線と画素電極の電圧波形は図21に示した電圧波形と同様なので、ここでは説明を省略する。

【0049】上記実施形態の構成では、図20で既に説明したように、信号線、走査線、共通線の各線の最大電圧を引き下げることができるので、各線を駆動する信号回路、走査回路、共通線駆動回路、基準線駆動回路の各回路の電源電圧を低くでき、従って、回路の消費電力が低減され、各回路を構成するトランジスタに低い耐圧のトランジスタを用いることができる。さらに、表示部のトランジスタに印加する電圧も低くできるので、画素トランジスタも上記各回路のトランジスタと同様に低い耐圧のトランジスタを用いることができる。

【0050】次に各線を駆動する各回路の構成について説明する。図3は走査線を駆動する走査回路の回路図である。該走査回路は、Dタイプのフリップフロップ(以下D-FFと呼ぶ)311、312、313...とインバータ(以下INVと呼ぶ)321、322、323...、331、332、333...から構成される。各D-FFのクロック端子CKにはクロック信号CKが入力される。D-FF311にはそのD入力端子にスタート信号STが入力され、各D-FFのQ出力端子は次段のD-FFのD入力端子に接続される。また、各D-FFのQ出力端子は、更にINV321、322、323...にそれぞれ接続され、該INV321、322、323...の出力は、それぞれINV331、332、333...を介して信号線G1、G2、G3...に接続されている。

【0051】以上の構成の走査回路の動作を図4に示すタイミング図を用いて説明する。各D-FFはクロック信号CKの立ち下がりエッジに同期して動作する。スタート信号STが“H”になるとクロック信号CKの最初の立ち下がりエッジでD-FF311の出力Qが“H”になる。クロック信号CKの次の立ち下がりエッジではD-FF311の出力Qが“L”になり、次段のD-FF312の出力Qが“H”になる。この動作が繰り返されることにより、走査線G1、G2、G3...の信号は、図4に示す波形となる。

【0052】図5は共通線を駆動する共通線駆動回路の回路図である。該共通線駆動回路は、D-FF411、412、413...、INV421、422、423...、N型TFT431、432、433...、P型TFT441、442、443...で構成される。各D-FFのクロック端子CKにクロック信号CKが入力される。D-FF411のD入力端子には極性制御信号Mが入力される。各D-FFのQ出力端子は次段のD-FFのD入力端子に接続される。また、各D-FFのQ出力端子は更に各INVの入力に接続される。各INVの出力は一对のN型TFT及びP型TFTの各ゲート電極に接続される。N型TFT431、432、433...のドレイン電極は共通線の駆動電圧Vc1に接続され、P型TFT441、442、443...のドレイン電極は共通線の駆動電圧VcHに接続される。各N型TFTのソース電極は同じ段のP型TFTのソース電極に接続され、その接続点は、共通線C1、C2、C3...にそれぞれ接続される。

【0053】以上のように構成した共通線駆動回路の動作を図6に示すタイミング図を用いて説明する。各D-FFはクロック信号CKの立ち下がりエッジに同期して動作する。極性制御信号Mは、1フレーム毎に反転する。極性制御信号Mが“H”になるとクロック信号CKの最初の立ち下がりエッジでD-FF411の出力Qが“H”になり、クロック信号CKの次の立ち下がりエッジでは次のD-FF422の出力Qが“H”になる。こ

のように、各D - F Fの出力はクロック信号の立ち下がりタイミングで順に“H”となる。同様に、極性制御信号Mが“L”になると、各D - F Fの出力はクロック信号の立ち下がりタイミングで順に“L”となる。

【0054】各D - F Fの出力は各INVにより反転されるので、D - F Fの出力が“H”のとき、P型TFTがオンとなり、共通線C1 ~ C3にVcHを供給し、D - F Fの出力が“L”のとき、N型TFTがオンとなり、共通線C1 ~ C3にVcLを供給する。この結果、共通線C1 ~ C3の電圧は図6に示す通りとなる。

【0055】図7は本発明の液晶表示装置の他の実施形態の構成を示す図である。図1に示した実施形態の要素と同じ機能を果たす要素には同じ符号を付している。図7の構成は、走査線と共通線の両方を駆動する駆動回路61を設けた点で図1の構成と異なる。走査線回路と共通線駆動回路を同一ブロックで構成することで、回路素子数を減らし、構成を簡単にすることができる。

【0056】図8は本発明の液晶表示装置の更に別の実施形態の構成を示す図である。図7に示した要素と同じ機能を果たす要素には同じ符号を付している。図8の構成は、走査線と共通線の両方を駆動する駆動回路61及び62を左右に配置した点で図7の構成と異なる。図8の構成では、信号線及び共通線を駆動する時定数が減少するので、波形歪みの少ない高品質の画像を表示することができる。

【0057】図9に、図7及び図8の実施形態に使用される共通線駆動回路の回路構成を示す。図3と図5に示した回路の素子と同じ機能を果たす素子には同じ符号を付している。図9の構成は、各CKクロック入力端子が走査信号を発生させるためのINV321、322、323...の出力にそれぞれ接続されているD - F F451、452、453...により、共通線C1、C2、C3...の駆動信号を形成する点で図3及び図5の構成と異なる。D - F F451、452、453...の各D入力端子には極性制御信号Mが入力される。

【0058】上記のように構成された回路の動作を図10に示すタイミング図を用いて説明する。走査線G1、G2、G3...の信号は図4で説明した動作と同様の動作により得られる。図9の回路では、共通線C1、C2、C3...の信号はD - F F451、452、453...のQ出力から形成される。図9においてD - F F451、452、453...の各Q出力は、極性制御信号Mを走査線駆動信号G1、G2、G3...の反転信号の立ち下がりタイミングで取り込んだものである。このため、共通線C1、C2、C3...の駆動信号のレベルは図10に示すように、走査線駆動信号G1、G2、G3...の立ち下がりタイミングで変化する。図9の回路では、CKクック信号ラインを1本にすることができるので、回路の構成が簡単になる。

【0059】図11は、図7及び図8の実施形態に使用

される共通線駆動回路の別の回路構成を示す。図3と図5に示した回路の要素と同じ機能を果たす要素には同じ符号を付している。図11の構成は、走査線G1、G2、G3...の駆動信号が排他的論理和ゲート(以下EORと呼ぶ)341、342、343...で形成される点で図3と図5に示した構成と異なる。EOR341、342、343...のそれぞれの二つの入力は、隣接の二つのD - F F出力に接続され、この構成でも図10に示すタイミングで走査線を駆動することができる。

【0060】つぎに、本発明の液晶表示装置の画素回路部分のレイアウトの例を説明する。ここでは、横電界方式のレイアウトの場合について説明する。横電界方式は、液晶に印加される電界の方向を、基板面にほぼ平行にすることにより液晶に入射した光を変調して表示する方式である。この横電界方式は視野角が著しく広いという利点を有する。

【0061】図12に示すように、このレイアウトでは、走査線Gn、共通線Cn、及び基準線Bnにはゲート配線を用い、信号線Dnにはメタル配線を用いている。また、画素電極にはメタル配線を用い、対向電極にはゲート配線を用いた。図12に示すように、画素電極と共通電極は平行になるように、同一基板に形成した。保持容量Cstはゲート配線とメタル配線の層間容量を用いている。

【0062】図13は図12のレイアウトのA - A'の断面構造を示すものである。図中、800はTFT基板、700はカラーフィルタ基板、900は液晶層である。カラーフィルタ基板700は、ガラス基板710にカラーフィルタ層720、透明電極層730、配向膜層740を順次形成して作られる。TFT基板800は、ガラス基板810に形成された酸化膜層820にTFTを形成し、最上位層に配向膜840を形成したものである。TFTは、ポリシリコン領域811、ゲート酸化膜812、ゲート電極813、ドレインコンタクト部814、ソースコンタクト部815から構成される。図14は、図12のレイアウトのB - B'の断面構造を示すものである。画素電極816と共通電極817、818は共にTFT基板800に形成され、各電極間の電界は基板面に平行になるよう配置される。

【0063】つぎに、本発明の液晶表示装置の画素回路部分の他のレイアウトを説明する。

【0064】図15に示すように、このレイアウトでは、走査線Gnと基準線Bnにゲート配線を用い、信号線Dnにはメタル配線を用い、共通線CnにはITO配線を用いている。また、画素電極にはメタル配線を用い、対向電極にはゲート配線を用いている。さらに、保持容量CstにはTFTのゲート酸化膜によるゲート容量を用いている。

【0065】図16に図15のレイアウトのC - C'の断面構造を示す。TFT基板800は、ガラス基板81

0に形成された酸化膜層820にTFTを形成したものであり、最上位層に配向膜840が形成されている。TFT部はポリシリコン領域811、ゲート酸化膜812、ゲート電極813、ドレインコンタクト部814、ソースコンタクト部815から構成される。保持容量Cstは画素TFTのソース電極であるポリシリコン層とゲート電極層の間に形成される。

【0066】図17に図15のレイアウトのD-D'の断面構造を示す。画素電極821と共通電極822、823はTFT基板800に形成され、各電極間の電界が基板面に平行になるよう配置される。上記レイアウトでは、保持容量CstにTFTのゲート容量を用いることで、少ない面積で大きな容量を得ることができる。

【0067】

【発明の効果】本発明の液晶表示装置では表示部及び駆動回路部のトランジスタに印加される最大電圧を小さくできるので、耐圧の低い小形の素子を使用できる。従って、装置を小形にできるとともに駆動回路の消費電力を低減できる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の一実施形態のブロック図である。

【図2】図1の装置の動作を説明するタイミング図である。

【図3】図1の液晶表示装置の走査線を駆動する走査回路の回路構成図である。

【図4】図3の走査回路の動作を説明するタイミング図である。

【図5】図1の液晶表示装置の共通線を駆動する共通線駆動回路の回路構成図である。

【図6】図5の共通線駆動回路の動作を説明するタイミング図である。

【図7】本発明の液晶表示装置の他の実施形態のブロック図である。

【図8】本発明の液晶表示装置の他の実施形態のブロック図である。

【図9】図7または図8の液晶表示装置の走査線と共通線を駆動する駆動回路の回路構成図である。

*【図10】図9の駆動回路の動作を説明するタイミング図である。

【図11】図7または図8の液晶表示装置の走査線と共通線を駆動する駆動回路の他の回路構成図である。

【図12】本発明の液晶表示装置の画素回路部のレイアウトを示す図である。

【図13】図12のレイアウトのA-A'断面図である。

【図14】図12のレイアウトのB-B'断面図である。

【図15】本発明の液晶表示装置の画素回路部の他のレイアウトを示す図である。

【図16】図15のレイアウトのC-C'断面図である。

【図17】図15のレイアウトのD-D'断面図である。

【図18】従来の液晶表示装置の画素回路部の等価回路図である。

【図19】図18の等価回路の動作を説明する電圧波形図である。

【図20】本発明の液晶表示装置の画素回路部の等価回路図である。

【図21】図20の等価回路の動作を説明する電圧波形図である。

【図22】保持容量の液晶容量に対する比と画素トランジスタのソース電圧との関係を示す図である。

【符号の説明】

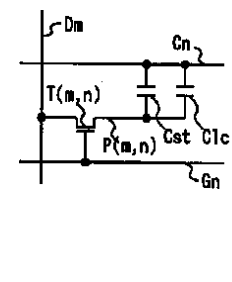
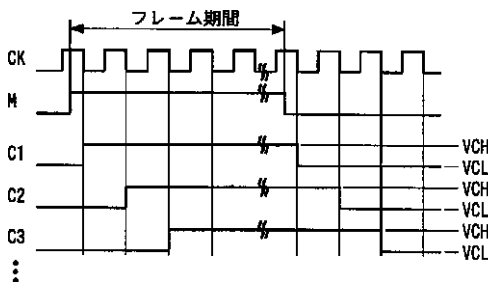
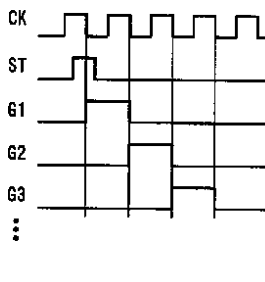
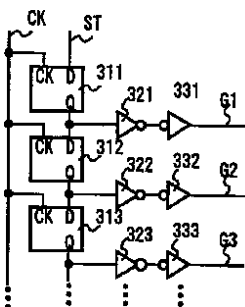
- 10 表示部
- 20 信号回路
- 30 走査回路
- 40 共通線駆動回路
- 50 基準線駆動回路
- 60 制御回路
- D1、D2、Dm 信号線
- G1、G2、Gn 走査線
- C1、C2、Cn 共通線
- B1、B2、Bn 基準線
- 1a、T(m,n) 画素トランジスタ
- 1b、Cst 保持容量
- 1c、Clc 液晶容量
- T1、T2 制御信号

【図3】

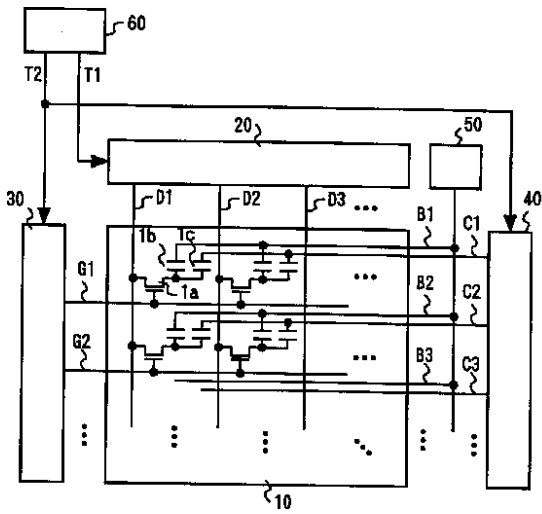
【図4】

【図6】

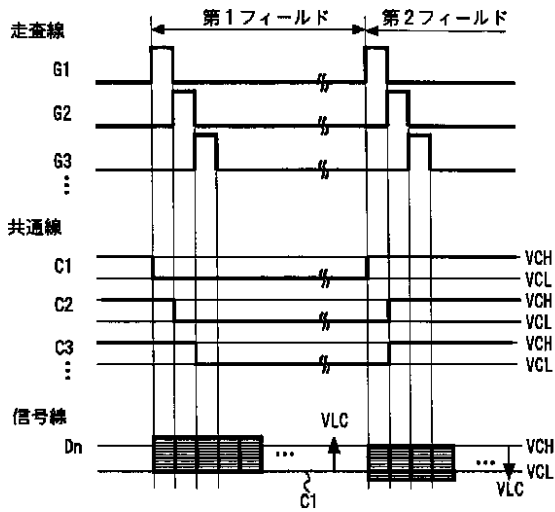
【図18】



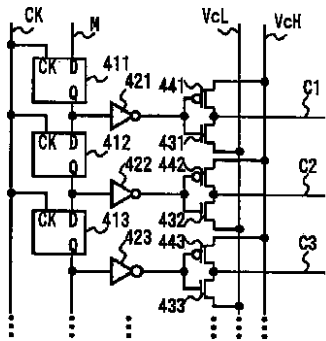
【図1】



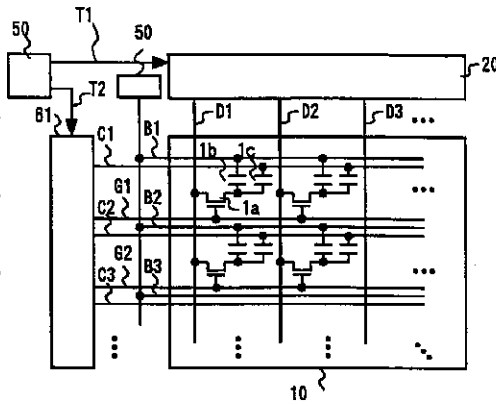
【図2】



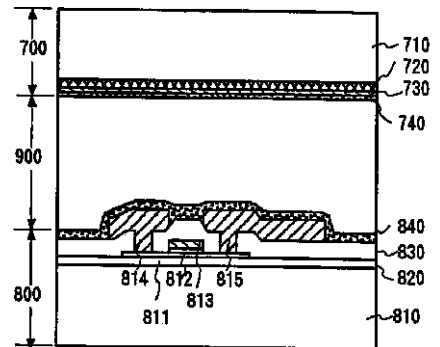
【図5】



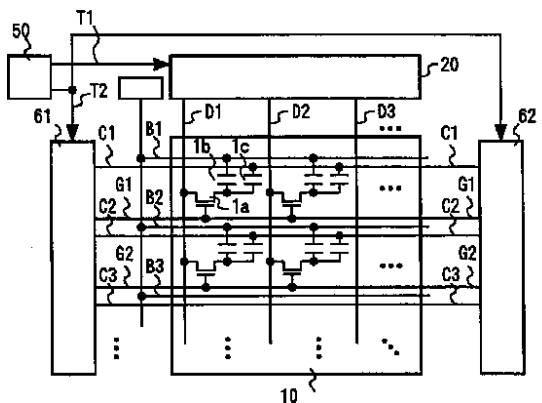
【図7】



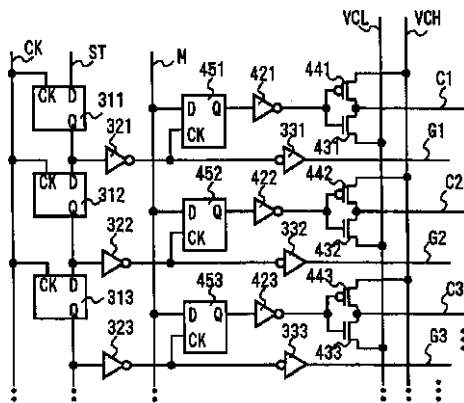
【図13】



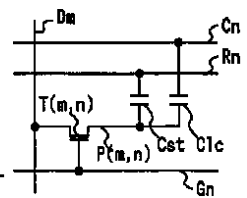
【図8】



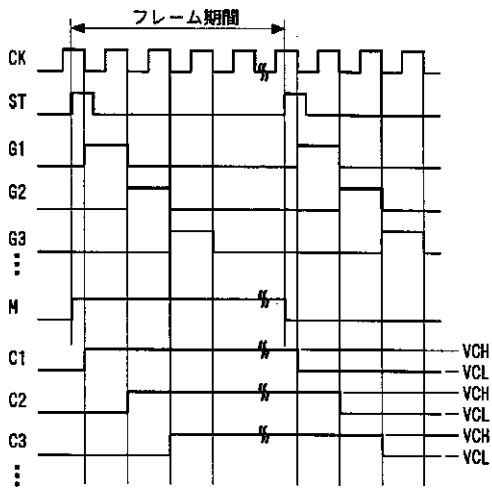
【図9】



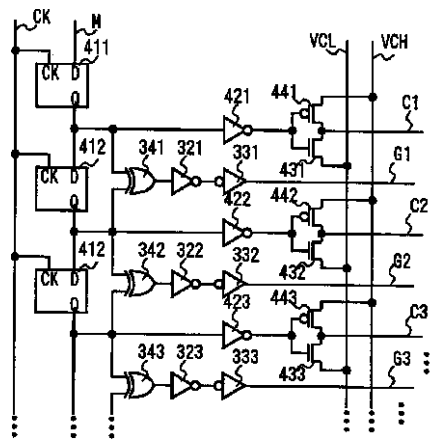
【図20】



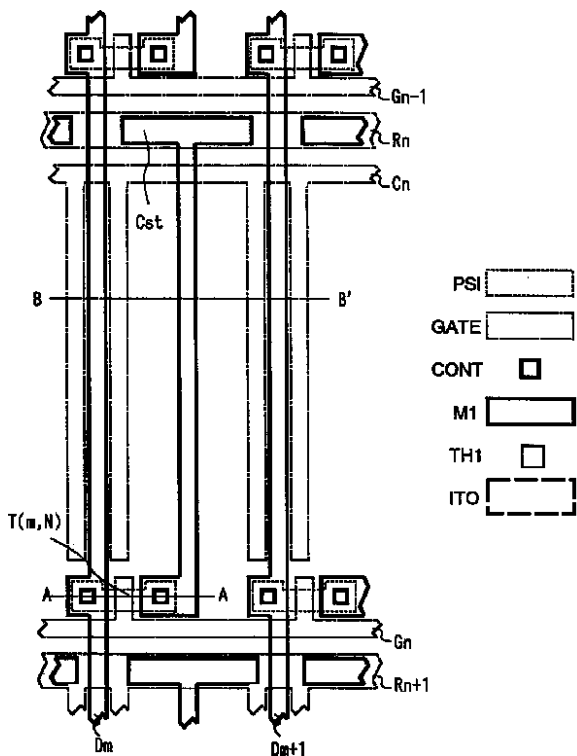
【図10】



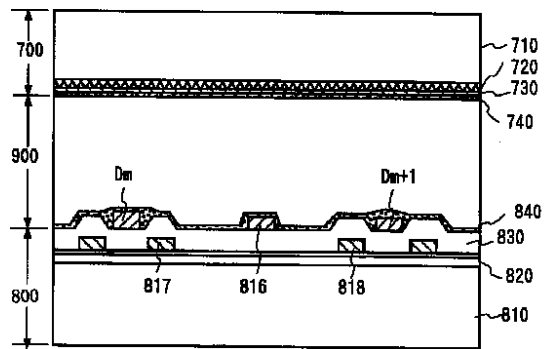
【図11】



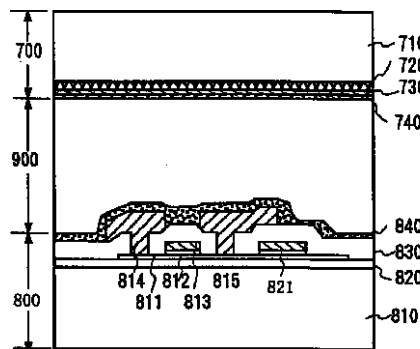
【図12】



【図14】



【図16】

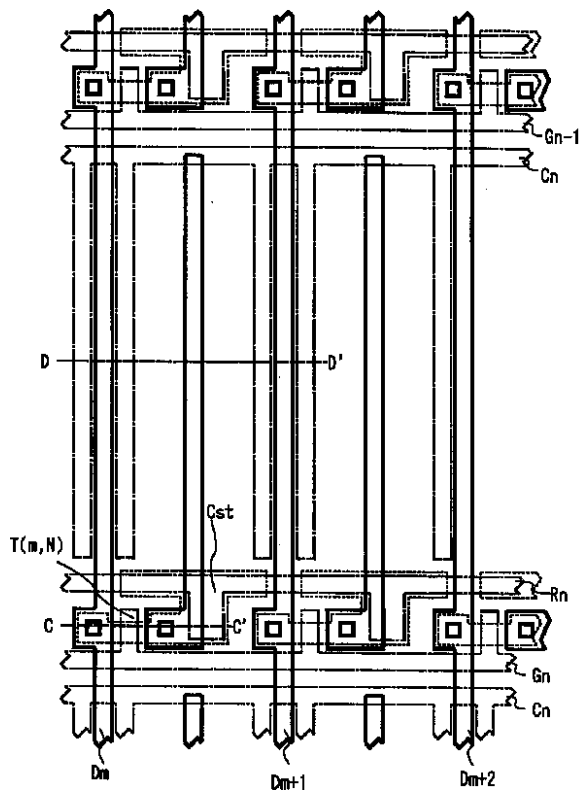


【図22】

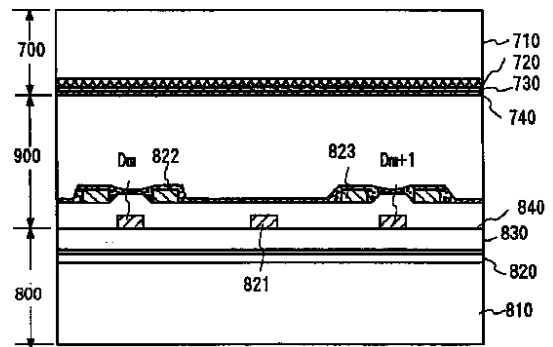
条件: $V_{LC}=0\sim 4V$, $\Delta V_d=\pm 2V$
 $V_c=3V$, $\Delta V_c=\pm 2V$

Cst/C1c	ΔV_s	V_{sL}	V_{sH}
0	4V	-3V	9V
1	2V	-1V	7V
3	1V	0V	6V
9	0.4V	0.6V	5.4V
19	0.2V	0.8V	5.2V

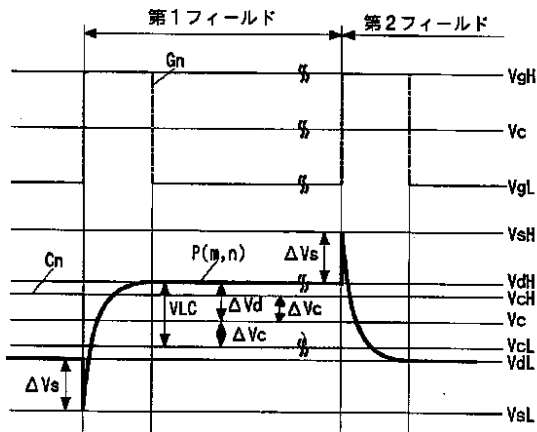
【図15】



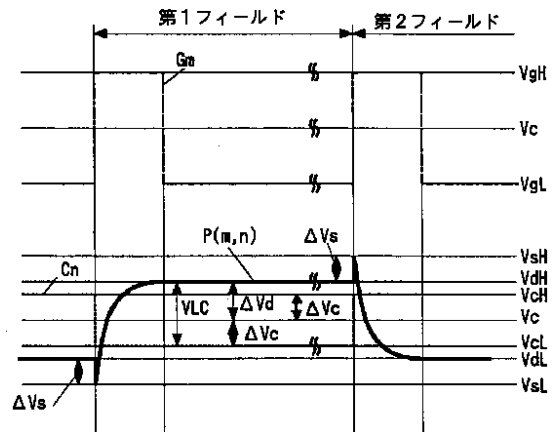
【図17】



【図19】



【図21】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テ-マコード (参考)

G 0 9 G 3/20

6 2 4

G 0 9 G 3/36

5 C 0 9 4

3/36

H 0 4 N 5/66

1 0 2 B 5 F 1 1 0

H 0 1 L 29/786

G 0 2 F 1/136

5 0 0

H 0 4 N 5/66

1 0 2

H 0 1 L 29/78

6 1 2 B

(72)発明者	景山 寛	Fターム(参考)	2H092	GA59	JA25	JA29	JA38	JA42
	茨城県日立市大みか町七丁目1番1号 株			JA44	JA46	JB13	JB23	JB32
	式会社日立製作所日立研究所内			JB33	JB38	JB51	JB57	JB63
(72)発明者	津村 誠			JB69	KA04	KA07	NA25	NA26
	茨城県日立市大みか町七丁目1番1号 株			PA06	PA08	QA07		
	式会社日立製作所日立研究所内		2H093	NA16	NA34	NA79	NC03	NC09
(72)発明者	宮沢 敏夫			NC16	NC18	NC22	NC23	NC34
	千葉県茂原市早野3300番地 株式会社日立			NC35	ND39	ND42	NE07	
	製作所ディスプレイグループ内		5C006	AC28	AF44	BB16	BC03	BC12
				BC20	BF03	BF06	BF26	BF27
				BF34	FA22	FA37	FA41	FA46
				FA47	GA02			
			5C058	AA08	BA02	BA04	BA26	BB25
			5C080	AA10	BB05	DD05	DD22	DD26
				FF11	JJ02	JJ03	JJ04	JJ06
			5C094	AA15	AA22	AA24	AA53	BA03
				BA43	CA19	DA09	DA13	DB01
				DB04	EA04	EA05	EA07	EA10
				EB02	FA01	FA02	FB12	FB14
				FB15	GA10	GB10		
			5F110	AA09	BB02	CC01	DD02	FF02
				GG02	GG13	NN73		

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001194685A	公开(公告)日	2001-07-19
申请号	JP2000000936	申请日	2000-01-06
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	佐藤秀夫 三上佳朗 景山寛 津村誠 宫沢敏夫		
发明人	佐藤 秀夫 三上 佳朗 景山 寛 津村 誠 宫沢 敏夫		
IPC分类号	G02F1/136 G02F1/133 G02F1/1368 G09F9/30 G09F9/35 G09G3/20 G09G3/36 H01L29/786 H04N5/66		
FI分类号	G02F1/133.550 G09F9/30.338 G09F9/35 G09G3/20.621.M G09G3/20.624.B G09G3/36 H04N5/66.102.B G02F1/136.500 H01L29/78.612.B G02F1/1368		
F-TERM分类号	2H092/GA59 2H092/JA25 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA44 2H092/JA46 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB33 2H092/JB38 2H092/JB51 2H092/JB57 2H092/JB63 2H092/JB69 2H092/KA04 2H092/KA07 2H092/NA25 2H092/NA26 2H092/PA06 2H092/PA08 2H092/QA07 2H093/NA16 2H093/NA34 2H093/NA79 2H093/NC03 2H093/NC09 2H093/NC16 2H093/NC18 2H093/NC22 2H093/NC23 2H093/NC34 2H093/NC35 2H093/ND39 2H093/ND42 2H093/NE07 5C006/AC28 5C006/AF44 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF06 5C006/BF26 5C006/BF27 5C006/BF34 5C006/FA22 5C006/FA37 5C006/FA41 5C006/FA46 5C006/FA47 5C006/GA02 5C058/AA08 5C058/BA02 5C058/BA04 5C058/BA26 5C058/BB25 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA15 5C094/AA22 5C094/AA24 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EA07 5C094/EA10 5C094/EB02 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GA10 5C094/GB10 5F110/AA09 5F110/BB02 5F110/CC01 5F110/DD02 5F110/FF02 5F110/GG02 5F110/GG13 5F110/NN73 2H192/AA24 2H192/BB02 2H192/CB02 2H192/DA32 2H192/DA44 2H192/DA62 2H192/EA43 2H192/FB03 2H192/FB05 2H192/FB09 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZB07 2H193/ZB09 2H193/ZB14 2H193/ZC20 2H193/ZF03 2H193/ZF24 2H193/ZF59 2H193/ZH46 2H193/ZQ16		
外部链接	Espacenet		

摘要(译)

解决的问题：减小施加到构成液晶显示装置的电路元件的最大电压，以减小功耗并减小装置的尺寸。提供沿行方向延伸的扫描线（G），平行于扫描线延伸的公共线（C）和沿列方向延伸的信号线（D），并且扫描线和信号线彼此相交。在每个区域中，其漏极和栅极分别连接到相应的信号线和扫描线的晶体管（1a），一个电极连接到晶体管的源极，另一个电极连接到相应的公共线。在其中布置有液晶电容器（1c）的液晶显示装置中，设置了与公共线平行延伸并且施加有恒定电压的参考线（B），并且在上述每个区域中的一个电极对应于对应的晶体管。提供连接到源极的存储电容器（1b）和连接到相应参考线的另一电极。

