

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2008/015813

発行日 平成21年12月17日 (2009. 12. 17)

(43) 国際公開日 平成20年2月7日 (2008. 2. 7)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/133 (2006.01)	GO2F 1/133 550	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H093
GO2F 1/1343 (2006.01)	GO2F 1/1343	5C006
GO9G 3/36 (2006.01)	GO2F 1/133 525	5C080
GO9G 3/20 (2006.01)	GO9G 3/36	5C094

審査請求 有 予備審査請求 未請求 (全 43 頁) 最終頁に続く

出願番号 特願2008-527668 (P2008-527668)
 (21) 国際出願番号 PCT/JP2007/056329
 (22) 国際出願日 平成19年3月27日 (2007. 3. 27)
 (31) 優先権主張番号 特願2006-210530 (P2006-210530)
 (32) 優先日 平成18年8月2日 (2006. 8. 2)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2006-356448 (P2006-356448)
 (32) 優先日 平成18年12月28日 (2006. 12. 28)
 (33) 優先権主張国 日本国 (JP)

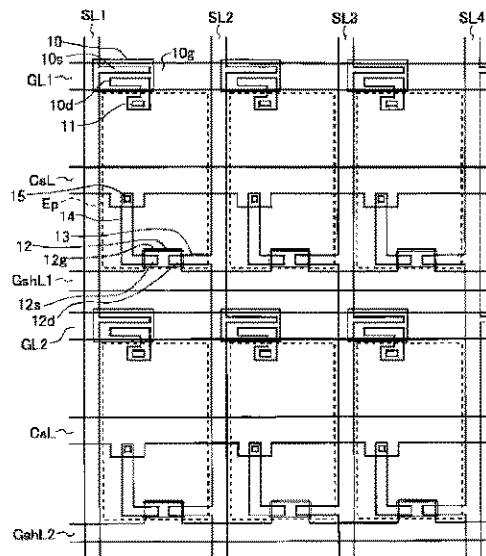
(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 津幡 俊英
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 Fターム(参考) 2H092 HA04 JA24 JB68 NA05 NA07
 NA24 NA26 PA06
 2H093 NA16 NA32 NA43 NA53 NC15
 NC16 NC34 ND05 ND06 ND22
 ND33 ND35 ND39 ND40 ND43
 ND54 NE03

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板およびそれを備えた表示装置

(57) 【要約】

本発明は、アクティブマトリクス基板を備えた表示装置において、大型化や高解像度化が進み駆動周波数が上昇しても表示品質の低下が生じないようにすることを目的とする。 液晶表示装置におけるアクティブマトリクス基板において、各ゲートライン (GLj) に沿うように放電制御信号線 (GshLj) が配設され、各ソースライン (SLi) につき、ゲートライン数に等しい個数の放電用 TFT (12) が設けられている。この放電用 TFT (12) のゲート端子 (12g) は放電制御信号線 (GshLj) に、ソース端子は保持容量線 (CSL) に、ドレイン端子は近傍のソースライン (SLi) に、それぞれ接続されている。各保持容量線 (CSL) には共通電位 Vcom が供給されている。各放電制御信号線 (GshLj) には放電用 TFT (12) を 1 水平期間毎に所定期間 Tsh だけオン状態とする信号 Gsh が与えられる。



【特許請求の範囲】

【請求項 1】

複数のデータ信号線と、

前記複数のデータ信号線と交差する複数の走査信号線と、

前記複数のデータ信号線と前記複数の走査信号線との各交差点に対応して設けられ、対応する交差点を通過する走査信号線によってオンおよびオフされる画素スイッチング素子と、

前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、

前記画素電極との間に所定容量が形成されるように前記複数の走査信号線のそれぞれに沿って配設された保持容量線と、

前記複数のデータ信号線のそれぞれにつき当該データ信号線の延びる方向に 2 以上の所定数ずつ設けられた放電用スイッチング素子であって、オン状態のときに前記複数のデータ信号線のそれぞれが前記保持容量線に短絡されるように前記複数のデータ信号線と前記保持容量線に接続された放電用スイッチング素子と、

前記放電用スイッチング素子をオンおよびオフするための放電用制御信号線とを備えることを特徴とするアクティブマトリクス基板。

【請求項 2】

前記複数のデータ信号線のそれぞれは、互いに電気的に分離された第 1 および第 2 の信号線からなり、

前記放電用スイッチング素子は、前記第 1 および第 2 の信号線のそれぞれにつき前記データ信号線の延びる方向に 2 以上の所定数ずつ設けられていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

前記放電用スイッチング素子は、前記データ信号線の延びる方向に略均等間隔で配置されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 4】

前記放電用制御信号線は、前記複数の走査信号線にそれぞれ沿って配置された複数の制御信号線を含み、

前記放電用スイッチング素子は、前記複数のデータ信号線のそれぞれにつき前記複数の制御信号線に対応して設けられた複数のスイッチング素子を含み、

前記複数のスイッチング素子のそれぞれは、対応する制御信号線によってオンおよびオフされることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 5】

前記放電用スイッチング素子は、前記複数のデータ信号線の一端近傍に配置されたスイッチング素子群と、前記複数のデータ信号線の他端近傍に配置されたスイッチング素子群とからなることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 6】

前記保持容量線は、前記データ信号線に沿った方向に延びる延伸部を有し、

前記放電用スイッチング素子は、ドレイン電極およびソース電極を有する薄膜トランジスタであり、

前記ドレイン電極は、前記放電用スイッチング素子がオン状態のときに前記保持容量線に短絡させるべきデータ信号線に接続されており、

前記ソース電極は、所定のソース引き出し電極を介して前記延伸部に接続されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 7】

前記延伸部と前記ソース引き出し電極とは、前記画素電極の外縁に沿って環状に配置された構造体を構成することを特徴とする、請求項 6 に記載のアクティブマトリクス基板。

【請求項 8】

前記延伸部と前記ソース引き出し電極とは、所定の層間絶縁膜に設けられたコンタクト

10

20

30

40

50

ホール部に形成された導通電極を介して接続されていることを特徴とする、請求項 6 に記載のアクティブマトリクス基板。

【請求項 9】

前記導通電極は、前記画素電極の材料と同一の材料からなることを特徴とする、請求項 8 に記載のアクティブマトリクス基板。

【請求項 10】

前記保持容量線は、前記画素電極の外縁に沿って前記データ信号線に平行に延びる部分と前記画素電極の外縁に沿って前記走査信号線に平行に延びる部分とを含む環状部分を有していることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 11】

前記放電用スイッチング素子は、前記放電用制御信号線を形成する電極パターンに重なるように配置されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 12】

前記放電用スイッチング素子は、第 1 および第 2 のドレイン電極とソース電極とを有する薄膜トランジスタであり、

前記ソース電極は、前記保持容量線に接続されており、

前記第 1 のドレイン電極は、前記放電用スイッチング素子を挟んで隣接する 2 つのデータ信号線のうちの一方に接続され、かつ、前記第 2 のドレイン電極は、前記 2 つのデータ信号線のうちの他方に接続されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 13】

前記画素電極は、前記放電用制御信号線に重なるように配置されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 14】

請求項 1 から 13 までのいずれか 1 項に記載のアクティブマトリクス基板と、

前記複数の走査信号線を選択的に駆動するための複数の走査信号を生成し、当該複数の走査信号を前記複数の走査信号線に印加する走査信号線駆動回路と、

表示すべき画像を表す複数のデータ信号を所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路と、

前記保持容量線に所定電位を与える電位供給部と、

前記複数のデータ信号線のそれぞれが前記保持容量線に 1 水平期間毎に所定期間だけ短絡されるように、前記放電用制御信号線に与えるべき放電制御信号を生成する放電制御回路と

を備えることを特徴とする表示装置。

【請求項 15】

前記データ信号線駆動回路は、2 以上の所定数の水平期間毎に電圧極性が反転するように前記複数のデータ信号を生成することを特徴とする、請求項 14 に記載の表示装置。

【請求項 16】

前記データ信号線駆動回路は、

1 水平期間毎に前記所定期間は、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡するスイッチ回路を含み、

前記複数のデータ信号を所定数のデータ信号線毎に極性が反転する電圧信号として生成することを特徴とする、請求項 14 に記載の表示装置。

【請求項 17】

前記データ信号線駆動回路は、前記スイッチ回路によって前記複数のデータ信号線が互いに短絡されている時に前記所定電位を前記複数のデータ信号線に与えることを特徴とする、請求項 16 に記載の表示装置。

【請求項 18】

10

20

30

40

50

前記データ信号線駆動回路は、1水平期間毎に前記所定期間は、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線のそれぞれを前記所定電位に短絡させるスイッチ回路を含むことを特徴とする、請求項14に記載の表示装置。

【請求項19】

前記アクティブマトリクス基板における各画素電極に対向するように配置された共通電極を更に備え、

前記電位供給部は、前記共通電極に所定の共通電位を与え、当該共通電位を前記所定電位として前記保持容量線に与えることを特徴とする、請求項14に記載の表示装置。

【請求項20】

前記電位供給部は、前記データ信号の最小値と最大値との間の中央値に相当する電位を前記所定電位として前記保持容量線に与えることを特徴とする、請求項14に記載の表示装置。

【請求項21】

前記所定電位は、黒表示に対応する電位であり、

前記走査信号線駆動回路は、前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記所定期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記所定期間で選択状態となるように、前記複数の走査信号線を選択的に駆動することを特徴とする、請求項14に記載の表示装置。

【請求項22】

前記走査信号線駆動回路は、前記有効走査期間で選択状態となった走査信号線を、当該選択状態から非選択状態に変化する時点から前記画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、前記所定期間で選択状態とすることを特徴とする、請求項21に記載の表示装置。

【請求項23】

前記複数の走査信号線のそれぞれが前記有効走査期間で選択状態となる期間は、前記所定期間において前記複数の走査信号線のいずれかが選択状態となる期間と重ならないことを特徴とする、請求項22に記載の表示装置。

【請求項24】

前記データ信号線駆動回路は、

前記複数のデータ信号線に印加すべき前記複数のデータ信号を出力する複数のバッファと、

前記所定期間において前記複数のバッファを休止させる休止制御部とを含むことを特徴とする、請求項14に記載の表示装置。

【請求項25】

請求項14に記載の表示装置を備えたことを特徴とするテレビジョン受信機。

【請求項26】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との各交差点に対応して設けられ、対応する交差点を通過する走査信号線によってオンおよびオフされる画素スイッチング素子と、前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、前記画素電極との間に所定容量が形成されるように前記複数の走査信号線のそれぞれに沿って配設された保持容量線とを含むアクティブマトリクス基板の駆動方法であって、

前記複数の走査信号線を選択的に駆動するための複数の走査信号を生成し、当該複数の走査信号を前記複数の走査信号線に印加する走査信号線駆動ステップと、

表示すべき画像を表す複数のデータ信号を所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号

10

20

30

40

50

線駆動ステップと、

前記保持容量線に所定電位を与える電位供給ステップと、

前記複数のデータ信号線のそれぞれを前記保持容量線に1水平期間毎に短絡させる放電ステップとを備え、

前記アクティブマトリクス基板は、

前記複数のデータ信号線のそれぞれにつき当該データ信号線の延びる方向に2以上の所定数ずつ設けられた放電用スイッチング素子であって、オン状態のときに前記複数のデータ信号線のそれぞれが前記保持容量線に短絡されるように前記複数のデータ信号線と前記保持容量線に接続された放電用スイッチング素子と、

前記放電用スイッチング素子をオンおよびオフするための放電用制御信号線とを更に含み、

前記放電ステップでは、1水平期間毎に所定期間だけ前記放電用スイッチング素子をオンするための信号を前記放電用制御信号線に与えることにより、前記複数のデータ信号線のそれぞれが前記保持容量線に短絡されることを特徴とする駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス基板、および、それを備えた液晶表示装置等のアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス基板は、液晶表示装置やEL(Electroluminescence)表示装置等のアクティブマトリクス型表示装置において広く用いられている。例えばアクティブマトリクス型の液晶表示装置では、液晶パネルとその駆動回路から主要部が構成されており、液晶パネルは、通常、スイッチング素子としての薄膜トランジスタ(Thin Film Transistor。以下「TFT」と略記する。)や画素電極等を含む画素回路がマトリクス状に配置されたアクティブマトリクス基板と、ガラス等の透明な絶縁性基板上に全面にわたって対向電極や配向膜が順次積層された対向基板と、両基板の間に挟持された液晶層と、両基板のそれぞれの外表面に貼り付けられた偏光板とから構成される。

【0003】

図32は、上記のような液晶表示装置に用いられる従来のアクティブマトリクス基板700の構造を示す平面図であり、1つの画素に相当する部分のパターン構成を示している。アクティブマトリクス基板700は、複数のデータ信号線715と、当該複数のデータ信号線715と交差する複数の走査信号線716と、当該複数のデータ信号線715と当該複数の走査信号線716との各交差点近傍に形成されたスイッチング素子としてのTFT712と、画素電極717とを備える。走査信号線716はTFT712のゲート電極を兼ねており、TFT712のソース電極719がデータ信号線715に接続され、ドレイン電極708がドレイン引き出し電極707を介して画素電極717に接続される。ドレイン引き出し電極707と画素電極717との間に配される絶縁膜には穴が開けられており、これによってドレイン引き出し電極707と画素電極717とを接続するコンタクトホール710が形成されている。画素電極717はITO(Indium Tin Oxide)等の透明電極であり、当該アクティブマトリクス基板700を含む液晶パネルの後方からの光(バックライト光)を透過させる。

【0004】

このアクティブマトリクス基板700においては、走査信号線716に与えられる走査信号としてのゲートオン電圧によってTFT712がオン状態(ソース電極719とドレイン電極708とが導通した状態)となり、この状態においてデータ信号線715に与えられるデータ信号が、ソース電極719、ドレイン電極708およびドレイン引き出し電極707を介して画素容量(画素電極717と対向電極によって形成される容量)に書き込まれる。なお、このアクティブマトリクス基板700には、走査信号線716に沿って

10

20

30

40

50

保持容量線 718 が形成されており、この保持容量線 718 は、TFT 712 のオフ期間中における液晶層の自己放電を回避する等の機能を有する。

【0005】

このようなアクティブマトリクス基板 700 を用いた液晶表示装置は、表示品位の劣化を防止するために、通常、交流電圧で駆動され、アクティブマトリクス基板 700 に液晶層を挟んで対向する対向基板に設けられた対向電極（「共通電極」ともいう）に印加される対向電圧を基準電位として、画素電極に一定時間ごとに正極性電圧と負極性電圧が交互に供給され、例えば 2 水平期間ごとに極性を反転する技術（以下「2H 反転駆動」という）が提案されている（例えば日本の特開平 8 - 43795 号公報（特許文献 2））。

【0006】

しかしながら、この 2H 反転駆動での極性反転の単位である 2 ラインのうち 1 ライン目の駆動では、当該 1 ライン目の駆動開始直前にデータ信号線への印加電圧の極性が反転するのに対し、当該 2 ラインにおける 1 ライン目の駆動から 2 ライン目の駆動に移行するときにはデータ信号線への印加電圧の極性は反転しない。このため、1 ライン目の駆動では、2 ライン目の駆動に比べてデータ信号線への充電に時間を要し、その結果、1 ライン目と 2 ライン目とでは画素容量における充電量に差が生じる。この充電量の差は、1 フレームにおいて極性反転単位の 1 ライン目に相当する N 番目のラインの画素と、極性反転単位の 2 ライン目に相当する (N + 1) 番目のラインの画素との間の輝度差として現れ、ライン状の横筋ムラが視認されることになる。

【0007】

そこで、データ信号を 1 水平期間毎のブランキング期間に正極性と負極性の間のある中間電位とすることで充電特性を均一にする方法が提案されている（日本の特開 2004 - 61590 号公報（特許文献 3））。

【特許文献 1】日本の特開平 9 - 152625 号公報

【特許文献 2】日本の特開平 8 - 43795 号公報

【特許文献 3】日本の特開 2004 - 61590 号公報

【特許文献 4】日本の特開平 9 - 243998 号公報

【特許文献 5】日本の特開 2002 - 268613 号公報

【特許文献 6】日本の特開 11 - 30975 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、液晶パネルのデータ信号線に印加されるデータ信号の極性が 1 または 2 水平期間毎に反転すると共にデータ信号線毎にも反転するドット反転駆動方式が採用されたアクティブマトリクス型の液晶表示装置において、消費電力を低減するためにデータ信号 S (1) ~ S (N) の極性反転時に隣接データ信号線間を短絡するという方式（以下「チャージシェア方式」という）が採用される場合がある（例えば日本の特開平 9 - 243998 号公報（特許文献 4））。また、このようなチャージシェア方式の代わりに、上記アクティブマトリクス型の液晶表示装置において、消費電力を低減するために、データ信号 S (1) ~ S (N) の極性反転時に各データ信号線を共通電極に短絡させる（共通電極電位にショートさせる）という方式（以下「共通電位短絡方式」という）が採用される場合もある（例えば日本の特開 11 - 30975 号公報（特許文献 6））。

【0009】

2 水平期間毎にデータ信号の極性が反転されるドット反転駆動方式（以下「2H ドット反転駆動方式」という）の液晶表示装置においてチャージシェア方式を採用した場合、2 水平期間毎に隣接データ信号線が短絡される。したがって、この場合も、極性反転単位としての 2 ラインの間で画素容量の充電量に差が生じ、ライン状の横筋ムラが視認されることがある。また、2H ドット反転駆動方式の液晶表示装置において共通電位短絡方式を採用した場合も、同様の理由でライン状の横筋ムラが視認されることがある。

【0010】

10

20

30

40

50

このような2Hドット反転駆動の液晶表示装置において、隣接データ信号線間を2水平期間毎ではなく1水平期間毎に短絡することで、日本の特開2004-61590号公報（上記特許文献3）の技術と同様に、極性反転単位としての2ラインの充電特性を均一化（画素容量の充電量の差を解消）することができる。しかし、隣接データ信号線の短絡によって電荷が再分配されて各データ信号線の電位が一定値に落ち着くまでの時間が、極性反転単位としての2ラインのうちの1ライン目と2ライン目とで異なる。このため、電荷再分配のために隣接データ信号線が短絡される期間（以下「チャージシェア期間」という）において、図13に示すようにデータ信号線の電圧 V_s は、上記一定値すなわちデータ信号線電位の中央値（以下「ソースセンター電位」という）に到達せず、1ライン目の駆動開始前のチャージシェア期間直後の電位と、2ライン目の駆動開始前のチャージシェア期間直後の電位とが異なる。この場合、1ライン目と2ライン目の間で画素容量の充電量の差は十分には解消されず、ライン状の横筋ムラが依然として視認されることがある。

10

【0011】

また、2Hドット反転駆動の液晶表示装置において、各データ信号線間を2水平期間毎ではなく1水平期間毎に共通電位に短絡することで、日本の特開2004-61590号公報（上記特許文献3）の技術と同様に、極性反転単位としての2ラインの充電特性を均一化することができる。しかし、この場合も、放電のために各データ信号線が共通電位に短絡される期間（以下「共通電位短絡期間」という）において、データ信号線の電圧 V_s は、共通電位に到達せず、1ライン目の駆動開始前のチャージシェア期間直後の電位と、2ライン目の駆動開始前のチャージシェア期間直後の電位とが異なり、その結果、1ライン目と2ライン目の間で画素容量の充電量の差は十分には解消されず、ライン状の横筋ムラが依然として視認されることがある。

20

【0012】

近年、液晶表示装置等のアクティブマトリクス型の表示装置において解像度の向上が進んでおり、また、動画性能の改善等のために駆動周波数を高めるという手法が採用されることもある。このため、画素データの画素容量への書き込みに確保可能な充電時間が短くなる傾向にある。充電時間が短くなると、充電不足のために画素容量に正しい画素データが書き込めない虞が生じると共に、十分なチャージシェア期間または共通電位短絡期間の確保も困難になって2Hドット反転駆動方式の液晶表示装置における上記問題がより顕在化する。また、十分なチャージシェア期間または共通電位短絡期間を確保できないために各データ信号線電位がソースセンター電位または共通電位に達しない場合には、そのことが充電不足を悪化させる要因にもなる。このように解像度の向上や駆動周波数の上昇に伴って充電不足が問題になる点は、1Hドット反転駆動方式の液晶表示装置においても同様である。

30

【0013】

これに対し日本の特開2002-268613号公報（特許文献5）には、隣接するデータ信号線を短絡させるスイッチング素子が、データドライバ（「データ信号線駆動回路」または「ソースドライバ」ともいう）から遠い側の液晶パネルの端部付近に形成された液晶表示装置が開示されている。このような構成によれば、データドライバから遠くなるほど増加するデータ線の電圧の歪曲を改善させることができるので、液晶表示装置の大型化に伴って寄生容量が増大しデータ線にデータ電圧が十分に充電されないという問題を低減または解消することができる。また、チャージシェア方式が採用されない従来の液晶表示装置に比べて、データ線にデータ電圧を十分に充電させることができる。しかし、上記のように解像度の向上や駆動周波数の上昇に起因する充電不足は、この構成によっては解決できない。

40

【0014】

以上のようにアクティブマトリクス基板を使用した従来の液晶表示装置においては、大型化や高解像度化が進み駆動周波数が上昇すると、画素容量における充電量の差や充電不足によって良好な画像の表示が困難となる。

【0015】

50

そこで本発明の目的は、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても表示品質の低下が生じないアクティブマトリクス基板を提供することである。また、本発明の他の目的は、大型化や高解像度化が進み駆動周波数が上昇しても表示品質の低下が生じないアクティブマトリクス型の表示装置を提供することである。

【課題を解決するための手段】

【0016】

本発明の第1の局面は、アクティブマトリクス基板であって、
複数のデータ信号線と、
前記複数のデータ信号線と交差する複数の走査信号線と、
前記複数のデータ信号線と前記複数の走査信号線との各交差点に対応して設けられ、対応する交差点を通過する走査信号線によってオンおよびオフされる画素スイッチング素子と、
前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、
前記画素電極との間に所定容量が形成されるように前記複数の走査信号線のそれぞれに沿って配設された保持容量線と、
前記複数のデータ信号線のそれぞれにつき当該データ信号線の延びる方向に2以上の所定数ずつ設けられた放電用スイッチング素子であって、オン状態のときに前記複数のデータ信号線のそれぞれが前記保持容量線に短絡されるように前記複数のデータ信号線と前記保持容量線に接続された放電用スイッチング素子と、
前記放電用スイッチング素子をオンおよびオフするための放電用制御信号線とを備えることを特徴とする。

10

20

【0017】

本発明の第2の局面は、本発明の第1の局面において、
前記複数のデータ信号線のそれぞれは、互いに電気的に分離された第1および第2の信号線からなり、
前記放電用スイッチング素子は、前記第1および第2の信号線のそれぞれにつき前記データ信号線の延びる方向に2以上の所定数ずつ設けられていることを特徴とする。

【0018】

本発明の第3の局面は、本発明の第1の局面において、
前記放電用スイッチング素子は、前記データ信号線の延びる方向に略均等間隔で配置されていることを特徴とする。

30

【0019】

本発明の第4の局面は、本発明の第1の局面において、
前記放電用制御信号線は、前記複数の走査信号線にそれぞれ沿って配置された複数の制御信号線を含み、
前記放電用スイッチング素子は、前記複数のデータ信号線のそれぞれにつき前記複数の制御信号線に対応して設けられた複数のスイッチング素子を含み、
前記複数のスイッチング素子のそれぞれは、対応する制御信号線によってオンおよびオフされることを特徴とする。

40

【0020】

本発明の第5の局面は、本発明の第1の局面において、
前記放電用スイッチング素子は、前記複数のデータ信号線の一端近傍に配置されたスイッチング素子群と、前記複数のデータ信号線の他端近傍に配置されたスイッチング素子群とからなることを特徴とする。

【0021】

本発明の第6の局面は、本発明の第1の局面において、
前記保持容量線は、前記データ信号線に沿った方向に延びる延伸部を有し、
前記放電用スイッチング素子は、ドレイン電極およびソース電極を有する薄膜トランジスタであり、

50

前記ドレイン電極は、前記放電用スイッチング素子がオン状態のときに前記保持容量線に短絡させるべきデータ信号線に接続されており、

前記ソース電極は、所定のソース引き出し電極を介して前記延伸部に接続されていることを特徴とする。

【0022】

本発明の第7の局面は、本発明の第6の局面において、

前記延伸部と前記ソース引き出し電極とは、前記画素電極の外縁に沿って環状に配置された構造体を構成することを特徴とする。

【0023】

本発明の第8の局面は、本発明の第6の局面において、

前記延伸部と前記ソース引き出し電極とは、所定の層間絶縁膜に設けられたコンタクトホール部に形成された導通電極を介して接続されていることを特徴とする。

【0024】

本発明の第9の局面は、本発明の第8の局面において、

前記導通電極は、前記画素電極の材料と同一の材料からなることを特徴とする。

【0025】

本発明の第10の局面は、本発明の第1の局面において、

前記保持容量線は、前記画素電極の外縁に沿って前記データ信号線に平行に延びる部分と前記画素電極の外縁に沿って前記走査信号線に平行に延びる部分とを含む環状部分を有していることを特徴とする。

【0026】

本発明の第11の局面は、本発明の第1の局面において、

前記放電用スイッチング素子は、前記放電用制御信号線を形成する電極パターンに重なるように配置されていることを特徴とする。

【0027】

本発明の第12の局面は、本発明の第1の局面において、

前記放電用スイッチング素子は、第1および第2のドレイン電極とソース電極とを有する薄膜トランジスタであり、

前記ソース電極は、前記保持容量線に接続されており、

前記第1のドレイン電極は、前記放電用スイッチング素子を挟んで隣接する2つのデータ信号線のうちの一方に接続され、かつ、前記第2のドレイン電極は、前記2つのデータ信号線のうちの他方に接続されていることを特徴とする。

【0028】

本発明の第13の局面は、本発明の第1の局面において、

前記画素電極は、前記放電用制御信号線に重なるように配置されていることを特徴とする。

【0029】

本発明の第14の局面は、表示装置であって、

本発明の第1から第13の局面のいずれかに係るアクティブマトリクス基板と、

前記複数の走査信号線を選択的に駆動するための複数の走査信号を生成し、当該複数の走査信号を前記複数の走査信号線に印加する走査信号線駆動回路と、

表示すべき画像を表す複数のデータ信号を所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路と、

前記保持容量線に所定電位を与える電位供給部と、

前記複数のデータ信号線のそれぞれが前記保持容量線に1水平期間毎に所定期間だけ短絡されるように、前記放電用制御信号線に与えるべき放電制御信号を生成する放電制御回路と

を備えることを特徴とする。

【0030】

10

20

30

40

50

本発明の第15の局面は、本発明の第14の局面において、
前記データ信号線駆動回路は、2以上の所定数の水平期間毎に電圧極性が反転するように前記複数のデータ信号を生成することを特徴とする。

【0031】

本発明の第16の局面は、本発明の第14の局面において、
前記データ信号線駆動回路は、

1水平期間毎に前記所定期間は、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡するスイッチ回路を含み、

前記複数のデータ信号を所定数のデータ信号線毎に極性が反転する電圧信号として生成することを特徴とする。

【0032】

本発明の第17の局面は、本発明の第16の局面において、

前記データ信号線駆動回路は、前記スイッチ回路によって前記複数のデータ信号線が互いに短絡されている時に前記所定電位を前記複数のデータ信号線に与えることを特徴とする。

【0033】

本発明の第18の局面は、本発明の第14の局面において、

前記データ信号線駆動回路は、1水平期間毎に前記所定期間は、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線のそれぞれを前記所定電位に短絡させるスイッチ回路を含むことを特徴とする。

【0034】

本発明の第19の局面は、本発明の第14の局面において、

前記アクティブマトリクス基板における各画素電極に対向するように配置された共通電極を更に備え、

前記電位供給部は、前記共通電極に所定の共通電位を与え、当該共通電位を前記所定電位として前記保持容量線に与えることを特徴とする。

【0035】

本発明の第20の局面は、本発明の第14の局面において、

前記電位供給部は、前記データ信号の最小値と最大値との間の中央値に相当する電位を前記所定電位として前記保持容量線に与えることを特徴とする。

【0036】

本発明の第21の局面は、本発明の第14の局面において、

前記所定電位は、黒表示に対応する電位であり、

前記走査信号線駆動回路は、前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記所定期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記所定期間で選択状態となるように、前記複数の走査信号線を選択的に駆動することを特徴とする。

【0037】

本発明の第22の局面は、本発明の第21の局面において、

前記走査信号線駆動回路は、前記有効走査期間で選択状態となった走査信号線を、当該選択状態から非選択状態に変化する時点から前記画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、前記所定期間で選択状態とすることを特徴とする。

【0038】

本発明の第23の局面は、本発明の第22の局面において、

前記複数の走査信号線のそれぞれが前記有効走査期間で選択状態となる期間は、前記所定期間において前記複数の走査信号線のいずれかが選択状態となる期間と重ならないことを特徴とする。

10

20

30

40

50

【 0 0 3 9 】

本発明の第 2 4 の局面は、本発明の第 1 4 の局面において、
前記データ信号線駆動回路は、

前記複数のデータ信号線に印加すべき前記複数のデータ信号を出力する複数のバッファと、

前記所定期間において前記複数のバッファを休止させる休止制御部とを含むことを特徴とする。

【 0 0 4 0 】

本発明の第 2 5 の局面は、テレビジョン受信機であって、本発明の第 1 4 の局面に係る表示装置を備えたことを特徴とする。

【 0 0 4 1 】

本発明の第 2 6 の局面は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との各交差点に対応して設けられ、対応する交差点を通過する走査信号線によってオンおよびオフされる画素スイッチング素子と、前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、前記画素電極との間に所定容量が形成されるように前記複数の走査信号線のそれぞれに沿って配設された保持容量線とを含むアクティブマトリクス基板の駆動方法であって、

前記複数の走査信号線を選択的に駆動するための複数の走査信号を生成し、当該複数の走査信号を前記複数の走査信号線に印加する走査信号線駆動ステップと、

表示すべき画像を表す複数のデータ信号を所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動ステップと、

前記保持容量線に所定電位を与える電位供給ステップと、

前記複数のデータ信号線のそれぞれを前記保持容量線に 1 水平期間毎に短絡させる放電ステップとを備え、

前記アクティブマトリクス基板は、

前記複数のデータ信号線のそれぞれにつき当該データ信号線の延びる方向に 2 以上の所定数ずつ設けられた放電用スイッチング素子であって、オン状態のときに前記複数のデータ信号線のそれぞれが前記保持容量線に短絡されるように前記複数のデータ信号線と前記保持容量線に接続された放電用スイッチング素子と、

前記放電用スイッチング素子をオンおよびオフするための放電用制御信号線とを更に含み、

前記放電ステップでは、1 水平期間毎に所定期間だけ前記放電用スイッチング素子をオンするための信号を前記放電用制御信号線に与えることにより、前記複数のデータ信号線のそれぞれが前記保持容量線に短絡されることを特徴とする。

【 発明の効果 】

【 0 0 4 2 】

本発明の第 1 の局面によれば、各データ信号線は複数の放電用スイッチング素子を介して保持容量線に接続されているので、各データ信号線が保持容量線に短絡される期間である放電期間においてデータ信号線と保持容量線の間での電荷の移動が促進される。ここで、放電用スイッチング素子を 1 つのデータ信号線につき複数設けることは、1 本のデータ信号線に充電されている電荷を細分化して各々の放電用スイッチング素子により移動させることに相当する。これにより、各データ信号線の電位を短い時間で所定電位（保持容量線の電位）に到達させることができる。その結果、アクティブマトリクス基板を使用した表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【 0 0 4 3 】

本発明の第 2 の局面では、各データ信号線は、互いに電氣的に分離された第 1 および第 2 の信号線からなり、上下分割駆動方式に対応した構成となっているので、本発明の当該

10

20

30

40

50

局面に係るアクティブマトリクス基板は、駆動周波数を高くし動画表示性能向上を目的とする表示装置に好適である。このようなアクティブマトリクス基板において、各データ信号線は保持容量線に複数の放電用スイッチング素子を介して接続されているので、放電期間においてデータ信号線と保持容量線の間での電荷の移動が促進される。これにより、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0044】

本発明の第3の局面によれば、放電用スイッチング素子が、データ信号線の延びる方向に略均等間隔で配置されているので、表示装置の大型化や高解像度化が進んでも、放電期間において、データ信号線の電位をアクティブマトリクス基板全体で均一に所定電位に到達させることができる。

【0045】

本発明の第4の局面によれば、各走査信号線に沿って放電のための制御信号線が配設され、各データ信号線につき各制御信号線に対応して放電のためのスイッチング素子が設けられているので、各データ信号線につき走査信号線の数に等しい個数のスイッチング素子が存在し、これらのスイッチング素子によって、放電期間にデータ信号線と保持容量線の間で電荷の移動が行われる。したがって、放電期間が短くなっても、またアクティブマトリクス基板が大型化しても、データ信号線の電位をアクティブマトリクス基板全体で均一に所定電位に到達させることができる。また、放電のためのスイッチング素子が画素毎に存在し、そのスイッチング素子をオンおよびオフするための制御信号線が1画素行毎に存在することから、放電のためのスイッチング素子や制御信号線の配置は、アクティブマトリクス基板によって形成されるべき画像の画素配置に整合しており、放電のためのスイッチング素子や制御信号線の追加によって画素配置の規則性が乱されることもない。

【0046】

本発明の第5の局面によれば、データ信号線の一端近傍に配置されたスイッチング素子群とデータ信号線の他端近傍に配置されたスイッチング素子群とによって、放電期間にデータ信号線と保持容量線の間で電荷の移動が行われる。したがって、データ信号線駆動回路内のスイッチ回路によってデータ信号線間（またはデータ信号線と共通電極との間）での電荷の移動が行われる従来方式に比べ、放電期間直後のデータ信号線の電位をアクティブマトリクス基板内で均一化することができる。

【0047】

本発明の第6の局面によれば、保持容量線はデータ信号線に平行に延びる延伸部を有するので、画素電極の電位に対する他の電極の電位変動による影響を抑制することができる。

【0048】

本発明の第7の局面によれば、保持容量線の延伸部と放電用スイッチング素子としての薄膜トランジスタのソース引き出し電極とは、画素電極の外縁に沿って環状に配置された構造体を構成するので、データ信号線や走査信号線の電位変動による画素電極電位への影響を抑制することができる。

【0049】

本発明の第8の局面によれば、保持容量線の延伸部と薄膜トランジスタのソース引き出し電極とが、コンタクトホール部に形成された導通電極を介して接続されることで、各データ信号線が放電用スイッチング素子としての当該薄膜トランジスタを介して保持容量線に電氣的に接続される。

【0050】

本発明の第9の局面によれば、保持容量線の延伸部と放電用スイッチング素子としての薄膜トランジスタのソース引き出し電極とを接続するための導通電極は画素電極の材料と同一の材料からなるので、当該延伸部と当該ソース引き出し電極との電氣的接続を、画素スイッチング素子としての薄膜トランジスタのドレイン電極と画素電極との電氣的接続と同一の工程で実現することができる。これにより、製造コストの増大を抑えつつ、各データ信号線を放電用スイッチング素子を介して保持容量線に接続することができる。

10

20

30

40

50

【0051】

本発明の第10の局面によれば、保持容量線は、画素電極の外縁に沿ってデータ信号線に平行に延びる部分と画素電極の外縁に沿って走査信号線に平行に延びる部分とを有しているため、データ信号線や走査信号線の電位変動による画素電極電位への影響を抑制することができる。

【0052】

本発明の第11の局面によれば、放電用スイッチング素子は、放電用制御信号線を形成する電極パターンに重なるように配置されているため、開口率を大きくすることができる。

【0053】

本発明の第12の局面によれば、放電用スイッチング素子としての薄膜トランジスタの第1および第2のドレイン電極が、隣接する2つのデータ信号線にそれぞれ接続されるため、放電期間における隣接データ信号線間での電荷移動および各データ信号線と保持容量線の間での電荷移動が促進される。これにより、より短い放電期間で各データ信号線の電位を保持容量線の電位に到達させることができる。

【0054】

本発明の第13の局面によれば、放電用制御信号線に重なるように画素電極が配置されることにより、画素領域として広い領域が確保されるため、開口率を大きくすることができる。

【0055】

本発明の第14の局面によれば、アクティブマトリクス型表示装置において、データ信号の極性反転時の放電期間に各データ信号線が保持容量線に短絡されて各データ信号線と保持容量線の間で電荷が移動することにより、消費電力が低減される。また、例えば従来の2H反転駆動方式の液晶表示装置では、極性反転の単位である2ラインの間で画素容量の充電量に差が生じ、ライン状の横筋ムラが視認されることがあったが、本発明の当該局面に係る表示装置では、各データ信号線が保持容量線に短絡される放電期間が1水平期間毎に設けられるため、このような充電量差やライン状の横筋ムラが抑制される。さらに、各データ信号線は保持容量線に複数の放電用スイッチング素子を介して接続されているため、短い放電期間でデータ信号線と保持容量線の間での電荷移動を行うことができる。その結果、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0056】

本発明の第15の局面によれば、データ信号の極性反転の周期が2水平期間以上となるため、データ信号線駆動回路での発熱量や消費電力を低減することができる。一般的には極性反転の周期が長くなるほど、すなわちnHドット反転駆動方式を採用した場合においてnが大きくなるほど、データ信号線駆動回路での発熱量や消費電力が大きく低減される。また、本発明の第14の局面の場合と同様の理由により、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

【0057】

本発明の第16の局面によれば、データ信号は所定数のデータ信号線毎に極性が反転する電圧信号として生成され、データ信号線駆動回路内のスイッチ回路によって放電期間（1水平期間毎の所定期間）にアクティブマトリクス基板上のデータ信号線が互いに短絡されることにより、データ信号線間で電荷の移動が行われる。これにより、放電期間において各データ信号線の電位が所定電位（保持容量線の電位）に到達するのに要する時間が短縮される。

【0058】

本発明の第17の局面によれば、データ信号線駆動回路内のスイッチ回路によってアクティブマトリクス基板上のデータ信号線が互いに短絡されている時にそれらのデータ信号線に所定電位が与えられるため、放電期間において各データ信号線の電位が所定電位に到

10

20

30

40

50

達するのに要する時間が更に短縮される。

【 0 0 5 9 】

本発明の第 1 8 の局面によれば、アクティブマトリクス基板内の放電用スイッチング素子に加えてデータ信号線駆動回路内のスイッチ回路によっても、放電期間（1 水平期間毎の所定期間）に各データ信号線が所定電位に短絡されるので、放電期間において各データ信号線の電位が所定電位に到達するのに要する時間が短縮される。

【 0 0 6 0 】

本発明の第 1 9 の局面によれば、共通電極に与えるべき共通電位が保持容量線にも与えられるので、共通電極に対する電位供給部と保持容量線に対する電位供給部とを共通化することができる。

【 0 0 6 1 】

本発明の第 2 0 の局面によれば、放電期間直後には各データ信号線の電位がデータ信号の最小値と最大値との間の中央値となるので、画素電極に印加すべきデータ信号の極性によらず画素容量の充電量を均一化することができる。

【 0 0 6 2 】

本発明の第 2 1 の局面によれば、アクティブマトリクス基板上の複数のデータ信号線が保持容量線に短絡される期間である放電期間では、各データ信号線の電圧は、保持容量線に与えられている所定電位に等しくなる。これは、各データ信号線の電圧が黒表示に対応する値（黒電圧）となることを意味する。一方、各走査信号線は、画素値書込のために有効走査期間で選択されてから所定の画素値保持期間が経過した後少なくとも 1 回は放電期間で選択状態となる。これにより、次に画素値書込のために有効走査期間で選択状態となるまでは黒表示の期間となるので、全ての表示ラインにつき同じ長さの黒挿入を行い、画素値書込のための画素容量での充電期間を短縮することなく、十分な黒挿入期間の確保によるインパルス化によって動画像の表示性能を改善することができる。また、黒挿入のためにデータ信号線駆動回路等の動作速度を上げる必要もない。

【 0 0 6 3 】

本発明の第 2 2 の局面によれば、有効走査期間に選択状態とされた走査信号線は、当該選択状態から非選択状態に変化する時点から画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、放電期間で選択状態とされる。これにより、インパルス化のための黒表示期間において表示輝度を十分な黒レベルとすることができる。

【 0 0 6 4 】

本発明の第 2 3 の局面によれば、各走査信号線が有効走査期間で選択状態となる期間は、放電期間で走査信号線のいずれかが選択状態となる期間と重ならないので、走査信号線を選択状態とするための電源の負荷が過度に大きくなり、有効走査期間における画素値書込のためのパルスおよび放電期間における黒電圧書込のためのパルスとして各走査信号に含まれるパルスの波形鈍りが抑制される。これにより、黒表示期間において画素の輝度を十分な黒レベルとしつつ、画素値書込用パルスの波形鈍りによる画素容量の充電不足を抑制することができる。

【 0 0 6 5 】

本発明の第 2 4 の局面によれば、各データ信号線が保持容量線に短絡される期間である放電期間ではデータ信号線駆動回路内のバッファが休止状態となるので、データ信号線駆動回路の消費電力を低減することができる。

【 図面の簡単な説明 】

【 0 0 6 6 】

【 図 1 】 本発明の第 1 の実施形態におけるアクティブマトリクス基板のパターン構成の第 1 の例を示す平面図である。

【 図 2 】 上記第 1 の実施形態におけるアクティブマトリクス基板のパターン構成の第 2 の例を示す平面図である。

【 図 3 】 図 2 の A - A 線における断面図である。

10

20

30

40

50

【図4】上記第1の実施形態におけるアクティブマトリクス基板のパターン構成の第3の例を示す平面図である。

【図5】図4のB - B線における断面図である。

【図6】上記第1の実施形態におけるアクティブマトリクス基板のパターン構成の第4の例を示す平面図である。

【図7】上記第1の実施形態におけるアクティブマトリクス基板のパターン構成の第5の例を示す平面図である。

【図8】上記第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図9】上記第1の実施形態におけるアクティブマトリクス基板の回路構成の第1の例を示す等価回路図である。

10

【図10】上記第1の実施形態に係る液晶表示装置におけるソースドライバの構成を示すブロック図である。

【図11】上記ソースドライバの出力部の第1の構成例を示す回路図である。

【図12】上記第1の実施形態に係る液晶表示装置の動作を説明するための信号波形図(A ~ F)である。

【図13】チャージシェア方式または共通電位短絡方式が採用された従来の2Hドット反転駆動の液晶表示装置におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

【図14】上記第1の実施形態におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

20

【図15】上記第1の実施形態におけるアクティブマトリクス基板の回路構成の第2の例を示す等価回路図である。

【図16】上記ソースドライバの出力部の第2の構成例を示す回路図である。

【図17】上記ソースドライバの出力部の第3の構成例を示す回路図である。

【図18】本発明の第2の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図19】本発明の第3の実施形態におけるゲートドライバの構成例を示すブロック図(A, B)である。

【図20】上記第3の実施形態におけるゲートドライバの動作を説明するための信号波形図(A ~ F)である。

【図21】上記第3の実施形態に係る液晶表示装置の駆動方法を説明するための信号波形図(A ~ H)である。

30

【図22】上記第3の実施形態の変形例に係る液晶表示装置の走査信号を説明するための信号波形図(A ~ G)である。

【図23】上記第1の実施形態の第1の変形例に係る液晶表示装置の構成を示すブロック図である。

【図24】上記第1の変形例におけるアクティブマトリクス基板の電氣的構成を示す回路図である。

【図25】上記第1の実施形態の第2の変形例に係る液晶表示装置の構成を示すブロック図である。

【図26】上記第2の変形例におけるアクティブマトリクス基板の電氣的構成を示す回路図である。

40

【図27】上記第1から第3の実施形態の他の変形例に係る液晶表示装置のソースドライバの出力部の構成を示す回路図である。

【図28】図27に示すソースドライバの出力部における出力バッファの構成を示す回路図である。

【図29】本発明に係るアクティブマトリクス基板を使用したテレビジョン受信機用の表示装置の構成例を示すブロック図である。

【図30】本発明に係るアクティブマトリクス基板を使用したテレビジョン受信機のチューナ部を含めた全体構成を示すブロック図である。

【図31】上記テレビジョン受信機の機械的構成を示す分解斜視図である。

50

【図 3 2】従来のアクティブマトリクス基板のパターン構成を示す部分平面図である。

【符号の説明】

【 0 0 6 7 】

1 0	画素 T F T (画素スイッチング素子)	
1 2	放電用 T F T (放電用スイッチング素子)	
1 2 d	ドレイン電極	
1 2 s	ソース電極	
1 4	ソース引き出し電極	
1 6 a ~ 1 6 e	(保持容量線の)延伸部	
1 0 0	表示部	10
1 1 0, 1 1 2, 1 1 4, 1 1 6	アクティブマトリクス基板	
1 2 0	対向基板	
2 0 0	表示制御回路	
3 0 0	ソースドライバ(データ信号線駆動回路)	
3 0 2	データ信号生成部	
3 0 4	出力部	
4 0 0	ゲートドライバ(走査信号線駆動回路)	
5 0 0	放電制御回路	
6 0 0	共通電極駆動回路(電位供給部)	
C l c	液晶容量	20
C c s	保持容量	
E p	画素電極	
E c	共通電極	
S W a	第 1 の M O S トランジスタ	
S W b	第 2 の M O S トランジスタ	
S W b 2	第 3 の M O S トランジスタ	
S W c	第 2 の M O S トランジスタ	
S L i	ソースライン(データ信号線)($i = 1, 2, \dots, N$)	
G L j	ゲートライン(走査信号線)($j = 1, 2, \dots, 2M$)	
C s L	保持容量線	30
G s h L j	放電制御信号線($j = 1, 2, \dots, 2M$)	
S (i)	データ信号($i = 1, 2, \dots, N$)	
G (j)	走査信号($j = 1, 2, \dots, 2M$)	
V c o m	共通電位(対向電圧)	
C s h	放電制御信号	
G s h	マトリクス基板用放電制御信号	
P s h	放電制御パルス	
P w	画素データ書込パルス	
P b	黒電圧印加パルス	
T s h	放電期間	40
T h d	画素データ保持期間(画素値保持期間)	

【発明を実施するための最良の形態】

【 0 0 6 8 】

以下、添付図面を参照して本発明の実施形態について説明する。

< 1 . 第 1 の実施形態 >

< 1 . 1 構成および動作 >

本発明に係るアクティブマトリクス基板を使用した液晶表示装置の一例を第 1 の実施形態として説明する。図 8 は、本実施形態に係る液晶表示装置の構成を示すブロック図である。図 9 は、本実施形態におけるアクティブマトリクス基板 1 1 0 の回路構成の第 1 の例を示す等価回路図であり、このアクティブマトリクス基板 1 1 0 の一部(隣接 4 画素に相

当する部分) 101の電気的構成を示している。

【0069】

この液晶表示装置は、アクティブマトリクス基板110を用いたアクティブマトリクス型の表示部100と、データ信号線駆動回路としてのソースドライバ300と、走査信号線駆動回路としてのゲートドライバ400と、放電制御回路500と、共通電極駆動回路600と、ソースドライバ300、ゲートドライバ400、放電制御回路500および共通電極駆動回路600を制御するための表示制御回路200とを備えている。

【0070】

上記液晶表示装置における表示部100は、液晶層を挟持する1対の電極基板からなり、各電極基板の外表面には偏光板が貼り付けられている。上記1対の電極基板の一方はアクティブマトリクス基板110である。図8および図9に示すように、このアクティブマトリクス基板110では、ガラス等の絶縁性基板上に、複数本(2M本)の走査信号線としてのゲートラインGL1~GL2Mと、それらのゲートラインGL1~GL2Mのそれぞれと交差する複数本(N本)のデータ信号線としてのソースラインSL1~SLNと、それらのゲートラインGL1~GL2MとソースラインSL1~SLNとの交差点にそれぞれ対応して設けられた複数個(2M×N個)の画素回路と、複数本(2M本)の放電制御信号線GshL1~GshL2Mとが形成されている。各画素回路は、対応する交差点を通過するゲートラインGLjにゲート端子が接続される共に当該交差点を通過するソースラインSLiにソース端子が接続されたスイッチング素子であるTF T(以下「画素TF T」という)10と、その画素TF T10のドレイン端子(電極)に接続された画素電極Epとからなる。

【0071】

一方、上記1対の電極基板の他方は対向基板120と呼ばれ、ガラス等の透明な絶縁性基板上に全面にわたって共通電極Ecが形成されている。この共通電極Ecは、上記複数個(2M×N個)の画素回路に共通的に設けられている。そして、アクティブマトリクス基板110における各画素回路は、共通的に設けられた共通電極Ecおよび液晶層と共に画素形成部を構成し、この画素形成部では、画素電極Epと共通電極Ecとにより画素容量としての液晶容量Clcが形成されている。また、この画素容量に確実に電圧を保持すべく、液晶容量Clcに並列に保持容量Ccsが設けられる。すなわち、アクティブマトリクス基板110では、各ゲートラインGLjに平行に保持容量線CsLが配設されており、この保持容量線CsLと絶縁膜等を挟んで対向する画素電極Epとによって上記保持容量Ccsが形成されている。したがって、画素データとしてのデータ信号S(i)を書き込んで保持すべき容量(以下ではこの容量を「画素容量」と呼び、記号" Cp "で示すものとする)は、液晶容量Clcと補助容量Ccsとからなる。すなわち、これらの記号" Cp "、" Clc "、" Ccs "が容量値をも示すものとする、 $Cp = Clc + Ccs$ となる。

【0072】

さらに本実施形態では、アクティブマトリクス基板110において、各ゲートラインGLj(j=1, 2, ..., 2M)に沿って配設された放電制御信号線GshLjにゲート端子が接続された放電用スイッチング素子としてのTF T(以下「放電用TF T」という)12が形成されている。この放電用TF T12のソース端子は近傍の保持容量線CsLに接続されると共に、ドレイン端子は近傍のデータ信号線SLiに接続されており、各放電制御信号線GshLjにアクティブな信号(TF T12をオンさせる電圧)が与えられると、アクティブマトリクス基板110上の全てのデータ信号線が保持容量線CsLに短絡される。すなわち、この放電用TF T12は、各ソースラインSLiにつきゲートラインGLjの本数(2M)に等しい個数だけ存在し、各放電制御信号線GshLjにアクティブな信号が与えられると、各データ信号線SLi(i=1, 2, ..., N)は、M個の放電用TF T12を介してM本の保持容量線CsLに短絡される。

【0073】

図8および図9に示すように、各画素形成部における画素電極Epには、後述のように

動作するソースドライバ300およびゲートドライバ400により、表示すべき画像に応じた電位が与えられ、共通電極Ecには、共通電極駆動回路600から所定電位が共通電位Vcomとして与えられる(この共通電位Vcomは「対向電圧」または「共通電圧」とも呼ばれる)。これにより、画素電極Epと共通電極Ecとの間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層に対する光の透過量が制御されることで画像表示が行われる。ただし、液晶層への電圧印加によって光の透過量を制御するためには偏光板が使用され、例えば、本実施形態に係る液晶表示装置では、ノーマリブラックとなるように偏光板が配置される。なお、図8に示すように、共通電極Ecに与えられる共通電位Vcomは保持容量線CsLおよびソースドライバ300にも与えられる。

【0074】

表示制御回路200は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号Dvと、当該デジタルビデオ信号Dvに対応する水平同期信号HSYおよび垂直同期信号VSYと、表示動作を制御するための制御信号Dcとを受け取り、それらの信号Dv, HSY, VSY, Dcに基づき、そのデジタルビデオ信号Dvの表す画像を表示部100に表示させるための信号として、データスタートパルス信号SSPと、データクロック信号SCKと、放電制御信号Cshと、表示すべき画像を表すデジタル画像信号DA(ビデオ信号Dvに相当する信号)と、ゲートスタートパルス信号GSPと、ゲートクロック信号GCKと、ゲートドライバ出力制御信号GOEとを生成し出力する。より詳しくは、ビデオ信号Dvを内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号DAとして表示制御回路200から出力し、そのデジタル画像信号DAの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号SCKを生成し、水平同期信号HSYに基づき1水平期間毎に所定期間だけハイレベル(Hレベル)となる信号としてデータスタートパルス信号SSPを生成し、垂直同期信号VSYに基づき1フレーム期間(1垂直走査期間)毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号GSPを生成し、水平同期信号HSYに基づきゲートクロック信号GCKを生成し、水平同期信号HSYおよび制御信号Dcに基づき放電制御信号Cshおよびゲートドライバ出力制御信号GOEを生成する。

【0075】

上記のようにして表示制御回路200において生成された信号のうち、デジタル画像信号DAと放電制御信号Cshとデータスタートパルス信号SSPおよびデータクロック信号SCKとは、ソースドライバ300に入力され、ゲートスタートパルス信号GSPおよびゲートクロック信号GCKとゲートドライバ出力制御信号GOEとは、ゲートドライバ400に入力される。また、放電制御信号Cshは放電制御回路500にも入力される。

【0076】

ソースドライバ300は、デジタル画像信号DAとデータスタートパルス信号SSPおよびデータクロック信号SCKに基づき、デジタル画像信号DAの表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号S(1)~S(N)を1水平期間毎(1H毎)に生成し、これらのデータ信号S(1)~S(N)をソースラインSL1~SLNにそれぞれ印加する。

【0077】

本実施形態では、液晶層への印加電圧の極性が1フレーム期間毎に反転されると共に各フレーム内においてnゲートライン毎(nは2以上)かつ1ソースライン毎にも反転されるようにデータ信号S(1)~S(N)が出力される駆動方式すなわちnHドット反転駆動方式が採用されている。したがって、ソースドライバ300は、ソースラインSL1~SLNへの印加電圧の極性をソースライン毎に反転させ、かつ、各ソースラインSLiに印加されるデータ信号S(i)の極性をn水平期間毎に反転させる。ここで、ソースラインへの印加電圧の極性反転の基準となる電位は、データ信号S(1)~S(N)の直流レベル(直流成分に相当する電位)であり、この直流レベルは、一般的には共通電極Ecの直流レベルとは一致せず、各画素形成部におけるTFEのゲート・ドレイン間の寄生容量Cgdによる引き込み電圧Vdだけ共通電極Ecの直流レベルと異なる。ただし、寄生

10

20

30

40

50

容量 C_{gd} による引き込み電圧 V_d が液晶の光学的しきい値電圧 V_{th} に対して十分に小さい場合には、データ信号 $S(1) \sim S(N)$ の直流レベルは共通電極 E_c の直流レベルに等しいとみなせるので、データ信号 $S(1) \sim S(N)$ の極性すなわちソースラインへの印加電圧の極性は共通電極 E_c の電位 V_{com} を基準として n 水平期間毎に反転すると考えてもよい。

【0078】

図10は、本実施形態におけるソースドライバの構成を示すブロック図である。このソースドライバは、データ信号生成部302と出力部304とから構成されている。データ信号生成部302は、データスタートパルス信号 SSP およびデータクロック信号 CLK に基づきデジタル画像信号 DA から、ソースライン $SL1 \sim SLN$ にそれぞれ対応するアナログ電圧信号 $d(1) \sim d(N)$ を生成する。このデータ信号生成部302の構成は、従来のソースドライバと同様であるので説明を省略する。出力部304は、データ信号生成部302で生成されるアナログ電圧信号 $d(i)$ をインピーダンス変換し、データ信号 $S(i)$ として出力する ($i = 1, 2, \dots, N$)。 10

【0079】

また、このソースドライバ300では、消費電力を低減するため及び nH ドット反転駆動時のライン状の横筋ムラを改善するために、1水平期間毎に隣接ソースライン間が短絡されるチャージシェア方式が採用されている。このため、ソースドライバ300における出力部304は、図11に示すように構成されている。すなわち、この出力部304は、デジタル画像信号 DA に基づき生成されたアナログ電圧信号 $d(1) \sim d(N)$ を受け取り、これらのアナログ電圧信号 $d(1) \sim d(N)$ をインピーダンス変換することによって、ソースライン $SL1 \sim SLN$ で伝達すべき映像信号としてデータ信号 $S(1) \sim S(N)$ を生成し、このインピーダンス変換のための電圧ホロワとして N 個の出力バッファ31を有している。各バッファ31の出力端子にはスイッチング素子としての第1のMOSトランジスタ SWa が接続され、各バッファ31からのデータ信号 $S(i)$ は第1のMOSトランジスタ SWa を介してソースドライバ300の出力端子から出力される ($i = 1, 2, \dots, N$)。また、ソースドライバ300の隣接する出力端子間は、スイッチング素子としての第2のMOSトランジスタ SWb によって接続されている(これにより隣接ソースライン間が第2のMOSトランジスタ SWb によって接続されることになる)。そして、表示制御回路200からチャージシェアの制御信号として放電制御信号 Csh が入力され、この放電制御信号 Csh は、上記の出力端子間の第2のMOSトランジスタ SWb のゲート端子に与えられ、各バッファ31の出力端子に接続された第1のMOSトランジスタ SWa のゲート端子には、インバータ33の出力信号すなわち放電制御信号 Csh の論理反転信号が与えられる。 20 30

【0080】

また、ソースドライバ300の出力部304は、スイッチング素子としての第3のMOSトランジスタ $SWb2$ を含み、この第3のMOSトランジスタ $SWb2$ のゲート端子にも放電制御信号 Csh が与えられる。そして、共通電極 E_c に与えられる共通電位 V_{com} が、この第3のMOSトランジスタ $SWb2$ を介して、いずれかのソースライン $SL(i)$ に接続されるべきソースドライバの出力端子に接続されている(図11に示した例では、1番目のソースライン $SL1$ に接続されるべき出力端子に接続されている)。 40

【0081】

上記構成によれば、放電制御信号 Csh が非アクティブ(ローレベル)のときには、第1のMOSトランジスタ SWa がオンし(導通状態となり)、第2のMOSトランジスタ SWb がオフする(遮断状態となる)ので、各バッファ31からのデータ信号は、第1のMOSトランジスタ SWa を介してソースドライバ300から出力される。一方、放電制御信号 Csh がアクティブ(ハイレベル)のときには、第1のMOSトランジスタ SWa がオフし(遮断状態となり)、第2のMOSトランジスタ SWb がオンする(導通状態となる)ので、各バッファ31からのデータ信号は出力されず(すなわちデータ信号 $S(1) \sim S(N)$ のソースライン $SL1 \sim SLN$ への印加は遮断され)、表示部100におけ 50

る隣接ソースラインが、第2のMOSトランジスタSWbを介して短絡される。このとき、ソースラインSL1に第3のMOSトランジスタSWb2を介して共通電位Vcomが与えられる。なお、図9の構成からわかるように、このときにはアクティブマトリクス基板110内の放電用TFT12によっても各ソースラインSL1~SLNに共通電位Vcomが与えられる。

【0082】

本構成におけるソースドライバ300では、図12(A)に示すように、n水平期間(nH)毎、ここではn=2である2水平期間(2H)毎に極性の反転する映像信号としてアナログ電圧信号d(i)が生成され、表示制御回路200では、図12(B)に示すように、各アナログ電圧信号d(i)の1水平ブランキング期間程度の短い期間Tshだけハイレベル(Hレベル)となる放電制御信号Cshが生成される。この放電制御信号CshがHレベルとなる期間は、電荷再分配のために隣接データ信号線が短絡される期間であり、「チャージシェア期間」と呼ばれる。一方、アクティブマトリクス基板110では、この期間Tshにおいて各ソースラインSL1~SLNが放電用TFT12を介して保持容量線Cslに短絡され、各ソースラインSL1~SLNの配線容量に蓄積された電荷(以下、便宜上「各ソースラインSL1~SLNの蓄積電荷」という)が放電される。そこで以下では、この期間Tshを「放電期間」と呼ぶものとする。

【0083】

上記のように、ソースドライバ300では、放電制御信号Cshがローレベル(Lレベル)のときに、各アナログ電圧信号d(i)がデータ信号S(i)として出力され、放電制御信号CshがHレベルのときに、データ信号S(1)~S(N)のソースラインSL1~SLNへの印加が遮断されると共に隣接ソースラインが互いに短絡される。本構成では、nHドット反転駆動方式が採用されていることから隣接ソースラインの電圧は互いに逆極性であるため、各データ信号S(i)の値すなわち各ソースラインSLiの電圧は、放電期間(チャージシェア期間)Tshにおいて、正極性と負極性の間の或る中間電位に向かって変化する。また、この放電期間Tshでは、上記のように、各ソースラインSL1~SLNに共通電位Vcomが与えられるので、結局、各データ信号S(i)の値すなわち各ソースラインSLiの電圧は共通電位Vcomに等しくなる。

【0084】

本液晶表示装置では、各データ信号S(i)は、データ信号S(i)の直流レベルVsdを基準として極性が反転し、この直流レベルVsdは共通電位Vcomに近い値である。そして図12(F)に示すように、各データ信号S(i)は、放電期間Tshにおいて、チャージシェア動作および共通電位Vcomへの短絡動作により、共通電位Vcomに等しくなる(すなわちデータ信号S(i)の直流レベルVsdにほぼ等しくなる)。ただし、ここでは理想的なデータ信号波形を記載しており、実際には後述する放電制御信号線GshLjに接続された放電用TFT12の動作により、後述の図14に示すようにソースラインの電位Vsが、放電期間Tsh内に共通電位Vcomに到達することが可能となる。ちなみに、データ信号の極性反転時に隣接ソースラインを短絡することで各ソースラインの電圧をデータ信号S(i)の直流レベルVsdに等しくするという構成は、図11に示した構成に限定されるものではない。

【0085】

ゲートドライバ400は、ゲートスタートパルス信号GSPおよびゲートクロック信号GCKと、ゲートドライバ出力制御信号GOEとに基づき、各データ信号S(1)~S(N)を各画素形成部(の画素容量Cp)に書き込むために、デジタル画像信号DAの各フレーム期間(各垂直走査期間)においてゲートラインGL1~GL2Mをほぼ1水平期間ずつ順次選択する。すなわち、ゲートドライバ400は、図12(C)および図12(D)に示すような画素データ書込パルスPwを含む走査信号G(1)~G(2M)をゲートラインGL1~GL2Mにそれぞれ印加する。これにより、パルスPwが印加されているゲートラインGLjは選択状態となり、選択状態のゲートラインGLjに接続された画素TFT10がオン状態となる(非選択状態のゲートラインに接続された画素TFT10は

10

20

30

40

50

オフ状態となる)。ここで、画素データ書込パルス P_w は水平期間 (1H) のうち表示期間に相当する有効走査期間で H レベルとなる。

【0086】

この画素データ書き込みパルス P_w によって或る画素 T F T 1 0 がオン状態である間、当該画素 T F T 1 0 のソース端子に接続されたソースライン $S L_i$ の電位が当該画素 T F T 1 0 を介して画素電極 E_p に与えられる。これにより、ソースライン $S L_i$ の電圧としてのデータ信号 $S(i)$ が当該画素電極 E_p に対応する画素容量 C_p に書き込まれる。その後、当該画素 T F T 1 0 がオフ状態になると、その画素容量 C_p に書き込まれた電圧は、当該画素 T F T 1 0 に接続されたゲートライン $G L_j$ に次の画素データ書き込みパルス P_w が印加されるまで (ゲートライン $G L_j$ の次の選択まで)、画素データとして当該画素容量 C_p に保持される。

10

【0087】

放電制御回路 500 は、表示制御回路 200 からの放電制御信号 C_{sh} に基づき、図 12 (E) に示すような放電制御パルス P_{sh} を含むマトリクス基板用放電制御信号 G_{sh} を生成し、これを各放電制御信号線 $G_{sh} L_1 \sim G_{sh} L_{2M}$ に印加する。これにより、放電期間 T_{sh} において、放電制御信号線 $G_{sh} L_1 \sim G_{sh} L_{2M}$ が一括選択され、全ての放電用 T F T 1 2 がオン状態となる。ここで、放電制御パルス P_{sh} は 1 水平期間 (1H) のうちブランキング期間に相当する放電期間 T_{sh} 内で H レベルとなる。

【0088】

共通電極駆動回路 600 は、表示制御回路 200 の制御の下に、所定の固定電位である共通電位 V_{com} を、対向基板 120 における共通電極 E_c に与えると共に、アクティブマトリクス基板 110 上の保持容量線 C_{sL} にも与える。したがって、この共通電極駆動回路 600 は、保持容量線駆動回路としての役割も有している。すなわち、この共通電極駆動回路 600 は、共通電極 E_c に第 1 の所定電位として共通電位 V_{com} を与えると共に保持容量線 C_{sL} に第 2 の所定電位として共通電位 V_{com} を与える電位供給部として機能している。なお、本実施形態では第 1 の所定電位と第 2 の所定電位とは同一であるが、後述のように、第 1 の所定電位と第 2 の所定電位とは異なってもよい。

20

【0089】

< 1.2 効果 >

図 13 は、チャージシェア方式が採用された従来の 2H ドット反転駆動の液晶表示装置におけるアクティブマトリクス基板の動作を示す詳細な信号波形図である。この従来の液晶表示装置では、各ソースライン $S L_i$ の電位 V_s は、チャージシェア期間 T_{sh} 内に中間電位 V_{SDC} に達しないことから、極性反転の単位である 2 ラインのうちの 1 ライン目の画素容量の充電量と 2 ライン目の画素容量の充電量とに差が生じ、この差が輝度差となって現れ、ライン状の横筋ムラが視認されることがある。

30

【0090】

これに対し本実施形態では、上記チャージシェア期間に相当する放電期間 T_{sh} の間は、ソースドライバ 300 の出力部 304 (図 11 等参照) におけるチャージシェア動作および共通電位 V_{com} への短絡動作に加え、アクティブマトリクス基板 110 において各放電制御信号線 $G_{sh} L_j$ に接続された放電用 T F T 1 2 によって各ソースライン $S L_1 \sim S L_N$ がその近傍の保持容量線 C_{sL} に短絡される。これにより、各ソースライン $S L_1 \sim S L_N$ の蓄積電荷が放電され、図 14 に示すように、放電期間 T_{sh} に各ソースライン $S L_i$ の電位 V_s が共通電位 V_{com} に到達するので、横筋ムラの発生を抑制することができる。すなわち、このようなアクティブマトリクス基板 110 における放電動作によって各ソースライン $S L_i$ の電位 V_s が従来よりも短い時間で共通電位 V_{com} に到達するので、液晶表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

40

【0091】

また、本実施形態では、放電用 T F T 1 2 が画素毎に存在し、その放電用 T F T 1 2 をオンおよびオフするための放電制御信号線 $G_{sh} L_j$ が 1 画素行毎に存在することから、

50

これらの放電用 T F T 1 2 や放電制御信号線 G s h L j の配置は、アクティブマトリクス基板 1 1 0 によって形成されるべき画像の画素配置に整合しており、放電用 T F T 1 2 や放電制御信号線 G s h L j の追加によって画素配置の規則性が乱されることもない。

【 0 0 9 2 】

< 1 . 3 アクティブマトリクス基板のパターン構成 >

次に、図 1 ~ 図 7 を参照して、上記実施形態に係る液晶表示装置を実現するためのアクティブマトリクス基板 1 1 0 のパターン構成について説明する。

【 0 0 9 3 】

図 1 は、本実施形態におけるアクティブマトリクス基板 1 1 0 のパターン構成の第 1 の例を示す平面図であって、6 画素に相当する部分のパターン構成を示している。ゲートライン G L j とソースライン S L i の交差部近傍に画素 T F T 1 0 が設けられている ($i = 1, 2, \dots, N$; $j = 1, 2, \dots, 2M$)。この例では、ゲートライン G L j が画素 T F T 1 0 のゲート電極 (端子) 1 0 g を兼ねており、画素 T F T 1 0 のソース電極 (端子) 1 0 s はソースライン S L i に接続され、ドレイン電極 (端子) 1 0 d は、層間絶縁膜に設けられたコンタクトホール 1 1 を介して画素電極 E p に接続されている。

10

【 0 0 9 4 】

また、ゲートライン G L j に沿うように放電制御信号線 G s h L j が配置され、放電制御信号線 G s h L j の近傍には放電用 T F T 1 2 が設けられている。この放電用 T F T 1 2 のゲート電極 (端子) 1 2 g は、放電制御信号線 G s h L j に接続されており、その放電用 T F T 1 2 のソース電極 (端子) 1 2 s は、ソース引き出し電極 1 4 およびコンタクトホール 1 5 を介して保持容量線 C s L に接続されており、そのドレイン電極 (端子) 1 2 d は近傍のソースライン S L i に接続されている。この放電制御信号線 G s h L j は表示領域内に複数設けられることが好ましく、既述のように、本例ではゲートライン G L j と同数だけ設けられている。

20

【 0 0 9 5 】

図 1 の例では、放電用 T F T 1 2 のソース電極 1 2 s およびドレイン電極 1 2 d にそれぞれ接続されているソース引き出し電極 1 4 およびドレイン引き出し電極 1 3 は、放電制御信号線 G s h L j と重ならない。このようにすれば、放電用 T F T 1 2 のチャンネル部で膜残り欠陥等により放電用 T F T 1 2 が常時導通状態となった場合 (T F T 1 2 の短絡故障の場合) に、レーザ照射等によりソース引き出し電極 1 4 またはドレイン引き出し電極 1 3 を分断することで当該短絡故障の修正が可能となる。また、放電制御信号線 G s h L j とソースライン S L i とが短絡する確率を低減することができる。

30

【 0 0 9 6 】

図 2 は、本実施形態に係るアクティブマトリクス基板 1 1 0 のパターン構成の第 2 の例を示す平面図であって、2 画素に相当する部分のパターン構成を示している。図 3 は、図 2 の A - A 線における断面図である。この第 2 の例における構成要素のうち第 1 の例の構成要素と同一または対応するものについては同一の参照符号を付すものとし、以下では同一部分の説明を省略する。

【 0 0 9 7 】

この第 2 の例では、ゲートライン G L j ($j = 1, 2, \dots, 2M$) に平行であって画素電極 E p の中央を通過するように配設された保持容量線 C s L が、各画素回路において、画素電極 E p の外縁部に沿ってソースライン S L i に平行に延びる 4 つの延伸部 1 6 a ~ 1 6 d を有している。これらの延伸部 1 6 a ~ 1 6 d は、画素電極 E p に対するソースライン S L 1 , S L 2 の電位変化の影響を抑制するためのシールド電極として機能する。これら 4 つの延伸部 1 6 a ~ 1 6 d のうち放電制御信号線 G s h L j に向かう延伸部 1 6 b , 1 6 c の両端部は、コンタクトホール 1 5 を介してソース引き出し電極 1 4 によって互いに接続され、そのソース引き出し電極 1 4 は放電用 T F T 1 2 のソース電極 1 2 s に接続されている。

40

【 0 0 9 8 】

すなわち、図 3 に示すように、透明性絶縁基板としてのガラス基板 2 0 上に保持容量線

50

C s Lの延伸部 1 6 b , 1 6 c とシリコンナイトライド (S i N x) 等からなるゲート絶縁膜 2 2 が順に形成されており、その上に形成されたソース引き出し電極 1 4 が、ゲート絶縁膜 2 2 に設けられたコンタクトホール 1 5 を介して保持容量線 C s L の延伸部 1 6 b , 1 6 c と電氣的に接続されている。このソース引き出し電極 1 4 の上には、シリコンナイトライド等からなるパッシベーション膜としての層間絶縁膜 2 4 およびアクリル系感光性樹脂等からなる層間絶縁膜 2 6 が順に形成されており、更にその上に I T O (Indium Tin Oxide) 等からなる透明性電極として画素電極 E p が形成されている。

【 0 0 9 9 】

また図 2 に示すように、この第 2 の例では、放電制御信号線 G s h L j が放電用 T F T 1 2 のゲート電極 (端子) を兼ねており、この放電用 T F T 1 2 は、絶縁層を介して放電制御信号線 G s h L j に覆われている。アクティブマトリクス基板の製造時の歩留まりの点では、放電用 T F T 1 2 とそのソース引き出し電極およびドレイン引き出し電極が放電制御信号線 G s h L j と重ならない上記第 1 の例が有利であるが、開口率の点ではこの第 2 の例が有利である。

10

【 0 1 0 0 】

図 4 は、本実施形態に係るアクティブマトリクス基板 1 1 0 のパターン構成の第 3 の例を示す平面図であり、2 画素に相当する部分のパターン構成を示している。図 5 は、図 4 の B - B 線における断面図である。この第 3 の例における構成要素のうち第 1 または第 2 の例の構成要素と同一または対応するものについては同一の参照符号を付すものとし、以下では同一部分についての詳しい説明を省略する。

20

【 0 1 0 1 】

この第 3 の例においても、保持容量線 C s L は、上記第 2 の例と同様に各画素回路において 4 つの延伸部 1 6 a ~ 1 6 d を有している。そして、これらの延伸部 1 6 a ~ 1 6 d のうち放電制御信号線 G s h L j に向かう延伸部 1 6 b , 1 6 c の両端部は、コンタクトホール 1 5 を介してソース引き出し電極 1 4 によって互いに接続され、そのソース引き出し電極 1 4 は放電用 T F T 1 2 のソース電極 1 2 s に接続されている。しかし、上記第 2 の例とは異なり、延伸部 1 6 b , 1 6 c の端部とソース引き出し電極 1 4 とを接続するためのコンタクトホール 1 5 を覆うように透明導電膜 2 8 が形成されており、この透明導電膜 2 8 は導通電極として機能する。すなわち、上記延伸部 1 6 b , 1 6 c のそれぞれは、コンタクトホール 1 5 において、ソース引き出し電極 1 4 と直接に接続されるのではなく、この透明導電膜 2 8 を介してソース引き出し電極 1 4 と接続されている (図 5)。この透明導電膜 2 8 は、I T O (Indium Tin Oxide) 等からなる画素電極 E p と同一のマスクを用いて作製される。

30

【 0 1 0 2 】

すなわち、図 5 に示すように、透明性絶縁基板としてのガラス基板 2 0 上に保持容量線 C s L の延伸部 1 6 b , 1 6 c とシリコンナイトライド (S i N x) 等からなるゲート絶縁膜 2 2 が順に形成されており、その上にソース引き出し電極 1 4 、シリコンナイトライド等からなるパッシベーション膜としての層間絶縁膜 2 4 、およびアクリル系感光性樹脂等からなる層間絶縁膜 2 6 が順に形成されている。そして、層間絶縁膜 2 4 , 2 6 やゲート絶縁膜 2 2 に設けられたコンタクトホール 1 5 に形成された透明導電膜 2 8 を介して、ソース引き出し電極 1 4 と保持容量線 C s L の延伸部 1 6 b , 1 6 c とが電氣的に接続されている。

40

【 0 1 0 3 】

このような第 3 の例は、上記第 2 の例と同様の利点に加えて、保持容量線 C s L (の延伸部 1 6 b 、 1 6 c) とソース引き出し電極 1 4 とが、画素電極 E p と同時に形成される透明導電膜 2 8 を介して電氣的に接続されるので、第 2 の例に比べて製造工程が簡略化できるという利点を有している。すなわち、画素 T F T 1 0 のドレイン電極 1 0 d と画素電極 E p との電氣的接続のための工程において、同時に、保持容量線 C s L (の延伸部 1 6 b 、 1 6 c) とソース引き出し電極 1 4 との電氣的接続を実現することができる。

【 0 1 0 4 】

50

図6は、本実施形態に係るアクティブマトリクス基板110のパターン構成の第4の例を示す平面図であり、2画素に相当する部分のパターン構成を示している。この第4の例における構成要素のうち第1または第2の例の構成要素と同一または対応するものについては同一の参照符号を付すものとし、以下では同一部分についての詳しい説明を省略する。

【0105】

この第4の例では、上記第2の例と同様、画素電極 E_p の電位に対するソースライン S_{L1} 、 S_{L2} の電位変化の影響を抑制すべく、保持容量線 C_{sL} が、各画素回路において、画素電極 E_p の外縁部に沿ってソースライン S_{Li} に平行に伸びる4つの延伸部16a~16dを有している。これらの延伸部16a~16dのうちゲートライン G_{Lj} に向かって伸びる延伸部16a、16dは、画素電極 E_p の外縁に沿ってゲートライン G_{Lj} に平行に伸びる電極（以下「水平延伸部」という）16eによって互いに接続され、この水平延伸部16eと共に保持容量線 C_{sL} に一体化したパターンとして形成されている。この水平延伸部16eは、画素電極 E_p の電位に対するゲートライン G_{Lj} の電位変化の影響を抑制するためのシールド電極として機能する。また、放電制御信号線 G_{shLj} に向かって延伸部16b、16cの両端部は、上記第2の例と同様、コンタクトホール15を介してソース引き出し電極14によって互いに接続され、そのソース引き出し電極14は放電用TFT12のソース電極12sに接続されている。この第4の例では、このようにして画素電極 E_p の外縁部に沿って形成された保持容量線 C_{sL} の5つの延伸部16a~16eとソース引き出し電極14とによって環状の構造体が構成されている。

【0106】

なお、上記のように保持容量線 C_{sL} は水平延伸部16eを有することから、画素TFT10のドレイン電極10dは、ドレイン引き出し電極18およびコンタクトホール11を介して画素電極 E_p の中央部で当該画素電極 E_p に接続されている。また、ドレイン引き出し電極18は、この接続箇所において保持容量線 C_{sL} と対向する部分19を有しており、この部分19が保持容量電極として絶縁膜を介して保持容量線 C_{sL} と対向することにより保持容量 C_{cs} が形成されている。

【0107】

図7は、本実施形態に係るアクティブマトリクス基板110のパターン構成の第5の例を示す平面図であり、2画素に相当する部分のパターン構成を示している。この第5の例における構成要素のうち第1または第2の例の構成要素と同一または対応するものについては同一の参照符号を付すものとし、以下では同一部分についての詳しい説明を省略する。

【0108】

この第5の例では、ゲートライン G_{Lj} に平行であって画素電極 E_p の中央を通過するように配設された保持容量線 C_{sL} が、コンタクトホール15を介して放電用TFT12のソース引き出し電極14と電氣的に接続されている。この放電用TFT12は、放電制御信号線 G_{shLj} の近傍に設けられていて、そのゲート電極（端子）12gは、放電制御信号線 G_{shLj} に接続されている。また、この放電用TFT12には2つのドレイン電極が設けられており、一方のドレイン電極は第1のドレイン引き出し電極12d1を介して、この放電用TFT12を挟む2つのソースラインのうち一方のソースライン S_{Li} に接続され、他方のドレイン電極は第2のドレイン引き出し電極12d2を介して、当該2つのソースラインのうち他方ソースライン S_{Li+1} に接続されている（ $i=1, 2, \dots, N-1$ ）。

【0109】

なお、この第5の例では、画素電極 E_p が放電制御信号線 G_{shLj} および放電用TFT12と重なっている。このパターン構成は、画素領域を広くすることができるので、開口率の向上に有効である。ただし、放電用TFT12に接続されている各ソースライン（およびソース引き出し電極12d1、12d2）と画素電極 E_p との間の寄生容量を低減するという観点から、画素電極 E_p と放電用TFT12の間には数 μm の厚みを有する層

間絶縁膜を有することが望ましい。この層間絶縁膜としては、例えばアクリル系樹脂やSOG (Spin on Glass)材料からなる有機膜や、それら有機膜とシリコンナイトライド (SiNx) 等との積層構造が用いられる。

【0110】

アクティブマトリクス基板110の等価回路は、既述の第1～第4の例の場合は図9に示したような構成となるが、この第5の例の場合には図15に示すような構成となる。すなわち、第5の例では、隣接する2つのソースラインSL_i, SL_{i+1} (i = 1, 2, ..., N - 1) が、2つのドレイン電極を有する上記放電用TFT12に相当する第1TFT121および第2TFT122によって互いに接続され、各ソースラインSL_i (i = 1, 2, ..., N) は、保持容量線CSLに、第1TFT121を介して接続されると共に第2TFT122を介しても接続されている。このような構成によれば、放電期間Tshにおける各ソースラインSL1～SLNの蓄積電荷の移動が促進され、各ソースラインSL1～SLNの電位Vsは、第1～第4の例よりも短い時間で共通電位Vcomに到達する。これにより、本実施形態の効果、すなわち、液晶表示装置の大型化や高解像度化が進み駆動周波数が上昇しても画素容量における充電量の差や充電不足による表示品質の低下を抑制することができるという効果を更に高めることができる。

【0111】

< 1.4 ソースドライバの他の構成例 >

図11に示した構成では、ソースドライバ300の出力部304は、スイッチング素子としてのN個の第1のMOSトランジスタSWa、(N - 1)個の第2のMOSトランジスタSWbおよび第3のMOSトランジスタSWb2と、インバータ33とからなるスイッチ回路を含んでおり、このスイッチ回路によりチャージシェア動作および共通電位Vcomへの短絡動作が実現されている。しかし、ソースドライバ300の出力部304の構成は、図11に示した構成(以下「第1の構成例」という)に限定されるものではなく、例えば図16に示す構成または図17に示す構成であってもよい。

【0112】

図16は、ソースドライバ300の出力部304の第2の構成例を示す回路図である。この構成例による出力部304における構成要素のうち第1の構成例におけるものと同じの構成要素については、同一の参照符号を付して説明を省略する。

【0113】

本構成例による出力部304も、第1の構成例と同様、各ソースラインSL_i (i = 1 ~ N) に対しスイッチング素子としての第2のMOSトランジスタSWcが1個ずつ設けられている。しかし、第1の構成例では、隣接ソースライン間に1個ずつ第2のMOSトランジスタSWbが挿入されるようにスイッチ回路が構成されるのに対し、本構成例では、ソースドライバ300がその外部から共通電圧Vcomを受け取るための入力端子(以下「共通電圧入力端子」という)と各ソースラインSL_iとの間に1個ずつ第2のMOSトランジスタSWcが挿入されるようにスイッチ回路が構成される。すなわち本構成例では、各ソースラインSL_iに接続されるべきソースドライバの出力端子は、これら第2のMOSトランジスタSWcのいずれか1つを介して共通電圧入力端子に接続されている。そして、これら第2のMOSトランジスタSWcのゲート端子のいずれにも放電制御信号Cshが与えられる。

【0114】

上記のような第2の構成例によっても、第1の構成例と同様、放電制御信号Cshに基づき、放電期間Tsh以外(の有効走査期間)では、データ信号生成部302で生成されたアナログ電圧信号d(1)～d(N)がバッファ31を介してデータ信号S(1)～S(N)として出力されてソースラインSL1～SLNに印加され、放電期間Tshでは、データ信号S(1)～S(N)のソースラインSL1～SLNへの印加が遮断されると共に全ソースラインSL1～SLNに共通電位Vcomが与えられる。しかも、この第2の構成例によれば、放電期間Tshにおいて各ソースラインSL_i (i = 1 ~ N) には、1つのMOSトランジスタSWcのみを介して共通電位Vcomが与えられる。

【 0 1 1 5 】

図 1 7 は、ソースドライバ 3 0 0 の出力部 3 0 4 の第 3 の構成例を示す回路図である。この第 3 の構成例は、通常のチャージシェア方式の構成に相当するものであり、スイッチング素子としての第 3 の MOS トランジスタ SW b 2 が削除され、共通電位 V c o m が供給されない点を除けば、第 1 の構成例 (図 1 1) と同様である。この構成例による出力部 3 0 4 における構成要素のうち第 1 の構成例におけるものと同じの構成要素については、同一の参照符号を付して説明を省略する。

【 0 1 1 6 】

このような構成によれば、放電期間 T s h においてソースドライバ 3 0 0 からはソースライン S L 1 ~ S L N に共通電位 V c o m が与えられないが、アクティブマトリクス基板 1 1 0 において放電期間 T s h に各ソースライン S L 1 ~ S L N に対し共通電位 V c o m が与えられる (図 9 等参照) 。したがって、この第 3 の構成例によっても、各ソースライン S L 1 ~ S L N の電位を従来よりも短時間で共通電位 V c o m に到達させることができる。

【 0 1 1 7 】

< 2 . 第 2 の実施形態 >

本発明は、表示部 1 0 0 の上半分と下半分を別個の駆動回路で駆動する方式 (以下「上下分割駆動方式」) の液晶表示装置にも適用可能である。以下、本発明に係るアクティブマトリクス基板を使用したこのような液晶表示装置の一例を第 2 の実施形態として説明する。

【 0 1 1 8 】

図 1 8 は、本実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置のアクティブマトリクス基板 1 1 2 では、各ソースラインは、中央で電氣的に互いに分離された上部ソースライン S L i (上) と下部ソースライン S L i (下) からなる。このアクティブマトリクス基板 1 1 2 の他の構成は、上記第 1 の実施形態におけるアクティブマトリクス基板 1 1 0 と同様である。したがって、このアクティブマトリクス基板 1 1 2 の画素回路の構成も、第 1 の実施形態におけるアクティブマトリクス基板 1 1 0 の画素回路と同様であり、隣接 4 画素に相当する部分 1 0 1 の等価回路は図 9 に示す通りである。

【 0 1 1 9 】

アクティブマトリクス基板 1 1 2 の各ソースラインが上記のように上下に分離されていることに対応して、ソースドライバは、上部ソースライン S L 1 (上) ~ S L N (上) を駆動する上部ソースドライバ 3 0 0 a と、下部ソースライン S L 1 (下) ~ S L N (下) を駆動する下部ソースドライバ 3 0 0 b とからなる。また、ゲートドライバは、上部ソースライン S L 1 (上) ~ S L N (上) と交差する M 本のゲートライン G L 1 ~ G L M を駆動する上部ゲートドライバ 4 0 0 a と、下部ソースライン S L 1 (下) ~ S L N (下) と交差する M 本のゲートライン G L M + 1 ~ G L 2 M を駆動する下部ゲートドライバ 4 0 0 b とからなる。そして、放電制御回路は、上部ソースライン S L 1 (上) ~ S L N (上) と交差する M 本の放電制御信号線 G s h L 1 ~ G s h L M にマトリクス基板用放電制御信号 G s h を印加する上部放電制御回路 5 0 0 a と、下部ソースライン S L 1 (下) ~ S L N (下) と交差する M 本の放電制御信号線 G s h L M + 1 ~ G s h L 2 M にマトリクス基板用放電制御信号 G s h を印加する下部放電制御回路 5 0 0 b とからなる。

【 0 1 2 0 】

また、表示制御回路 2 0 0 は、ソースドライバに供給されるべきデジタル画像信号として、上部ソースドライバ 3 0 0 a に供給される上部デジタル画像信号 D A a と、下部ソースドライバ 3 0 0 b に供給される下部デジタル画像信号 D A b とを生成し、ゲートドライバに供給されるべきゲートスタートパルス信号として、上部ゲートドライバ 4 0 0 a に供給される上部ゲートスタートパルス信号 G S P a と、下部ゲートドライバ 4 0 0 b に供給される下部ゲートスタートパルス信号 G S P b とを生成する。上部ソースドライバ 3 0 0 a は、上部ソースライン S L 1 (上) ~ S L N (上) に印加すべきデータ信号 S a (1)

～ $S_a(N)$ を上部デジタル画像信号 DA_a を用いて生成し、下部ソースドライバ $300b$ は、下部ソースライン $SL_1(下) \sim SL_N(下)$ に印加すべきデータ信号 $S_b(1) \sim S_b(N)$ を下部デジタル画像信号 DA_b を用いて生成する。上部ゲートドライバ $400a$ は、ゲートライン $GL_1 \sim GL_M$ に印加すべき走査信号 $G(1) \sim G(M)$ を上部ゲートスタートパルス GSP_a を用いて生成し、下部ゲートドライバ $400b$ は、ゲートライン $GL_{M+1} \sim GL_{2M}$ に印加すべき走査信号 $G(M+1) \sim G(2M)$ を下部ゲートスタートパルス GSP_b を用いて生成する。この液晶表示装置における上記以外の構成は、第1の実施形態と同様であるので、同一部分には同一の符号を付して説明を省略する。

【0121】

上記のような構成の液晶表示装置においても、放電期間 T_{sh} の間は、上部および下部ソースドライバ $300a$ 、 $300b$ におけるチャージシェア動作（および共通電位 V_{com} への短絡動作）に加え、アクティブマトリクス基板 112 において各放電制御信号線 G_{shL_j} に接続された放電用 TFT_{12} によって各ソースライン $SL_1 \sim SL_N$ が近傍の保持容量線 C_{sL} に短絡されるので、上記第1の実施形態と同様の効果が得られる。

【0122】

< 3. 第3の実施形態 >

次に、黒表示期間の挿入（黒挿入）により表示をインパルス化する方式を採用した本発明に係る液晶表示装置の一例を、本発明の第3の実施形態として説明する。本実施形態に係る液晶表示装置の全体的な構成は、上記第1の実施形態に係る液晶表示装置と同様であって図8に示す通りであり、同一または対応する部分には同一の参照符号を付すものとし、詳しい説明を省略する。本実施形態ではゲートドライバの内部構成が上記第1の実施形態におけるゲートドライバ 400 等の通常のゲートドライバと相違する。そこで以下では、本実施形態につきゲートドライバを中心に説明する。

【0123】

本実施形態におけるゲートドライバは、ゲートスタートパルス信号 GSP およびゲートクロック信号 GCK と、ゲートドライバ出力制御信号 GOE_r ($r = 1, 2, \dots, q$)とに基づき、各データ信号 $S(1) \sim S(N)$ を各画素形成部（の画素容量 C_p ）に書き込むために、デジタル画像信号 DA の各フレーム期間においてゲートライン $GL_1 \sim GL_M$ をほぼ1水平期間（有効走査期間）ずつ順次選択すると共に、後述の黒挿入のために、表示制御回路 200 からの放電制御信号 C_{sh} がHレベルとなる1水平期間毎の放電期間 T_{sh} のうち各走査信号線 GL_j につき予め選ばれた放電期間 T_{sh} 内において所定期間（後述の図20に示す黒電圧印加パルス P_b に相当する期間）だけゲートライン GL_j を選択する（ $j = 1 \sim 2M$ ）。

【0124】

図19(A)(B)は、ゲートドライバ 400 の一構成例を示すブロック図である。この構成例によるゲートドライバ 400 は、シフトレジスタを含む複数個（ q 個）の部分回路としてのゲートドライバ用IC（Integrated Circuit）チップ $411, 412, \dots, 41q$ からなる。

【0125】

各ゲートドライバ用ICチップは、図19(B)に示すように、シフトレジスタ 40 と、当該シフトレジスタ 40 の各段に対応して設けられた第1および第2のANDゲート $41, 43$ と、第2のANDゲート 43 の出力信号 $g_1 \sim g_p$ に基づき走査信号 $G_1 \sim G_p$ を出力する出力部 45 とを備え、外部からスタートパルス信号 SP_i 、クロック信号 CK および出力制御信号 OE を受け取る。スタートパルス信号 SP_i はシフトレジスタ 40 の入力端に与えられ、シフトレジスタ 40 の出力端からは、後続のゲートドライバ用ICチップに入力されるべきスタートパルス信号 SP_o を出力する。また、第1のANDゲート 41 のそれぞれにはクロック信号 CK の論理反転信号が入力され、第2のANDゲート 43 のそれぞれには出力制御信号 OE の論理反転信号が入力される。そして、シフトレジスタ 40 の各段の出力信号 Q_k ($k = 1 \sim p$)は、当該段に対応する第1のANDゲート 41 に入力され、当該第1のANDゲート 41 の出力信号は当該段に対応する第2のAND

ゲート４３に入力される。

【０１２６】

本構成例によるゲートドライバは、図１９（Ａ）に示すように、上記構成の複数（ q 個）のゲートドライバ用ＩＣチップ４１１～４１ q が縦続接続されることによって実現される。すなわち、ゲートドライバ用ＩＣチップ４１１～４１ q 内のシフトレジスタ４０が１つのシフトレジスタを形成するように（以下、このように縦続接続によって形成されるシフトレジスタを「結合シフトレジスタ」という）、各ゲートドライバ用ＩＣチップ内のシフトレジスタの出力端（スタートパルス信号ＳＰ_oの出力端子）が次のゲートドライバ用ＩＣチップ内のシフトレジスタの入力端（スタートパルス信号ＳＰ_iの入力端子）に接続される。ただし、先頭のゲートドライバ用ＩＣチップ４１１内のシフトレジスタの入力端には、表示制御回路２００からゲートスタートパルス信号ＧＳＰが入力され、最後尾のゲートドライバ用ＩＣチップ４１ q 内のシフトレジスタの出力端は外部と未接続となっている。また、表示制御回路２００からのゲートクロック信号ＧＣＫは、各ゲートドライバ用ＩＣチップ４１１～４１ q にクロック信号ＣＫとして共通に入力される。一方、表示制御回路２００において生成されるゲートドライバ出力制御信号ＧＯＥは第１～第 q のゲートドライバ出力制御信号ＧＯＥ１～ＧＯＥ q からなり、これらのゲートドライバ出力制御信号ＧＯＥ１～ＧＯＥ q は、ゲートドライバ用ＩＣチップ４１１～４１ q に出力制御信号ＯＥとしてそれぞれ個別に入力される。

10

【０１２７】

次に、図２０を参照しつつ上記構成例によるゲートドライバの動作について説明する。表示制御回路２００は、図２０（Ａ）に示すように、画素データ書込パルス P_w に対応する期間 T_{spw} と３個の黒電圧印加パルス P_b に対応する期間 T_{spbw} だけ H レベル（アクティブ）となる信号をゲートスタートパルス信号 GSP として生成すると共に、図２０（Ｂ）に示すように、１水平期間（ $1H$ ）毎に所定期間だけ H レベルとなるゲートクロック信号 GCK を生成する。このようなゲートスタートパルス信号 GSP およびゲートクロック信号 GCK が図１９（Ａ）のゲートドライバに入力されると、先頭のゲートドライバ用ＩＣチップ４１１のシフトレジスタ４０の初段の出力信号 Q_1 として、図２０（Ｃ）に示すような信号が出力される。この出力信号 Q_1 は、各フレーム期間において、画素データ書込パルス P_w に対応する１個のパルス P_{qw} と、３個の黒電圧印加パルス P_b に対応する１個のパルス P_{qbw} とを含み、これらの２個のパルス P_{qw} と P_{qbw} との間は所定期間 T_{hd} だけ離れている。このような２個のパルス P_{qw} および P_{qbw} がゲートクロック信号 GCK に従ってゲートドライバ内の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、図２０（Ｃ）に示すような波形の信号が１水平走査期間（ $1H$ ）ずつ順次ずれて出力される。

20

30

【０１２８】

また、表示制御回路２００は、既述のように、ゲートドライバを構成するゲートドライバ用ＩＣチップ４１１～４１ q に与えるべきゲートドライバ出力制御信号 $GOE_1 \sim GOE_q$ を生成する。ここで、 r 番目のゲートドライバ用ＩＣチップ４１ r に与えるべきゲートドライバ出力制御信号 GOE_r は、当該ゲートドライバ用ＩＣチップ４１ r 内のシフトレジスタ４０のいずれかの段から画素データ書込パルス P_w に対応するパルス P_{qw} が出力されている期間では、画素データ書込パルス P_w の調整のためにゲートクロック信号 GCK のパルス近傍の所定期間 T_{ad} で H レベルとなることを除き L レベルとなり、それ以外の期間では、ゲートクロック信号 GCK が H レベルから L レベルに変化した直後の所定期間 T_{oe} だけ L レベルとなることを除き H レベルとなる。ただし、この所定期間 T_{oe} は、いずれかの放電期間 T_{sh} に含まれるように設定される。例えば、先頭のゲートドライバ用ＩＣチップ４１１には、図２０（Ｄ）に示すようなゲートドライバ出力制御信号 GOE_1 が与えられる。なお、画素データ書込パルス P_w の調整のためにゲートドライバ出力制御信号 $GOE_1 \sim GOE_q$ に含まれるパルス（これは上記所定期間 T_{ad} で H レベルとなることに相当し、以下「書込期間調整パルス」という）は、必要な画素データ書込パルス P_w に応じて、ゲートクロック信号 GCK の立ち上がりよりも早く立ち上がったたり、

40

50

ゲートクロック信号 G C K の立ち下がりよりも遅く立ち下がったりする。また、このような書込期間調整パルスを使用せずに、ゲートクロック信号 G C K のパルスだけで画素データ書込パルス P w を調整するようにしてもよい。

【 0 1 2 9 】

各ゲートドライバ用 I C チップ 4 1 r (r = 1 ~ q) では、上記のようなシフトレジスタ 4 0 各段の出力信号 Q k (k = 1 ~ p)、ゲートクロック信号 G C K およびゲートドライバ出力制御信号 G O E r に基づき、第 1 および第 2 の A N D ゲート 4 1 , 4 3 により、内部走査信号 g 1 ~ g p が生成され、それらの内部走査信号 g 1 ~ g p が出力部 4 5 でレベル変換されて、ゲートラインに印加すべき走査信号 G 1 ~ G p が出力される。これにより、図 2 0 (E) (F) に示すように、ゲートライン G L 1 ~ G L M には、順次画素データ書込パルス P w が印加されると共に、各ゲートライン G L j (j = 1 ~ 2 M) では、画素データ書込パルス P w の印加終了時点(立ち下がり時点)から所定期間 T h d だけ経過した時点で、黒電圧印加パルス P b が印加され、その後、1 水平期間 (1 H) 間隔で 2 個の黒電圧印加パルス P b が印加される。このようにして 3 個の黒電圧印加パルス P b が印加された後は、次のフレーム期間の画素データ書込パルス P w が印加されるまで L レベルが維持される。

10

【 0 1 3 0 】

次に図 2 1 を参照しつつ、本実施形態における上記のソースドライバ 3 0 0 およびゲートドライバ 4 0 0 による表示部 1 0 0 (図 8、図 9) の駆動について説明する。表示部 1 0 0 における各画素形成部では、それに含まれる T F T 1 0 のゲート端子に接続されるゲートライン G L j に画素データ書込パルス P w が印加されることにより、当該 T F T 1 0 がオンし、当該 T F T 1 0 のソース端子に接続されるソースライン S L i の電圧がデータ信号 S (i) の値として当該画素形成部に書き込まれる。すなわちソースライン S L i の電圧が画素容量 C p に保持される。その後、当該ゲートライン G L j は黒電圧印加パルス P b が現れるまでの期間 T h d は非選択状態となるので、当該画素形成部に書き込まれた電圧がそのまま保持される。

20

【 0 1 3 1 】

黒電圧印加パルス P b は、その非選択状態の期間(以下「画素データ保持期間」という) T h d の後の放電期間 T s h にゲートライン G L j に印加される。既述のように放電期間 T s h では、各データ信号 S (i) の値すなわち各ソースライン S L i の電圧は、データ信号 S (i) の直流レベルにほぼ等しくなる(すなわち黒電圧となる)。したがって、当該ゲートライン G L j への黒電圧印加パルス P b の印加により、当該画素形成部の画素容量 C p に保持される電圧は、黒表示に対応する電圧(黒電圧)に向かって変化する。しかし、黒電圧印加パルス P b のパルス幅は短いので、画素容量 C p における保持電圧を確実に黒電圧にするために、図 2 1 (D) (E) に示すように、各フレーム期間において 1 水平走査期間 (1 H) 間隔で 3 個の黒電圧印加パルス P b が続けて当該ゲートライン G L j に印加される。これにより、当該ゲートライン G L j に接続される画素形成部によって形成される画素の輝度(画素容量での保持電圧によって決まる透過光量) L (j , i) は、図 2 1 (H) に示すように変化する。

30

【 0 1 3 2 】

したがって、各ゲートライン G L j に接続される画素形成部に対応する 1 表示ラインにおいて、画素データ保持期間 T h d ではデジタル画像信号 D A に基づく表示が行われ、その後上記 3 個の黒電圧印加パルス P b が印加されてから次に当該ゲートライン G L j に画素データ書込パルス P w が印加される時点までの期間 T b k では黒表示が行われる。このようにして、黒表示の行なわれる期間(以下「黒表示期間」という) T b k が各フレーム期間に挿入されることにより、液晶表示装置による表示のインパルス化が行われる。

40

【 0 1 3 3 】

図 2 1 (D) (E) からわかるように、画素データ書込パルス P w の現れる時点は走査信号 G (j) 毎に 1 水平走査期間 (1 H) ずつずれているので、黒電圧印加パルス P b の現れる時点も走査信号 G (j) 毎に 1 水平走査期間 (1 H) ずつずれている。したがっ

50

て、黒表示期間 T_{bk} も 1 表示ライン毎に 1 水平走査期間 (1 H) ずつずれて、全ての表示ラインにつき同じ長さの黒挿入が行われる。このようにして、画素データ書込のための画素容量 C_p での充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ 300 等の動作速度を上げる必要もない。

【 0 1 3 4 】

上記第 3 の実施形態では、図 21 (D) ~ (G) に示すように、画素データ書込パルス P_w と黒電圧印加パルス P_b とが時間的に重なっている。例えば、走査信号 $G(j+m)$ の画素データ書込パルス P_w が走査信号 $G(j)$ の黒電圧印加パルス P_b と時間的に重なっており、走査信号 $G(j+m+1)$ の画素データ書込パルス P_w が走査信号 $G(j)$ および $G(j+1)$ の黒電圧印加パルス P_b と時間的に重なっている。ここで、1 フレーム期間において各走査信号 $G(j)$ ($j = 1, 2, \dots, 2M$) に含まれる黒電圧印加パルス P_b の個数 (以下「1 フレーム当たりの黒電圧印加パルス数」という) を増やすと、画素データ書込パルス P_w と時間的に重なる黒電圧印加パルス P_b の個数も増える。これによりアクティブマトリクス基板 100 上のゲートライン $GL_1 \sim GL_{2M}$ のうち同時に H レベルとなるゲートラインの本数が増えるので、当該 H レベルを与えるための電源の負荷が増大することになり、画素データ書込パルス P_w および黒電圧印加パルス P_b の波形が鈍る。黒電圧印加パルス P_b の時間幅は画素データ書込パルス P_w の時間幅に比べて格段に短いので、この波形鈍りは主として黒電圧印加パルス P_b に影響する。図 21 (H) からわかるように、1 フレーム当たりの黒電圧印加パルス数を 1 から増やしていくと、黒表示期間 T_{bk} において画素の輝度がより十分な黒レベルとなるが、上記のように黒電圧印加パルスの波形鈍りの影響も大きくなるので、1 フレーム当たりの黒電圧印加パルス数を所定個数以上増やすと、黒表示期間 T_{bk} において画素の輝度を十分な黒レベルとすることができなくなる。また、近年、アクティブマトリクス基板を使用した表示装置において、解像度の向上や、フレーム周波数を高めて補間画像の画素データを画素形成部に書き込むような動画視認性改善技術が求められており、このような状況下では、画素データ書込パルス P_w と黒電圧印加パルス P_b との時間的な重なりによる画素データ書込パルス P_w の波形鈍りが、画素データの書込不足 (画素容量の充電不足) につながる虞もある。

【 0 1 3 5 】

そこで、図 22 に示すように、画素データ書込パルス P_w と黒電圧印加パルス P_b とが時間的に重ならないような走査信号 $G(1) \sim G(2M)$ がアクティブマトリクス基板 100 上のゲートライン $GL_1 \sim GL_{2M}$ にそれぞれ印加される構成とするのが好ましい。上記第 3 の実施形態 (図 21 参照) とは異なり、図 22 に示す例では、各走査信号 $G(k)$ ($k = 1 \sim 2M$) における画素データ書込パルス P_w は、いずれの走査信号における黒電圧印加パルスとも時間的に重なることがない (図 22 (D) ~ (G))。ゲートドライバをこのような走査信号 $G(1) \sim G(2M)$ が出力される構成とすることにより、同時に H レベルとなるゲートラインの本数 (同時に H レベルとなる走査信号の個数) が少なくなる。その結果、黒表示期間 T_{bk} において画素の輝度を十分な黒レベルとしつつ、画素データ書込パルス P_w の波形鈍りによる画素容量の充電不足を抑制することができる。

【 0 1 3 6 】

< 4 . 変形例 >

上記第 1 の実施形態では、チャージシェア用のスイッチング素子として、ソースドライバの出力部 304 に MOS トランジスタ SW_b が設けられると共に (図 11 等)、アクティブマトリクス基板 110 に放電用 TFT_{12} が設けられている (図 8、図 9)。しかし、放電期間 T_{sh} 内にソースライン SL_i の電位を共通電位 V_{com} に等しい値に到達させることができるのであれば、ソースドライバの出力部 304 におけるチャージシェア用のスイッチング素子 (MOS トランジスタ SW_b) を省略してもよい。

【 0 1 3 7 】

また、上記第 1 および第 2 の実施形態におけるアクティブマトリクス基板では、各ゲートライン GL_j に沿って放電制御信号線 $GshL_j$ が配設されており ($j = 1, 2, \dots, 2M$)、各ソースライン SL_i につき、ゲートラインの本数 ($2M$) に等しい個数の放電

10

20

30

40

50

用 T F T 1 2 が設けられている ($i = 1, 2, \dots, N$) (図 8、図 9 等)。しかし、本発明はこのような構成に限定されるものではなく、放電期間 T_{sh} 内に、各ソースラインの電位を共通電位 V_{com} に等しい値に到達させることができるようにすればよい。

【 0 1 3 8 】

例えば、図 8 および図 9 に示す第 1 の実施形態の構成に代えて、図 2 3 および図 2 4 に示すように、ゲートライン $G L_j$ の 1 本おきに放電制御信号線を配設し、各ソースライン $S L_i$ につき、ゲートラインの本数 ($2M$) の $1/2$ に等しい個数 (M 個) の放電用 T F T 1 2 を設けるようにしてもよい。ここで、図 2 4 は、図 2 3 に示す液晶表示装置のアクティブマトリクス基板 1 1 4 の一部 (4 画素に相当する部分) 1 0 4 の等価回路を示す回路図である。

10

【 0 1 3 9 】

また、図 8 および図 9 に示す第 1 の実施形態の構成に代えて、図 2 5 および図 2 6 に示すように、ソースライン $S L_1 \sim S L_N$ の両端部にのみ放電制御信号線 G_{shLa}, G_{shLb} を配設し、各ソースライン $S L_i$ の一端と他端に 1 個ずつ放電用 T F T 1 2 を設けるようにしてもよい。ここで、図 2 6 は、図 2 5 に示す液晶表示装置のアクティブマトリクス基板 1 1 6 の一部 (2 画素列に相当する部分) 1 0 6 の等価回路を示す回路図である。

【 0 1 4 0 】

ところで、放電期間 T_{sh} 内に各ソースラインの電位を共通電位 V_{com} に等しい値に到達させるのに必要な放電用 T F T 1 2 の個数は、ソースラインの配線抵抗および配線容量や確保可能な放電期間 T_{sh} の長さに依存し、これらは表示装置の画面サイズ (これはアクティブマトリクス基板のサイズに相当) や解像度等によって決まる。したがって、一般的には、このような画面サイズや解像度等に応じて、各ソースライン $S L_i$ について設けるべき放電用 T F T 1 2 の適切な個数を決定し、その個数の放電用 T F T 1 2 をソースライン $S L_i$ の延びる方向に略均等に配置すればよい。そして、その個数に応じた本数の放電制御信号線を配設し、それらの放電制御信号線によって全ての放電用 T F T 1 2 を放電期間 T_{sh} はオン状態とすることができるように構成されていけばよい。このような構成によれば、各ソースライン $S L_1 \sim S L_N$ の蓄積電荷を、放電期間 T_{sh} において、アクティブマトリクス基板全体で均等にかつ短時間で放電させることができる。これにより、各ソースラインの電位をアクティブマトリクス基板全体で均等にかつ短時間で共通電位 V_{com} に等しい値に到達させることができる。その結果、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

20

30

【 0 1 4 1 】

なお、上記第 1 および第 2 の実施形態ではドット反転駆動方式が採用されているが、本発明は、これに限定されるものではなく、所定数の水平期間毎にデータ信号の極性が反転するように構成されていけば、他の駆動方式の表示装置にも適用可能である。例えば、全てのデータ信号の極性が同一であって 2 水平期間毎に反転する方式すなわち 2 ライン反転駆動方式のアクティブマトリクス型の表示装置についても、共通電位短絡方式の採用により消費電力を低減しつつ、本発明を適用することにより、画素容量における充電量の差や充電不足による表示品質の低下を抑制することができる。

40

【 0 1 4 2 】

また、上記第 1 ~ 第 3 の実施形態では、アクティブマトリクス基板 1 1 0 における放電用 T F T 1 2 およびソースドライバの出力部 3 0 4 におけるスイッチ回路により、放電期間 T_{sh} には各ソースライン $S L_1 \sim S L_N$ に共通電位 V_{com} が与えられるが、これに代えて、データ信号 $S(i)$ の直流レベル (ソースセンター電位) V_{Sdc} に等しい固定電位を放電期間 T_{sh} に各ソースライン $S L_1 \sim S L_N$ に与えるように構成されていてもよい。この場合、共通電極 E_c に共通電位 V_{com} を供給するための電位供給部としての共通電極駆動回路 6 0 0 とは別に、データ信号 $S(i)$ の直流レベル V_{Sdc} に等しい固定電位をアクティブマトリクス基板 1 1 0 内の各保持容量線 C_{sL} およびソースドライバ

50

300に供給するための電位供給部としての保持容量線駆動回路が設けられる。この固定電位の具体的な値としては、例えばデータ信号 $S(i)$ の最小値と最大値との間の中央値を使用すればよい。このような構成によれば、画素電極に印加すべきデータ信号の極性によらず画素容量 C_p の充電量を均一化することができる。

【0143】

また、上記第1～第3の実施形態では、ソースドライバ300の出力バッファ31として電圧ホロワが使用されており、この電圧ホロワを動作させるにはバイアス電圧の供給が必要である。しかし、出力バッファ31としての電圧ホロワは、バイアス電圧を供給されている間は、ソースライン SL_i を駆動していない場合であっても内部電流により電力を消費する。したがって、各出力バッファ31とソースライン SL_i との電氣的接続が遮断される放電期間 T_{sh} では、各出力バッファ31へのバイアス電圧の供給を停止して内部電流が流れないようにするのが好ましい。図27は、このためのソースドライバの出力部304の構成例を示す回路図である。

【0144】

図28は、図27の構成で使用される出力バッファ32の構成例を示す回路図である。なお、他の構成の出力部においても図28の構成の出力バッファの使用が可能である。図28に示すように、出力バッファ32は、定電流源として機能すべきNチャネル型MOSトランジスタ（以下「Nchトランジスタ」と略記する） Q_1 を有する第1の差動増幅器321と、定電流源として機能すべきPチャネル型MOSトランジスタ（以下「Pchトランジスタ」と略記する） Q_2 を有する第2の差動増幅器322と、Pchトランジスタ Q_3 とNchトランジスタ Q_4 からなるプッシュプル形式の出力回路323とから構成されており、非反転入力端子 T_{in} と、反転入力端子 T_{inR} と、出力端子 T_{out} と、Nchトランジスタ Q_1 のゲート端子に接続された第1のバイアス用端子 T_{b1} と、Pchトランジスタ Q_2 のゲート端子に接続された第2のバイアス用端子 T_{b2} とを有している。そして出力端子 T_{out} が反転入力端子 T_{inR} に直接に接続されており、この出力バッファ32は、第1のバイアス用端子 T_{b1} に所定の第1バイアス電圧 V_{b1} を、第2のバイアス用端子 T_{b2} に所定の第2バイアス電圧 V_{b2} をそれぞれ与えられると、電圧ホロワとして動作する。一方、第1のバイアス用端子 T_{b1} に接地電位 V_{SS} を、第2のバイアス用端子 T_{b2} に電源電圧 V_{DD} をそれぞれ与えられた場合には、Nchトランジスタ Q_1 およびPchトランジスタ Q_2 がオフ状態となり、出力回路323のPchトランジスタ Q_3 には電源電圧 V_{DD} に略等しい電圧が与えられ、Nchトランジスタ Q_4 には接地電位 V_{SS} に略等しい電圧が与えられる。これによって出力回路323のPchトランジスタ Q_3 およびNchトランジスタ Q_4 もオフ状態となる。これは、出力バッファ32が休止状態となることを意味し、この休止状態では、出力バッファ32の内部には電流が流れず、その出力は高インピーダンス状態となる。

【0145】

図27の構成例では、上記実施形態とは異なり、第1のMOSトランジスタ SW_a およびインバータ33が削除され、各出力バッファ32の出力端 T_{out} はソースドライバ300の出力端子に直接に接続されている。一方、この構成例では、第1および第2の切換スイッチ37、38と、各出力バッファ32の第1のバイアス用端子 T_{b1} を第1の切換スイッチ37に接続するための第1のバイアスライン L_{b1} と、各出力バッファ32の第2のバイアス用端子 T_{b2} を第2の切換スイッチ38に接続するための第2のバイアスライン L_{b2} とを備えている。なお、各出力バッファ32の入力端としての非反転入力端子 T_{in} には内部データ信号 $d(i)$ が与えられる。第1の切換スイッチ37は、第1のバイアスライン L_{b1} に与えるべき電圧を放電制御信号 C_{sh} に基づき切り替えるためのスイッチである。この第1の切換スイッチ37により、第1のバイアスライン L_{b1} には、放電制御信号 C_{sh} がLレベルのときに第1バイアス電圧 V_{b1} が与えられ、Hレベルのときに接地電位 V_{SS} が与えられる。第2の切換スイッチ38は、第2のバイアスライン L_{b2} に与えるべき電圧を放電制御信号 C_{sh} に基づき切り替えるためのスイッチである。この第2の切換スイッチ38により、第2のバイアスライン L_{b2} には、放電制御信

10

20

30

40

50

号 Csh が L レベルのときに第 2 バイアス電圧 $Vba2$ が与えられ、H レベルのときに電源電圧 VDD が与えられる。これにより、各出力バッファ 32 は、放電制御信号 Csh が L レベルのときには電圧ホロワとして動作し、H レベルのときに休止状態となる。このように第 1 および第 2 の切換スイッチ 37, 38 は各出力バッファ 32 の休止制御部として機能する。図 27 に示すソースドライバの出力部の他の構成は、図 16 に示すソースドライバの出力部 304 と同様であるので、同一部分には同一の参照符号を付して説明を省略する。なお、第 1 および第 2 バイアス電圧 $Vba1$, $Vba2$ の生成のための構成についても、従来と同様であるので説明を省略する。

【0146】

上記のような構成によれば、放電期間 Tsh 以外の期間では、放電制御信号 Csh が L レベルとなるので、各内部データ信号 $d(i)$ は出力バッファ 32 を介しデータ信号 $S(i)$ としてソースライン SLi に印加される ($i = 1 \sim N$)。一方、放電期間 Tsh では、放電制御信号 Csh が H レベルとなるので、出力バッファ 32 は休止状態であってその出力は高インピーダンス状態となり、各ソースライン SLi には、第 2 の MOS トランジスタ SWc を介して共通電位 $Vcom$ が与えられる。このようにして上記実施形態と同様の機能を実現しつつ、放電期間 Tsh において各出力バッファを休止状態とすることによりソースドライバ 300 の消費電力を削減することができる。

【0147】

なお、出力バッファ 32 の構成は、図 28 の構成に限定されるものではなく、バイアス電圧の切換によって内部電流を低減または遮断して休止状態にできるものであればよい。また、出力バッファ 32 の出力が休止状態において高インピーダンス状態にならない構成の場合には、図 16 に示す構成と同様に、第 1 の MOS トランジスタ SWa を各出力バッファ 32 とソースドライバの出力端子との間に介挿してもよい。さらに、図 27 に示す構成において、第 2 の MOS トランジスタ SWc への共通電位 $Vcom$ の供給を行わずに、各出力バッファ 32 の出力端子が第 2 の MOS トランジスタ SWc を介して互いに接続される構成としてもよい。更にまた、第 2 の MOS トランジスタ SWc を削除してもよい。

【0148】

< 5 . テレビジョン受信機への適用 >

次に、本発明に係るアクティブマトリクス基板をテレビジョン受信機に使用した例について説明する。図 29 は、テレビジョン受信機用の表示装置 800 の構成を示すブロック図である。この表示装置 800 は、Y/C 分離回路 80 と、ビデオクロマ回路 81 と、A/D コンバータ 82 と、液晶コントローラ 83 と、液晶パネル 84 と、バックライト駆動回路 85 と、バックライト 86 と、マイコン (マイクロコンピュータ) 87 と、階調回路 88 とを備えている。

【0149】

上記液晶パネル 84 は、本発明に係るアクティブマトリクス基板を使用した表示部と、その表示部を駆動するためのソースドライバ、ゲートドライバおよび放電制御回路を含んでおり、その具体的な構成については、本発明の各実施形態や各変形例につき説明した何れの構成であってもよい (図 8、図 9、図 15、図 18、図 23 ~ 26 参照)。

【0150】

上記構成の表示装置 800 では、まず、テレビジョン信号としての複合カラー映像信号 Scv が外部から Y/C 分離回路 80 に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路 81 にて光の 3 原色に対応するアナログ RGB 信号に変換され、さらに、このアナログ RGB 信号は A/D コンバータ 82 により、デジタル RGB 信号に変換される。このデジタル RGB 信号は液晶コントローラ 83 に入力される。また、Y/C 分離回路 80 では、外部から入力された複合カラー映像信号 Scv から水平および垂直同期信号も取り出され、これらの同期信号もマイコン 87 を介して液晶コントローラ 83 に入力される。

【0151】

液晶パネル 84 には、液晶コントローラ 83 からデジタル RGB 信号が、上記同期信号

10

20

30

40

50

に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路 88 では、カラー表示の 3 原色 R, G, B それぞれの階調電圧が生成され、それらの階調電圧も液晶パネル 84 に供給される。液晶パネル 84 では、これらの RGB 信号、タイミング信号および階調電圧に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号、走査信号、放電制御信号等）が生成され、それらの駆動用信号に基づき（アクティブマトリクス基板を使用した）内部の表示部にカラー画像が表示される。なお、この液晶パネル 84 によって画像を表示するには、液晶パネル 84 の後方から光を照射する必要があり、この表示装置 800 では、マイコン 87 の制御の下にバックライト駆動回路 85 がバックライト 86 を駆動することにより、液晶パネル 84 の裏面に光が照射される。

10

【0152】

上記の処理を含め、システム全体の制御はマイコン 87 が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この表示装置 800 では、様々な映像信号に基づいた画像表示が可能である。

【0153】

上記構成の表示装置 800 でテレビジョン放送に基づく画像を表示する場合には、図 30 に示すように、当該表示装置 800 にチューナ部 90 が接続される。このチューナ部 90 は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号 Scv を取り出す。この複合カラー映像信号 Scv は、既述のように表示装置 800 に入力され、この複合カラー映像信号 Scv に基づく画像が当該表示装置 800 によって表示される。

20

【0154】

図 31 は、上記構成の表示装置をテレビジョン受信機とするときの機械的構成の一例を示す分解斜視図である。図 31 に示した例では、テレビジョン受信機は、その構成要素として、上記表示装置 800 の他に第 1 筐体 801 および第 2 筐体 806 を有しており、表示装置 800 を第 1 筐体 801 と第 2 筐体 806 とで包み込むようにして挟持した構成となっている。第 1 筐体 801 には、表示装置 800 で表示される画像を透過させる開口部 801a が形成されている。また、第 2 筐体 806 は、表示装置 800 の背面側を覆うものであり、当該表示装置 800 を操作するための操作用回路 805 が設けられると共に、下方に支持用部材 808 が取り付けられている。

30

【0155】

以上のようなテレビジョン受信機によれば、液晶パネル 84 内のアクティブマトリクス基板において各ソースライン SLi につき多数の放電用 TFT 12 が設けられているので、表示装置の大型化や高解像度化が進み駆動周波数が上昇しても、画素容量における充電量の差や充電不足を抑制して良好な画像表示を行うことができる。

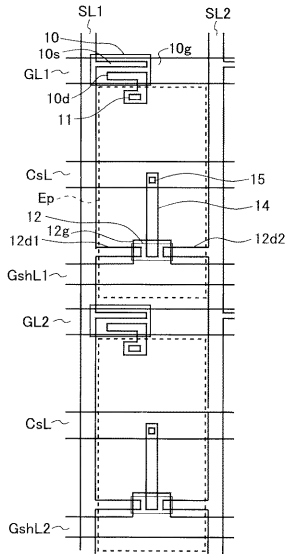
【産業上の利用可能性】

【0156】

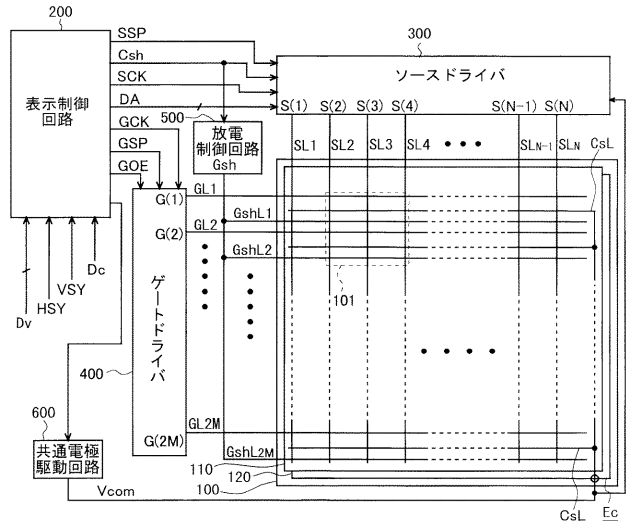
本発明は、アクティブマトリクス基板またはそれを備えた表示装置に適用されるものであって、特に、アクティブマトリクス型の液晶表示装置およびそれに使用されるアクティブマトリクス基板に適している。

40

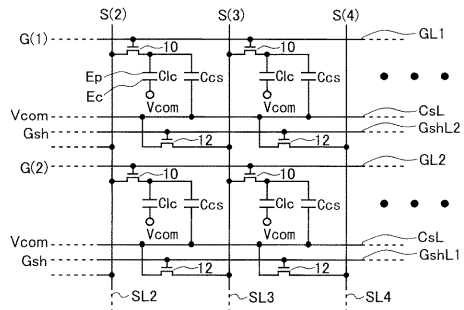
【図7】



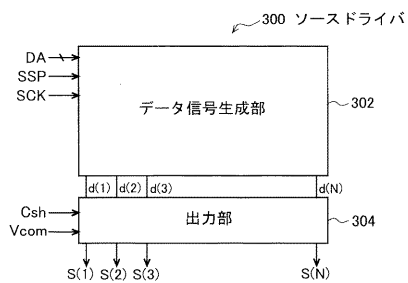
【図8】



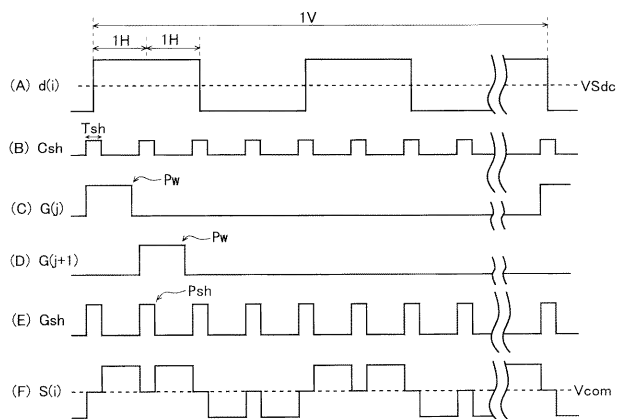
【図9】



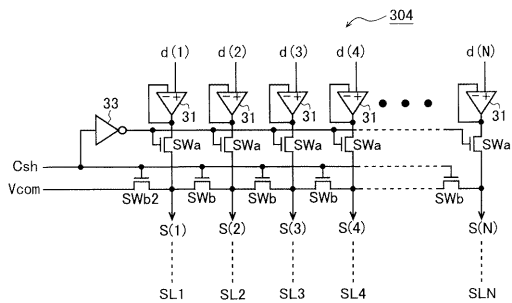
【図10】



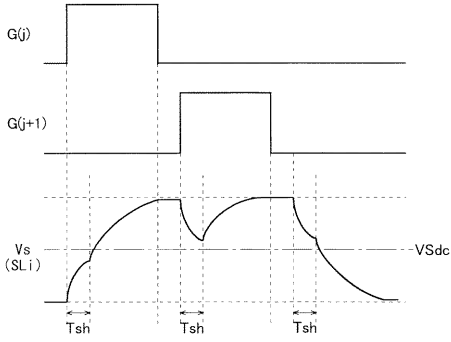
【図12】



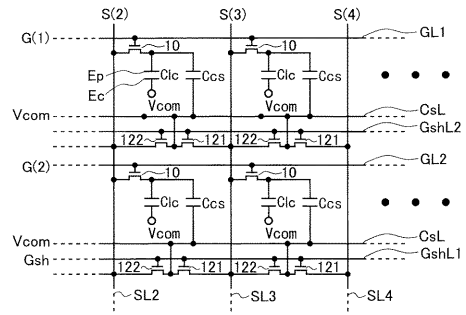
【図11】



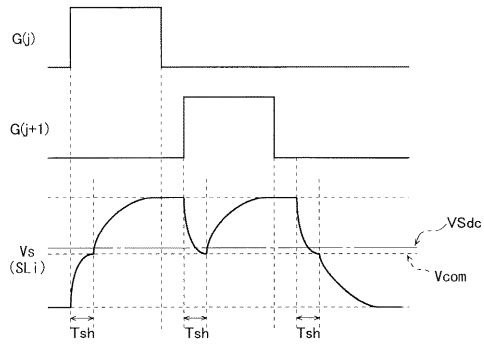
【図13】



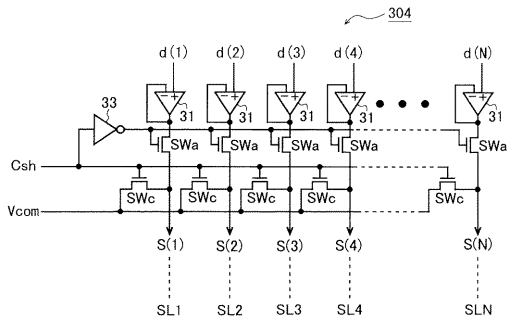
【図15】



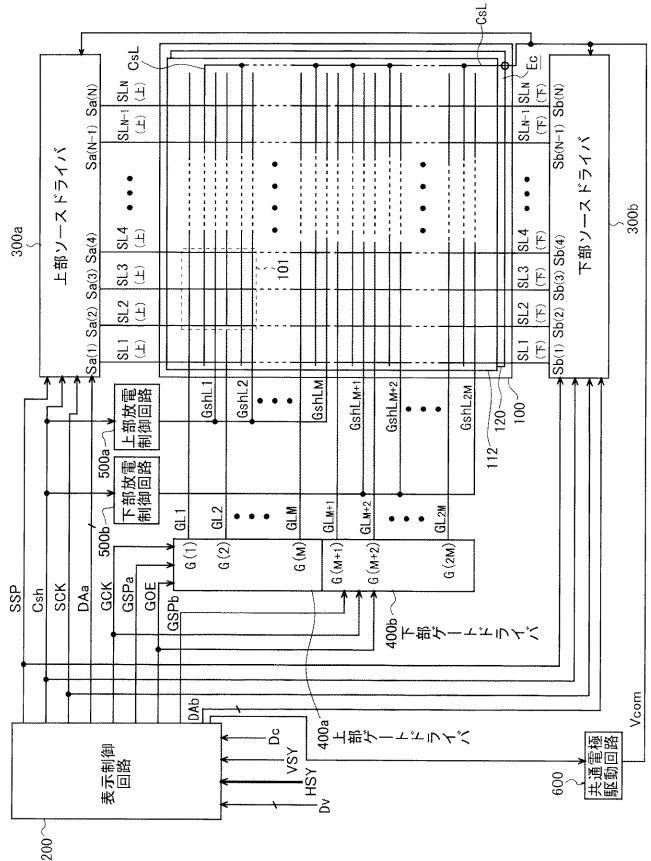
【図14】



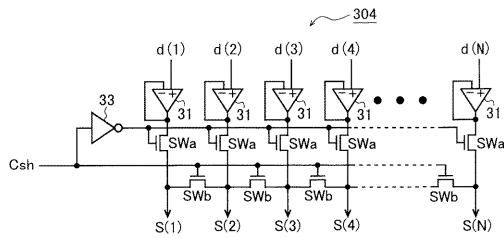
【図16】



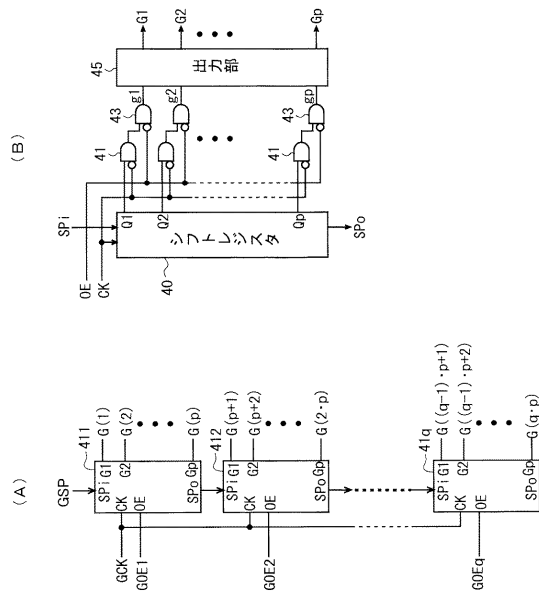
【図18】



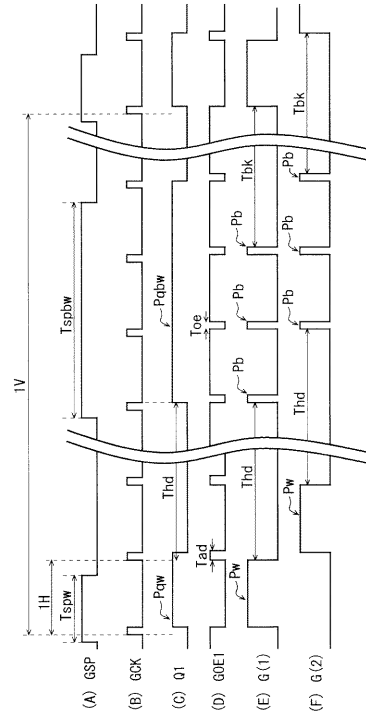
【図17】



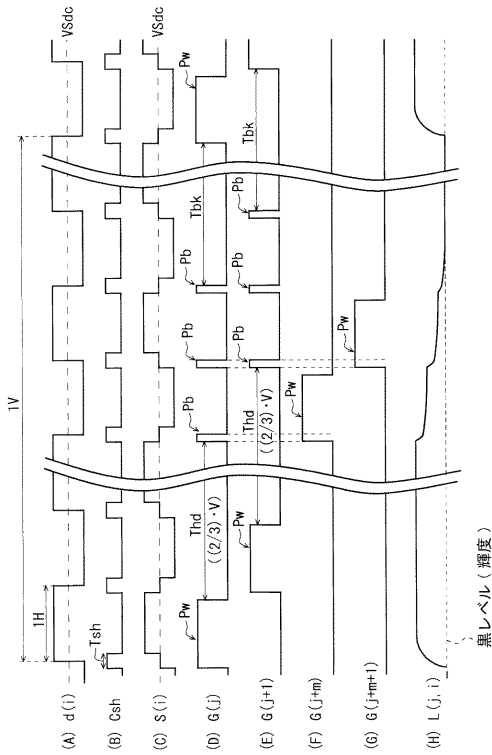
【図 19】



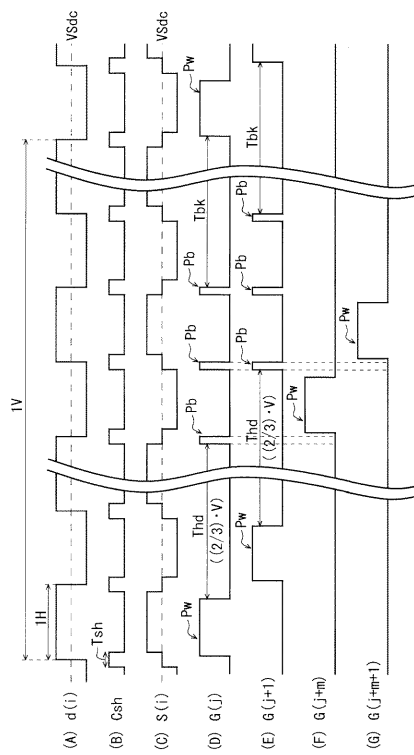
【図 20】



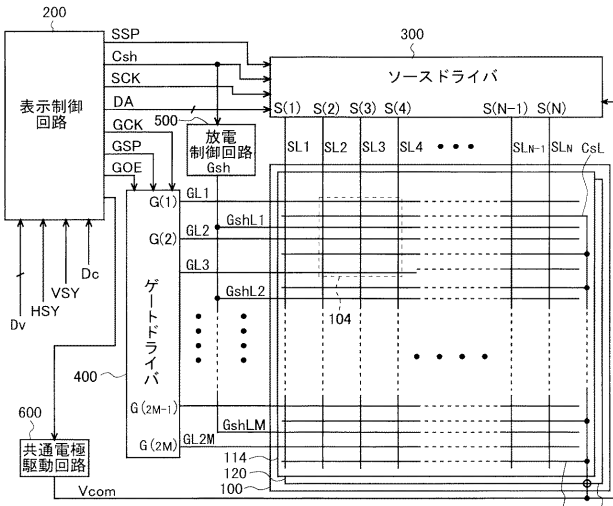
【図 21】



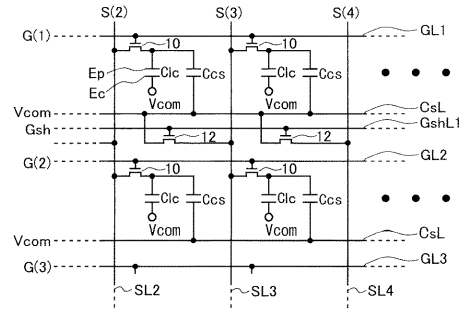
【図 22】



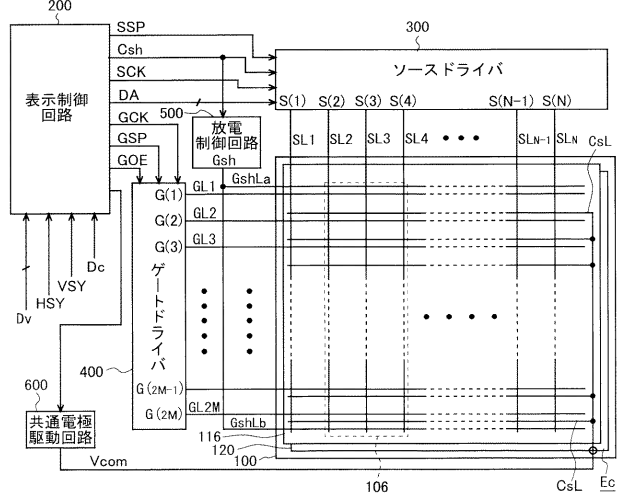
【図 2 3】



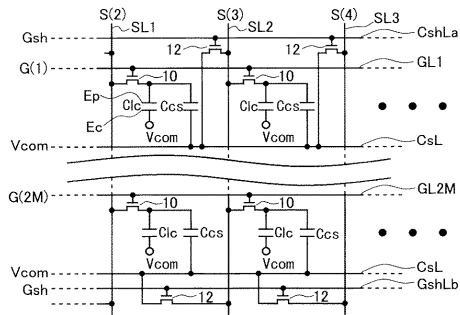
【図 2 4】



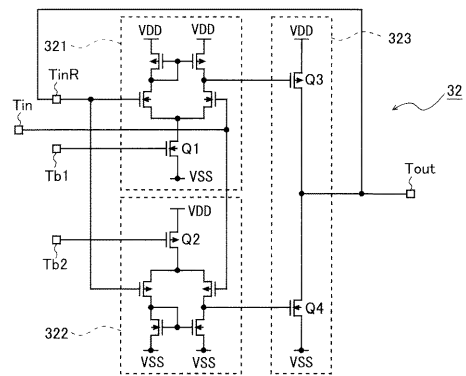
【図 2 5】



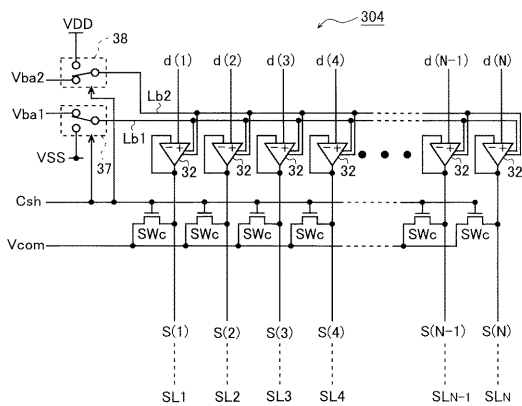
【図 2 6】



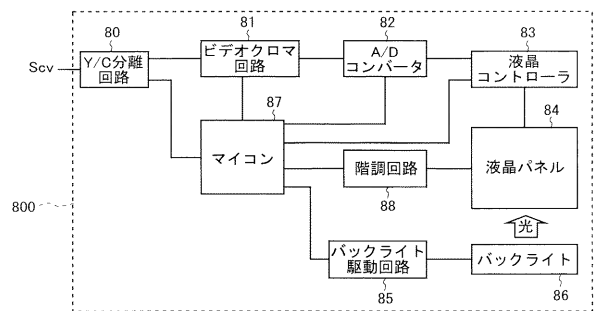
【図 2 8】



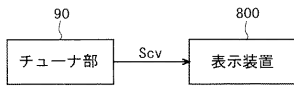
【図 2 7】



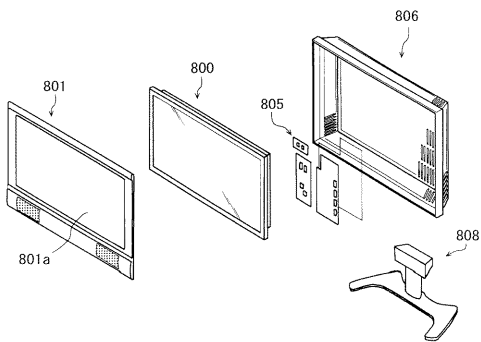
【図 2 9】



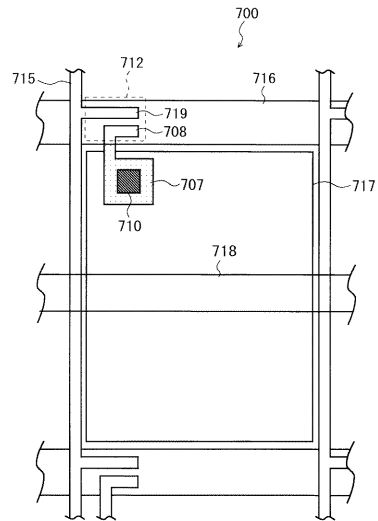
【図30】



【図31】



【図32】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/056329

A. CLASSIFICATION OF SUBJECT MATTER G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G02F1/1368, G02F1/133, G09F9/30, G09G3/20, G09G3/36		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-085131 A (Samsung Electronics Co., Ltd.), 30 March, 2006 (30.03.06), Full text; all drawings & US 2006/0061534 A1 & CN 1794835 A	1-26
A	JP 2003-215540 A (Toshiba Corp.), 30 July, 2003 (30.07.03), Full text; all drawings & US 2003/0090450 A1	1-26
A	JP 10-282524 A (Toshiba Electronic Engineering Corp., Toshiba Corp.), 23 October, 1998 (23.10.98), Full text; all drawings (Family: none)	1-26
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 25 May, 2007 (25.05.07)		Date of mailing of the international search report 05 June, 2007 (05.06.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/JP2007/056329	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/1368, G02F1/133, G09F9/30, G09G3/20, G09G3/36			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	JP 2006-085131 A (三星電子株式会社) 2006.03.30, 全文、全図 & US 2006/0061534 A1 & CN 1794835 A	1-26	
A	JP 2003-215540 A (株式会社東芝) 2003.07.30, 全文、全図 & US 2003/0090450 A1	1-26	
A	JP 10-282524 A (東芝電子エンジニアリング株式会社、 株式会社東芝) 1998.10.23, 全文、全図 (ファミリーなし)	1-26	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日に後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 25.05.2007		国際調査報告の発送日 05.06.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 福田 知喜 電話番号 03-3581-1101 内線 3255	2L 3703

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
G 0 9 F 9/30 (2006.01)	G 0 9 G 3/20 6 2 1 Z	
	G 0 9 G 3/20 6 8 0 G	
	G 0 9 G 3/20 6 8 0 F	
	G 0 9 G 3/20 6 2 3 C	
	G 0 9 G 3/20 6 2 4 B	
	G 0 9 G 3/20 6 2 1 B	
	G 0 9 F 9/30 3 3 8	

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

Fターム(参考) 5C006 AA01 AC24 AC26 AC27 AF43 AF50 AF78 BB16 BC06 BC11
 BF49 FA11 FA22 FA26 FA29 FA37 FA47 FA51 FA54 FA56
 5C080 AA10 BB05 CC06 DD01 DD03 DD05 DD08 DD20 DD26 DD27
 DD28 EE28 FF11 JJ02 JJ03 JJ04 JJ06 KK43
 5C094 AA02 BA43 DB01 EA10 FB19 GA10

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵基板和具有该基板的显示装置		
公开(公告)号	JPWO2008015813A1	公开(公告)日	2009-12-17
申请号	JP2008527668	申请日	2007-03-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英		
发明人	津幡 俊英		
IPC分类号	G02F1/133 G02F1/1368 G02F1/1343 G09G3/36 G09G3/20 G09F9/30		
CPC分类号	G09G3/3659 G02F1/13624 G09G3/3614 G09G3/3666 G09G3/3677 G09G3/3688 G09G2300/0823 G09G2300/0876 G09G2310/0248 G09G2310/0251 G09G2310/0291 G09G2310/0297 G09G2320/0223 G09G2320/0233 G09G2320/0261 G09G2330/021 G09G2330/023		
FI分类号	G02F1/133.550 G02F1/1368 G02F1/1343 G02F1/133.525 G09G3/36 G09G3/20.621.Z G09G3/20.680. G G09G3/20.680.F G09G3/20.623.C G09G3/20.624.B G09G3/20.621.B G09F9/30.338		
F-TERM分类号	2H092/HA04 2H092/JA24 2H092/JB68 2H092/NA05 2H092/NA07 2H092/NA24 2H092/NA26 2H092/PA06 2H093/NA16 2H093/NA32 2H093/NA43 2H093/NA53 2H093/NC15 2H093/NC16 2H093/NC34 2H093/ND05 2H093/ND06 2H093/ND22 2H093/ND33 2H093/ND35 2H093/ND39 2H093/ND40 2H093/ND43 2H093/ND54 2H093/NE03 5C006/AA01 5C006/AC24 5C006/AC26 5C006/AC27 5C006/AF43 5C006/AF50 5C006/AF78 5C006/BB16 5C006/BC06 5C006/BC11 5C006/BF49 5C006/FA11 5C006/FA22 5C006/FA26 5C006/FA29 5C006/FA37 5C006/FA47 5C006/FA51 5C006/FA54 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC06 5C080/DD01 5C080/DD03 5C080/DD05 5C080/DD08 5C080/DD20 5C080/DD26 5C080/DD27 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43 5C094/AA02 5C094/BA43 5C094/DB01 5C094/EA10 5C094/FB19 5C094/GA10		
代理人(译)	岛田彰		
优先权	2006210530 2006-08-02 JP 2006356448 2006-12-28 JP		
其他公开文献	JP4823312B2		
外部链接	Espacenet		

摘要(译)

发明内容本发明的目的是即使驱动频率随着尺寸和分辨率的增加而增加，也能够防止在设置有有源矩阵基板的显示装置中显示质量劣化。在液晶显示装置的有源矩阵基板中，放电控制信号线（GshLj）沿着每条栅极线（GLj）排列，并且对于每条源极线（SLi），放电TFT的数量等于栅极线的数量（提供12）。该放电TFT（12）的栅极端子（12g）连接至放电控制信号线（GshLj），源极端子连接至存储电容器线（CsL），并且漏极端子连接至附近的源极线（SLi）。有。公共电位Vcom被提供给每个存储电容器线（CsL）。每个放电控制信号线（GshLj）被提供有信号Gsh，该信号Gsh每水平周期在预定时间段Tsh内导通放电TFT（12）。

