

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2003/088193

発行日 平成17年8月25日 (2005. 8. 25)

(43) 国際公開日 平成15年10月23日 (2003. 10. 23)

(51) Int. Cl. ⁷

G09F 9/30
G02F 1/1368
G09F 9/35
H01L 21/28
H01L 21/3205

F I

G09F 9/30 338
G09F 9/30 336
G02F 1/1368
G09F 9/35
H01L 21/28 E

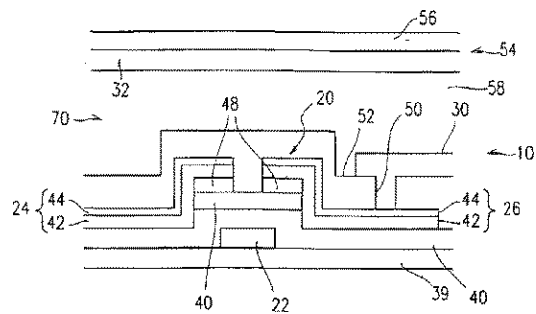
審査請求 未請求 予備審査請求 有 (全 22 頁) 最終頁に続く

出願番号	特願2003-585054 (P2003-585054)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2003/004727		シャープ株式会社
(22) 国際出願日	平成15年4月14日 (2003. 4. 14)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2002-113903 (P2002-113903)	(74) 代理人	100078282
(32) 優先日	平成14年4月16日 (2002. 4. 16)		弁理士 山本 秀策
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100062409
(81) 指定国	CN, JP, KR, US		弁理士 安村 高明
		(74) 代理人	100107489
			弁理士 大塩 竹志
		(72) 発明者	小倉 雅史
			奈良県香芝市瓦口2112 クレセントビ
			ラ香芝304
		(72) 発明者	片岡 義晴
			大阪府吹田市山田西3丁目13-1

(54) 【発明の名称】 基板、その基板を備えた液晶表示装置および基板を製造する方法

(57) 【要約】

本発明による基板(10)は、第1の電極(26)と、上記第1の電極(26)の少なくとも一部を覆う絶縁膜(52)上に形成された第2の電極(30)であって、上記絶縁膜(52)に形成されたコンタクトホール(50)を介して上記第1の電極(26)と電氣的に接続された第2の電極(30)とを備えた基板(10)であって、上記第1の電極(26)は、金属膜(42)と保護膜(44)との積層構造を有しており、上記金属膜(42)および上記保護膜(44)を形成するための第1のエッチングに対して、上記金属膜(42)のエッチングレートは上記保護膜(44)のエッチングレートとほぼ等しく、上記コンタクトホール(50)を形成するための第2のエッチングに対して、上記保護膜(44)のエッチングレートがほぼゼロである。



【特許請求の範囲】

【請求項 1】

第 1 の電極と、

該第 1 の電極の少なくとも一部を覆う絶縁膜上に形成された第 2 の電極であって、該絶縁膜に形成されたコンタクトホールを介して該第 1 の電極と電氣的に接続された第 2 の電極と

を備えた、基板であって、

該第 1 の電極は、金属膜と保護膜との積層構造を有しており、

該金属膜および該保護膜を形成するための第 1 のエッチングに対して、該金属膜のエッチングレートは該保護膜のエッチングレートとほぼ等しく、

該コンタクトホールを形成するための第 2 のエッチングに対して、該保護膜のエッチングレートがほぼゼロである、基板。

【請求項 2】

前記保護膜は、非晶質導電性酸化物である、請求項 1 に記載の基板。

【請求項 3】

前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物である、請求項 2 に記載の基板。

【請求項 4】

前記金属膜は、モリブデンを含む、請求項 1 に記載の基板。

【請求項 5】

前記保護膜は、前記金属膜に対して前記コンタクトホール側に形成されている、請求項 1 に記載の基板。

【請求項 6】

前記金属膜は、前記保護膜に対して前記コンタクトホール側に形成されている、請求項 1 に記載の基板。

【請求項 7】

ドレイン電極として機能する前記第 1 の電極と、ソース電極と、ゲート電極とを含む薄膜トランジスタをさらに備え、

前記第 2 の電極は、該薄膜トランジスタによって制御される画素電極として機能する、請求項 1 に記載の基板。

【請求項 8】

前記薄膜トランジスタの前記ゲート電極に分岐されたゲート信号線と、

該ゲート電極および該ゲート信号線の少なくとも一部を覆うゲート絶縁膜とをさらに備え、

該薄膜トランジスタの前記ドレイン電極は、該ゲート絶縁膜上に形成されており、

前記保護膜は、該ドレイン電極下の該ゲート絶縁膜を、前記第 2 のエッチングから保護する、請求項 7 に記載の基板。

【請求項 9】

請求項 1 に記載の基板と、

該基板に対向する対向基板と、

該基板と該対向基板との間に挿入された液晶とを備える、液晶表示装置。

【請求項 10】

第 1 の電極を形成する工程と、

該第 1 の電極の少なくとも一部を覆う絶縁膜を形成する工程と、

該絶縁膜の一部を除去することにより、該絶縁膜にコンタクトホールを形成する工程と、

該絶縁膜上に第 2 の電極を形成する工程であって、該コンタクトホールを介して該第 1 の電極と該第 2 の電極とが電氣的に接続される工程と

を包含する、基板を製造する方法であって、

該第 1 の電極を形成する工程は、

10

20

30

40

50

金属膜と保護膜とを積層する工程と、
該金属膜のエッチングレートが該保護膜のエッチングレートとほぼ等しい第 1 のエッチングによって、該積層された金属膜および該保護膜とともにパターンニングする工程とを包含し、
該コンタクトホールを形成する工程は、該保護膜のエッチングレートがほぼゼロである第 2 のエッチングによって、該絶縁膜に該コンタクトホールを形成する工程を包含する、基板を製造する方法。

【請求項 1 1】

前記パターンニングする工程は、前記弱酸の混合液を用いたウェットエッチングにより、前記金属膜および前記保護膜をパターンニングする工程を包含する、請求項 1 0 に記載の基板を製造する方法。

10

【請求項 1 2】

前記第 1 の電極が薄膜トランジスタのドレイン電極として機能し、前記第 2 の電極が該薄膜トランジスタによって制御される画素電極として機能する、基板を製造する方法であって、

ゲート信号線を形成する工程と、

該薄膜トランジスタのゲート電極であって、該ゲート信号線から分岐したゲート電極を形成する工程と、

該ゲート信号線の少なくとも一部を覆うゲート絶縁膜を形成する工程と、

ソース信号線を形成する工程と、

該薄膜トランジスタのソース電極であって、該ソース信号線から分岐したソース電極を形成する工程と、

該ゲート信号線上の該ゲート絶縁膜の一部を除去する工程と

をさらに包含し、

前記第 2 のエッチングはドライエッチングであり、

該ドライエッチングにより、該コンタクトホールを形成するとともに、該ゲート絶縁膜の一部を除去する、請求項 1 0 に記載の基板を製造する方法。

20

【請求項 1 3】

前記保護膜は、記非品質導電性酸化物である、請求項 1 0 に記載の基板を製造する方法。

【請求項 1 4】

前記非品質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物である、請求項 1 3 に記載の基板を製造する方法。

30

【請求項 1 5】

前記金属膜は、モリブデンを含む、請求項 1 0 に記載の基板を製造する方法。

【発明の詳細な説明】

技術分野

本発明は、基板、その基板を備えた液晶表示装置および基板を製造する方法に関する。

背景技術

液晶表示装置のアクティブマトリックス基板において、薄膜トランジスタのドレイン電極と、ドレイン電極を覆う絶縁膜上に形成された画素電極とを、絶縁膜に形成されたコンタクトホールを介して、電氣的に接続させることが従来から知られている。

図 1 2 は、従来のアクティブマトリックス基板の模式的な平面図である。

アクティブマトリックス基板 1 1 0 は、マトリックス状に配置された複数の薄膜トランジスタ（以下「TFT」ともいう）1 2 0 と、列方向に沿って配置された薄膜トランジスタ 1 2 0 に沿って所定の間隔を空けて互いに平行に設けられた複数のソース信号線 1 1 4 と、行方向に沿って配置された薄膜トランジスタ 1 2 0 に沿って所定の間隔を空けて互いに平行に設けられた複数のゲート信号線 1 1 2 とを備えている。

複数のソース信号線 1 1 4 には、それぞれ、対応するソースドライバ 1 1 8 が接続されており、各ソースドライバ 1 1 8 は、対応するソース信号線 1 1 4 に、映像信号に対応する電圧を印加する。

40

50

複数のゲート信号線 112 には、それぞれ、対応するゲートドライバ 116 が接続されており、各ゲートドライバ 116 は、対応するゲート信号線 112 に、走査信号に対応する電圧を印加する。

複数の薄膜トランジスタ 120 のそれぞれは、対応するゲート信号線 112 から分岐されたゲート電極 122 と、対応するソース信号線 114 から分岐されたソース電極 124 と、ドレイン電極 126 とを有している。

複数のドレイン電極 126 のそれぞれは、対応する画素電極 130 に接続されている。各画素電極 130 は、対応する画素容量 128 の一方の端子となっている。各画素容量 128 の他方の端子は、対向基板 154 (図 14 および図 15 参照) に設けられた対向電極 132 である。対向電極 132 は、通常、複数の画素電極 130 に共有されている。

10

アクティブマトリックス基板 110 には、映像の表示に寄与する表示領域 134 と、表示領域 134 の周囲を囲むように配置された端子領域 136 とが設けられている。表示領域 134 内には、複数の画素電極 130 および複数の薄膜トランジスタ 120 が配置されており、端子領域 136 には、複数のゲートドライバ 116 および複数のソースドライバ 118 が配置されている。

従来の液晶表示装置 170 (図 14 および図 15 参照) は、このようなアクティブマトリックス基板 110 と、このアクティブマトリックス基板 110 に対向する対向基板 154 (図 14 および図 15 参照) と、アクティブマトリックス基板 110 と対向基板 154 との間に挿入された液晶 158 (図 14 参照) とを備える。

20

ゲートドライバ 116 から印加された信号に対し、複数の薄膜トランジスタ 120 のそれぞれをオンまたはオフにすることによって、ソースドライバ 118 から印加された映像信号に対応する電圧が、対応する画素電極 130 に印加される。画素電極 130 および対向電極 132 に印加された電圧に応じて、液晶の配向は制御され、それによって、液晶表示装置は映像を表示する。

図 13 は、従来のアクティブマトリックス基板 110 の平面図である。

図 13 に示されるゲートドライバ 116 は、外部から走査信号が入力される信号入力端子部 138 を備える。

画素電極 130 は、コンタクトホール 150 を介してドレイン電極 126 に接続されている。

30

図 14 は、図 13 に示す線 P-P に沿った、従来の液晶表示装置の断面図である。

図 14 に示される従来の液晶表示装置 170 は、アクティブマトリックス基板 110 と、対向基板 154 と、アクティブマトリックス基板 110 と対向基板 154 との間に挿入された液晶 158 とを備える。

図 14 では、アクティブマトリックス基板 110 の表示領域 134 において、薄膜トランジスタ 120 および薄膜トランジスタ 120 のドレイン電極 126 に接続された画素電極 130 の断面構造が示される。

アクティブマトリックス基板 110 は、透明絶縁性基板 139 を備える。ゲート電極 122 は、透明絶縁性基板 139 上に形成されている。ゲート絶縁膜 140 は、ゲート電極 122 を覆うように透明絶縁性基板 139 上に形成されている。

40

半導体層 146 は、ゲート絶縁膜 140 を介してゲート電極 122 上に形成されている。 $n+$ シリコン (Si) 層 148 は、半導体層 146 上に、半導体層 146 と整合するように形成されている。

ソース信号線 114 から分岐されたソース電極 124 は、 $n+$ Si 層 148 の表面の一部と $n+$ Si 層 148 および半導体層 146 の側面とを覆うように、ゲート絶縁膜 140 の一部の上に形成されている。

ドレイン電極 126 は、 $n+$ Si 層 148 の表面の他の一部と $n+$ Si 層 148 および半導体層 146 の他の側面とを覆うように、ゲート絶縁膜 140 の他の一部の上に形成されている。

ソース電極 124 およびドレイン電極 126 は、 $n+$ Si 層 148 の表面上で互いに所定の間隔離れて、配置されている。

50

薄膜トランジスタ120は、ゲート電極122と、半導体層146と、 $n+S i$ 層148と、ソース電極124と、ドレイン電極126とを有する。

液晶表示装置を大型化するか、または、高精細度化するためには、ゲート信号線112、ソース信号線114、ゲート電極122、ソース電極124およびドレイン電極126の抵抗を低くすることが望ましい。このため、これらの信号線および電極の材料として、通常は、抵抗が低く、加工することが容易な金属が使用される。

ゲート信号線112、ソース信号線114、ゲート電極122、ソース電極124およびドレイン電極126として使用される一般的な材料は、Al、Mo、Ti、Ta等である。

Moの比抵抗は比較的low、かつ、弱酸を用いたエッチングによってMoをパターン加工をすることが容易であるため、ソース信号線114、ソース電極124およびドレイン電極126の材料として、しばしば、Moが使用される。

上述した材料のうちで比抵抗が最も小さい材料はAlであるが、Alは $n+S i$ 層148と良好にコンタクトすることができないため、ソース電極124およびドレイン電極126の材料を単層のAlとすることは好ましくない。したがって、Alをソース信号線に用いる場合には、Al/Ti、Al/Mo等の積層構造が必要となる。

Tiの比抵抗はAlおよびMoの比抵抗よりも高いので、大型化した液晶表示装置の電極および信号線の材料として単層でTiを使用することはあまり好ましくない。

Tiと同様に、Taも比抵抗が高いため、単層で使用するあまり好ましくない。

薄膜トランジスタ120を保護するための絶縁膜152は、ソース電極124とドレイン電極126と $n+S i$ 層148の表面のさらに他の一部とを覆うように、ゲート絶縁膜140上に形成されている。絶縁膜152の材料は、例えば、 $S i N_x$ である。

絶縁膜152には、ドレイン電極126に達するように絶縁膜152を貫通するコンタクトホール150が形成されている。

画素電極130は、コンタクトホール150を介してドレイン電極126と接続するように絶縁膜152上に形成されている。画素電極130の材料は、透明なITOである。

液晶表示装置、特に透過型TFT液晶表示装置では、上述した構成、すなわち、薄膜トランジスタ120を形成した後に、薄膜トランジスタ120のドレイン電極126を覆うように絶縁膜152を形成し、絶縁膜152に形成されたコンタクトホール150を介してドレイン電極126と電氣的に接続されるように画素電極130を形成する構成が、しばしば、使用されている。

その理由は、この構成では、画素電極130を形成する面が、ソース信号線114を形成する面と同一ではないため、絶縁膜152上に形成された画素電極130と、絶縁膜152の下に形成されたソース電極124に接続されたソース信号線114とが電氣的に短絡することを防ぎつつ、画素電極130の面積を広くすることができるからである。

対向基板154は、透明絶縁性基板156と、透明絶縁性基板156上に設けられた対向電極132とを有する。

図15は、図13に示す線Q-Qに沿った従来の液晶表示装置の断面図である。

図15では、アクティブマトリックス基板110の端子領域136において、ゲートドライバ116内の信号入力端子部138の断面構造が示されている。

ゲート信号線112は、透明絶縁性基板139上に形成されている。ゲート絶縁膜140は、ゲート信号線112の両端部を覆うように透明絶縁性基板139上に形成されている。ゲート絶縁膜140上には絶縁膜152が形成されている。

ゲート信号線112が酸化して抵抗が高くなることを防ぐための酸化防止膜160が、ゲート絶縁膜140および絶縁膜152の側面と、絶縁膜152の表面の一部とを覆うように、形成されている。ここで、酸化防止膜160の材料は透明なITOであり、これは、画素電極130の材料と同じ材料である。

上述した従来のアクティブマトリックス基板110は、以下のようにして製造される。

まず、透明絶縁性基板139上にゲート信号線112およびゲート電極122を構成する材料をスパッタ法等によって成膜する。次いで、成膜した層に対して、マスク露光、現像

10

20

30

40

50

およびドライエッチングすることにより、所定のパターンのゲート信号線 112 およびゲート電極 122 を形成する。

次いで、ゲート信号線 112 およびゲート電極 122 を覆うように、ゲート絶縁膜 140 を構成する材料を透明絶縁性基板 139 上に CVD 法によって成膜する。

その後、半導体層 146 を構成する材料および $n + Si$ 層 148 を構成する材料を、順次、CVD 法によってゲート絶縁膜 140 を構成する材料上に成膜する。成膜した半導体層 146 を構成する材料および $n + Si$ 層 148 を構成する材料に、マスク露光、現像およびドライエッチングすることによって、所定のパターンの半導体層 146 および $n + Si$ 層 148 を形成する。

次いで、ソース信号線 114、ソース電極 124 およびドレイン電極 126 を構成する材料（例えば、 Mo ）を、半導体層 146 および $n + Si$ 層 148 を覆うようにゲート絶縁膜 140 上に成膜し、次いで、成膜した Mo をマスク露光、現像およびドライエッチングすることによって、所定のパターンの Mo を形成する。

次いで、ソース電極 124 とドレイン電極 126 との間の Mo をウェットエッチングして、薄膜トランジスタ 120 のチャンネルを形成することによって、ソース信号線 114、ソース電極 124 およびドレイン電極 126 を形成する。

次いで、ソース電極 124 とドレイン電極 126 と $n + Si$ 層 148 の表面のさらに他の一部とを覆うように、絶縁膜 152 を構成する材料をゲート絶縁膜 140 上に形成する。

次いで、 CF_4 と O_2 との混合ガスを使用したドライエッチングによって、ドレイン電極 126 上の絶縁膜 152 の一部を除去して、絶縁膜 152 にコンタクトホール 150 を形成するとともに、端子領域 136（図 12）のゲート信号線 112 の上方に形成された絶縁膜 152 の一部およびゲート信号線 112 上に形成されたゲート絶縁膜 140 の一部を連続して除去して、ゲート信号線 112 の表面の一部を露出させる。

次いで、ITO を成膜し、成膜した ITO をマスク露光、現像およびエッチングすることによって、所定のパターンの画素電極 130 および酸化防止膜 160 を形成する。ここで、画素電極 130 は、コンタクトホール 150 を介してドレイン電極 126 と電気的に接続するように絶縁膜 152 上に形成されており、一方、酸化防止膜 160 は、ゲート信号線 112 の表面の一部と、ゲート絶縁膜 140 および絶縁膜 152 の側面と、絶縁膜 152 の表面の一部とを覆うように形成されている。

上述したように、同一のドライエッチングによって、端子領域 136 の信号入力端子部 138 では、ゲート信号線 112 の上方の絶縁膜 152 を構成する材料の一部を除去し、連続して、ゲート信号線 112 上のゲート絶縁膜 140 を構成する材料の一部を除去することによって、ゲート信号線 112 の表面の一部を露出し、表示領域 134 では、絶縁膜 152 にコンタクトホール 150 を形成するためにドレイン電極 126 上の絶縁膜 152 の一部を除去している。

しかしながら、同一のドライエッチングによって、表示領域 134 において、絶縁膜 152 の一部を除去する一方で、端子領域 136 において、絶縁膜 152 の一部およびゲート絶縁膜 140 の一部を連続して除去するため、表示領域 134 では、絶縁膜 152 の一部だけでなく、絶縁膜 152 の下に配置されたドレイン電極 126 の一部、さらには、ゲート絶縁膜 140 の一部も除去されてしまうおそれがある。

特に、ドライエッチングとして CF_4 と O_2 との混合ガスを使用し、絶縁膜 152 の材料として SiN_x を使用し、ドレイン電極 126 の材料として Mo を使用する場合、絶縁膜 152 とドレイン電極 126 とのエッチング選択比が不十分となり、ドレイン電極 126 の一部が除去されてしまう。

図 16 は、図 14 に示した液晶表示装置のアクティブマトリックス基板において、コンタクトホール 150 A が絶縁膜 152 だけでなくドレイン電極 126 を貫通して、ゲート絶縁膜 140 内に達したことを示す、液晶表示装置の断面図である。

図 16 に示されるように、液晶表示装置 170 A において、絶縁膜 152 だけでなくドレイン電極 126 をも貫通し、ゲート絶縁膜 140 内に達するコンタクトホール 150 A が形成されると、画素電極 130 は、ドレイン電極 126 の断面でドレイン電極 126 とコ

10

20

30

40

50

ンタクトすることになる。通常、ドレイン電極 126 の断面積は、コンタクトホール 150 A の表面積と比較して、極めて小さいため、画素電極 130 とドレイン電極 126 との電氣的接続が十分でなくなるという課題が生じる。

上述した課題を克服するために、ドレイン電極 126 を形成した後に、ドレイン電極 126 上に ITO を成膜して、保護膜を形成し、この保護膜の上に絶縁膜 152 を形成して、マスク露光、現像およびドライエッチングによって絶縁膜 152 にコンタクトホール 150 を形成すると、形成した保護膜がドライエッチングに対してドレイン電極 126 を保護するため、ドレイン電極 126 がエッチングされることを防ぐことができる。

しかしながら、ドレイン電極 126 上に ITO を成膜して保護膜を形成すると、コストおよびプロセスが増加するという新たな課題が生じる。

本発明は、上記課題を解決するためになされたものであり、その目的は、コストおよびプロセスを増加させることなく、第 1 の電極と、第 1 の電極を覆う絶縁膜上に形成された第 2 の電極とを、絶縁膜に形成されたコンタクトホールを介して電氣的に安定に接続する基板、その基板を備えた液晶表示装置および基板を製造する方法を提供することである。

発明の開示

本発明に係る基板は、第 1 の電極と、該第 1 の電極の少なくとも一部を覆う絶縁膜上に形成された第 2 の電極であって、該絶縁膜に形成されたコンタクトホールを介して該第 1 の電極と電氣的に接続された第 2 の電極とを備えた、基板であって、該第 1 の電極は、金属膜と保護膜との積層構造を有しており、該金属膜および該保護膜を形成するための第 1 のエッチングに対して、該金属膜のエッチングレートは該保護膜のエッチングレートとほぼ等しく、該コンタクトホールを形成するための第 2 のエッチングに対して、該保護膜のエッチングレートがほぼゼロであり、そのことにより上記目的が達成される。

前記保護膜は、非晶質導電性酸化物であってもよい。

前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物であってもよい。

前記金属膜は、モリブデンを含んでもよい。

前記保護膜は、前記金属膜に対して前記コンタクトホール側に形成されていてもよい。

前記金属膜は、前記保護膜に対して前記コンタクトホール側に形成されていてもよい。

ドレイン電極として機能する前記第 1 の電極と、ソース電極と、ゲート電極とを含む薄膜トランジスタをさらに備え、前記第 2 の電極は、該薄膜トランジスタによって制御される画素電極として機能してもよい。

前記薄膜トランジスタの前記ゲート電極に分岐されたゲート信号線と、該ゲート電極および該ゲート信号線の少なくとも一部を覆うゲート絶縁膜とをさらに備え、該薄膜トランジスタの前記ドレイン電極は、該ゲート絶縁膜上に形成されており、前記保護膜は、該ドレイン電極下の該ゲート絶縁膜を、前記第 2 のエッチングから保護してもよい。

本発明に係る液晶表示装置は、上記に記載の基板と、該基板に対向する対向基板と、該基板と該対向基板との間に挿入された液晶とを備え、そのことにより上記目的が達成される。

本発明に係る基板を製造する方法は、第 1 の電極を形成する工程と、該第 1 の電極の少なくとも一部を覆う絶縁膜を形成する工程と、該絶縁膜の一部を除去することにより、該絶縁膜にコンタクトホールを形成する工程と、該絶縁膜上に第 2 の電極を形成する工程であって、該コンタクトホールを介して該第 1 の電極と該第 2 の電極とが電氣的に接続される工程とを包含する基板を製造する方法であって、該第 1 の電極を形成する工程は、金属膜と保護膜とを積層する工程と、該金属膜のエッチングレートが該保護膜のエッチングレートとほぼ等しい第 1 のエッチングによって、該積層された金属膜および該保護膜とともにパターニングする工程とを包含し、該コンタクトホールを形成する工程は、該保護膜のエッチングレートがほぼゼロである第 2 のエッチングによって、該絶縁膜に該コンタクトホールを形成する工程を包含し、そのことにより上記目的が達成される。

前記パターニングする工程は、前記弱酸の混合液を用いたウェットエッチングにより、前記金属膜および前記保護膜をパターニングする工程を包含してもよい。

前記第 1 の電極が薄膜トランジスタのドレイン電極として機能し、前記第 2 の電極が該薄

10

20

30

40

50

膜トランジスタによって制御される画素電極として機能する、基板を製造する方法であって、ゲート信号線を形成する工程と、該薄膜トランジスタのゲート電極であって、該ゲート信号線から分岐したゲート電極を形成する工程と、該ゲート信号線の少なくとも一部を覆うゲート絶縁膜を形成する工程と、ソース信号線を形成する工程と、該薄膜トランジスタのソース電極であって、該ソース信号線から分岐したソース電極を形成する工程と、該ゲート信号線上の該ゲート絶縁膜の一部を除去する工程とをさらに包含し、前記第2のエッチングはドライエッチングであり、該ドライエッチングにより、該コンタクトホールを形成するとともに、該ゲート絶縁膜の一部を除去してもよい。

前記保護膜は、記非晶質導電性酸化物であってもよい。

前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物であってもよい。

前記金属膜は、モリブデンを含んでもよい。

発明を実施するための最良の形態

以下の説明では、液晶表示装置、特に、アクティブマトリックス基板を備えた液晶表示装置について説明するが、本発明は、液晶表示装置、および、アクティブマトリックス基板液晶表示装置に限定されるものではない。本発明は、第1の電極と、第1の電極を覆う絶縁膜上に形成された第2の電極とが、絶縁膜に形成されたコンタクトホールを介して電気的に接続される任意の構成に適用可能である。

本発明の1つの実施形態による液晶表示装置は、ドレイン電極と、ドレイン電極を覆う絶縁膜上に形成された画素電極とが、絶縁膜に形成されたコンタクトホールを介して電気的に接続されるアクティブマトリックス基板を備えている。

図1は、本発明の1つの実施形態による液晶表示装置のアクティブマトリックス基板の模式的な平面図である。

アクティブマトリックス基板10は、マトリックス状に配置された複数の薄膜トランジスタ（以下「TFT」ともいう）20と、列方向に沿って配置された薄膜トランジスタ20に沿って所定の間隔を空けて互いに平行に設けられた複数のソース信号線14と、行方向に沿って配置された薄膜トランジスタ20に沿って所定の間隔を空けて互いに平行に設けられた複数のゲート信号線12とを備えている。

複数のソース信号線14には、それぞれ、対応するソースドライバ18が接続されており、各ソースドライバ18は、対応するソース信号線14に、映像信号に対応する電圧を印加する。

複数のゲート信号線12には、それぞれ、対応するゲートドライバ16が接続されており、各ゲートドライバ16は、対応するゲート信号線12に、走査信号に対応する電圧を印加する。

複数の薄膜トランジスタ20のそれぞれは、対応するゲート信号線12から分岐されたゲート電極22と、対応するソース信号線14から分岐されたソース電極24と、ドレイン電極26とを有している。

複数のドレイン電極26のそれぞれは、対応する画素電極30に接続されている。各画素電極30は、対応する画素容量28の一方の端子となっている。各画素容量28の他方の端子は、対向基板54（図3および図4参照）に設けられた対向電極32である。対向電極32は、複数の画素電極30に共有されている。

アクティブマトリックス基板10には、映像の表示に寄与する表示領域34と、表示領域34の周囲を囲むように配置された端子領域36とが設けられている。表示領域34内には、複数の画素電極30および複数の薄膜トランジスタ20が配置されており、端子領域36には、複数のゲートドライバ16および複数のソースドライバ18が配置されている。

液晶表示装置70（図3および図4参照）は、アクティブマトリックス基板10と、このアクティブマトリックス基板10に対向する対向基板54（図3および図4参照）と、アクティブマトリックス基板10と対向基板54（図3および図4参照）との間に挿入された液晶58（図3参照）とを備える。

ゲートドライバ16から印加された信号に対し、複数の薄膜トランジスタ20のそれぞれ

10

20

30

40

50

をオンまたはオフにすることによって、ソースドライバ１８から印加された映像信号に対応する電圧が、対応する画素電極３０に印加される。画素電極３０および対向電極３２に印加された電圧に応じて、液晶の配向は制御され、それによって、液晶表示装置７０（図３および図４参照）は、映像を表示する。

図２は、本発明の１つの実施形態によるアクティブマトリックス基板１０の平面図である。

図２に示されるゲートドライバ１６は、外部から走査信号が入力される信号入力端子部３８を有する。

画素電極３０は、コンタクトホール５０を介してドレイン電極２６に接続されている。

図３は、図２に示す線Ｐ－Ｐに沿った、本発明の１つの実施形態による液晶表示装置の断面図である。

図３に示された液晶表示装置７０は、アクティブマトリックス基板１０と、対向基板５４と、アクティブマトリックス基板１０と対向基板５４との間に挿入された液晶５８とを備える。

図３では、アクティブマトリックス基板１０の表示領域３４において、薄膜トランジスタ２０および薄膜トランジスタ２０のドレイン電極２６に接続された画素電極３０の断面構造が示されている。

アクティブマトリックス基板１０は、透明絶縁性基板３９を備える。ゲート電極２２は、透明絶縁性基板３９上に形成されている。ゲート電極２２は、ＴａＮとＴａとＴａＮとの積層構造（ＴａＮ／Ｔａ／ＴａＮ）を有している。

ゲート絶縁膜４０は、ゲート電極２２を覆うように透明絶縁性基板３９上に形成されている。

半導体層４６は、ゲート絶縁膜４０を介してゲート電極２２上に形成されている。ｎ＋シリコン（Ｓｉ）層４８は、半導体層４６上に、半導体層４６と整合するように形成されている。

ソース信号線１４から分岐されたソース電極２４は、ｎ＋Ｓｉ層４８の表面の一部とｎ＋Ｓｉ層４８および半導体層４６の側面とを覆うように、ゲート絶縁膜４０の一部の上に形成されている。

ドレイン電極２６は、ｎ＋Ｓｉ層４８の表面の他の一部とｎ＋Ｓｉ層４８および半導体層４６の他の側面とを覆うように、ゲート絶縁膜４０の他の一部の上に形成されている。

ソース電極２４およびドレイン電極２６は、ｎ＋Ｓｉ層４８の表面上で互いに所定の間隔離れて、配置されている。

ドレイン電極２６は、金属膜４２と保護膜４４との積層構造を有している。

薄膜トランジスタ２０は、ゲート電極２２と、半導体層４６と、ｎ＋Ｓｉ層４８と、ソース電極２４と、ドレイン電極２６とを有する。

アクティブマトリックス基板１０では、ソース電極２４およびソース信号線１４もドレイン電極２６と同様に、金属膜４２と保護膜４４との積層構造を有している。

薄膜トランジスタ２０を保護するための絶縁膜５２は、ソース電極２４とドレイン電極２６とｎ＋Ｓｉ層４８の表面のさらに他の一部とを覆うように、ゲート絶縁膜４０上に形成されている。絶縁膜５２の材料は、例えば、ＳｉＮ_xである。

絶縁膜５２には、ドレイン電極２６に達するように絶縁膜５２を貫通するコンタクトホール５０が形成されている。コンタクトホール５０は保護膜４４と接するように形成されており、すなわち、保護膜４４は、金属膜４２に対して、コンタクトホール５０側に形成されている。

画素電極３０は、コンタクトホール５０を介してドレイン電極２６と接続するように絶縁膜５２上に形成されている。画素電極３０の材料は、透明なＩＴＯである。

このような薄膜トランジスタ２０において、ドレイン電極２６の金属膜４２および保護膜４４は、エッチング（第１のエッチング）によって、形成されており、金属膜４２および保護膜４４を形成するためのエッチングに対して、金属膜４２のエッチングレートは保護膜４４のエッチングレートとほぼ等しくなっている。これにより、金属膜４２および保護膜

10

20

30

40

50

44を同時にエッチングすることにより、ほぼ同様のパターンを有する金属膜42および保護膜44が形成される。なお、金属膜42のエッチングレートは保護膜44のエッチングレートとほぼ等しいとは、同時にエッチングされた金属膜42と保護膜44との設計誤差が、所望の範囲内に収まることを意味する。

また、絶縁膜52にコンタクトホール50を形成するためのエッチング（第2のエッチング）に対して、保護膜44のエッチングレートがほぼゼロである。

このような特性を満たす金属膜42の具体的な材料は、例えば、Moであり、保護膜44の具体的な材料は、非晶質導電性酸化物である。非晶質導電性酸化物は、例えば、IZOである。IZOは、酸化インジウムと酸化亜鉛とを含む酸化物であり、酸化インジウムと酸化亜鉛とを主成分とするIn-Zn-Oである。ここでは、非晶質導電性酸化物としてIn₂O₃とZnOとを主成分とする出光興産製のIZOを使用する。

対向基板54は、透明絶縁性基板56と、透明絶縁性基板56上に設けられた対向電極32とを備えている。

図4は、図2に示す線Q-Qに沿った、本発明の1つの実施形態による液晶表示装置の断面図である。

図4では、アクティブマトリックス基板10の端子領域136において、ゲートドライバ16内の信号入力端子部38の断面構造が示されている。

ゲート信号線12は、透明絶縁性基板39上に形成されている。ゲート信号線12は、Ta₂N₅とTaとTa₂N₅との積層構造（Ta₂N₅/Ta/Ta₂N₅）を有している。ここで、ゲート信号線12は、ゲート電極22と同じ材料から構成されている。

ゲート絶縁膜40は、ゲート信号線12の両端部を覆うように透明絶縁性基板39上に形成されている。ゲート絶縁膜40上には絶縁膜52が形成されている。

ゲート信号線12が酸化して抵抗が高くなることを防ぐための酸化防止膜60が、ゲート絶縁膜40および絶縁膜52の側面と、絶縁膜52の表面の一部とを覆うように、形成されている。ここで、酸化防止膜60の材料は透明なITOであり、これは、画素電極30の材料と同じ材料である。

図5～図10は、それぞれ、本発明の1つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図5(a)、図6(a)、図7(a)、図8(a)、図9(a)および図10(a)は、それぞれ、図2に示す線A-Aに沿った断面図に対応しており、表示領域34（図1参照）において、薄膜トランジスタ20および薄膜トランジスタ20のドレイン電極26に接続された画素電極30が形成される工程を示している。

図5(b)、図6(b)、図7(b)、図8(b)、図9(b)および図10(b)は、それぞれ、図2に示す線B-Bに沿った断面図に対応しており、端子領域36（図1参照）において、ゲートドライバ16の信号入力端子部38が形成される工程を示している。

まず、図5(a)および図5(b)を参照する。透明絶縁性基板39上に、ゲート信号線11およびゲート電極6を構成する材料（例えば、Ta₂N₅/Ta/Ta₂N₅）をスパッタ法等によって約4000オングストロームの厚さで成膜する。次いで、成膜された材料を、マスク露光、現像およびドライエッチングすることによって、所定のパターンのゲート信号線11およびゲート電極6を形成する。

次に、図6(a)および図6(b)を参照する。ゲート信号線11およびゲート電極6を覆うように、ゲート絶縁膜40を構成する材料（例えば、Si₃N₄）、半導体層46を構成する材料およびn+Si層48を構成する材料を、合計の厚さが約5000オングストローム程度になるようにCVD法によって連続して成膜する。

次いで、成膜した材料を、マスク露光、現像、ドライエッチングおよび剥離することによって、所定のパターンの半導体層46およびn+Si層48を形成する。

図6(a)および図6(b)から分かるように、表示領域34（図1参照）では、薄膜トランジスタ20を形成すべき線A-A（図2参照）に沿った断面における領域でのみ半導体層46を構成する材料およびn+Si層48を構成する材料を残し、他の領域では半導体層46を構成する材料およびn+Si層48を構成する材料を除去する。

10

20

30

40

50

端子領域 36 (図 1 参照) では、半導体層 46 を構成する材料および $n + Si$ 層 48 を構成する材料を、エッチングによって除去する。

次いで、図 7 (a) および図 7 (b) を参照する。ゲート絶縁膜 40 上に、半導体層 46 および $n + Si$ 層 48 を覆うように、金属膜 42 の材料 (例えば、 Mo) をスパッタ法によって 1500 オングストロームの厚さで成膜し、続いて、保護膜 44 の材料 (例えば、 IZO) をスパッタ法によって 100 オングストロームの厚さで成膜する。

次いで、マスク露光、現像によってレジストをパターンニングする。その後、例えば、硝酸 3%、リン酸 73% および酢酸 3% の弱酸の混合液を使用したウェットエッチングによって、成膜した金属膜 42 の材料および保護膜 44 の材料の一部を除去する。

金属膜 42 の材料 (例えば、 Mo) および保護膜 44 の材料 (例えば、 IZO) は、金属膜 42 および保護膜 44 を形成するためのエッチング (ここでは、ウェットエッチング) に対して、金属膜 42 のエッチングレートは保護膜 44 のエッチングレートとほぼ等しいので、硝酸、リン酸および酢酸等の弱酸の混合液によってエッチングすることができる。したがって、金属膜 42 および保護膜 44 を 1 つのドレイン電極 26 として同一のエッチングによってパターンニングすることができる。

端子領域 36 (図 1 参照) の信号入力端子部 38 では、金属膜 42 の材料 (例えば、 Mo) および保護膜 44 の材料 (例えば、 IZO) の両方ともエッチングによって除去する。

次いで、ソース電極 24 とドレイン電極 26 との間において、ドライエッチングすることによって、チャンネルを形成して、ソース信号線 14、ソース電極 24 およびドレイン電極 26 を形成する。ここでは、ソース信号線 14、ソース電極 24 およびドレイン電極 26 は、いずれも、金属膜 42 と保護膜 44 との積層構造を有している。

次に、図 8 (a) および図 8 (b) を参照する。ソース電極 24 とドレイン電極 26 と $n + Si$ 層 48 の表面の一部とを覆うように、絶縁膜 52 の材料 (例えば、 Si_xN_y) を、CVD 法によって、約 3500 オングストロームの厚さでゲート絶縁膜 40 上に成膜する。次いで、絶縁膜 52 の材料をマスク露光、現像することによってレジストをパターンニングする。

次に、図 9 (a) および図 9 (b) を参照する。 CF_4 と O_2 との混合ガスを用いたドライエッチングによって、表示領域 34 (図 1 参照) において、ドレイン電極 26 の保護膜 44 上の絶縁膜 52 を除去して、コンタクトホール 50 を形成するとともに、端子領域 36 (図 1 参照) において、ゲート信号線 12 の上方に形成された絶縁膜 52 の一部を除去し、続いて、同じゲート信号線 12 上に形成されたゲート絶縁膜 40 の一部を除去して、ゲート信号線 12 の表面の一部を露出させる。

このとき、絶縁膜 52 にコンタクトホール 50 を形成するためのエッチング (ここでは、ドライエッチング) に対して、保護膜 44 のエッチングレートがほぼゼロであるので、このエッチングによって、保護膜 44 を含むドレイン電極 26 の一部が除去されることない。

次に、図 10 (a) および図 10 (b) を参照する。コンタクトホール 50 と、露出されたゲート信号線 12 と、ゲート絶縁膜 40 の側面および絶縁膜 52 の側面とを覆うように、スパッタ法によって、絶縁膜 52 上に ITO を成膜する。

次いで、成膜した ITO を、マスク露光、現像によってレジストパターンニングした後、塩化第 2 鉄によってエッチングし、画素電極 30 および酸化防止膜 60 を形成する。

本発明の 1 つの実施形態によるアクティブマトリックス基板 10 は、以上のように製造される。

ここで、再び、図 9 (a) および図 9 (b) を参照すると、表示領域 34 では、エッチングする必要があるのは絶縁膜 52 のみである一方で、端子領域 36 の信号入力端子部 38 では、絶縁膜 52 だけでなくゲート絶縁膜 40 をもエッチングする必要があるため、表示領域 34 では、表示領域 34 の絶縁膜 52 のみをエッチングするのに必要な時間よりも長い時間、エッチングされる。

しかし、本発明によれば、金属膜 42 ではなく保護膜 44 が絶縁膜 52 と接するために、表示領域 34 のエッチングに本来必要な時間よりも長い時間エッチングされたとしても、

10

20

30

40

50

ドレイン電極 26 は、ドライエッチングによってダメージを受けず、金属膜 42 はエッチングされることなく保護される。

ドライエッチングとして R I E (R e a c t i v e I o n e t c h i n g) を使用する場合、通常、固体とガスとを反応させ、固体を揮発性の化合物ガスに化学変化させて、エッチングを行う。アクティブマトリックス基板 10 を製造するためにドライエッチングとして R I E (R e a c t i v e I o n e t c h i n g) を使用する場合、インジウムとフッ素の化合物の揮発性が低いため、フッ素系のガスでは、インジウムを含む保護膜 44 をエッチングすることができない。したがって、画素電極 30 は、コンタクトホール 50 を介してドレイン電極 26 の表面と接続するので、画素電極 30 とドレイン電極 26 とが電氣的に安定して接続する。

10

以上のように、本発明の 1 つの実施形態によれば、画素電極 30 は、絶縁膜 52 に形成されたコンタクトホール 50 を介してドレイン電極 26 と接続されており、ドレイン電極 26 は、金属膜 42 と保護膜 44 との積層構造を有している。このとき、保護膜 44 は、金属膜 42 に対してコンタクトホール 50 側に形成されているため、ドレイン電極 26 は、ドライエッチングによってダメージを受けず、コンタクトホール 50 はドレイン電極 26 の内部に延伸するようには形成されない。従って、画素電極 30 はドレイン電極 26 の表面で接続され、画素電極 30 はドレイン電極 26 と安定して電氣的に接続する。

結果として、本発明によれば、マスク露光数、エッチング回数およびコストを増加させることなく、画素電極 30 とドレイン電極 26 との間の電氣的接続を確実にすることができる。

20

図 11 は、本発明の別の実施形態による液晶表示装置の断面図である。

図 11 に示す液晶表示装置 70 A のアクティブマトリックス基板 10 A は、図 2 に示す線 A-A に沿った断面に対応しており、アクティブマトリックス基板 10 の構成要素と同一の構成要素には同一の参照符号を付している。これらの構成要素の詳細な説明は省略する。

アクティブマトリックス基板 10 A は、金属膜 42 が保護膜 44 に対してコンタクトホール 50 A 側に形成されたドレイン電極 26 A およびソース電極 24 A を有している点で、上述したアクティブマトリックス基板 10 と異なる。

アクティブマトリックス基板 10 A を製造する場合にも、端子領域 36 (図 1 参照) においては、絶縁膜 52 のみならずゲート絶縁膜 40 をもエッチングする必要があるために、表示領域 34 (図 1 参照) において、表示領域 34 の絶縁膜 52 のみをエッチングするのに本来必要な時間よりも長い時間、表示領域 34 をエッチングすることになり、絶縁膜 52 に接するよう形成された金属膜 42 もエッチングされる。

30

しかしながら、この実施形態では、金属膜 42 の下に形成された保護膜 44 により、ドライエッチングによってダメージを受けず、コンタクトホール 50 A は保護膜 44 内に延伸されない。このため、画素電極 30 は、コンタクトホール 50 A を介して、薄膜トランジスタ 20 A のドレイン電極 26 A の保護膜 44 の表面と接続するので、画素電極 30 はドレイン電極 26 A と安定して電氣的に接続する。

なお、上記説明では、保護膜 44 の非晶質導電性酸化物の具体例として、非晶質の酸化インジウムおよび酸化亜鉛を主成分とする I Z O 膜を説明したが、非晶質導電性酸化物は I Z O 膜に限定されるものではない。非晶質導電性酸化物として、非晶質の酸化インジウムおよび酸化スズを主成分とする I T O 膜を使用しても、I Z O 膜によって得られた効果と同様の効果を得ることができる。

40

H₂O および H₂ を添加した I T O 成膜、または、I T O の結晶化温度以下の温度で I T O を成膜することによって、非晶質の I T O を形成することができる (参考文献: J、V a c. S c i. T e c h n o l. , A 8 (3) , 1 4 0 3 (1 9 9 0)) 。

産業上の利用可能性

本発明によれば、コストおよびプロセスを増加させることなく、第 1 の電極上の絶縁膜を介して第 1 の電極と第 2 の電極とを安定して電氣的接続させることができる。

【図面の簡単な説明】

50

図 1 は、本発明の 1 つの実施形態による液晶表示装置のアクティブマトリックス基板の模式的な平面図である。

図 2 は、本発明の 1 つの実施形態によるアクティブマトリックス基板の平面図である。

図 3 は、図 2 に示す線 P-P に沿った、本発明の 1 つの実施形態による液晶表示装置の断面図である。

図 4 は、図 2 に示す線 Q-Q に沿った、本発明の 1 つの実施形態による液晶表示装置の断面図である。

図 5 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図 6 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

10

図 7 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図 8 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図 9 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図 10 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図 11 は、本発明の別の実施形態による液晶表示装置の断面図である。

20

図 12 は、従来のアクティブマトリックス基板の模式的な平面図である。

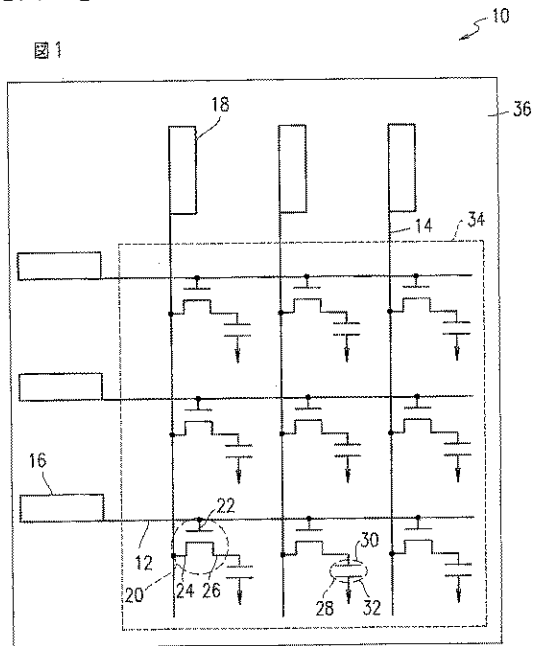
図 13 は、従来のアクティブマトリックス基板 110 の平面図である。

図 14 は、図 13 に示す線 P-P に沿った、従来の液晶表示装置の断面図である。

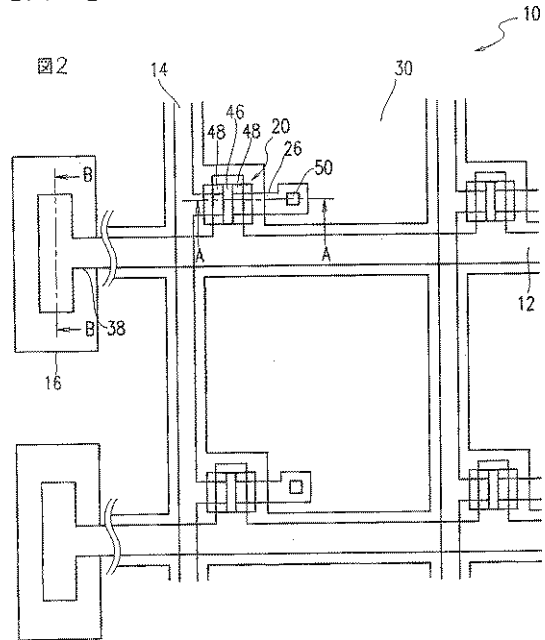
図 15 は、図 13 に示す線 Q-Q に沿った従来の液晶表示装置の断面図である。

図 16 は、図 14 に示した液晶表示装置のアクティブマトリックス基板において、コンタクトホールが絶縁膜だけでなくドレイン電極を貫通して、ゲート絶縁膜内に達したことを示す、液晶表示装置の断面図である。

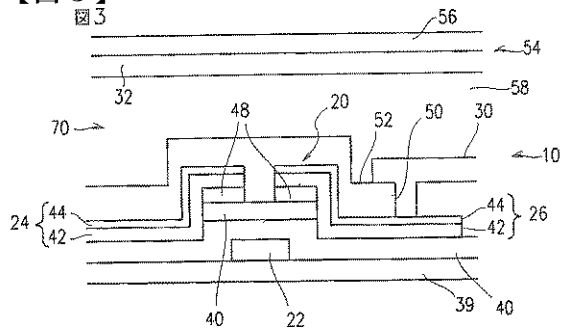
【図 1】



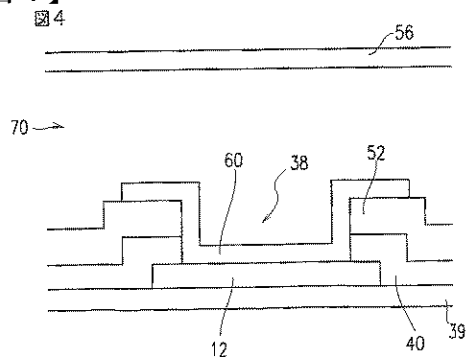
【図 2】



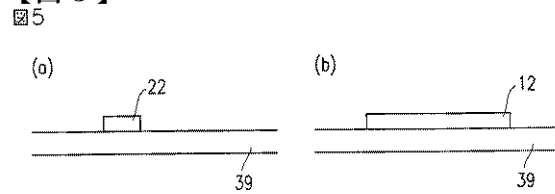
【図 3】



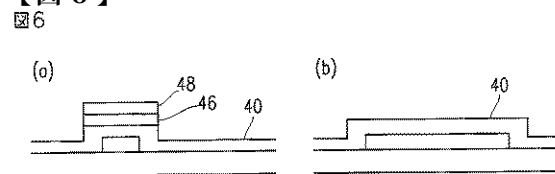
【図 4】



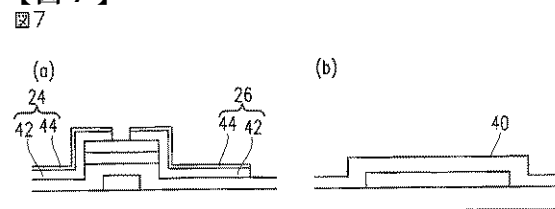
【図 5】



【図 6】

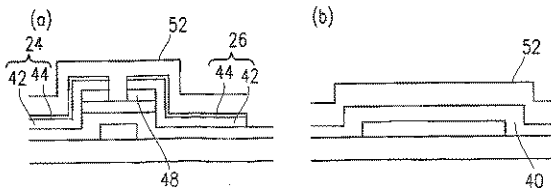


【図 7】



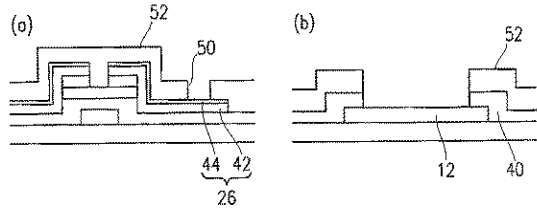
【図 8】

図 8



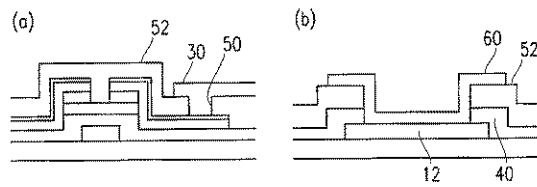
【図 9】

図 9



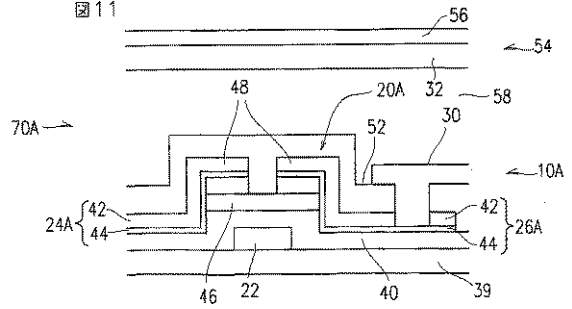
【図 10】

図 10



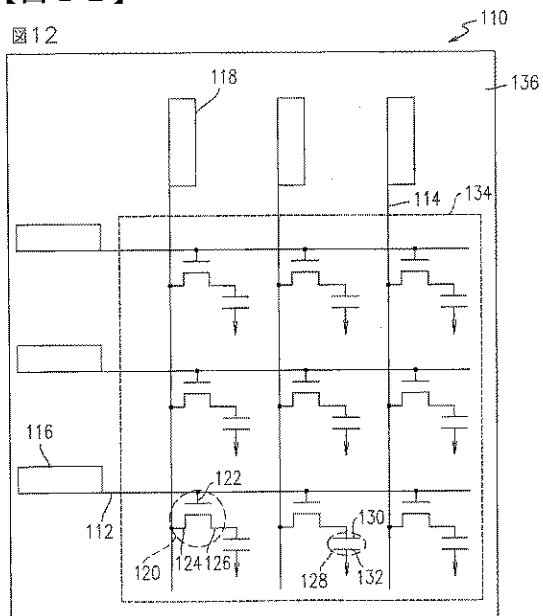
【図 11】

図 11



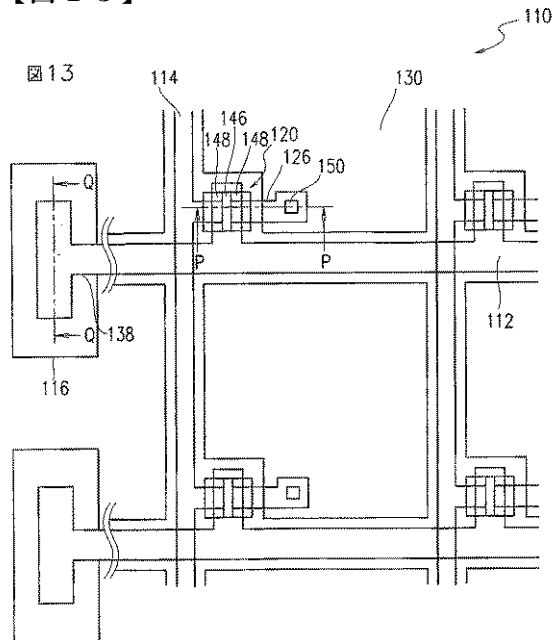
【図 12】

図 12

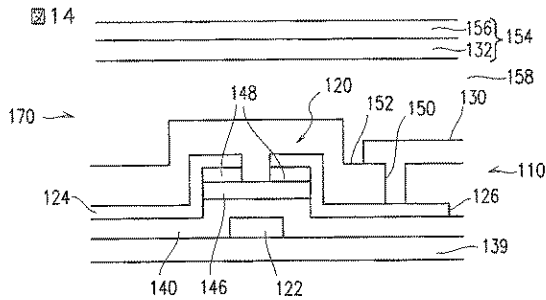


【図 13】

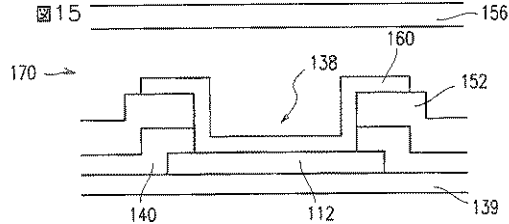
図 13



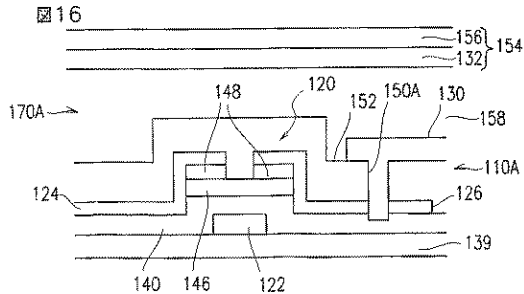
【図 14】



【例 15】



【図 16】



【手續補正書】

【提出日】平成15年12月25日(2003.12.25)

【手続補正 1】

【補正対象書類名】 特許請求の範囲

【補正対象項目名】全文

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の電極と、

該第 1 の電極の少なくとも一部を覆う絶縁膜上に形成された第 2 の電極であって、該絶縁膜に形成されたコンタクトホールを介して該第 1 の電極と電氣的に接続された第 2 の電極と

を備えた、基板であって、

該第 1 の電極は、金属膜と保護膜との積層構造を有しており、

該金属膜および該保護膜を形成するための第1のエッチングに対して、該金属膜のエッチングレートは該保護膜のエッチングレートとほぼ等しく、

該コンタクトホールを形成するための第2のエッチングに対して、該保護膜のエッチングレートをほぼゼロであり、

該保護膜は、非晶質導電性酸化物であり、

該非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物である、基板。

【請求項 2】

(削除)

【請求項 3】

(削除)

【請求項４】

前記金属膜は、モリブデンを含む、請求項１に記載の基板。

【請求項５】

前記保護膜は、前記金属膜に対して前記コンタクトホール側に形成されている、請求項１に記載の基板。

【請求項６】

前記金属膜は、前記保護膜に対して前記コンタクトホール側に形成されている、請求項１に記載の基板。

【請求項７】

ドレイン電極として機能する前記第１の電極と、ソース電極と、ゲート電極とを含む薄膜トランジスタをさらに備え、

前記第２の電極は、該薄膜トランジスタによって制御される画素電極として機能する、請求項１に記載の基板。

【請求項８】

前記薄膜トランジスタの前記ゲート電極に分岐されたゲート信号線と、

該ゲート電極および該ゲート信号線の少なくとも一部を覆うゲート絶縁膜とをさらに備え、

該薄膜トランジスタの前記ドレイン電極は、該ゲート絶縁膜上に形成されており、

前記保護膜は、該ドレイン電極下の該ゲート絶縁膜を、前記第２のエッチングから保護する、請求項７に記載の基板。

【請求項９】

請求項１に記載の基板と、

該基板に対向する対向基板と、

該基板と該対向基板との間に挿入された液晶と

を備える、液晶表示装置。

【請求項１０】

第１の電極を形成する工程と、

該第１の電極の少なくとも一部を覆う絶縁膜を形成する工程と、

該絶縁膜の一部を除去することにより、該絶縁膜にコンタクトホールを形成する工程と

、
該絶縁膜上に第２の電極を形成する工程であって、該コンタクトホールを介して該第１の電極と該第２の電極とが電氣的に接続される工程と

を包含する、基板を製造する方法であって、

該第１の電極を形成する工程は、

金属膜と保護膜とを積層する工程であって、該保護膜は、非晶質導電性酸化物であり、該非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物である、工程と、

該金属膜のエッチングレートが該保護膜のエッチングレートとほぼ等しい第１のエッチングによって、該積層された金属膜および該保護膜とともにパターニングする工程とを包含し、

該コンタクトホールを形成する工程は、該保護膜のエッチングレートがほぼゼロである第２のエッチングによって、該絶縁膜に該コンタクトホールを形成する工程を包含する、基板を製造する方法。

【請求項１１】

前記パターニングする工程は、前記弱酸の混合液を用いたウェットエッチングにより、前記金属膜および前記保護膜をパターニングする工程を包含する、請求項１０に記載の基板を製造する方法。

【請求項１２】

前記第１の電極が薄膜トランジスタのドレイン電極として機能し、前記第２の電極が該薄膜トランジスタによって制御される画素電極として機能する、基板を製造する方法であって、

10

20

30

40

50

ゲート信号線を形成する工程と、
該薄膜トランジスタのゲート電極であって、該ゲート信号線から分岐したゲート電極を形成する工程と、
該ゲート信号線の少なくとも一部を覆うゲート絶縁膜を形成する工程と、
ソース信号線を形成する工程と、
該薄膜トランジスタのソース電極であって、該ソース信号線から分岐したソース電極を形成する工程と、
該ゲート信号線上の該ゲート絶縁膜の一部を除去する工程と
をさらに包含し、
前記第2のエッチングはドライエッチングであり、
該ドライエッチングにより、該コンタクトホールを形成するとともに、該ゲート絶縁膜の一部を除去する、請求項10に記載の基板を製造する方法。

10

【請求項13】

(削除)

【請求項14】

(削除)

【請求項15】

前記金属膜は、モリブデンを含む、請求項10に記載の基板を製造する方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04727

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09F9/30, G02F1/1368, H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09F9/30, G02F1/1368, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-284326 A (Hitachi, Ltd.), 13 October, 2000 (13.10.00), Full text; all drawings & KR 2000063024 A & US 6433842 B1 & JP 2001-166336 A	1, 5-7, 9-11 2-4, 8, 12-15
Y	JP 2000-275663 A (Hitachi, Ltd.), 06 October, 2000 (06.10.00), Full text; all drawings (Family: none)	2-4, 13-15
Y	JP 8-018058 A (Frontec Inc.), 19 January, 1996 (19.01.96), Par. Nos. [0032] to [0034]; Figs. 8 to 9 & KR 161325 B1	8, 12

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
19 May, 2003 (19.05.03)Date of mailing of the international search report
03 June, 2003 (03.06.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告		国際出願番号 PCT/JP03/04727
A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ G09F9/30, G02F1/1368, H01L29/786		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ G09F9/30, G02F1/1368, H01L29/786		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-284326 A (株式会社日立製作所) 2000. 10. 13、全文、全図 &KR 2000063024 A &US 6433842 B1 &JP 2001-166336 A	1, 5-7, 9-11
Y		2-4, 8, 12-15
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技术水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	19. 05. 03	国際調査報告の発送日 03.06.03
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 佐竹 政彦	2M 2911
	電話番号 03-3581-1101 内線 3274	

国際調査報告		国際出願番号 PCT/J P 03/04727
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-275663 A (株式会社日立製作所) 2000. 10. 06、全文、全図 (ファミリーなし)	2-4, 13-15
Y	J P 8-018058 A (株式会社フロンテック) 1996. 01. 19、第【0032】-【0034】段落、第8 -9図 &KR 161325 B1	8, 12

フロントページの続き

(51)Int.Cl.⁷

F I

H 0 1 L 21/336

H 0 1 L 21/28

3 0 1 R

H 0 1 L 21/768

H 0 1 L 29/78

6 1 2 D

H 0 1 L 29/786

H 0 1 L 29/78

6 1 6 U

H 0 1 L 21/90

A

H 0 1 L 21/88

M

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	基板，具有基板的液晶显示装置，以及制造基板的方法		
公开(公告)号	JPWO2003088193A1	公开(公告)日	2005-08-25
申请号	JP2003585054	申请日	2003-04-14
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	小倉雅史 片岡義晴		
发明人	小倉 雅史 片岡 義晴		
IPC分类号	G09F9/30 G02F1/1362 G02F1/1368 G09F9/35 H01L21/28 H01L21/3205 H01L21/336 H01L21/768 H01L29/45 H01L29/786		
CPC分类号	H01L29/66765 G02F1/136227 G02F2001/13629 H01L29/458		
FI分类号	G09F9/30.338 G09F9/30.336 G02F1/1368 G09F9/35 H01L21/28.E H01L21/28.301.R H01L29/78.612.D H01L29/78.616.U H01L21/90.A H01L21/88.M		
优先权	2002113903 2002-04-16 JP		
其他公开文献	JP4076164B2		
外部链接	Espacenet		

摘要(译)

本发明的基板（10）包括：第一电极（26）和第二电极（30）。第二电极（30）形成在覆盖第一电极（26）的至少一部分的绝缘膜（52）上，并通过形成在绝缘膜（50）上的接触孔（50）与第一电极（26）电连接。第一电极（26）包括金属膜（42）和保护膜（44）的层叠结构。相对于用于形成金属膜（42）和保护膜（44）的第一蚀刻，金属膜（42）的蚀刻率几乎等于保护膜（44）的蚀刻率。相对于用于形成接触孔（50）的第二蚀刻，保护膜（44）的蚀刻速率几乎为零。

