

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4966481号
(P4966481)

(45) 発行日 平成24年7月4日(2012.7.4)

(24) 登録日 平成24年4月6日(2012.4.6)

(51) Int.Cl.

F I

GO2F 1/1345 (2006.01)

GO2F 1/1345

請求項の数 6 (全 9 頁)

<p>(21) 出願番号 特願2004-22771 (P2004-22771) (22) 出願日 平成16年1月30日 (2004.1.30) (65) 公開番号 特開2005-10737 (P2005-10737A) (43) 公開日 平成17年1月13日 (2005.1.13) 審査請求日 平成18年12月27日 (2006.12.27) (31) 優先権主張番号 10/464,089 (32) 優先日 平成15年6月18日 (2003.6.18) (33) 優先権主張国 米国 (US)</p> <p>前置審査</p>	<p>(73) 特許権者 501090788 瀚宇彩晶股▲ふん▼有限公司 台湾新北市五股區五權路 48號 4樓 (74) 代理人 100147485 弁理士 杉村 憲司 (74) 代理人 100153017 弁理士 大倉 昭人 (74) 代理人 100134577 弁理士 石川 雅章 (72) 発明者 ドックス リー 台湾国 タオユアン シェン ヤンメイ チャンチン イー ロード ナンバー 1 91 3エフ</p>
---	---

最終頁に続く

(54) 【発明の名称】 RC遅延のばらつきを抑制する補償キャパシタを有する液晶パネル

(57) 【特許請求の範囲】

【請求項 1】

RC遅延のばらつきを抑制する補償キャパシタを有する液晶パネルであって、
 基板と、
 複数本のデータ線と、
 該複数本のデータ線と交差して前記基板上で複数個の画素を構成する複数本の走査線と、
 前記基板上において形成された少なくとも1つの、内部に複数個の接続パッドを有する外部リード接合区域と、
 前記複数個の接続パッドと、前記複数本のデータ線または前記複数本の走査線とを接続する抵抗成分を有する複数本の導線と、
 それぞれが2つの電極を有し、該2つの電極により前記複数本の導線と夫々直列に接続された複数個の前記補償キャパシタとを有してなり、
 前記補償キャパシタの容量値が、前記導線自体の容量値と前記補償キャパシタの容量値とを合成した容量値を合成容量値として、夫々の前記導線の抵抗値と前記合成容量値との積が略同じになるようにする値であることを特徴とする液晶パネル。

【請求項 2】

前記導線が直線形状であることを特徴とする請求項 1 記載の液晶パネル。

【請求項 3】

前記導線がジグザグ形状であることを特徴とする請求項 1 記載の液晶パネル。

【請求項 4】

10

20

前記導線のうちの最外側の導線と接続された前記補償キャパシタの容量値が最も小さく、中央位置に近い導線ほど、該導線と接続された前記補償キャパシタの容量値が大きくなることを特徴とする請求項 1 記載の液晶パネル。

【請求項 5】

各々の前記補償キャパシタの容量値が、該補償キャパシタと接続された前記導線の位置に応じて、中央の導線の位置を中心にして左右対称に変化することを特徴とする請求項 1 記載の液晶パネル。

【請求項 6】

前記複数本の導線が、1つの扇形のファンアウト区域を形成していることを特徴とする請求項 1 記載の液晶パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、RC遅延のばらつきを抑制する補償キャパシタを有する液晶パネル、具体的にはすべての制御線上において均一の遅延時間を有する液晶パネルに関する。

【背景技術】

【0002】

図1は、従来の液晶パネルのアクティブマトリクス基板の回路説明図である。図示のように、アクティブマトリクス基板10は複数本のデータ線13と複数本の走査線12とが互いに垂直に設けられている。また、アクティブマトリクス基板10のアクティブ領域Bには、複数個の薄膜トランジスタ(TFT)が設けられており、この領域において、データ線13と走査線12とが互いに交差している。

【0003】

データ線13と走査線12はアクティブ領域Bから外に延び出しており、駆動素子により発生された信号を伝達することができる。アクティブマトリクス基板10には、アクティブ領域Bの円周に位置する外部リード接合(outer-lead bonding; OLB)区域14内があり、この区域14内に複数個の接続パッドが形成されている。これらの接続パッドは複数個の駆動素子との接続に使用されるものである。各OLB区域14は各ファンアウト(fan-out)区域16と夫々接続されており、各々のファンアウト区域16には複数の導線15が設けられている。

【0004】

図2は図1のC部分の拡大図である。図示のように、導線15(図中151, ..., 152, ...)は直線状である。各導線15は同じ厚さと幅を有する一方、異なる長さによって抵抗値が異なる。特に最も外側の導線151と中央の導線152の夫々の抵抗値は、図3(a)に示すように大きく異なる。導線15の抵抗値は次式で算出することができる。

【0005】

$$R = \rho \cdot L / S \quad (1)$$

但し、 ρ : 抵抗率

L : 長さ

S : 断面積

図3(a)と図3(b)の横軸は図2中の最左側から最右側までの導線15の番号を示しており、図3(b)は夫々の番号が対応する導線15の容量値Cを示している。信号が何れのデータ線13または走査線12により転送されても、前述の抵抗値Rと容量値Cの積は信号伝達の遅延時間と直接関係する。したがって、各導線15の抵抗キャパシタンス遅延(RC遅延)による遅延時間は、図3(c)に示すように、中央の導線152を中心として対称的に変化し、中央の導線152において最も短く、中央から外側にいく導線ほど長くなる。

【0006】

走査線 1 2 同士間の遅延時間が異なると、表示画面にちらつきを生じさせるため、画質劣化が生じてしまうという問題がある。そのために、図 4 に示すファンアウト区域 1 6 ' のように、導線の一部をジグザグ状に配置し、導線間の抵抗値の差異を低減する方法が考えられる。

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、すべての導線が、ファンアウト区域の範囲内に設置される制約があるため、ジグザグ状の中間部の導線 1 5 2 ' の全長が最外側の真直ぐな導線 1 5 1 ' より相変わらず短い。したがって、中間部の導線 1 5 2 ' をジグザグ状にした液晶パネルにおいても、導線 1 5 1 ' の $R \times C$ の値は導線 1 5 2 ' の $R \times C$ の値と同じ値にならず、前述したちらつきの問題は依然として存在する。

【0008】

本発明は、上記事情に鑑みてなされたものであり、所定の容量値を有し、各導線間の RC 遅延のばらつきを抑制することができる補償キャパヒタを有する液晶パネルを提供することを目的とするものである。

【課題を解決するための手段】

【0009】

本発明の液晶パネルは、そのアクティブマトリクス基板上に、複数本の平行なデータ線と複数本の平行な走査線が配列されて、アクティブ領域となる画像マトリクスを形成する。

【0010】

前記アクティブ領域の円周には、複数個の外部リード接合区域 (OLB 区域) があり、夫々の OLB 領域内には、複数個の駆動素子との接続のための複数個の接続パッドが設けられている。各 OLB 領域はそれぞれ、複数本の導線が配置された 1 つのファンアウト区域と接続されている。各導線には補償キャパシタが接続されており、これらの補償キャパシタは夫々の所定の容量値を有し、各導線間の RC 遅延のばらつきを一致させるものである。

【発明を実施するための最良の形態】

【0011】

図 5 は本発明の実施形態となる液晶パネルの回路説明図である。図示のように、本実施形態の液晶パネルは、アクティブマトリクス基板 5 0 を有し、その上に複数本のデータ線 5 3 と、データ線 5 3 に垂直する複数本の走査線 5 2 とが設けられている。図中アクティブ領域 D は、複数個の図示しない薄膜トランジスタ (TFT) により形成されたものであり、この領域内において、データ線 5 3 と走査線 5 2 とが垂直に交差する。また、本実施形態の液晶パネルは、アクティブマトリクス基板 5 0 と向き合うように設けられた図示しない対向基板を有し、この対向基板とアクティブマトリクス基板 5 0 と間の図示しない空隙は液晶層により充満されている。

【0012】

データ線 5 3 と走査線 5 2 がこのアクティブ領域 D から外に延び出て、駆動素子により発生された信号を伝達することができる。アクティブ領域 D の円周に隣接する外部リード接合区域 (OLB 区域) 5 4 には、複数個の駆動素子と夫々接続するための複数個の接続パッドが設けられている。各 OLB 区域 5 4 はそれぞれ 1 つのファンアウト区域 5 6 に接続され、各各ファンアウト区域 5 6 内には複数本の導線 5 5 が設けられている。

【0013】

本実施形態の液晶パネルのアクティブマトリクス基板 5 0 において、 OLB 区域 5 4 とアクティブ領域 D との間に、図 1 に示す従来のアクティブマトリクス基板 1 0 に無い複数個の補償回路区域 5 1 が設けられている。図 6 (a) は図 5 中の E 部分の拡大図であり、補償回路区域 5 1 内の詳細な回路配置を示している。図示のように、ファンアウト区域 5 6 の中央にある導線、たとえば図中 $L_{n-1} \sim L_{n+1}$ は、線中の一部分 5 5 2 がジグザ

10

20

30

40

50

グ形状になっている。各導線 $L_1 \sim L_{2n}$ に補償キャパシタ $C_1 \sim C_{2n}$ がそれぞれ接続されており、これらの補償キャパシタは回路のシミュレーションなどの結果に基づいて決められたそれぞれの所定の容量値を有するものである。各々の補償キャパシタ $C_1 \sim C_{2n}$ の容量値は各々の導線 $L_1 \sim L_{2n}$ 間の RC 遅延のばらつきを抑制することができる値であり、すなわち、これらの補償キャパシタ $C_1 \sim C_{2n}$ を元の回路に加えることによって、各々の導線間の抵抗値と容量値（補償キャパシタによる補償後の総容量値）の積の差異が最小値に抑制される。

【0014】

本実施例では、各補償キャパシタ $C_1 \sim C_{2n}$ はそれぞれ対応する導線 $L_1 \sim L_{2n}$ と並列に接続されている。図6(b)は、導線 L_1 とキャパシタ C_1 とが並列に接続された場合の等価回路図を示している。図中 R_{L_1} と C_{L_1} はそれぞれ導線 L_1 の等価抵抗と等価容量を示すものである。この並列回路の総容量値 C_T は次の式(2)で表すことができる。

$$C_T = C_{L_1} + C_1 \quad (2)$$

但し、 C_T : 総容量値

C_{L_1} : 導線 L_1 の容量値

C_1 : 補償キャパシタ C_1 の容量値

ここで、図6(c)に示すように、補償キャパシタ $C'_1 \sim C'_{2n}$ をそれぞれ対応する導線 $L_1 \sim L_{2n}$ と直列に接続するようにしてもよい。同じように、ファンアウト区域56の中央にある導線、例えば図中 $L_{n-1} \sim L_{n+1}$ は、線中の一部分552がジグザグ形状になっている。各導線 $L_1 \sim L_{2n}$ に補償キャパシタ $C'_1 \sim C'_{2n}$ がそれぞれ接続されており、これらの補償キャパシタは回路のシミュレーションなどの結果に基づいて決められたそれぞれの所定の容量値を有するものである。各々の補償キャパシタ $C'_1 \sim C'_{2n}$ の容量値は各々の導線 $L_1 \sim L_{2n}$ 間の RC 遅延のばらつきを抑制することができる値であり、すなわち、これらの補償キャパシタ $C'_1 \sim C'_{2n}$ を元の回路に加えることによって、各々の導線間の抵抗値と容量値（補償キャパシタによる補償後の総容量値）の積の差異が最小値に抑制される。

【0016】

図6(c)に示す例では、各補償キャパシタ $C'_1 \sim C'_{2n}$ はそれぞれ対応する導線 $L_1 \sim L_{2n}$ と直列に接続されている。図6(d)は、導線 L_1 とキャパシタ C'_1 とが直列に接続された場合の等価回路図を示している。図中 R_{L_1} と C_{L_1} はそれぞれ導線 L_1 の等価抵抗と等価容量を示すものである。この直列回路の全容量値 C'_T は次の式(3)で表すことができる。

$$1 / C'_T = 1 / C_{L_1} + 1 / C'_1 \quad (3)$$

但し、 C'_T : 総容量値

C_{L_1} : 導線 L_1 の容量値

C'_1 : 補償キャパシタ C'_1 の容量値

図7(a)は図6に示す各導線の抵抗値を示しており、その横軸は、図6に示される最左端の導線 L_1 から最右端の導線 L_{2n} までの指定番号を示すものである。なお、本実施形態において、 $2n$ を240とする。図示のように、中央の導線 L_n は最も小さい抵抗値を有し、すなわち、中央の導線 L_n の一部522をジグザグ形状にしても、その長さは依然として他の導線より短い。

【0018】

本実施形態において、最大の容量値を有する補償キャパシタを中央の導線 L_n に接続し、最小の容量値を有する補償キャパシタを最も外側の導線 L_1 または L_{2n} に接続する。このように各補償キャパシタを接続した結果、図 7 (b) に示すように、各導線の総容量値は、最も外側の導線 L_1 から中央の導線 L_n まで、各導線間の RC 遅延のばらつきを抑制すべく、次第に増加する。また、各導線は、最も短い中央の導線を中心にして左右対称に長くなるので、導線の総容量値も、中央の導線を中心にして左右対称に変化する（ここでは小さくなる）ようにすることが好ましい。

【 0 0 1 9 】

導線の抵抗値と容量値（ここでは補償キャパシタによる補償後の総容量値）の積は、データ線 5 3 または走査線 5 2 上の伝送信号の遅延時間と直接関係する。図 7 (c) は、図 4 に示す各導線の抵抗値と容量値の積を示す図である。図示のように、最左端の導線 L_1 から最右端の導線 L_{2n} までの各導線の抵抗値と容量値との積は略一致する。すなわち、本実施形態の液晶パネルにおいて、各導線の RC 遅延は相似しており、導線間の RC 遅延時間のばらつきが抑制されているため、液晶表示パネルのちらつき問題が軽減される。

【 0 0 2 0 】

以上、本発明の技術内容と技術の特徴について説明したが、当分野の技術者は本発明の説明に基づいて、本発明の主旨から逸脱しないさまざまな代替および変更を行うことが可能である。したがって、本発明の保護範囲は、実施形態で開示したものに限りなく、本発明から逸脱しないさまざまな代替および変更、ならびに特許請求の範囲でカバーされたものを包含するものとする。

【 図面の簡単な説明 】

【 0 0 2 1 】

【 図 1 】 従来の液晶パネルのアクティブマトリクス基板の回路説明図

【 図 2 】 図 1 の C 部分の拡大図

【 図 3 (a) 】 図 2 中の各導線の抵抗値を示す図

【 図 3 (b) 】 図 2 中の各導線の容量値を示す図

【 図 3 (c) 】 図 2 中の各導線による RC 遅延の遅延時間を示す図

【 図 4 】 従来のジグザグ形状の導線が配置されたファンアウト区域を説明するための図

【 図 5 】 本発明の実施形態の液晶パネルのアクティブマトリクス基板の回路説明図

【 図 6 (a) 】 図 5 の E 部分の拡大図

【 図 6 (b) 】 導線 L_1 とキャパシタ C_1 とが並列に接続されたときの等価回路図

【 図 6 (c) 】 図 5 に示す液晶パネルの補償回路区域 5 1 と異なる補償回路区域 5 1 ' の例を示す図

【 図 6 (d) 】 導線 L_1 とキャパシタ C'_1 とが直列に接続されたときの等価回路図

【 図 7 (a) 】 図 5 中の各導線の抵抗値を示す図

【 図 7 (b) 】 図 5 中の各導線の総容量値を示す図

【 図 7 (c) 】 図 5 中の各導線による RC 遅延の遅延時間を示す図

【 符号の説明 】

【 0 0 2 2 】

1 0 アクティブマトリクス基板

1 2 走査線

1 3 データ線

1 4 外部リード接合区域

1 5 導線

1 5 1、1 5 2、1 5 1 '、1 5 2 ' 導線

1 6、1 6 ' ファンアウト区域

1 8 1、1 8 3 データ

5 0 アクティブマトリクス基板

5 1、5 1 ' 補償回路区域

5 2 走査線

10

20

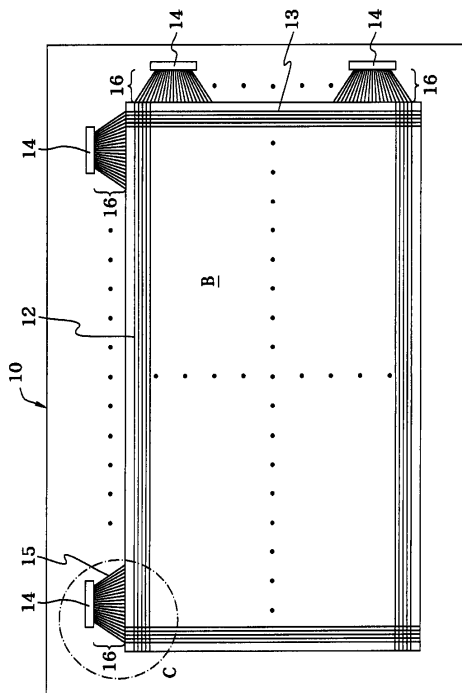
30

40

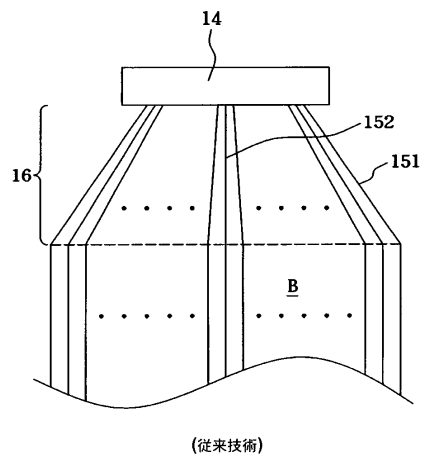
50

- 5 3 データ線
- 5 4 外部リード接合区域
- 5 5 導線
- 5 6 ファンアウト区域
- 5 5 2 導線のジグザグ形状部分

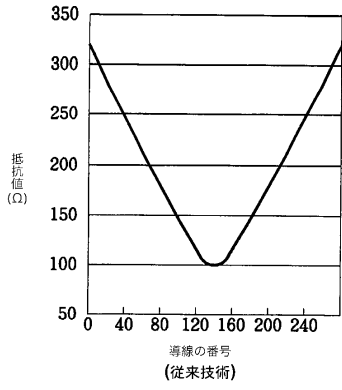
【図 1】



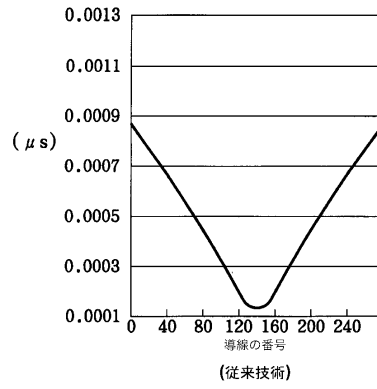
【図 2】



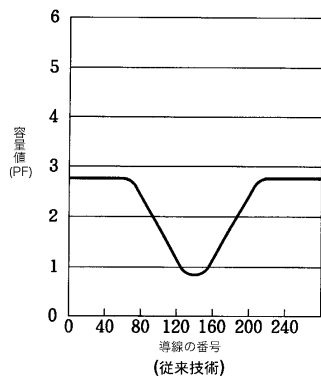
【 図 3 (a) 】



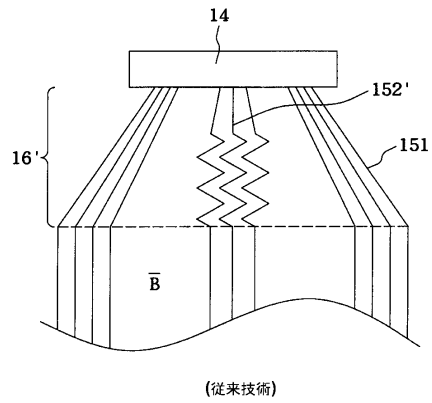
【 図 3 (c) 】



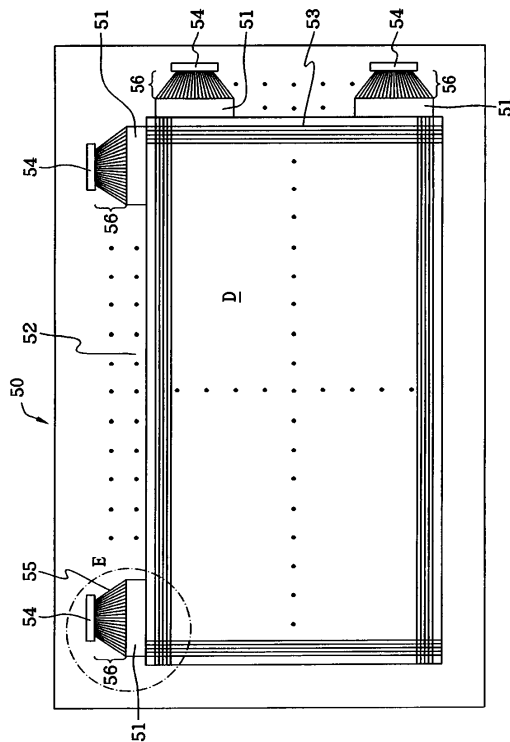
【 図 3 (b) 】



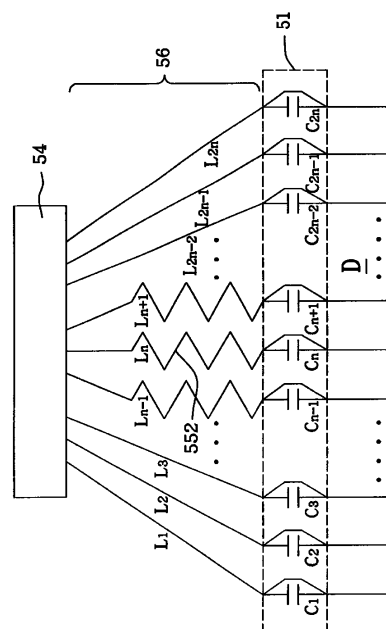
【 図 4 】



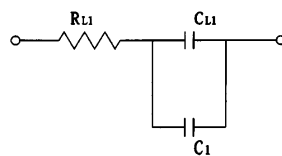
【 図 5 】



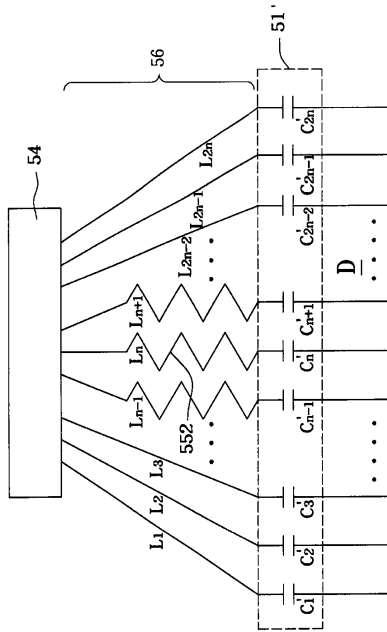
【 図 6 (a) 】



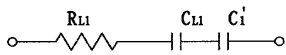
【 図 6 (b) 】



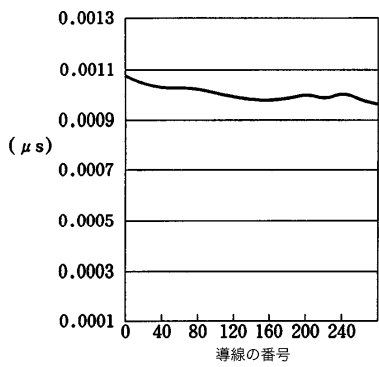
【図6(c)】



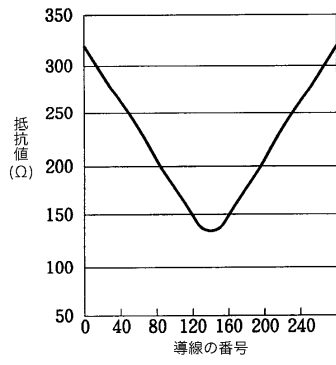
【図6(d)】



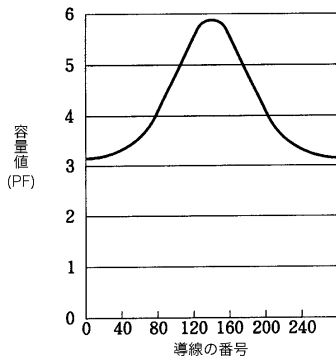
【図7(c)】



【図7(a)】



【図7(b)】



フロントページの続き

- (72)発明者 テチェン チュン
台湾国 320 タオユアン カウンティー ジョングリ シティー フジョウ ロード ナンバ
ー 161
- (72)発明者 ミンティエン リン
台湾国 247 タイペイ ルジョウ シティー ジオウチウン ストリート ナンバー 13
シックスス フロア
- (72)発明者 チアテ リアオ
台湾国 333 タオユアン カウンティー グエイシャン シアン ウンファ ヴィレッジ ウ
ンチャン セカンド ストリート レイン 21 ナンバー 10 エイ6

審査官 瀬川 勝久

- (56)参考文献 特開2000-056724(JP,A)
特開2002-277893(JP,A)
特開2003-149674(JP,A)
特開平08-286209(JP,A)
特開2003-140181(JP,A)
特開平07-134305(JP,A)
特開2005-529360(JP,A)

(58)調査した分野(Int.Cl., DB名)

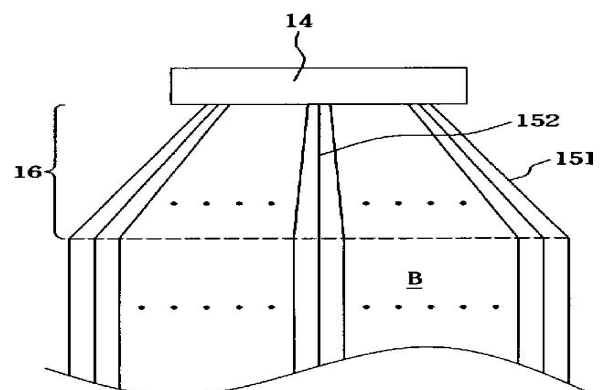
G02F 1/1343 - 1/1345
G09F 9/30 - 9/46
H01L 27/10

专利名称(译)	一种液晶面板，具有补偿电容器，用于抑制RC延迟的变化		
公开(公告)号	JP4966481B2	公开(公告)日	2012-07-04
申请号	JP2004022771	申请日	2004-01-30
[标]申请(专利权)人(译)	汉星显示器公司 瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股份有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股▲ふん▼有限公司		
[标]发明人	ドゥクスリー テチェンチュン ミンテイエンリン チアテリアオ		
发明人	ドゥクスリー テチェンチュン ミンテイエンリン チアテリアオ		
IPC分类号	G02F1/1345 G02F1/1343		
CPC分类号	G02F1/1345 G02F1/13452		
FI分类号	G02F1/1345 G02F1/1343		
F-TERM分类号	2H092/GA31 2H092/GA32 2H092/GA33 2H092/JB21 2H092/JB22 2H092/JB23 2H092/JB31 2H092/JB32 2H092/NA01 2H092/NA12		
代理人(译)	杉村健二 大仓明人 石川正明		
优先权	10/464089 2003-06-18 US		
其他公开文献	JP2005010737A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过抑制RC延迟的变化来抑制液晶面板的显示图像的变化。
 ŽSOLUTION：在包括有源矩阵基板的液晶面板，与有源基板相对设置的对向基板，以及填充有源矩阵基板和对置基板之间的空间的液晶层，多个并行数据线和多个在有源矩阵上布置平行扫描线，以形成称为有源区的像素矩阵。多个OLB（外引线键合）区域位于有源区域的外围，并且每个OLB区域设置有连接垫以连接到多个驱动元件。多个引线放置在连接到相应OLB区域的扇出区域中。具有特定电容的补偿电容器连接到每个引线，并且引线电阻和总电容的乘积在所有引线中几乎均匀。Ž

2]



(従来技術)