

(19) **日本国特許庁(JP)**

(12) **特 許 公 報 (B2)**

(11) 特許番号

特許第4846133号
(P4846133)

(45) 発行日 平成23年12月28日(2011.12.28)

(24) 登録日 平成23年10月21日 (2011.10.21)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

GO2F 1/133 (2006.01)

G O 9 G 3/36

G09G 3/20 621K

G09G 3/20 622D

G09G 3/20 650B

G09G 3/20 650C

請求項の数 4 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2001-231842 (P2001-231842)

(22) 出願日 平成13年7月31日 (2001. 7. 31)

(65) 公開番号 特開2003-44013 (P2003-44013A)

(43) 公開日 平成15年2月14日 (2003. 2. 14)

審査請求日 平成20年6月25日 (2008. 6. 25)

(73) 特許権者 302020207

東芝モバイルディスプレイ株式会社

埼玉県深谷市幡羅町一丁目9番地2

(74) 代理人 100083806

弁理士 三好 秀和

(72) 発明者 宮武 正樹

埼玉県深谷市幡羅町一丁目9番地2 株式
会社東芝 深谷工場内

審査官 安藤 達哉

[最終頁に続く](#)

(54) 【発明の名称】 駆動回路、電極基板及び液晶表示装置

(57)【特許請求の範囲】

【請求項 1】

複数段の転送回路により走査信号を順次転送し、前記各転送回路毎に出力するシフトレジスタ回路、

i (奇数) 段目の転送回路及び i - 1 段目の転送回路の出力を 2 入力とするトランスミッションゲート型の第 1 N A N D 回路と、前記 i 段目の転送回路の出力を前記第 1 N A N D 回路の出力側に入力するトランスミッションゲート型の第 1 インバータ回路とを備えた第 1 回路と、 i + 1 段目の転送回路及び前記 i 段目の転送回路の出力を 2 入力とするトランスミッションゲート型の第 2 N A N D 回路と、前記 i 段目の転送回路の出力を前記第 2 N A N D 回路の出力側に入力するトランスミッションゲート型の第 2 インバータ回路とを備えた第 2 回路とが交互に配置されてなり、

前記トランスミッションゲートのオン／オフを制御する表示モード切替信号により第1表示モードが選択された時は前記第1及び第2NAND回路をオン、前記第1及び第2インバータ回路をオフして、前記i段目の転送回路と前記i-1段目の転送回路の出力をNAND演算した結果をi段目の前記第1回路から走査信号として出力すると共に、前記i+1段目の転送回路と前記i段目の転送回路の出力をNAND演算した結果をi+1段目の前記第2回路から走査信号として出力し、

前記表示モード切替信号により第２表示モードが選択された時は前記NAND回路をオフ、前記第１及び第２インバータ回路をオンして、前記ｉ段目の転送回路の出力を前記第１及び第２インバータ回路を介してそれぞれ前記第１及び第２NAND回路の出力側に入

力し、 i 段目の前記第 1 回路と $i + 1$ 段目の前記第 2 回路から走査信号として出力するモード切替回路、

を具備することを特徴とする駆動回路。

【請求項 2】

前記表示モード切替信号により第 1 表示モードが選択された時は、 i 段目の前記第 1 回路から出力される走査信号のパルス波形を $i - 1$ 段目の前記第 2 回路からのパルスカット出力信号でカットすると共に、 $i + 1$ 段目の前記第 2 回路から出力される走査信号のパルス波形を i 段目の前記第 1 回路からのパルスカット出力信号でカットし、

前記表示モード切替信号により第 2 表示モードが選択された時は、 i 段目の前記第 1 回路から出力される走査信号のパルス波形を $i - 2$ 段目の前記第 1 回路からのパルスカット出力信号でカットすると共に、 $i + 1$ 段目の前記第 2 回路から出力される走査信号のパルス波形を $i - 1$ 段目の前記第 2 回路からのパルスカット出力信号でカットするパルスカット回路を具備することを特徴とする請求項 1 に記載の駆動回路。

【請求項 3】

複数の信号線と複数の走査線とが直交するように配置され、前記両線の各交点近傍にスイッチング素子を介して画素電極が配置された画素部と、前記信号線に映像信号を供給する信号線駆動回路と、請求項 1 又は 2 の駆動回路で構成される走査線駆動回路とを備え、

前記走査線駆動回路は、前記表示モード切替信号により第 1 表示モードが選択された時は、走査線 1 ライン毎に走査信号を出力し、また前記表示モード切替信号により第 2 表示モードが選択された時は、前記走査線 2 ライン同時に走査信号を出力することを特徴とする電極基板。

【請求項 4】

請求項 3 の電極基板からなる第 1 基板と、前記画素電極と相対する対向電極が形成された第 2 基板と、これら両基板間に保持された液晶層とを備え、

前記走査線駆動回路は、外部から供給された表示モード切替信号により第 1 表示モードが選択された時は、走査線 1 ライン毎に走査信号を出力し、また前記表示モード切替信号により第 2 表示モードが選択された時は、前記走査線 2 ライン同時に走査信号を出力することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は駆動回路、電極基板及び液晶表示装置に関し、詳しくは走査線に走査信号を出力する走査線駆動回路と、この走査線駆動回路を画素部と同一基板上に形成したアレイ基板と、このアレイ基板を備えたアクティブマトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】

液晶表示装置は、薄型、軽量であることに加えて低消費電力という特性を活かし、携帯型情報端末の表示装置として広く用いられている。中でも、マトリクス状に配置された画素毎に薄膜トランジスタ (TFT) からなるスイッチング素子を設けたアクティブマトリクス型の液晶表示装置は、発色性に優れ、また残像が少ないことから、高精細な表示画像が要求される分野で使用されている。また近年では、スイッチング素子に走査信号を供給する走査線駆動回路や信号線を介して画素電極に映像信号を供給する信号線駆動回路などを、画素が形成された絶縁基板上に一体に形成した駆動回路内蔵型の液晶表示装置も開発されている。

【0003】

【発明が解決しようとする課題】

ところで、液晶表示装置の用途の一つとして車載型モニタがある。このような車載型モニタには、カーナビゲーション画面と TV 画面の両方を表示する機能が必要とされている。一般に、カーナビゲーション画面は TV 画面に比べて解像度が高いため、TV 画面用の液晶モニタでカーナビゲーション画面を表示すると解像度が低くなり、詳細な地図表示がで

10

20

30

40

50

きなくなるといった問題点があった。また、解像度の高いカーナビゲーション画面用の液晶モニタでTV画面を表示すると、表示画面が縮小されてしまい、画面が見づらくなるといった問題点があった。

【0004】

この発明の目的は、カーナビゲーション画面では高精細な地図表示を行うことができ、またTV画面では表示画面を縮小することなしにTV画像の表示を可能とする駆動回路、電極基板及び液晶表示装置を提供することにある。

【0005】

【課題を解決するための手段】

上記目的を達成するため、請求項1の発明は、複数段の転送回路により走査信号を順次転送し、前記各転送回路毎に出力するシフトレジスタ回路、 i （奇数）段目の転送回路及び $i-1$ 段目の転送回路の出力を2入力とするトランスミッションゲート型の第1NAND回路と、前記 i 段目の転送回路の出力を前記第1NAND回路の出力側に入力するトランスミッションゲート型の第1インバータ回路とを備えた第1回路と、 $i+1$ 段目の転送回路及び前記 i 段目の転送回路の出力を2入力とするトランスミッションゲート型の第2NAND回路と、前記 i 段目の転送回路の出力を前記第2NAND回路の出力側に入力するトランスミッションゲート型の第2インバータ回路とを備えた第2回路とが交互に配置されてなり、

前記トランスミッションゲートのオン/オフを制御する表示モード切替信号により第1表示モードが選択された時は前記第1及び第2NAND回路をオン、前記第1及び第2インバータ回路をオフして、前記 i 段目の転送回路と前記 $i-1$ 段目の転送回路の出力をNAND演算した結果を i 段目の前記第1回路から走査信号として出力すると共に、前記 $i+1$ 段目の転送回路と前記 i 段目の転送回路の出力をNAND演算した結果を $i+1$ 段目の前記第2回路から走査信号として出力し、前記表示モード切替信号により第2表示モードが選択された時は前記NAND回路をオフ、前記第1及び第2インバータ回路をオンして、前記 i 段目の転送回路の出力を前記第1及び第2インバータ回路を介してそれぞれ前記第1及び第2NAND回路の出力側に入力して、 i 段目の前記第1回路と $i+1$ 段目の前記第2回路から走査信号として出力するモード切替回路を具備することを特徴とする駆動回路である。

【0006】

好ましい形態として、前記シフトレジスタ回路は半クロック型のシフトレジスタで構成される。

【0007】

好ましい形態として、前記第1表示モードは走査線数の多いカーナビゲーション画面用の表示モードであり、前記第2表示モードは前記カーナビゲーション画面よりも走査線数の少ないTV画面用の表示モードである。

【0008】

好ましい形態として、前記表示モード切替信号は、Highレベル又はLowレベルの直流信号である。

【0009】

好ましい形態として、High又はLowレベルのシャット信号と前記モード切替回路から出力される走査信号とを2入力とするNAND回路を前記モード切替回路の後段に配置し、常時はHighレベルのシャット信号を入力することで走査信号の出力を許容し、電源投入直後の所定期間はLowレベルのシャット信号を入力することで走査信号の出力を抑制する。

【0010】

請求項2の発明は、請求項1において、前記表示モード切替信号により第1表示モードが選択された時は、 i 段目の前記第1回路から出力される走査信号のパルス波形を $i-1$ 段目の前記第2回路からのパルスカット出力信号でカットすると共に、 $i+1$ 段目の前記第2回路から出力される走査信号のパルス波形を i 段目の前記第1回路からのパルスカット

10

20

30

40

50

出力信号でカットし、前記表示モード切替信号により第2表示モードが選択された時は、 i 段目の前記第1回路から出力される走査信号のパルス波形を $i - 2$ 段目の前記第1回路からのパルスカット出力信号でカットすると共に、 $i + 1$ 段目の前記第2回路から出力される走査信号のパルス波形を $i - 1$ 段目の前記第2回路からのパルスカット出力信号でカットするパルスカット回路を具備することを特徴とする。

【0011】

また、上記目的を達成するため、請求項3の発明は、複数の信号線と複数の走査線とが直交するように配置され、前記両線の各交点近傍にスイッチング素子を介して画素電極が配置された画素部と、前記信号線に映像信号を供給する信号線駆動回路と、請求項1又は2の駆動回路で構成される走査線駆動回路とを備え、前記走査線駆動回路は、前記表示モード切替信号により第1表示モードが選択された時は、走査線1ライン毎($G_1, G_2, \dots, G_n$)に走査信号を出力し、また前記表示モード切替信号により第2表示モードが選択された時は、前記走査線2ライン同時($G_1 + G_2, G_3 + G_4, \dots, G_{n-1} + G_n$)に走査信号を出力することを特徴とする電極基板である。

10

【0012】

さらに上記目的を達成するため、請求項4の発明は、請求項3の電極基板からなる第1基板と、前記画素電極と相対する対向電極が形成された第2基板と、これら両基板間に保持された液晶層とを備え、前記走査線駆動回路は、前記外部駆動回路から出力された表示モード切替信号により第1表示モードが選択された時は、走査線1ライン毎($G_1, G_2, \dots, G_n$)に走査信号を出力し、また前記表示モード切替信号により第2表示モードが選択された時は、前記走査線2ライン同時($G_1 + G_2, G_3 + G_4, \dots, G_{n-1} + G_n$)に走査信号を出力することを特徴とする液晶表示装置である。

20

【0013】

好ましい形態として、前記第1基板の走査線駆動回路に制御信号と表示モード切替信号を供給し、また信号線駆動回路に制御信号と映像信号を供給する外部駆動回路を備える。前記制御信号として、前記信号線駆動回路には、例えば水平スタート信号 XST 、水平クロック信号 XCK などが供給される。また前記走査線駆動回路には、垂直スタート信号 YST 、垂直クロック信号 YCK 、シャット信号 $YSHUT$ 、表示モード切替信号 ENA などが供給される。

【0021】

30

【発明の実施の形態】

以下、この発明に係わる駆動回路、電極基板及び液晶表示装置をアクティブマトリクス型の液晶表示装置に適用した場合について説明する。

【0022】

[実施形態1]

実施形態1では、1つの走査線駆動回路で2つの表示モードの切り替えができるようにした例について説明する。

【0023】

図2は、実施形態1に係わる液晶表示装置の概略構成を示すブロック図である。

【0024】

40

画素アレイ部101には、複数の信号線 $S_1, S_2, \dots, S_m$ (以下、総称 S)と複数の走査線 $G_1, G_2, \dots, G_n$ (以下、総称 G)が互いに交差するように配線されており、これら両線の各交差部にはスイッチング素子としての画素トランジスタ106が配置されている。画素トランジスタ106のゲートは1水平ライン毎に共通に走査線 G に共通に接続され、ソースは1垂直ライン毎に信号線 S に共通に接続されている。またドレインは画素電極107(及び図示しない補助容量)に接続されている。この画素電極107と電氣的に相対する対向電極108は、アレイ基板104と対向配置された図示しない対向基板上に形成されており、両基板間には液晶層109が保持されている。なお、画素アレイ部は本実施形態における画素部を構成している。

【0025】

50

信号線駆動回路 102 は、図示しないシフトレジスタ、レベルシフタ、バッファ回路などで構成され、後述する外部駆動回路 105 から供給される各種タイミング信号に従って、映像信号に対応する信号線 S に順次サンプリングする。

【0026】

走査線駆動回路 103 は、後述するシフトレジスタ回路部 201、モード切替回路部 202 などで構成され、外部駆動回路 105 から供給される各種タイミング信号に従って、走査線 G に走査信号を順次出力する。本実施形態の走査線駆動回路 103 では、外部駆動回路 105 から送られてくる後述の表示モード切替信号 ENA ($/ENA$) により、走査線 1 ライン毎 ($G1, G2, \dots Gn$) に走査信号を出力する第 1 表示モードと、走査線 2 ライン同時 ($G1 + G2, G3 + G4, \dots Gn - 1 + Gn$) に走査信号を出力する第 2 表示モードの 2 つの表示モードの切り替えができるように構成されている。本実施形態では、第 1 表示モードをカーナビゲーション画面の表示モードとし、第 2 表示モードを TV 画面の表示モードとする。

10

【0027】

外部駆動回路 105 は、アレイ基板 104 外に配置された制御回路であり、信号線駆動回路 102 には水平スタート信号 XST 、水平クロック信号 XCK を供給し、走査線駆動回路 103 には垂直スタート信号 YST 、垂直クロック信号 YCK 、後述するシャット信号 $YSHUT$ 、表示モード切替信号 ENA を供給している。また外部から供給される映像信号は、外部駆動回路 105 を経由して (又は経由せずに)、図示しないビデオバスにより信号線駆動回路 102 に供給されている。

20

【0028】

図 1 は、走査線駆動回路 103 の回路構成図である。走査線駆動回路 103 は、シフトレジスタ回路部 201、モード切替回路部 202、シャット回路部 203、レベルシフタ回路部 (L/S) 204、パルスカット回路部 205 及びバッファ回路部 206 により構成されている。以下、上記各部の構成を説明する。ただし図 1 では、実線の枠で囲まれた範囲を上記各部の回路単位とし、その一つを代表して説明するものとする。

【0029】

シフトレジスタ回路部 201 は、外部駆動回路 105 から供給される垂直スタート信号 YST を垂直クロック信号 YCK 、 $/YCK$ のタイミングで順次転送して、各段毎に走査信号として出力する回路であり、トランスマッションゲート付きインバータ回路 207、208 と、インバータ回路 209、210 とで構成されている。このうち、トランスマッションゲート付きインバータ回路 207、208 は、図 3 に示すような CMOS 回路で構成されている。図 3 に示す $p-ch$ 及び $n-ch$ トランスマッションゲートは、垂直クロック信号 YCK 、 $/YCK$ (反転) YCK によりオン/オフが制御される。また IN には垂直スタート信号 YST が入力される。

30

【0030】

図 1 では、インバータ回路 207 の $p-ch$ 及び $n-ch$ トランスマッションゲートを $\blacktriangle 1 \blacktriangledown$ と記し、インバータ回路 208 の $p-ch$ 及び $n-ch$ トランスマッションゲートを $\blacktriangle 2 \blacktriangledown$ と記している。そして、 $\blacktriangle 1 \blacktriangledown$ と記された $n-ch$ トランスマッションゲート及び $\blacktriangle 2 \blacktriangledown$ と記された $p-ch$ トランスマッションゲートには垂直クロック信号 YCK が、また $\blacktriangle 1 \blacktriangledown$ と記された $p-ch$ トランスマッションゲート及び $\blacktriangle 2 \blacktriangledown$ と記された $n-ch$ トランスマッションゲートには $/YCK$ がそれぞれ入力される。

40

【0031】

図 5 のタイミングチャートに示すように、垂直クロック信号 YCK 、 $/YCK$ のタイミングで順次転送された垂直スタート信号 YST は、図 1 の出力段 220、221、 $\dots$ 225 からそれぞれ半クロックの位相差で走査信号として出力される。

【0032】

なお、シフトレジスタ回路部 201 は本実施形態における転送回路であり、複数のシフトレジスタ回路部 201 は本実施形態におけるシフトレジスタ回路を構成している。

【0033】

50

モード切替回路部 202 は、表示モード切替信号 ENA ($/ENA$) に応じて走査信号の出力形式を切り替える回路であり、トランスマッションゲート付き $NAND$ 回路 211 と、トランスマッションゲート付きインバータ回路 212 と、インバータ回路 213 とで構成されている。このうち $NAND$ 回路 211 は、自段及び前段の出力段からの出力が 2 つの入力端に入力されるように接続されている。またインバータ回路 212 は、走査線 2 ライン ($G1 + G2$, $G3 + G4$, ... $Gn - 1 + Gn$) に対応する 2 つのモード切替回路部 202 をペアとしたときに、奇数段 ($G1$, $G3$, $G5$, ...) の出力段から出力された走査信号が各インバータ回路 212 を介してそれぞれの $NAND$ 回路 211 の出力側に入るように接続されている。

【0034】

10

なお、図 1 に示す実線の枠内の $NAND$ 回路 211、インバータ回路 212 はそれぞれ本実施形態における第 2 $NAND$ 回路、第 2 インバータ回路であり、これらの回路を備えたモード切替回路部 202 は本実施形態における第 1 回路を構成している。また、上記モード切替回路部 202 の左隣りに位置する $NAND$ 回路 211、インバータ回路 212 は本実施形態における第 1 $NAND$ 回路、第 1 インバータ回路であり、これらの回路を備えたモード切替回路部 202 は本実施形態における第 2 回路を構成している。更に、複数のモード切替部 202 は本実施形態におけるモード切替回路を構成している。

【0035】

上記構成によると、前記走査線 2 ラインに対応する 2 つのモード切替回路部 202 において、 $NAND$ 回路 211 をオン、インバータ回路 212 をオフとした時には、各 $NAND$ 回路 211 に自段及び前段の出力段から出力された走査信号が半クロックの位相差で入力するため、その $NAND$ 演算の結果が各走査線毎に走査信号として出力される。また、 $NAND$ 回路 211 をオフ、インバータ回路 212 をオンとした時には、奇数段 ($G1$, $G3$, $G5$, ...) の出力段から出力された 1 つの走査信号が各 $NAND$ 回路 211 の出力側ラインに供給され、走査線 2 ライン同時に出力される。

20

【0036】

トランスマッションゲート付き $NAND$ 回路 211 は、図 4 に示すような $CMOS$ 回路で構成されている。そして、 $p-ch$ 及び $n-ch$ トランスマッションゲートは、表示モード切替信号 ENA , $/$ (反転) ENA によりオン/オフが制御される。また $IN1$ には自段のシフトレジスタ回路部からの出力が、 $IN2$ には前段のシフトレジスタ回路部からの出力がそれぞれ入力される。また、トランスマッションゲート付きインバータ回路 212 は、図 3 に示すような $CMOS$ 回路で構成されている。

30

【0037】

図 1 のモード切替回路部 202 において、 $NAND$ 回路 211 の $p-ch$ 及び $n-ch$ トランスマッションゲートを ▲3▼ と記し、インバータ回路 212 の $p-ch$ 及び $n-ch$ トランスマッションゲートを ▲4▼ と記している。そして、▲3▼ と記された $n-ch$ トランスマッションゲート及び ▲4▼ と記された $p-ch$ トランスマッションゲートには表示モード切替信号 ENA が、また ▲3▼ と記された $p-ch$ トランスマッションゲート及び ▲4▼ と記された $n-ch$ トランスマッションゲートには $/ENA$ がそれぞれ入力される。

40

【0038】

外部駆動回路 105 から供給される表示モード切替信号 ENA は、 $High$ レベル又は Low レベルの直流信号である。したがって、表示モード切替信号 ENA が $High$ レベルであれば、 $/ENA$ は Low レベルとなり、表示モード切替信号 ENA が Low レベルであれば、 $/ENA$ は $High$ レベルとなる。本実施形態では、カーナビゲーション画面の表示モードでは、表示モード切替信号 $ENA = H$ 、 $/ENA = L$ とし、 TV 画面の表示モードでは、表示モード切替信号 $ENA = L$ 、 $/ENA = H$ としている。

【0039】

なお、 $High$ レベルは本実施形態における第 1 電位であり、 Low レベルは本実施形態における第 2 電位である。

50

【 0 0 4 0 】

シャット回路部 2 0 3 は、走査線駆動回路 1 0 2 としての機能を一時的に停止する回路であり、NAND 回路 2 1 4 により構成されている。NAND 回路 2 1 4 の一方の入力端には H 又は L レベルのシャット信号 Y S H U T が入力され、他方の入力端には自段のモード切替回路部 2 0 2 から出力された走査信号が入力される。通常、シャット回路部 2 0 3 には H レベルのシャット信号 Y S H U T が与えられ、モード切替回路部 2 0 2 から出力された走査信号は、そのまま後段のレベルシフタ回路部 2 0 4 に送られる。一方、電源投入直後の所定期間は L レベルのシャット信号 Y S H U T が与えられ、この期間中は走査信号が出力されないようにして、不要な画像が表示されないように制御される。

【 0 0 4 1 】

レベルシフタ回路部 2 0 4 は、シャット回路部 2 0 3 を経て送られてきた走査信号の振幅を画素トランジスタの駆動に必要な電圧まで昇圧する回路である。

【 0 0 4 2 】

パルスカット回路部 2 0 5 は、1 ライン毎（又は 2 ライン毎）に隣接する走査線に出力される走査信号のパルス波形が、トランジスタのバラツキにより重なるのを防ぐための回路であり、NOR 回路 2 1 5 と、インバータ回路 2 1 6 と、トランスミッションゲート付きインバータ回路 2 1 7 , 2 1 8 とで構成されている。このうち、トランスミッションゲート付きインバータ回路 2 1 7 , 2 1 8 は、図 3 に示すような CMOS 回路で構成されている。

【 0 0 4 3 】

図 1 のパルスカット回路部 2 0 5 において、インバータ回路 2 1 7 の p - c h 及び n - c h トランスミッションゲートを ▲ 3 ▼ と記し、インバータ回路 2 1 8 の p - c h 及び n - c h トランスミッションゲートを ▲ 4 ▼ と記している。そして、▲ 3 ▼ と記された n - c h トランスミッションゲート及び ▲ 4 ▼ と記された p - c h トランスミッションゲートには表示モード切替信号 E N A が、また ▲ 3 ▼ と記された p - c h トランスミッションゲート及び ▲ 4 ▼ と記された n - c h トランスミッションゲートには / E N A がそれぞれ入力される。

【 0 0 4 4 】

なお、複数のパルスカット回路部 2 0 5 は、本実施形態におけるパルスカット回路を構成している。

【 0 0 4 5 】

バッファ回路部 2 0 6 は、パルスカット回路部 2 0 5 から出力された走査信号を各走査線 G 1 , G 2 , ... G n に出力する回路であり、インバータ回路 2 1 9 で構成されている。

【 0 0 4 6 】

次に、上記のように構成された走査線駆動回路 1 0 2 において、第 1 表示モードであるカーナビゲーション画面の表示を行う場合と、第 2 表示モードである TV 画面の表示を行う場合の動作をそれぞれ説明する。なお、ここでは上記各部のうち主要な回路部の動作についてのみ説明する。

【 0 0 4 7 】

まず、カーナビゲーション画面の表示を行う場合は、図 5 のタイミングチャートに示すように、表示モード切替信号 E N A = H、/ E N A = L とする。各モード切替回路部 2 0 2 では、各段の NAND 回路 2 1 1 がオン、インバータ回路 2 1 2 がオフするため、例えば出力段 2 2 1 から出力された走査信号は NAND 回路 2 1 1 の一方の入力端に入力され、また出力段 2 2 2 からの走査信号は NAND 回路 2 1 1 の他方の入力端に半クロックの位相差で入力されることになる。この結果、モード切替回路部 2 0 2 では、NAND 回路 2 1 1 の入力端が 2 つとも H レベルとなる期間だけ出力が有効となり、図 5 に示すように走査線 1 ライン毎（G 1 , G 2 , ...）に走査信号が出力される。

【 0 0 4 8 】

この時に、パルスカット回路部 2 0 5 では、表示モード切替信号 E N A = H、/ E N A = L であるため、インバータ回路 2 1 8 がオン、インバータ回路 2 1 7 がオフする。このた

10

20

30

40

50

め、自段の出力信号のパルス波形を前段の出力信号のパルス波形でカットした波形が走査信号として出力されることになる。

【 0 0 4 9 】

なお、自段の出力信号とは走査信号であり、前段の出力信号とは前段から出力される走査信号であって、本実施形態におけるパルスカット出力信号を意味している。

【 0 0 5 0 】

一方、TV画面の表示を行う場合は、図6のタイミングチャートに示すように、表示モード切替信号 $ENA = L$ 、 $/ENA = H$ とする。各モード切替回路部 202 では、各段の NAND 回路 211 がオフ、インバータ回路 212 がオンするため、例えば出力段 221 から出力された走査信号は NAND 回路 211 に入力されることなく、走査線 G1、G2 に対応するモード切替回路 202 のインバータ回路 212 に同時に入力されることになる。この結果、走査線 G1、G2 に対応するそれぞれのモード切替回路部 202 からは、出力段 211 から入力された同一の出力が取り出されることになり、走査線 2 ライン同時 (G1 + G2, G3 + G4, ... Gn - 1 + Gn) に走査信号が出力されることになる。

【 0 0 5 1 】

この時に、パルスカット回路部 205 では、表示モード切替信号 $ENA = L$ 、 $/ENA = H$ であるため、インバータ回路 218 がオフ、インバータ回路 217 がオンする。このため、自段の出力信号のパルス波形を前々段の出力信号のパルス波形でカットした波形が走査信号として出力されることになる。

【 0 0 5 2 】

上記実施形態1の走査線駆動回路 103 によれば、カーナビゲーション画面を表示する際には、表示モード切替信号 $ENA = H$ 、 $/ENA = L$ とすることにより、走査線 1 ライン毎 (G1, G2, ... Gn) に走査信号を出力することができるので、高精細な地図表示を行うことができる。またTV画面を表示する際には、表示モード切替信号 $ENA = L$ 、 $/ENA = H$ とすることにより、走査線 2 ライン同時 (G1 + G2, G3 + G4, ... Gn - 1 + Gn) に走査信号を出力することができるため、表示画面を縮小することなくTV画像の表示を行うことが可能となる。

【 0 0 5 3 】

また、パルスカット回路部 205 では、自段の出力信号のパルス波形を前段又は前々段の出力信号のパルス波形でカットした波形を走査信号として出力するため、トランジスタのバラツキにより 1 ライン毎 (又は 2 ライン毎) に隣接する走査線に出力される走査信号のパルス波形が重なるのを防止することができる。したがって、表示ムラを生じることがなく、また選択画素への映像信号の書き込み不足などを生じることがないので、良好な表示品位を得ることができる。

【 0 0 5 4 】

[実施形態 2]

実施形態2では、表示モードに対応した走査線駆動回路を2つ配置し、選択された表示モードに対応する走査線駆動回路のみ動作させることで、2つの表示モードの切り替えができるようにした例について説明する。

【 0 0 5 5 】

図7は、実施形態2に係わる液晶表示装置の概略構成を示すブロック図である。図7では、図2と同等部分を同一符号で示している。ここでは、画素アレイ 101 と信号線駆動回路 102 の説明を省略する。

【 0 0 5 6 】

走査線駆動回路 301, 303 は、後述するシフトレジスタ回路部 401 などによって構成され、外部駆動回路 305 から供給される各種タイミング信号に従って、走査線 G に走査信号を順次出力する。走査線駆動回路 301, 303 は、走査線 G の両端に配置されている。走査線駆動回路 301 は、走査線 1 ライン毎 (G1, G2, ... Gn) に走査信号を出力する第1表示モードで動作する駆動回路であり、走査線駆動回路 303 は、走査線 2 ライン同時 (G1 + G2, G3 + G4, ... Gn - 1 + Gn) に走査信号を出力する第2表示モー

10

20

30

40

50

ドで動作する駆動回路である。この2つの走査線駆動回路の動作は、外部駆動回路305から送られてくる表示モード切替信号ENA(/ ENA) , 同ENB(/ ENB) により切り替えられる。本実施形態においては、第1表示モードをカーナビゲーション画面の表示モードとし、第2表示モードをTV画面の表示モードとする。

【0057】

なお、図7において、走査線駆動回路301と走査線駆動回路303の位置関係は逆であってもよい。

【0058】

外部駆動回路305は、アレイ基板104外に配置された制御回路であり、信号線駆動回路102には水平スタート信号XST、水平クロック信号XCKを供給し、走査線駆動回路301には垂直スタート信号YST、垂直クロック信号YCK、シャット信号YSHUT、表示モード切替信号ENAを供給している。また走査線駆動回路303には垂直スタート信号YST、垂直クロック信号YCK、シャット信号YSHUT、表示モード切替信号ENBを供給している。更に、外部から供給される映像信号は、外部駆動回路305を経由して(又は経由せずに)、図示しないビデオバスにより信号線駆動回路102に供給されている。

【0059】

図8は、走査線駆動回路301の回路構成図である。走査線駆動回路301は、シフトレジスタ回路部401、シャット回路部402、レベルシフト回路部(L / S)403、パルスカット回路部404及びバッファ回路部405により構成されている。以下、各部の構成について説明するが、図8においても実線の枠で囲まれた範囲を上記各部の回路単位とし、その一つを代表して説明する。またシャット回路部402、レベルシフト回路部403の構成は図1のシャット回路部203、レベルシフト回路部204と同じであるため説明を省略する。

【0060】

シフトレジスタ回路部401は、外部駆動回路305から供給される垂直スタート信号YSTを垂直クロック信号YCK、 / YCKのタイミングで順次転送する回路であり、本実施形態では、二段毎に1つの走査信号が出力されるように構成されている。またシフトレジスタ回路部401は、トランスマッションゲート型のインバータ回路406、407と、インバータ回路408とで構成されている。このうち、トランスマッションゲート型のインバータ回路406、407は、図3に示すようなCMOS回路で構成されている。図3に示すp - ch及びn - chトランスマッションゲートは、垂直クロック信号YCK、 / (反転) YCKによりオン / オフが制御される。またINには垂直スタート信号YSTが入力される。

【0061】

図8では、インバータ回路406のp - ch及びn - chトランスマッションゲートを▲1▼と記し、インバータ回路407のp - ch及びn - chトランスマッションゲートを▲2▼と記している。そして、▲1▼と記されたn - chトランスマッションゲート及び▲2▼と記されたp - chトランスマッションゲートには垂直クロック信号YCKが、また▲1▼と記されたp - chトランスマッションゲート及び▲2▼と記されたn - chトランスマッションゲートには / YCKがそれぞれ入力される。

【0062】

なお、シフトレジスタ回路部401は本実施形態における転送回路である。そして、複数のシフトレジスタ回路部401は本実施形態における第1シフトレジスタ回路を構成している。

【0063】

パルスカット回路部404は、NOR回路410と、インバータ回路411、412とで構成され、NOR回路410において自段の出力信号のパルス波形を前段からの出力信号のパルス波形でカットすることにより、隣接する走査線に出力される走査信号が重なるのを防いでいる。

10

20

30

40

50

【 0 0 6 4 】

なお、自段の出力信号とは走査信号であり、前段の出力信号とは前段から出力される走査信号であって、本実施形態におけるパルスカット出力信号を意味している。

【 0 0 6 5 】

バッファ回路部 4 0 5 は、パルスカット回路部 4 0 4 から出力された走査信号を走査線 1 ライン毎 $G_1, G_2, \dots, G_n$ に出力する回路であり、トランスマッションゲート型のインバータ回路 4 1 3 で構成されている。インバータ回路 4 1 3 は、図 1 0 に示すような CMOS 回路からなり、 $n - ch$ トランスマッションゲート及び $p - ch$ トランスマッションゲートには表示モード切替信号 ENA (又は $\neg ENA$) が入力される。

【 0 0 6 6 】

なお、バッファ回路部 4 0 5 は本実施形態における第 1 バッファ回路である。そして、シフトレジスタ回路部 4 0 1 とバッファ回路部 4 0 5 を備えた走査線駆動回路 3 0 1 は本実施形態における第 1 駆動回路を構成している。

【 0 0 6 7 】

図 9 は、走査線駆動回路 3 0 3 の回路構成図である。走査線駆動回路 3 0 3 は、シフトレジスタ回路部 5 0 1、シャット回路部 5 0 2、レベルシフト回路部 (L/S) 5 0 3、パルスカット回路部 5 0 4 及びバッファ回路部 5 0 5 により構成されている。以下、各部の構成について説明するが、図 9 においても実線の枠で囲まれた範囲を上記各部の回路単位とし、その一つを代表して説明する。またシャット回路部 5 0 2、レベルシフト回路部 5 0 3 の構成は図 1 のシャット回路部 2 0 3、レベルシフト回路部 2 0 4 と同じであるため説明を省略し、またパルスカット回路部 5 0 4 の構成は図 8 のパルスカット回路部 4 0 4 と同じであるため説明を省略する。

【 0 0 6 8 】

シフトレジスタ回路部 5 0 1 は、外部駆動回路 3 0 5 から供給される垂直スタート信号 YST を垂直クロック信号 $YCK, \neg YCK$ のタイミングで順次転送する回路であり、本実施形態では、二段毎に 1 つの走査信号が出力されるように構成されている。またシフトレジスタ回路部 5 0 1 は、トランスマッションゲート型のインバータ回路 5 0 6、5 0 7 と、インバータ回路 5 0 8 とで構成されている。このうち、トランスマッションゲート型のインバータ回路 5 0 6、5 0 7 は、図 3 に示すような CMOS 回路で構成されている。図 9 では、インバータ回路 5 0 6 の $p - ch$ 及び $n - ch$ トランスマッションゲートを ▲ 1 ▼ と記し、インバータ回路 5 0 7 の $p - ch$ 及び $n - ch$ トランスマッションゲートを ▲ 2 ▼ と記している。そして、▲ 1 ▼ と記された $n - ch$ トランスマッションゲート及び ▲ 2 ▼ と記された $p - ch$ トランスマッションゲートには垂直クロック信号 YCK が、また ▲ 1 ▼ と記された $p - ch$ トランスマッションゲート及び ▲ 2 ▼ と記された $n - ch$ トランスマッションゲートには $\neg YCK$ がそれぞれ入力される。ただし、走査線駆動回路 3 0 3 に与えられる $YCK (\neg YCK)$ は、図 1 3 のタイミングチャートに示すように、図 1 2 に示した $YCK (\neg YCK)$ の周波数の $1/2$ となっている。

【 0 0 6 9 】

なお、シフトレジスタ回路部 5 0 1 は本実施形態における転送回路である。そして、複数のシフトレジスタ回路部 5 0 1 は本実施形態における第 2 シフトレジスタ回路を構成している。

【 0 0 7 0 】

バッファ回路部 5 0 5 は、パルスカット回路部 5 0 4 から出力された走査信号を走査線 2 ライン同時 ($G_1 + G_2, G_3 + G_4, \dots, G_{n-1} + G_n$) に出力する回路であり、トランスマッションゲート型のインバータ回路 5 1 1、5 1 2 で構成されている。インバータ回路 5 1 1、5 1 2 は、図 1 1 に示すような CMOS 回路からなり、それぞれの $n - ch$ トランスマッションゲート及び $p - ch$ トランスマッションゲートには表示モード切替信号 ENB (又は $\neg ENB$) が入力される。

【 0 0 7 1 】

なお、複数のバッファ回路部 5 0 5 は本実施形態における第 2 バッファ回路である。そし

10

20

30

40

50

て、シフトレジスタ回路部 5 0 1 とバッファ回路部 5 0 5 を備えた走査線駆動回路 3 0 3 は本実施形態における第 2 駆動回路を構成している。

【 0 0 7 2 】

次に、上記のように構成された走査線駆動回路 3 0 1 及び 3 0 3 において、第 1 表示モードであるカーナビゲーション画面の表示を行う場合と、第 2 表示モードである T V 画面の表示を行う場合の動作について説明する。なお、ここでは上記各部のうち主要な回路部の動作についてのみ説明する。

【 0 0 7 3 】

カーナビゲーション画面の表示を行う場合、走査線駆動回路 3 0 1 に対しては、図 1 2 のタイミングチャートに示すように、表示モード切替信号 $ENA = H$ 、 $/ENA = L$ を供給し、走査線駆動回路 3 0 3 に対しては、表示モード切替信号 $ENB = H$ 、 $/ENB = L$ (図示せず) を供給する。

10

【 0 0 7 4 】

この時は、走査線駆動回路 3 0 1 のバッファ回路部 4 0 5 では、表示モード切替信号 ENA によりインバータ回路 4 1 3 がオンするため、シフトレジスタ回路部 4 0 1 から二段毎に出力された走査信号は、図 1 2 に示すように走査線 1 ライン毎 ($G1, G2, \dots Gn$) に出力される。一方、走査線駆動回路 3 0 3 のバッファ回路部 5 0 5 では、表示モード切替信号 ENB によりインバータ回路 5 1 1, 5 1 2 はオフするため、バッファ回路部 5 0 5 の出力はフローティング状態となる。

【 0 0 7 5 】

20

このように、カーナビゲーション画面の表示を行う期間中は、走査線駆動回路 3 0 1 から走査線 1 ライン毎に走査信号が出力される一方、走査線駆動回路 3 0 3 は停止した状態となる。

【 0 0 7 6 】

T V 画面の表示を行う場合は、走査線駆動回路 3 0 1 に対しては、表示モード切替信号 $ENA = L$ 、 $/ENA = H$ (図示せず) を供給し、走査線駆動回路 3 0 3 に対しては、図 1 3 のタイミングチャートに示すように、表示モード切替信号 $ENB = L$ 、 $/ENB = H$ を供給する。

【 0 0 7 7 】

この時は、走査線駆動回路 3 0 3 のバッファ回路部 5 0 5 では、表示モード切替信号 ENB によりインバータ回路 5 1 1, 5 1 2 がオンするため、シフトレジスタ回路部 5 0 1 から二段毎に出力された走査信号は、図 1 3 に示すように走査線 2 ライン同時 ($G1 + G2, G3 + G4, \dots Gn - 1 + Gn$) に出力される。一方、走査線駆動回路 3 0 1 のインバータ回路 4 1 3 がオフするため、バッファ回路部 4 0 5 の出力はフローティング状態となる。

30

【 0 0 7 8 】

このように、T V 画面の表示を行う期間中は、走査線駆動回路 3 0 3 から走査線 2 ライン同時に走査信号が出力される一方、走査線駆動回路 3 0 1 は停止した状態となる。

【 0 0 7 9 】

上記実施形態 2 の走査線駆動回路 3 0 1, 3 0 3 によれば、カーナビゲーション画面を表示する際には、表示モード切替信号 $ENA = H$ 、 $/ENA = L$ 、且つ表示モード切替信号 $ENB = H$ 、 $/ENB = L$ とすることにより、走査線駆動回路 3 0 1 から走査線 1 ライン毎 ($G1, G2, \dots Gn$) に走査信号を出力させ、且つ走査線駆動回路 3 0 3 を停止させることができるので、高精細な地図表示を行うことができる。また T V 画面を表示する際には、表示モード切替信号 $ENA = L$ 、 $/ENA = H$ 、且つ表示モード切替信号 $ENB = L$ 、 $/ENB = H$ とすることにより、走査線駆動回路 3 0 3 から走査線 2 ライン同時 ($G1 + G2, G3 + G4, \dots Gn - 1 + Gn$) に走査信号を出力させ、且つ走査線駆動回路 3 0 1 を停止させることができるため、表示画面を縮小することなく T V 画像の表示を行うことができる。

40

【 0 0 8 0 】

50

とくに、実施形態 2 の走査線駆動回路 301, 303 では、実施形態 1 の走査線駆動回路 103 に比べて回路構成を簡素化することができ、回路設計も容易となる。

【0081】

また、パルスカット回路部 404, 504 では、自段の出力信号のパルス波形を前段の出力信号のパルス波形でカットした波形を走査信号として出力するため、トランジスタのバラツキにより 1 ライン毎 (又は 2 ライン毎) に隣接する走査線に出力される走査信号のパルス波形が重なるのを防止することができる。したがって、表示ムラを生じることがなく、また選択画素への映像信号の書き込み不足などを生じることがないので、良好な表示品位を得ることができる。

【0082】

ところで、上述した実施形態 1 及び 2 の液晶表示装置に関連する従来例として、特開平 6 - 95071 号公報には、一つの液晶表示装置でインターレース駆動、2 ライン同時駆動、順次駆動等の各種の駆動が行えるようにした技術が提案されている。

【0083】

しかし、この特開平 6 - 95071 号公報の液晶表示装置では、2 ライン同時駆動 (インターレース駆動でも同じ) を行う場合には奇数、偶数の各フィールド毎に制御信号の信号波形を変化させる必要があり、とくに順次走査駆動を行う場合にはシフトパルスに同期したクロック波形の制御信号を入力する必要があるため、この制御信号を供給する外部回路の負担が大きいという問題点がある。これに対して上記実施形態 1 及び 2 の液晶表示装置では、いずれの駆動方式においても表示モード切替信号は High レベル又は Low レベルの直流信号であり、従来例に比べて制御信号の供給が容易となるため、外部回路での負担を軽減することができる。

【0084】

なお、各実施形態の走査線駆動回路は、アレイ基板 104 上に画素アレイ部 101 と一体に形成されたものでなくてもよい。例えば、信号線駆動回路と共に外部駆動回路上に配置されたものであってもよい。

【0085】

さらに、各実施形態の走査線駆動回路は、液晶表示装置又はその電極基板に適用されるだけでなく、例えば電極基板上に有機 EL を形成した構造の平面表示装置、又は対向配置された電極基板間に有機 EL を保持した構造の平面表示装置にも適用することができる。

【0086】

【発明の効果】

以上説明したように、本発明によれば、カーナビゲーション画面を表示する場合は走査線 1 ライン毎に走査信号を出力することにより、高精細な地図表示を行うことができ、また TV 画面を表示する場合は走査線 2 ライン同時に走査信号を出力することにより、表示画面を縮小することなく TV 画像の表示を行うことが可能となる。したがって、本発明を適用した車載型モニタでは、一つのモニタ画面でカーナビゲーション画面と TV 画面のどちらにも適した表示画像を得ることができる。

【図面の簡単な説明】

【図 1】実施形態 1 における走査線駆動回路の回路構成図。

【図 2】実施形態 1 に係わる液晶表示装置の概略構成を示すブロック図。

【図 3】トランスミッションゲート型のインバータ回路の具体例を示す回路構成図。

【図 4】トランスミッションゲート型の NAND 回路の具体例を示す回路構成図。

【図 5】実施形態 1 においてカーナビゲーション画面の表示を行う場合のタイミングチャート。

【図 6】実施形態 1 において TV 画面の表示を行う場合のタイミングチャート。

【図 7】実施形態 2 に係わる液晶表示装置の概略構成を示すブロック図。

【図 8】実施形態 2 における走査線駆動回路の回路構成図。

【図 9】実施形態 2 における走査線駆動回路の回路構成図。

【図 10】トランスミッションゲート型のインバータ回路の具体例を示す回路構成図。

10

20

30

40

50

【図 1 1】 トランスミッションゲート型のインバータ回路の具体例を示す回路構成図。

【図 1 2】実施形態 1 においてカーナビゲーション画面の表示を行う場合のタイミングチャート。

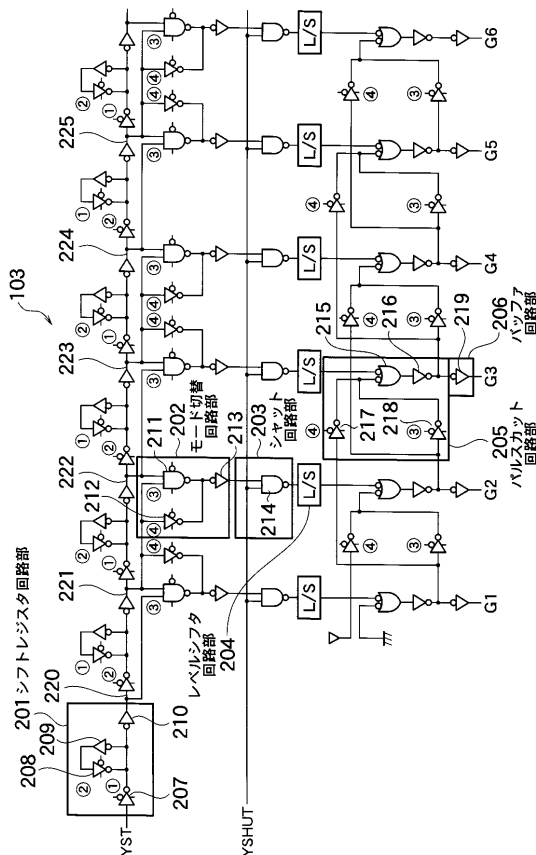
【図 13】実施形態 1 において T V 画面の表示を行う場合のタイミングチャート。

【符号の説明】

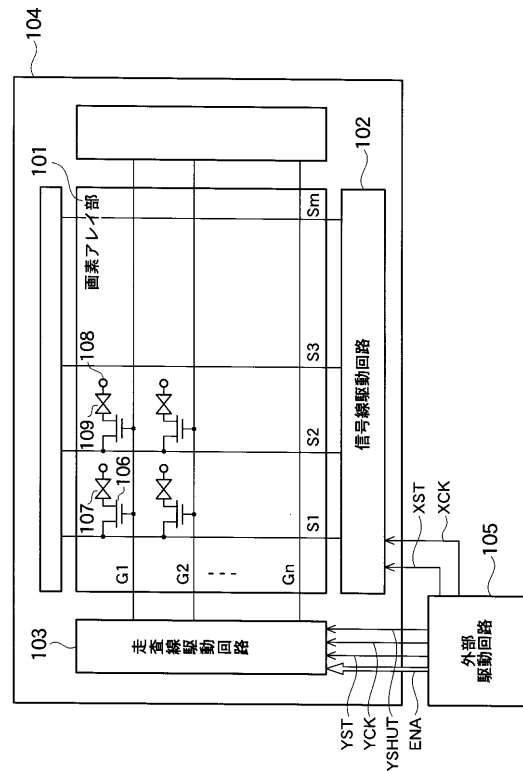
1 0 1 ...画素アレイ部、1 0 2 ...信号線駆動回路、1 0 3 , 3 0 1 , 3 0 3 ...走査線駆動回路、1 0 4 ...アレイ基板、1 0 5 , 3 0 5 ...外部駆動回路、2 0 1 , 4 0 1 , 5 0 1 ...シフトレジスタ回路部、2 0 2 ...モード切替回路部、2 0 3 , 4 0 2 , 5 0 2 ...シャット回路部、2 0 4 , 4 0 3 , 5 0 3 ...レベルシフト回路部、2 0 5 , 4 0 4 , 5 0 4 ...パルスカット回路部、2 0 6 , 4 0 5 , 5 0 5 ...バッファ回路部

10

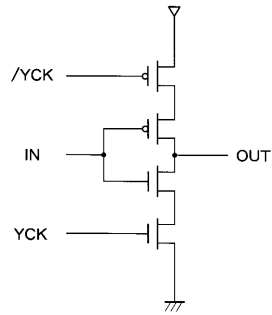
【圖 1】



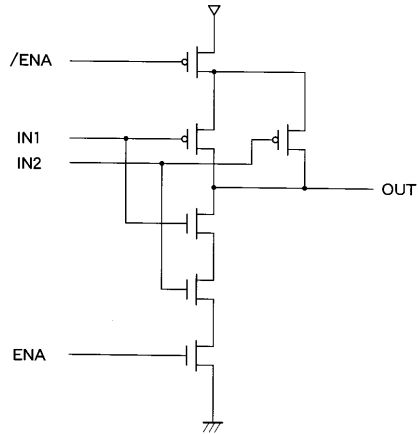
【圖 2】



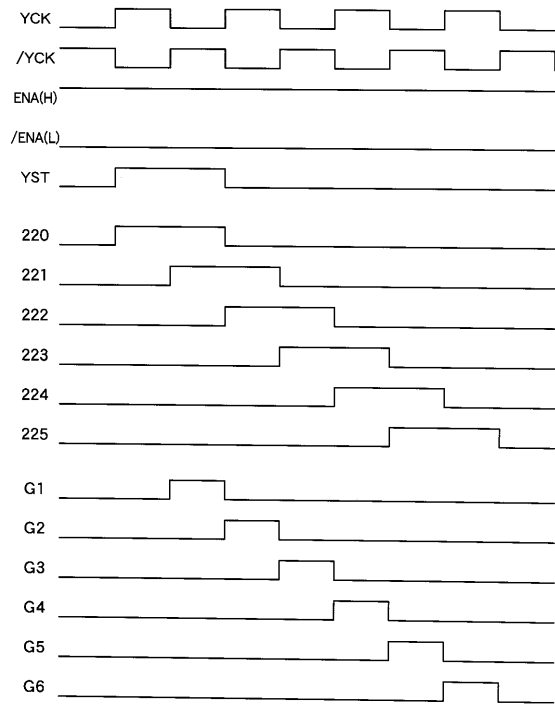
【図 3】



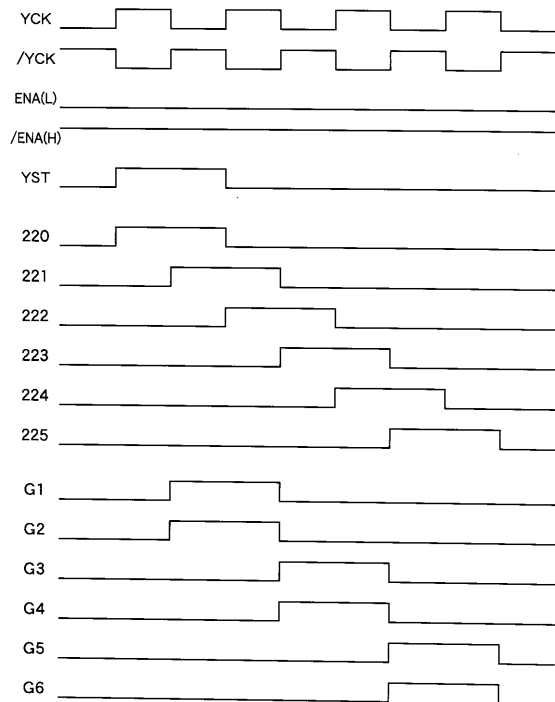
【図 4】



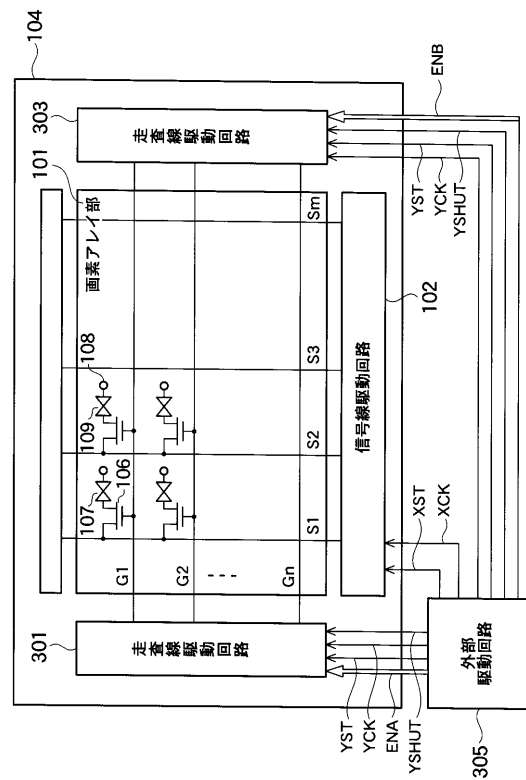
【図 5】



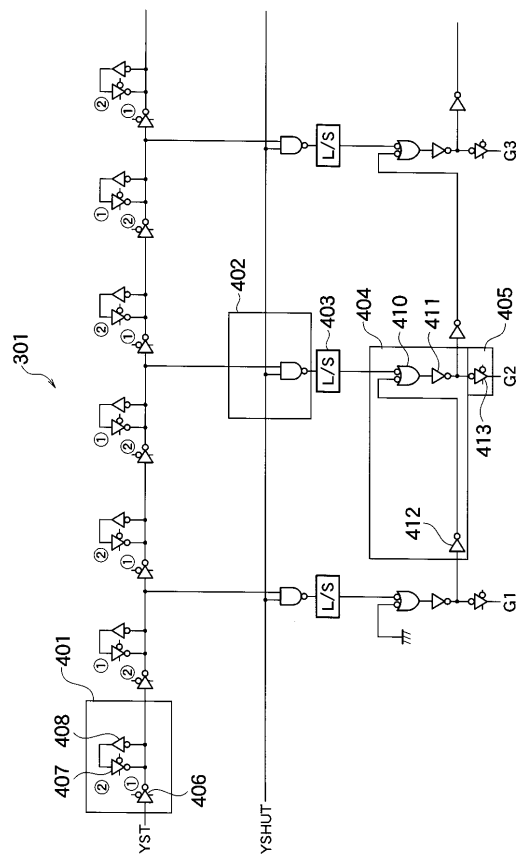
【図 6】



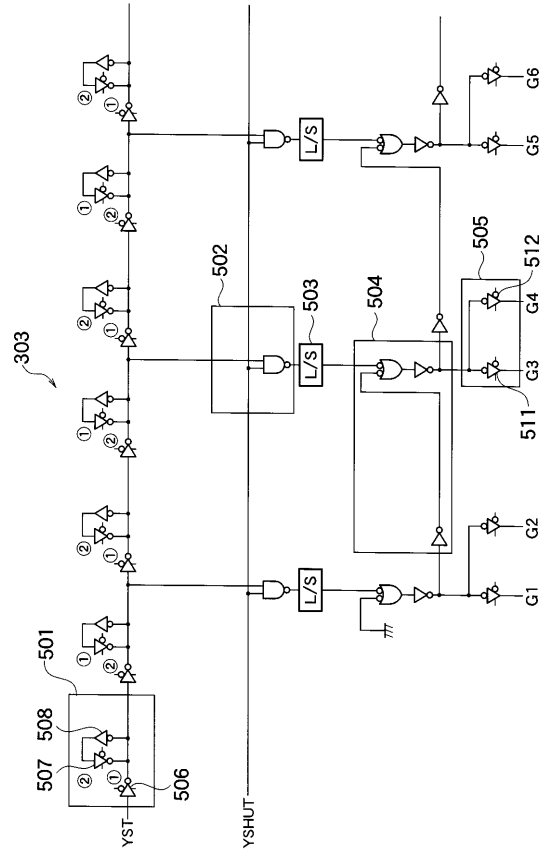
【図 7】



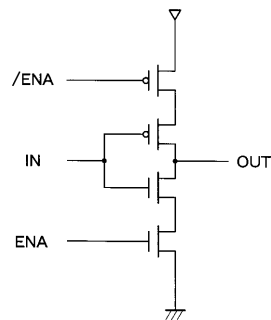
【図 8】



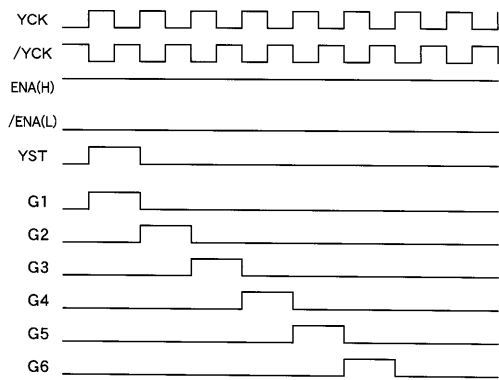
【図 9】



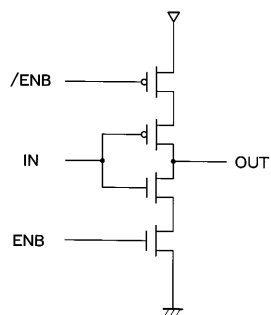
【図 10】



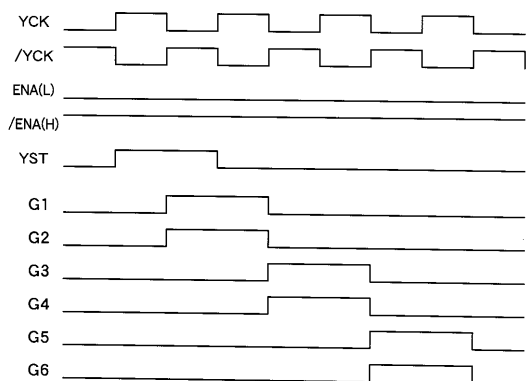
【図 12】



【図 11】



【図 13】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 2 F	1/133	5 0 5
	G 0 9 G	3/20	6 1 2 U
	G 0 9 G	3/20	6 2 2 E
	G 0 9 G	3/20	6 2 2 R
	G 0 9 G	3/20	6 6 0 C

(56)参考文献 特開平 0 8 - 2 3 4 7 0 3 (J P , A)
 特開平 0 8 - 1 2 2 7 4 7 (J P , A)
 特開平 0 5 - 1 0 0 6 4 0 (J P , A)
 特開平 0 7 - 1 4 6 6 6 6 (J P , A)
 国際公開第 9 5 / 0 0 7 4 9 3 (W O , A 1)
 特開 2 0 0 1 - 1 0 9 4 3 6 (J P , A)
 特開昭 6 2 - 1 3 8 8 9 3 (J P , A)
 特開平 0 6 - 0 9 5 0 7 1 (J P , A)
 特開平 1 1 - 1 3 3 9 3 0 (J P , A)
 特開 2 0 0 0 - 1 2 2 6 1 1 (J P , A)
 特開平 0 7 - 1 9 9 1 5 4 (J P , A)
 特開平 0 4 - 2 6 0 2 8 6 (J P , A)
 特開 2 0 0 2 - 0 3 2 0 4 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 IPC G09G 3/00 - 3/38
 G02F 1/133

专利名称(译)	驱动回路、电极基板及び液晶表示装置		
公开(公告)号	JP4846133B2	公开(公告)日	2011-12-28
申请号	JP2001231842	申请日	2001-07-31
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
当前申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	宫武正樹		
发明人	宫武 正樹		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.K G09G3/20.622.D G09G3/20.650.B G09G3/20.650.C G02F1/133.505 G09G3/20.612.U G09G3/20.622.E G09G3/20.622.R G09G3/20.660.C		
F-TERM分类号	2H093/NA79 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC34 2H093/ND60 2H193/ZA04 5C006/AA01 5C006/AA02 5C006/AB01 5C006/AF45 5C006/AF47 5C006/BB16 5C006/BC03 5C006/BF26 5C006/BF27 5C006/FA04 5C080/AA10 5C080/BB05 5C080/DD21 5C080/EE17 5C080/EE21 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK20		
代理人(译)	三好秀		
审查员(译)	安藤达也		
其他公开文献	JP2003044013A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够在汽车导航屏幕上显示高清晰度地图的驱动电路，电极板和液晶显示装置，并且在电视屏幕上显示电视图像而不收缩显示图像。解决方案：在显示汽车导航屏幕的情况下，通过接通模式转换电路部分202的NAND电路211并且关闭，从每个移位寄存器电路部分201输出的扫描信号被顺序输出到每条扫描线。逆变器电路212通过显示转换信号。在显示TV图像的情况下，每隔一个信号稀疏从每个移位寄存器电路部分201输出的扫描信号，并且通过切断NAND电路211，同时将单个扫描信号输出到两条扫描线。模式转换电路部分202和通过显示模式转换信号接通逆变器电路212。

