

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4772276号
(P4772276)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int.Cl.

F 1

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)G09G 3/36
G09G 3/20 6 4 1 F
G09G 3/20 6 4 1 G
G09G 3/20 6 4 1 K
G09G 3/20 6 4 1 P

請求項の数 12 (全 24 頁)

(21) 出願番号 特願2003-98589 (P2003-98589)
 (22) 出願日 平成15年4月1日 (2003.4.1)
 (65) 公開番号 特開2003-302955 (P2003-302955A)
 (43) 公開日 平成15年10月24日 (2003.10.24)
 審査請求日 平成18年3月3日 (2006.3.3)
 (31) 優先権主張番号 2002-017793
 (32) 優先日 平成14年4月1日 (2002.4.1)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 2002-026218
 (32) 優先日 平成14年5月13日 (2002.5.13)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞 416
 416, Maetan-dong, Yeon
 gton-gu, Suwon-si,
 Gyeonggi-do, Republic
 of Korea
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】フレームレート制御方法及びそのための液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

液晶表示装置外部のグラフィックソースからそれぞれ 2 進 n ビットの階調値で構成される R G B データを受信する第 1 段階と、

前記 R G B データ中の各階調値を利用して e ビット (e = n + 1) に R G B データを拡張する第 2 段階と、

前記拡張された R G B データの下位 d ビットを抽出し、連続する 2^d 個のフレーム内に、前記拡張された R G B データの下位 d ビットによって前記拡張 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させる第 3 段階を含み、

前記第 1 乃至第 3 段階は所定の数の単位画素ブロックに対して行われ、各単位画素ブロックでは前記 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データと、その直上位階調データの発生頻度が、所定の数の画素ブロック単位で空間的に調整されるように配置され、

前記 d ビットの最下位ビットが ' 0 ' であれば、2^d 個のフレーム内に前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させ、

前記 d ビットの最下位ビットが ' 1 ' であれば、最初 2^{d-1} フレーム間には前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調上位とその直上位階調上位の発生頻度が調整されるようにフレームデータを変換させ、残り 2^{d-1}

10

20

フレーム内には前記 d ビットの残りのビットに '1' を足した値によって前記 R G B データの (e - d) ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータを変換させ、

前記 n は 8 ビット、d は 3 ビット、e は 9 ビットであり、

前記第 2 段階は、

【数 1】

$$\left(\frac{63G}{255} \times 8 \right)_{\text{四捨五入}}$$

(G は入力される 8 ビット R G B データが示す 10 進数で表現された階調値であり、" () 四捨五入 " は括弧内の数を小数点以下四捨五入するという意味である。)

10

によって遂行されることを特徴とする、液晶表示装置のフレームレート制御方法。

【請求項 2】

前記所定の数の画素ブロックは 4 × 2 画素ブロックであることを特徴とする、請求項 1 に記載の液晶表示装置のフレームレート制御方法。

【請求項 3】

液晶表示装置外部のグラフィックソースからそれぞれ 2 進 n ビットの階調値で構成される R G B データを受信する第 1 段階と、

前記 R G B データ中の各階調値を利用して e ビット (e = n + 1) に R G B データを拡張する第 2 段階と、

20

前記拡張された R G B データの下位 d ビットを抽出し、連続する 2^d 個のフレーム内に、前記拡張された R G B データの下位 d ビットによって前記拡張 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させる第 3 段階を含み、

前記第 1 乃至第 3 段階は所定の数の単位画素ブロックに対して行われ、各単位画素ブロックでは前記 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データと、その直上位階調データの発生頻度が、所定の数の画素ブロック単位で空間的に調整されるように配置され、

前記 d ビットの最下位ビットが '0' であれば、 2^d 個のフレーム内に前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させ、

30

前記 d ビットの最下位ビットが '1' であれば、最初 2^{d-1} フレーム間には前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調上位とその直上位階調上位の発生頻度が調整されるようにフレームデータを変換させ、残り 2^{d-1} フレーム内には前記 d ビットの残りのビットに '1' を足した値によって前記 R G B データの (e - d) ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータを変換させ、

前記 n は 8 ビット、d は 3 ビット、e は 9 ビットであり、

前記第 2 段階は

【数 2】

40

if $G = 255$, $G_{Hi-FRC} = 504$,

$$\text{else } G_{Hi-FRC} = \left(\frac{63G}{256} \times 8 \right)_{\text{四捨五入}} = \left(\frac{63G}{32} \right)_{\text{四捨五入}}$$

(G は入力される 8 ビット R G B データが示す 10 進数で表現された階調値であり、" () 四捨五入 " は括弧内の数を小数点以下四捨五入するという意味であり、前記式で G_{Hi-FRC} は 9 ビットに変換されたデータである。)

によって遂行されることを特徴とする液晶表示装置のフレームレート制御方法。

【請求項 4】

液晶表示装置外部のグラフィックソースからそれぞれ 2 進 n ビットの階調値で構成され

50

る R G B データを受信する第 1 段階と、

前記 R G B データ中の各階調値を利用して e ビット (e - n + 1) に R G B データを拡張する第 2 段階と、

前記拡張された R G B データの下位 d ビットを抽出し、連続する 2^d 個のフレーム内に、前記拡張された R G B データの下位 d ビットによって前記拡張 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させる第 3 段階を含み、

前記第 1 乃至第 3 段階は所定の数の単位画素ブロックに対して行われ、各単位画素ブロックでは前記 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データと、その直上位階調データの発生頻度が、所定の数の画素ブロック単位で空間的に調整されるように配置され、
10

前記 d ビットの最下位ビットが ' 0 ' であれば、 2^d 個のフレーム内に前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させ、

前記 d ビットの最下位ビットが ' 1 ' であれば、最初 2^{d-1} フレーム間には前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調上位とその直上位階調上位の発生頻度が調整されるようにフレームデータを変換させ、残り 2^{d-1} フレーム内には前記 d ビットの残りのビットに ' 1 ' を足した値によって前記 R G B データの (e - d) ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータを変換させ、
20

前記 n は 8 ビット、 d は 3 ビット、 e は 9 ビットであり、

前記第 2 段階は、

【数 3】

$$\begin{aligned} & \text{if } G \leq 6, \quad G_{\text{Hi-FRC}} = G, \\ & \text{else } G_{\text{Hi-FRC}} = \left(\frac{64 \times (G+1)}{256} - 1 \right) \times 8 = 2G - 6 \end{aligned}$$

(G は入力される 8 ビット R G B データが示す 10 進数で表現された階調値であり、 " () 四捨五入 " は括弧内の数を小数点以下四捨五入するという意味であり、前記数式で $G_{\text{Hi-FRC}}$ は 9 ビットに変換されたデータである。)
30

によって遂行されることを特徴とする液晶表示装置のフレームレート制御方法。

【請求項 5】

液晶表示装置外部のグラフィックソースからそれぞれ 2 進 n ビットの階調値で構成される R G B データを受信する第 1 段階と、

前記 R G B データ中の各階調値を利用して e ビット (e - n + 1) に R G B データを拡張する第 2 段階と、

前記拡張された R G B データの下位 d ビットを抽出し、連続する 2^d 個のフレーム内に、前記拡張された R G B データの下位 d ビットによって前記拡張 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させる第 3 段階を含み、
40

前記第 1 乃至第 3 段階は所定の数の単位画素ブロックに対して行われ、各単位画素ブロックでは前記 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データと、その直上位階調データの発生頻度が、所定の数の画素ブロック単位で空間的に調整されるように配置され、

前記 d ビットの最下位ビットが ' 0 ' であれば、 2^d 個のフレーム内に前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させ、

前記 d ビットの最下位ビットが ' 1 ' であれば、最初 2^{d-1} フレーム間には前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調上位とそ
50

の直上位階調上位の発生頻度が調整されるようにフレームデータを変換させ、残り 2^{d-1} フレーム内には前記dビットの残りのビットに'1'を足した値によって前記RGBデータの(e-d)ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータを変換させ、

前記nは8ビット、dは3ビット、eは9ビットであり、

前記第2段階は、

【数4】

if $G=255$, $G_{Hi-FRC}=504$,

$$\text{else } G_{Hi-FRC} = \left(\left(\frac{63 \times (G+1)}{256} - \frac{1}{8} \right) \times 8 \right) \text{ 四捨五入 } \left(\frac{63 \times (G+1)}{32} - 1 \right) \text{ 四捨五入}$$

10

(Gは入力される8ビットRGBデータが示す10進数で表現された階調値であり、"()四捨五入"は括弧内の数を小数点以下四捨五入するという意味であり、前記数式で G_{Hi-FRC} は9ビットに変換されたデータである。)

によって遂行されることを特徴とする液晶表示装置のフレームレート制御方法。

【請求項6】

液晶表示装置外部のグラフィックソースからそれぞれ2進nビットの階調値で構成されるRGBデータを受信する第1段階と、

前記RGBデータ中の各階調値を利用してeビット($e-n+1$)にRGBデータを拡張する第2段階と、

前記拡張されたRGBデータの下位dビットを抽出し、連続する 2^d 個のフレーム内に、前記拡張されたRGBデータの下位dビットによって前記拡張RGBデータの下位dビットを除いた上位(e-d)ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させる第3段階を含み、

前記第1乃至第3段階は所定の数の単位画素ブロックに対して行われ、各単位画素ブロックでは前記RGBデータの下位dビットを除いた上位(e-d)ビットが示す階調データと、その直上位階調データの発生頻度が、所定の数の画素ブロック単位で空間的に調整されるように配置され、

前記dビットの最下位ビットが'0'であれば、 2^d 個のフレーム内に前記dビットの残りのビットによって前記RGBデータの上位(e-d)ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させ、

前記dビットの最下位ビットが'1'であれば、最初 2^{d-1} フレーム間には前記dビットの残りのビットによって前記RGBデータの上位(e-d)ビットが示す階調上位とその直上位階調上位の発生頻度が調整されるようにフレームデータを変換させ、残り 2^{d-1} フレーム内には前記dビットの残りのビットに'1'を足した値によって前記RGBデータの(e-d)ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータを変換させ、

前記nは8ビット、dは3ビット、eは9ビットであり、

前記第2段階は、

【数5】

if $G \leq 8$, $G_{Hi-FRC} = G$,

if $9 < G < 255$, $G_{Hi-FRC} = 2G - 8$,

if $G = 255$, $G_{Hi-FRC} = 504$

30

(Gは入力される8ビットRGBデータが示す10進数で表現した階調値であり、 G_{Hi-FRC} は9ビットに変換されたデータである。)

にしたがって行われることを特徴とする液晶表示装置のフレームレート制御方法。

【請求項7】

複数のゲートラインとデータラインが交差する領域に形成された画素を有する液晶パネ

40

50

ルと、

前記液晶パネルのゲートラインを順次に走査するための信号を印加するゲート駆動部と

R G B データによって前記液晶パネルの各画素に印加するための階調電圧を選択して出力させるソース駆動部と、

前記ゲート駆動部の走査のためのゲート電圧を生成して出力し、前記ソース駆動部に必要な階調電圧を生成して出力させる電圧発生部と、

グラフィックソースからそれぞれ 2 進 n ビットの階調値で構成される R G B データを受けて、前記 R G B データが示す階調値を利用して e ビット ($e = n + 1$) に拡張された R G B データを算出し、前記拡張された R G B データの下位 d ビットを抽出して、連続する 2^d 個のフレーム内に、前記抽出された R G B データの下位 d ビットによって前記 R G B データの下位 d ビットを除いた上位 ($e - d$) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換し、前記変換された R G B データを前記ソース駆動部に出力させるタイミング制御部を含み、10

前記 d ビットの最下位ビットが '0' であれば、 2^d 個のフレーム内に前記 d ビットの残りのビットによって前記 R G B データの上位 ($e - d$) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させ、

前記 d ビットの最下位ビットが '1' であれば、最初 2^{d-1} フレーム間には前記 d ビットの残りのビットによって前記 R G B データの上位 ($e - d$) ビットが示す階調上位とその直上位階調上位の発生頻度が調整されるようにフレームデータを変換させ、残り 2^{d-1} フレーム内には前記 d ビットの残りのビットに '1' を足した値によって前記 R G B データの ($e - d$) ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータを変換させ、20

前記タイミング制御部のフレームデータ変換は所定の数の画素ブロックに対して遂行され、各単位画素ブロックでは前記 R G B データの下位 d ビットを除いた上位 ($e - d$) ビットが示す階調データとその直上位階調データの発生頻度が空間的に調整されるように配置され、

前記 n は 8 ビット、 d は 3 ビット、 e は 9 ビットであり、

前記 R G B データは、

【数 6】

30

$$\left(\frac{63G}{255} \times 8 \right) \text{ 四捨五入}$$

(Gは入力される 8 ビット R G B データが示す 10 進数で表現された階調値

であり、" () 四捨五入" は括弧内の数を小数点以下四捨五入するという意味である。)

によって e ビット ($e = n + 1$) に拡張されることを特徴とする液晶表示装置。

【請求項 8】

前記所定の数の画素ブロックは 4×2 画素ブロックであることを特徴とする、請求項 7 に記載の液晶表示装置。40

【請求項 9】

複数のゲートラインとデータラインが交差する領域に形成された画素を有する液晶パネルと、

前記液晶パネルのゲートラインを順次に走査するための信号を印加するゲート駆動部と

R G B データによって前記液晶パネルの各画素に印加するための階調電圧を選択して出力させるソース駆動部と、

前記ゲート駆動部の走査のためのゲート電圧を生成して出力し、前記ソース駆動部に必要な階調電圧を生成して出力させる電圧発生部と、

グラフィックソースからそれぞれ 2 進 n ビットの階調値で構成される R G B データを受けて、前記 R G B データが示す階調値を利用して e ビット ($e = n + 1$) に拡張された R

50

G B データを算出し、前記拡張された R G B データの下位 d ビットを抽出して、連続する 2^d 個のフレーム内に、前記抽出された R G B データの下位 d ビットによって前記 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換し、前記変換された R G B データを前記ソース駆動部に出力させるタイミング制御部を含み、

前記 d ビットの最下位ビットが '0' であれば、 2^d 個のフレーム内に前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させ、

前記 d ビットの最下位ビットが '1' であれば、最初 2^{d-1} フレーム間には前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調上位とその直上位階調上位の発生頻度が調整されるようにフレームデータを変換させ、残り 2^{d-1} フレーム内には前記 d ビットの残りのビットに '1' を足した値によって前記 R G B データの (e - d) ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータを変換させ、

前記タイミング制御部のフレームデータ変換は所定の数の画素ブロックに対して遂行され、各単位画素ブロックでは前記 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が空間的に調整されるように配置され、

前記 n は 8 ビット、d は 3 ビット、e は 9 ビットであり、

前記 R G B データは、

【数 7】

$$\text{if } G=255, \quad G_{\text{Hi-FRC}}=504,$$

$$\text{else } G_{\text{Hi-FRC}}=\left(\frac{63G}{256} \times 8\right) \text{ 四捨五入} = \left(\frac{63G}{32}\right) \text{ 四捨五入}$$

(G は入力される 8 ビット R G B データが示す 10 進数で表現された階調値であり、" () 四捨五入 " は括弧内の数を小数点以下四捨五入するという意味であり、前記数式で $G_{\text{Hi-FRC}}$ は 9 ビットに変換されたデータである。)

によって e ビット (e - n + 1) に拡張されることを特徴とする液晶表示装置。

【請求項 10】

複数のゲートラインとデータラインが交差する領域に形成された画素を有する液晶パネルと、

前記液晶パネルのゲートラインを順次に走査するための信号を印加するゲート駆動部と、

R G B データによって前記液晶パネルの各画素に印加するための階調電圧を選択して出力させるソース駆動部と、

前記ゲート駆動部の走査のためのゲート電圧を生成して出力し、前記ソース駆動部に必要な階調電圧を生成して出力させる電圧発生部と、

グラフィックソースからそれぞれ 2 進 n ビットの階調値で構成される R G B データを受けて、前記 R G B データが示す階調値を利用して e ビット (e - n + 1) に拡張された R G B データを算出し、前記拡張された R G B データの下位 d ビットを抽出して、連続する 2^d 個のフレーム内に、前記抽出された R G B データの下位 d ビットによって前記 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換し、前記変換された R G B データを前記ソース駆動部に出力させるタイミング制御部を含み、

前記 d ビットの最下位ビットが '0' であれば、 2^d 個のフレーム内に前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させ、

前記 d ビットの最下位ビットが '1' であれば、最初 2^{d-1} フレーム間には前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調上位とそ

10

20

30

40

50

の直上位階調上位の発生頻度が調整されるようにフレームデータを変換させ、残り 2^{d-1} フレーム内には前記 d ビットの残りのビットに '1' を足した値によって前記 R G B データの (e - d) ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータを変換させ、

前記タイミング制御部のフレームデータ変換は所定の数の画素ブロックに対して遂行され、各単位画素ブロックでは前記 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が空間的に調整されるように配置され、

前記 n は 8 ビット、d は 3 ビット、e は 9 ビットであり、

前記 R G B データは、

10

【数 8】

if $G \leq 6$, $G_{Hi-FRC} = G$,

$$\text{else } G_{Hi-FRC} = \left(\frac{64 \times (G+1)}{256} - 1 \right) \times 8 = 2G - 6$$

(G は入力される 8 ビット R G B データが示す 10 進数で表現された階調値であり、" () 四捨五入 " は括弧内の数を小数点以下四捨五入するという意味であり、前記式で G_{Hi-FRC} は 9 ビットに変換されたデータである。)

によって e ビット (e - n + 1) に拡張されることを特徴とする液晶表示装置。

20

【請求項 11】

複数のゲートラインとデータラインが交差する領域に形成された画素を有する液晶パネルと、

前記液晶パネルのゲートラインを順次に走査するための信号を印加するゲート駆動部と、

R G B データによって前記液晶パネルの各画素に印加するための階調電圧を選択して出力させるソース駆動部と、

前記ゲート駆動部の走査のためのゲート電圧を生成して出力し、前記ソース駆動部に必要な階調電圧を生成して出力させる電圧発生部と、

グラフィックソースからそれぞれ 2 進 n ビットの階調値で構成される R G B データを受けて、前記 R G B データが示す階調値を利用して e ビット (e - n + 1) に拡張された R G B データを算出し、前記拡張された R G B データの下位 d ビットを抽出して、連続する 2^d 個のフレーム内に、前記抽出された R G B データの下位 d ビットによって前記 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換し、前記変換された R G B データを前記ソース駆動部に出力させるタイミング制御部を含み、

前記 d ビットの最下位ビットが '0' であれば、 2^d 個のフレーム内に前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させ、

前記 d ビットの最下位ビットが '1' であれば、最初 2^{d-1} フレーム間には前記 d ビットの残りのビットによって前記 R G B データの上位 (e - d) ビットが示す階調上位とその直上位階調上位の発生頻度が調整されるようにフレームデータを変換させ、残り 2^{d-1} フレーム内には前記 d ビットの残りのビットに '1' を足した値によって前記 R G B データの (e - d) ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータを変換させ、

前記タイミング制御部のフレームデータ変換は所定の数の画素ブロックに対して遂行され、各単位画素ブロックでは前記 R G B データの下位 d ビットを除いた上位 (e - d) ビットが示す階調データとその直上位階調データの発生頻度が空間的に調整されるように配置され、

前記 n は 8 ビット、d は 3 ビット、e は 9 ビットであり、

50

前記 R G B データは、

【数 9】

if $G=255$, $G_{Hi-FRC}=504$,

$$\text{else } G_{Hi-FRC} = \left(\left(\frac{63 \times (G+1)}{256} - \frac{1}{8} \right) \times 8 \right) \text{ 四捨五入} \left(\frac{63 \times (G+1)}{32} - 1 \right) \text{ 四捨五入}$$

(Gは入力される8ビットR G Bデータが示す10進数で表現された階調値であり、"()四捨五入"は括弧内の数を小数点以下四捨五入するという意味であり、前記数式で G_{Hi-FRC} は9ビットに変換されたデータである。)

10

によってeビット($e-n+1$)に拡張されることを特徴とする液晶表示装置。

【請求項 1 2】

複数のゲートラインとデータラインが交差する領域に形成された画素を有する液晶パネルと、

前記液晶パネルのゲートラインを順次に走査するための信号を印加するゲート駆動部と

R G B データによって前記液晶パネルの各画素に印加するための階調電圧を選択して出力させるソース駆動部と、

前記ゲート駆動部の走査のためのゲート電圧を生成して出力し、前記ソース駆動部に必要な階調電圧を生成して出力させる電圧発生部と、

グラフィックソースからそれぞれ2進nビットの階調値で構成されるR G B データを受けて、前記R G B データが示す階調値を利用してeビット($e-n+1$)に拡張されたR G B データを算出し、前記拡張されたR G B データの下位dビットを抽出して、連続する 2^d 個のフレーム内に、前記抽出されたR G B データの下位dビットによって前記R G B データの下位dビットを除いた上位($e-d$)ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換し、前記変換されたR G B データを前記ソース駆動部に出力させるタイミング制御部を含み、

前記dビットの最下位ビットが'0'であれば、 2^d 個のフレーム内に前記dビットの残りのビットによって前記R G B データの上位($e-d$)ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させ、

前記dビットの最下位ビットが'1'であれば、最初 2^{d-1} フレーム間には前記dビットの残りのビットによって前記R G B データの上位($e-d$)ビットが示す階調上位とその直上位階調上位の発生頻度が調整されるようにフレームデータを変換させ、残り 2^{d-1} フレーム内には前記dビットの残りのビットに'1'を足した値によって前記R G B データの($e-d$)ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータを変換させ、

前記タイミング制御部のフレームデータ変換は所定の数の画素ブロックに対して遂行され、各単位画素ブロックでは前記R G B データの下位dビットを除いた上位($e-d$)ビットが示す階調データとその直上位階調データの発生頻度が空間的に調整されるように配置され、

前記nは8ビット、dは3ビット、eは9ビットであり、

前記R G B データは、

【数 1 0】

if $G \leq 8$, $G_{Hi-FRC} = G$,

if $9 < G < 255$, $G_{Hi-FRC} = 2G-8$,

if $G = 255$, $G_{Hi-FRC} = 504$

(Gは入力される8ビットR G Bデータが示す10進数で表現した階調値であり、 G_{Hi-FRC} は9ビットに変換されたデータである。)

50

によって e ビット (e = n + 1) に拡張されることを特徴とする液晶表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はフレームレート制御 (FRC:frame rate control) のための液晶表示装置及びその駆動方法に関し、さらに詳しくはグラフィックソースから入力される RGB データ (RGB 各色の画素データを言う) の構成ビット数より少いビット処理能力しか持たない RGB データ伝送系を使用する場合にも最高階調値近辺での色再現性低下を防止できる液晶表示装置及びその駆動方法に関する。

【 0 0 0 2 】

10

【従来の技術】

最近、パソコン (personal computer) やテレビなどの軽量化及び薄形化によって表示装置分野にも軽量化及び薄形化が要求されており、このような要求を充足させるために陰極線管 (CRT:cathode-ray tube) の代りに液晶表示装置 (LCD:liquid crystal display) のようなフラットパネル表示装置 (flat panel display) が開発されて様々な分野において実用化されている。

液晶表示装置では二枚の基板の間に注入されている異方性誘電率を有する液晶物質に電界が印加され、この電界の強さを調節することによって基板を透過する光の量が制御されて所望の画像 (image) に対する表示が行われる。

【 0 0 0 3 】

20

このような液晶表示装置には外部のグラフィックソース (graphic source) からレッド (red:赤) 、グリーン (green:緑) 、ブルー (blue:青) の各 n ビット RGB データが入力される。前記 RGB データは液晶表示装置の RGB データ伝送系、特にタイミング制御部でデータフォーマットを変換した後、駆動 IC (integrated circuit) で RGB データに相当するアナログ階調電圧 (gray voltage) が選択され、前記選択された階調電圧を液晶パネルに伝送し、各画素に印加することによって表示動作が行われる。

【 0 0 0 4 】

一般に、前記グラフィックソースからタイミング制御部に入力される RGB データの構成ビット数と前記駆動 IC で処理可能なビット数とは同一である。現在、市場に発表されている液晶表示装置では n=8 ビットの製品が普通である。しかし、8 ビットの RGB データを処理できる駆動 IC が高価であるため、それより少いビット処理能力しか持っていない駆動 IC を用いて、下位ビットを切り捨てるような液晶表示装置を設計することができれば、製品の原価を低くできる可能性がある。この場合、切り捨てた下位ビットが表現していた微細な階調は、複数フレームの当該画素データを1群として、群の中の少なくとも1 個のフレームの画素階調を、少なくとも駆動 IC が取り扱える最小階調段階だけ変化させて、フレーム群の平均画素階調を入力画素データの平均階調に近づける技術である。

30

【 0 0 0 5 】

このような技術的必要に応じて提案された方法がフレームレート制御 (FRC:frame rate control) である。前記フレームレート制御はタイミング制御部に適用されることの多い技術であり、入力された n ビット構成の RGB データの中から駆動 IC で処理可能なビット数である (n - d) ビットだけを取り出して表示できるようにフレームデータを再構成する技術である。ここで、d は切り捨てビット数を示す整数であり、入力 RGB データの最下位所定ビット数を示す。前記フレームレート制御方法によると、連続する 2^d 個 (‘2 の d 乗個’と記すこともある) のフレーム内に、各フレームで RGB データの下位 d ビットを利用して RGB データの (n - d) ビットが示す階調値 ‘A’ (以下、"A" とする) とその直上位階調である ‘A+1’ のフレーム別発生頻度が調整されるようにフレームデータを変換する。これとともに、フレーム内の所定の画素単位、例えば、 4×2 の画素単位でも前記二つの階調 ‘A’ と ‘A+1’ のフレーム別発生頻度が空間的に調整されるように配置することによって、時間的及び空間的に画面表示を平均した時、n ビットの RGB データによって表示が行われたように認識されることがある。つまり、階調 ‘A’ と ‘

40

50

$A+1'$ の間で 2^d 個の微差階調を追加的に表示することができ、これは ($n-d$) ビットの RGB データに d ビットを追加して n ビット RGB データによって表示することと同一な動作といえる。

【0006】

図 1 には n が 8 であり、 d が 2 の場合のフレームレート制御を説明する図表が示されている。この場合、1 群のフレーム数は、 $2 \times 2^d = 4$ (フレーム) である。

図 1 には、近接した 8 画素のバランスを考慮しながら、同じ入力画面が 4 フレーム続いたと仮定した時の微差階調の表現例を示している。これは、4 フレーム期間中の下位 2 ビットの状態によって、 4×2 画素ブロックでの各画素の表示状態が示されている。前記画素ブロックのうち、斜線のある画素は RGB データの上位 6 ビットが示す階調値を再現表示し、斜線のない画素は前記 6 ビットが示す階調値に ‘1’ を足した値、つまり、その直上位階調の値を再現表示している。 4×2 画素ブロックの上方に記した ‘o’ は ‘odd’ の略語であって、奇数番目列 (column) を示し、‘e’ は ‘even’ の略語で偶数番目列を示す。

10

【0007】

図 1 によれば、下位 2 ビットの 4 種類の状態は各々二つの階調値 ‘A’ と ‘ $A+1'$ の間の 4 種類の階調値を示し、‘00’ は ‘A’ 、‘01’ は ‘ $A+1/4$ ’ 、‘10’ は ‘ $A+2/4$ ’ 、‘11’ は ‘ $A+3/4$ ’ の階調値を各々示す。下位 2 ビットが ‘11’ である場合について例を挙げて説明する。まず、空間的な観点から見る時、下位 2 ビットが ‘11’ であれば、8 個の画素を有する 4×2 画素ブロックでは階調値 ‘ $A+1'$ が常に 6 個の画素で発生するようにデータが構成されている。また、時間的な観点から見る時、下位 2 ビットが ‘11’ であれば、例えば、‘o’ 列 ‘1’ 行の画素では階調値 ‘ $A+1'$ が 4 フレーム内に 3 回発生するようにデータが構成されている。したがって、時間的及び空間的に平均すれば、 4×2 画素ブロックでは下位 2 ビットが ‘11’ である場合に、階調 ‘A’ に ‘3/4’ を足した階調が平均的に表示されたように認識することができる。

20

【0008】

図 2 に、図 1 のフレームレート制御が適用される時の階調 (gray) に対する透過率 (transmittance) の関係を示す。階調に対する透過率の曲線を通常ガンマ曲線と呼ぶ。

しかし、前記従来のフレームレート制御方法では、図 2 に拡大して示したように、上位 4 つの階調でガンマの歪曲が存在し、これによって表示可能な色の数が減少する問題点がある。より詳細に説明すれば、入力 RGB データが 8 ビットでありながら出力データが 6 ビットに圧縮される場合、表示すべき全体階調数は $2^8=256$ 個である。しかし、上位 6 ビットを利用してフレームレート制御をするので上位 4 つの階調では RGB データの上位 6 ビットが ‘111111 = 63’ になる。つまり、最高階調値が $4 \times 63 = 252$ で飽和し、どの画素も、どの時点も、前記の ‘ $A+1'$ を実現できない。フレームレート制御では任意の階調 ‘A’ とその上位階調 ‘ $A+1'$ の発生頻度を調節して RGB データが拡張されているように表現されるが、上記の場合には ‘111111’ の上位階調を実現できない。従ってフレームレート制御を適用することができず、表示すべき全体階調数のうち、上位 4 つの階調 (252, 253, 254, 255) は、共通の透過率を生じるように予め設定せざるを得ない。この結果、最上位 3 階調が失われて図 2 のようになる。これが上位階調でガンマ歪曲を起こす原因である。また、各原色の色 R, G, B が 253 個の階調を表現するので、RGB 合成によって表現できる全体色の数は $253 \times 253 \times 253 = 16,194,277$ であり、これは理想的に表現可能な色の数 $256 \times 256 \times 256 = 16,777,216$ より 60 万余個足りない。このような現象は最高階調値近辺での色再現性低下をもたらすので、好ましくないものである。

30

【0009】

一方、フレームレート制御が適用される液晶表示装置では画質劣化という問題点がある。たとえば、表示画面の下側は黒であり、上側は赤、緑、青、白の各々の最大明るさが出るように階調レベルを垂直に配置した画面を構成する場合、4 個の階調間隔で横線が表示される現象が発生する。このような画質劣化現象は、前記フレームレート制御と共に、1 フ

40

50

フレーム単位に液晶印加極性を反転させる反転駆動方法が同時に適用されるために起こる。

【0010】

【発明が解決しようとする課題】

本発明は以上のような技術的背景から行われたものであって、表現可能な全階調の中で上位階調のガンマ歪曲が除去できる第1のフレームレート制御方法を提供することに第1目的がある。

本発明の第2目的は、RGBデータの所定数の下位ビットを拡張した後、これをを利用してフレームを再構成することによって、RGBデータの入力ビット数で表現できる色数を全て表示できる第2のフレームレート制御方法を提供することにある。

【0011】

10

本発明の第3目的は、画素のパターンを時間的及び空間的に適切に配置することにより、画質劣化及びフリッカーを減少させることができる第3のフレームレート制御方法を提供することにある。

本発明の第4目的は、前記第1及び第2のフレームレート制御方法が適用できる液晶表示装置を提供することにある。

【0012】

【課題を解決するための手段】

前記目的を達成するための本発明によるフレームレート制御方法は、グラフィックソースからそれぞれ2進nビットの階調値で構成されるRGBデータを受信する第1段階と、前記RGBデータa階調値から‘(2のd乗)-1’を減算し、最下位から所定数の階調データが同一輝度を表示するようにRGBデータを変換する第2段階と、上位(n-d)ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換する第3段階とを含む。

20

【0013】

前記目的を達成するための本発明によるフレームレート制御方法は、液晶表示装置外部のグラフィックソースからそれぞれ2進nビットの階調値で構成されるRGBデータを受信する第1段階と、前記RGBデータの各階調値を利用してeビットに拡張されたRGBデータを算出する第2段階と、前記拡張されたRGBデータの下位dビットを抽出して、連続する 2^d 個のフレーム期間中、前記抽出されたRGBデータの下位dビットによって前記RGBデータの下位dビットを除いた上位(e-d)ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換させる第3段階とを含み、前記第1乃至第3段階は所定数の単位画素ブロックに対して遂行され、各単位画素ブロックでは前記拡張されたRGBデータの下位dビットを除いた上位(e-d)ビットが示す階調データとその直上位階調データの発生頻度が空間的に調整されるように配置されることを特徴とする。

30

【0014】

前記本発明によるフレームレート制御方法では、液晶表示装置のタイミング制御部に入力されるnビットのRGBデータをeビットに拡張した後、これをを利用してフレームレート制御を行うことにより、フレームレート制御をすることによって発生する表現可能な色数の減少を防止することができる。

40

前記説明された本発明の目的、技術的構成及びその効果は次の実施例に関する説明を通じてより明白になる。

【0015】

【発明の実施の形態】

以下、添付した図面を参照して本発明の好ましい実施例を詳細に説明する。

図3には本発明による液晶表示装置の概略的な構成が示されている。

図3に示されているように、本発明による液晶表示装置は液晶パネル1、ゲート駆動部2、ソース駆動部3、電圧発生部4及びタイミング制御部5からなる。

前記液晶パネル1は互いに交差する複数のゲートライン及びデータラインと、各ゲートラインとデータラインが交差する領域に形成された画素で構成され、ゲートラインが順次に

50

走査 (scanning) されるたびにアナログ階調電圧がデータラインを経て対応する画素に印加される。前記タイミング制御部 5 には外部のグラフィックソース (graphic source) から R G B データ、フレームの時点を示すデータタイネーブル信号 (DE)、同期信号 (SYNC)、及びクロック信号 (CLK) が入力される。前記 R G B データはタイミング制御部 5 のデータ処理ブロック 5 1 によってフレームレート制御と R G B データのタイミング再分配などのデータ処理が行われた後、ソース駆動部 3 に伝送される。また、前記タイミング制御部 5 の制御信号生成ブロック 5 2 は、前記データタイネーブル信号 (DE)、同期信号 (SYNC) 及びクロック信号 (CLK) を利用して表示動作を制御するための多様な制御信号を生成し各構成要素に伝送する。前記電圧発生部 4 はゲートラインを走査するためのゲートオン／オフ電圧を生成して前記ゲート駆動部 2 に出力すると同時に、画素印加電圧であるアナログ階調電圧を生成して前記ソース駆動部 3 に出力する。前記ソース駆動部 3 ではタイミング制御部 5 から伝送された R G B データによってそれに適したアナログ階調電圧を選択して前記液晶パネル 1 に印加する。

【 0 0 1 6 】

次に、前記のように構成される液晶表示装置のタイミング制御部に適用される第 1 及び第 2 のフレームレート制御方法について説明する。

図 4 には第 1 のフレームレート制御方法を説明するための図表を示す。

本発明による第 1 のフレームレート制御方法は、従来のフレームレート制御を適用する時、図 2 のガンマ曲線を下方にシフトさせて、所定数の最下位階調に対して同一な輝度を適用することによって最上位階調でのガンマ歪曲補正のための余地を作る。言い換えれば、任意の n ビット R G B データの下位 d ビット削除圧縮するフレームレート制御が行われる時、前記第 1 のフレームレート制御方法では、表現可能な 2^n 個の階調の中で最上位所定数の階調（高輝度部分）に対して同一の輝度を適用するのではなく、最下位所定数の階調（低輝度部分）に対して同一の輝度を適用する。つまり、上位階調では輝度が高くガンマ曲線の歪曲が容易に視認されるので、この領域のガンマ歪を正し、輝度が低くガンマ曲線の歪曲を認めにくい最下位階調に対しては同一輝度を適用する。これにより、全体としてのガンマ曲線歪曲が従来に比べて視覚的かつ相対的に低減できる。このような方法は s R G B 支援モニターに特に有利である。

【 0 0 1 7 】

図 4 の図表は、8 ビット入力 R G B データによる 0 乃至 255 の階調に対する輝度状況を示し、左半分は従来の方法、右は本発明の第 1 方法のデータである。備考欄の黒三角は輝度表示が正常であることを示す。右側、本発明のデータでは、各画素毎に入力データから ‘3’ を差し引いて負値を ‘0’ に変換する。つまり、最下位 4 つの階調を ‘0’ に変換し、残りの階調では全体的に正常な輝度となるように変換したデータが示されている。本発明の方法では同じ画面が 4 フレーム続くと仮定して、次に、連続する 4 つのフレームに ‘A + 1’ 階調を分配する方法を決定する。つまり、変換されたデータの下位 2 ビットを利用して上位 6 ビットが示す階調とその直上位階調（上位 6 ビットが示す階調に ‘1’ を加えた値、つまり、256 階調のグレーでは ‘4’ を加えた値）の発生頻度を調整するように R G B データを変換させる。前記発生頻度の調整は従来のフレームレート制御方法と同様に行なわれる。ここで、下位 4 つの階調に対しては同一の輝度が現れるようにするために、下位 4 つの各階調に対しては ‘000000’ でだけ 4 つのフレームを構成する。

【 0 0 1 8 】

図 5 には前記第 1 のフレームレート制御方法が適用される時のグレー (gray) に対する透過率の関係がグラフに示されている。

前記図 5 に示されているように、上位階調でのガンマ歪曲が除去されており、下位階調でのガンマ歪曲は許容できる程度になる。

しかし、このような第 1 のフレームレート制御方法においても、下位階調でのガンマ歪曲は存在し、これは表現可能な色数の減少につながる。

本発明による第 2 のフレームレート制御方法は表現可能な色数の増加をその目的とする。

【 0 0 1 9 】

10

20

30

40

50

図6には本発明による第2のフレームレート制御方法を説明するための図表が示されている。

本発明による第2のフレームレート制御方法はnビットのRGBデータをeビットデータに拡張して、下位dビットによってRGBデータを変換させる方法である。例えば、n=8ビットのRGBデータが液晶表示装置のタイミング制御部に入力される場合、e=9ビットにデータを拡張して、下位3ビットによってRGBフレームデータを変換させる。ここで、8ビットRGBデータで構成される1フレームは6ビットRGBデータによって 2^d フレーム内の平均階調データで表現される。空間的には 4×2 画素ブロックを使用する。現在の技術状況では前記nが8ビットである場合が一般的であるが、10ビット、12ビットまたはそれ以上に拡張でき、前記dは3以上の整数、前記eは(n+1)以上の整数である。10

【0020】

まず、図7のフローチャートを参照して本発明による第2のフレームレート制御方法の全体的な処理流れを説明する。

動作が始まると(S1)、外部のグラフィックソースから液晶表示装置のタイミング制御部にnビットのRGBデータが入力される(S2)。次に、前記RGBデータが示す階調値を利用した所定の式によって拡張データが算出される(S3)。前記拡張データ算出のための式については後記する。その後、前記拡張されたeビットの下位dビットデータを利用して上位(e-d)ビットデータを変換させて出力する(S4)。より具体的には、前記拡張されたRGBデータの下位dビットが抽出されて、連続する 2^d 個のフレーム内に、20前記抽出されたRGBデータの下位dビットによって前記RGBデータの下位dビットを除いた(e-d)ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータが変換される。この時、前記過程が行われる各フレームの単位画素ブロックは 4×2 である。各単位画素ブロックでは前記拡張されたRGBデータの下位dビットを除いた(e-d)ビットが示す階調とその直上位階調の発生頻度が空間的に調整されるように配置される。

【0021】

このような過程によってフレームデータの生成が終了し(S5)、前記S2乃至S4段階の過程は入力される全てのフレームのRGBデータに対して行われる。30

図6の図表はnが8ビット、dが3ビット、eが9ビットである時の第2のフレームレート制御方法を説明する。

前記図6に示すように、dビットつまり、拡張されたRGBデータの下位3ビットによって連続する 2^d 個のフレーム内にフレームレート制御が行われる。図6で斜線で表示した画素はRGBデータの(e-d)ビットつまり、上位6ビットが示す階調を表示し、斜線で表示されていない画素はRGBデータの(e-d)ビットが示す階調の直上位階調を表示する。つまり、(e-d)ビットが示す階調を‘A’とする時、斜線で表示されていない画素が表示する階調は‘A+1’である。

【0022】

図6で、下位3ビットは階調‘A’以上‘A+1’未満の 2^d 個の階調、つまり、 2^3 個の階調を示し、より具体的に、‘000’は‘A+0/8’、‘001’は‘A+1/8’、‘010’は‘A+2/8’、‘011’は‘A+3/8’、‘100’は‘A+4/8’、‘101’は‘A+5/8’、‘110’は‘A+6/8’、‘111’は‘A+7/8’を各々示す。前記下位3ビットの状態によって、6ビットで表現できる階調‘A’と‘A+1’の発生頻度を調整することによって、8フレーム間の表示を時間的に平均すれば前記のように‘A’と‘A+1’の間の8段階の階調が表現できるようにしたことに本発明の特徴がある。40

【0023】

より具体的に、下位3ビットの中で最下位ビットが‘0’である場合には、残り2ビットで従来のフレームレート制御と同様に8フレームを再構成する。下位3ビットの中で最下位ビットが‘1’である場合には、最初の4フレーム内には残り2ビットで従来のフレー50

ムレート制御と同様の4フレームを再構成し、その次の4フレーム内には残り2ビットに‘1’を足して従来のフレームレート制御と同様の4フレームを再構成する。

例えば、下位3ビットの情報が‘101’であると仮定する。最初4フレームは既存のフレームレート制御と同様にフレームを再構成し、この時には‘10’の2ビット情報を利用する。その次の4フレーム間には‘101’の下位ビットが‘1’であるので‘10’に‘1’を足した値、つまり、‘11’を利用して従来のフレームレート制御と同様にフレームを再構成する。もし、下位3ビットの中で最下位ビットが‘0’であれば既存のフレームレート制御と同様にフレーム再構成が行われる。

【0024】

次に、nが8であり、eが9である時、前記第2のフレームレート制御方法で拡張ビットを算出する過程について説明する。10

まず、次の数式1は8ビットのRGBデータを9ビットに拡張するためのものである。

【0025】

【数6】

$$\left(\frac{63G}{255} \times 8 \right) \text{四捨五入} \quad \cdots (1)$$

前記数式(1)でGは入力される8ビットRGBデータが示す10進数で表現された階調値であり、“()四捨五入”は括弧内の数の小数点以下を四捨五入するという意味である。20

入力RGBデータに対して前記数式1を適用すれば、計算結果の整数部として9ビットで示される数が算出される。このように算出された9ビットデータは先に説明した第2のフレームレート制御方法に利用される。前記数式1で、255で割り算する過程は、ハードウェア・ロジックで実現する場合に計算量を増加させる問題があるが、逆数をかける方法で実現したり、ロジック内部にルックアップテーブル(look-up table)を備えることによって簡単に解決できる。もし若干の誤差を許せば、分母=256、分子=64として(2G)で近似でき、現実の操作はレジスターで1ビットだけシフトするだけでよいが、これでは高輝度部の飽和現象が残るから、(2G - 6)で計算する方がよい。また、分母=256、分子=63つまり(63G / 32)としてもよい。要は、9ビットのデータを使って、高輝度部に飽和現象や跳躍現象がなく、低輝度部の飽和現象が最小(または所定段階)になるようないいことである。30

【0026】

次に、8ビットのRGBデータを9ビットに拡張するための数式2を説明する。

【0027】

【数7】

$$\left. \begin{array}{l} \text{if } G=255, \quad G_{Hi-FRC}=504, \\ \text{else } G_{Hi-FRC}=\left(\frac{63G}{256} \times 8\right) \text{四捨五入}=\left(\frac{63G}{32}\right) \text{四捨五入} \end{array} \right\} \cdots (2)$$

前記数式(2)でGH_i-FRCは9ビットに変換されたデータである。前記数式(1)には割算演算が含まれているので、実現するのには計算量が多い。数式をロジックで実現する時、8の倍数で割ることが便利なので、数式(2)を適用することができる。前記数式(2)によれば、入力されるRGBデータの階調値が255であれば、GH_i-FRCは、504 = 63 × 8となるため、上位6ビットが“63(十進数)”であり、下位3ビットが‘000’の値となる。この階調値255が、6ビットドライバーICで出力できる最大の入力値となる。その他の階調では入力RGBデータに63だけをかけて、その結果を5ビットだけ下位ビットだけ方向にシフトすれば容易に得られる。図8a乃至図8cのグラフには前記40

数式(2)を適用した場合の階調に対する輝度曲線と理想的な輝度曲線が比較して示されている。

【0028】

図8aには全体階調と輝度との関係に対して数式(2)を適用した場合($63 \times G / 32$)と理想的な場合(Ideal)が示されており、図8bには上位階調に対して前記二つの場合が示されており、図8cには下位階調に対して前記二つの場合が示されている。前記図8a乃至図8cのグラフを見てみると、上位階調で理想的な場合と多少の差があるが、その他の階調ではほとんど理想的な場合に近接することが分かる。

次に、8ビットのRGBデータを9ビットに拡張するための数式3を説明する。

【0029】

【数8】

$$\left. \begin{array}{l} \text{if } G \leq 6, \quad G_{Hi-FRC} = G, \\ \text{if } 7 < G < 255, \quad G_{Hi-FRC} = \left(\frac{64 \times (G+1)}{256} - 1 \right) \times 8 = 2G - 6, \\ \text{if } G = 255, \quad G_{Hi-FRC} = 504 \end{array} \right\} \cdots (3)$$

前記数式(3)は割算演算が含まれていない簡単な数式である。

図9aには全体階調と輝度との関係に対して数式(3)を適用した場合($2G - 6$)と理想的な場合(Ideal)が示されており、図9bには上位階調に対して前記二つの場合が示されており、図9cには下位階調に対して前記二つの場合が示されている。前記図9cに示されているように、下位階調で数式(3)を適用した場合と理想的な場合の差が大きいように見られるが、これはグラフのスケーリング(scaling)差によるもので、実際には大きな誤差がない。

【0030】

次に、8ビットのRGBデータを9ビットに拡張するための数式4を説明する。

【0031】

【数9】

$$\left. \begin{array}{l} \text{if } G = 255, \quad G_{Hi-FRC} = 504, \\ \text{else } G_{Hi-FRC} = \left(\left(\frac{63 \times (G+1)}{256} - \frac{1}{8} \right) \times 8 \right) \text{ 四捨五入} = \left(\frac{63 \times (G+1)}{32} - 1 \right) \text{ 四捨五入} \end{array} \right\} \cdots (4)$$

図10aには全体階調と輝度との関係に対して数式(4)を適用した場合($63(G+1)/32 - 1$)と理想的な場合(Ideal)が示されており、図10bには上位階調に対して前記二つの場合が示されており、図10cには下位階調に対して前記二つの場合が示されている。

前記数式(4)を適用した図10a乃至図10cから分かるように、数式(4)を適用すれば、全体的に誤差が少なく変換できるという長所がある。

【0032】

次に、8ビットのRGBデータを9ビットに拡張するための数式5を説明する。

【0033】

【数10】

10

20

30

40

$$\left. \begin{array}{l} \text{if } G \leq 8, \quad G_{Hi-FRC} = G, \\ \text{if } 9 < G < 255, \quad G_{Hi-FRC} = 2G - 8, \\ \text{if } G = 255, \quad G_{Hi-FRC} = 504 \end{array} \right\} \cdots \quad (5)$$

前記数式(5)は前記数式(1)、(2)及び(3)と類似しており、タイミング制御部に入力される8ビットのRGBデータを9ビットに拡張するためのものである。

次に、図11乃至16を参照して本発明による第3のフレームレート制御方法を説明する。

本発明による第3のフレームレート制御方法は、画質劣化を減少させることをその目的とする。

【0034】

図11乃至14には本発明による第3のフレームレート制御方法を説明するための図表が示されている。

本発明による第3のフレームレート制御方法は前述した第2のフレームレート制御方法により再構成された画素パターンに対して追加的に画素パターンを配置することに関する。基本的に、前記第3のフレームレート制御方法は前記図6に示した画素パターンを得るために過程をすべて含み、前記第2のフレームレート制御方法を遂行した結果に対する本発明の第3のフレームレート制御方法が適用される。また、図6に示された画素パターンは空間的な観点では 4×2 画素ブロック、時間的な観点では8フレーム期間の画素パターンであって、第2のフレームレート制御方法によって既に画素パターンが再構成されたものであるので、前記第3フレームレート制御方法にもこのような前提条件が適用されていると仮定する。ここで、本発明が適用される基本画素単位を 4×2 画素ブロックにしたことと、8フレーム画素パターンにしたことは本発明の原理から逸脱しない限度内で変更することができ、このことは当該技術分野で通常の知識を有する者であれば容易に行うことができる。前記第3フレームレート制御方法では、時間的な観点又は空間的な観点での第2フレームレート制御方法によって得られた画素パターンを、また、再配置することにより画質劣化を減少させることができる。

【0035】

図11に示した画素パターンでは“ノーマルフレーム”と“プラスフレーム”という概念が導入される。この概念は本発明で提案された用語であって、ノーマルフレームとは、本発明による第2のフレームレート制御方法が適用された画素パターンを有するフレームを表示するための画素データであり、プラスフレームとは、前記第2のフレームレート制御方法が適用された画素パターンにおいて上下方向に各画素の配置を変えたフレームを表示するための画素データのことである。つまり、図6の画素パターンに対して最初4個のフレームはノーマルフレームに構成し、その次の4個のフレームはプラスフレームに構成することによって、図11の画素パターンが得られる。単純に図6の画素パターンを前記4個のノーマルフレームと4個のプラスフレームが連続的に表示されるように再配置することだけでも、4個の階調レベル単位に横線が表示される画質劣化現象はある程度減少できる。

【0036】

しかし、本発明者は、画質を改善するための方法をさらに研究した結果、前記ノーマルフレームとプラスフレームが1フレーム単位に一つずつ交互に表示されるように8フレームを構成することが画質劣化を改善するのに一層効果的であるということを知った。

図12にはノーマルフレームとプラスフレームが交互に表示されるように構成された画素パターンが示されている。

しかし、前記図12に示された画素パターンによってもフリッカーを完全に解決することはできない。したがって、空間的にもノーマルフレームとプラスフレームを混用する方法を考えるようになった。つまり、1フレームを構成する表示画面で所定の画素ブロック単

位にノーマルフレーム又はプラスフレームのうちのいずれかが表示されるようにし、その単位画素ブロックに隣接する画素ブロックではノーマルフレーム又はプラスフレームのうちの他のものを表示するようとする。例えば、任意の一つの単位画素ブロックでは図12の画素パターンの中でノーマルフレームが先に始まるようにし、それに隣接した他の単位画素ブロックではプラスフレームが先に始まるようにすれば、前記ノーマルフレームとプラスフレームの空間的な配置を行える。このようにする場合、1フレーム内でも空間的に前記ノーマルフレームとプラスフレームが混用されて表示されるので、フリッカー問題を完全に解決できる。

【0037】

図13a及び13bには空間的な観点でノーマルフレームとプラスフレームを配置する一つの例が示されている。前記図13a及び13bの例において、一つのブロックは 4×2 画素ブロックであり、斜線のブロックはプラスフレーム、斜線部分のないブロックはノーマルフレームである。図13aにはn番目フレームのための画素パターンが示されており、 4×4 画素ブロック単位にノーマルフレーム又はプラスフレームのうちの一つが該当画素ブロックでは同一に表示され、各単位画素ブロックとそれに隣接する単位画素ブロックにはノーマルフレーム又はプラスフレームが各々表示される。一方、図13bには($n+1$)番目フレームのための画素パターンが示されており、前記図13aに示された画素パターンとは反対である。つまり、n番目フレームでノーマルフレームが表示されていた単位画素ブロックは($n+1$)番目フレームでプラスフレームを表示し、n番目フレームでプラスフレームが表示されていた単位画素ブロックは($n+1$)番目フレームでノーマルフレームを表示する。そして、図13bに示したように、($n+1$)番目フレームではn番目フレームでとは反対にノーマルフレームとプラスフレームが配置されるように画素パターンが構成される。このように画素パターンを構成することにより、フリッカーと画質劣化の問題点を完全に解決することができる。

【0038】

図14の画素パターンはノーマルフレームとプラスフレームが交互に表示されるように画素パターンが構成されるという点では図12の画素パターンと類似しているが、プラスフレームとノーマルフレームの発生順序が図12の画素パターンとは反対である。つまり、時間的に1番目フレームではプラスフレームが表示され、その次のフレームではノーマルフレームが表示される。

図15及び16には前記第3のフレームレート制御方法によって時間的及び空間的な観点で再配置された画素パターンが示されている。より具体的に、図15は特に赤及び緑色に対して時間的及び空間的な観点から再配置した画素パターンを示しており、図16は青色に対して時間的及び空間的な観点から再配置した画素パターンを示している。前記図15及び図16では 4×4 画素ブロックが単位画素ブロックとなり、この単位画素ブロックはプラスフレームとノーマルフレームを交互に空間的に表示し、同様に時間的にもプラスフレームとノーマルフレームを交互に表示することを詳細に示している。既述のように、垂直方向に階調レベルを配置する時、横線が表示されることは反転駆動と深く関連する。緑色では下に階調が暗くなる方向である時、横線がよく見え、赤及び青色では上に階調が暗くなる方向である時よく見えることは反転の極性に影響があることが分かる反証である。したがって、将来どのような反転駆動方法が適用されても、それによる影響を少なくするためにもう一つの方法を追加することができる。図15に示したものは赤/緑色に対する反転駆動方法であるとすれば、青色に対するものをこれと反対に 4×4 画素ブロック内で上下を変えた形態で画素パターンを有するようにする。 $R\ G\ B$ が同一なFRC画素パターンを有するものより、異なるFRC画素パターンを有する方が画質が向上する。

【0039】

【発明の効果】

以上説明したように本発明によるフレームレート制御方法は、下位階調に対して共通の輝度を適用することによって、視覚的によく識別できる上位階調でのガンマ歪曲を除去することができ、高輝度部の色相歪みを軽減するので、好ましい色再現が可能になる。

10

20

30

40

50

また、本発明による第2のフレームレート制御方法は液晶表示装置のタイミング制御部に入力されるRGBデータの所定の数の下位ビットを拡張した後、これを利用してフレームを再構成することによって、RGBデータの入力ビット数で表現できる色の数を増加させることができる。

【0040】

本発明による第3のフレームレート制御方法は前記第2のフレームレート制御方法によって再構成された画素パターンに対してノーマルフレームとプラスフレームを定義し、これらノーマルフレームとプラスフレームを時間的及び空間的に再配置することにより画質の劣化を減少させることができる。

【図面の簡単な説明】

10

【図1】 従来の液晶表示装置でのフレームレート制御を説明するための図面である。

【図2】 従来のフレームレート制御が適用される時のグレーに対する透過率の関係を示した図面である。

【図3】 本発明による液晶表示装置の概略的な構成を示した図面である。

【図4】 本発明の液晶表示装置のための第1のフレームレート制御方法を説明するための図面である。

【図5】 図4に示す第1のフレームレート制御方法が適用される時のグレーに対する透過率の関係を示した図面である。

【図6】 本発明の液晶表示装置のための第2のフレームレート制御方法を説明するための図面である。

20

【図7】 図6に示す第2のフレームレート制御方法を実行するフローチャートである。

【図8a】 前記図7のフローチャートにおいて拡張ビット算出のための式2が適用される場合のガンマ特性を示したグラフである。

【図8b】 前記図7のフローチャートにおいて拡張ビット算出のための式2が適用される場合のガンマ特性を示したグラフである。

【図8c】 前記図7のフローチャートにおいて拡張ビット算出のための式2が適用される場合のガンマ特性を示したグラフである。

【図9a】 前記図7のフローチャートにおいて拡張ビット算出のための式3が適用される場合のガンマ特性を示したグラフである。

30

【図9b】 前記図7のフローチャートにおいて拡張ビット算出のための式3が適用される場合のガンマ特性を示したグラフである。

【図9c】 前記図7のフローチャートにおいて拡張ビット算出のための式3が適用される場合のガンマ特性を示したグラフである。

【図10a】 前記図7のフローチャートにおいて拡張ビット算出のための式4が適用される場合のガンマ特性を示したグラフである。

【図10b】 前記図7のフローチャートにおいて拡張ビット算出のための式4が適用される場合のガンマ特性を示したグラフである。

【図10c】 前記図7のフローチャートにおいて拡張ビット算出のための式4が適用される場合のガンマ特性を示したグラフである。

40

【図11】 本発明による第3のフレームレート制御方法においてノーマルフレームとプラスフレームの概念を説明するための図面である。

【図12】 本発明による第3のフレームレート制御方法においてノーマルフレームとプラスフレームが1フレーム毎に交互に表示されるように構成した画素パターンを示した図面である。

【図13a】 連続する二つのフレームで空間的に 4×4 画素ブロック単位にノーマルフレームとプラスフレームを混用して構成した画素パターンを示した図面である。

【図13b】 連続する二つのフレームで空間的に 4×4 画素ブロック単位にノーマルフレームとプラスフレームを混用して構成した画素パターンを示した図面である。

【図14】 本発明による第3のフレームレート制御方法において、プラスフレームとノ

50

ノーマルフレームが1フレーム毎に交互に表示されるように構成した画素パターンを示した図面である。

【図15】 本発明の第3のフレームレート制御方法によって赤及び緑色に対して時間的及び空間的にノーマルフレームとプラスフレームを配置した画素パターンを示した図面である。

【図16】 本発明の第3のフレームレート制御方法によって青色に対して時間的及び空間的にノーマルフレームとプラスフレームを配置した画素パターンを示した図面である。

【符号の説明】

- 1 : 液晶パネル
- 2 : ゲート駆動部
- 3 : ソース駆動部
- 4 : 電圧発生部
- 5 : タイミング制御部
- 5 1 : データ処理ブロック
- 5 2 : 制御信号生成ブロック

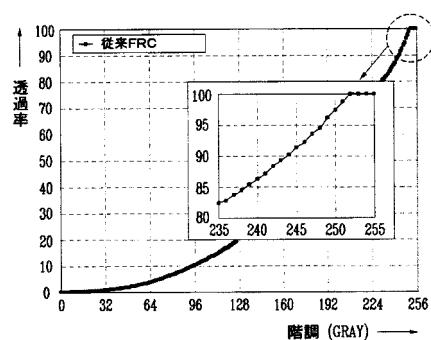
10

【図1】

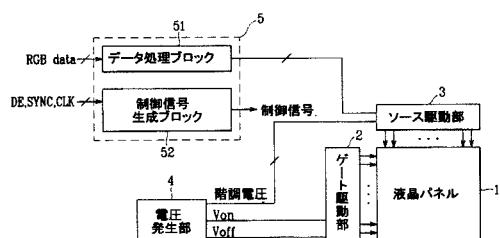
下位 2ビット	フレーム番号			
	1	2	3	4
00	o e	o e	o e	o e
	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
	2 3 4	2 3 4	2 3 4	2 3 4
	3 4	3 4	3 4	3 4
01	o e	o e	o e	o e
	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
	2 3 4	2 3 4	2 3 4	2 3 4
	3 4	3 4	3 4	3 4
10	o e	o e	o e	o e
	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
	2 3 4	2 3 4	2 3 4	2 3 4
	3 4	3 4	3 4	3 4
11	o e	o e	o e	o e
	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
	2 3 4	2 3 4	2 3 4	2 3 4
	3 4	3 4	3 4	3 4

□ 上位6ビットの
階調データ □ 上位6ビットの
直上階調データ

【図2】



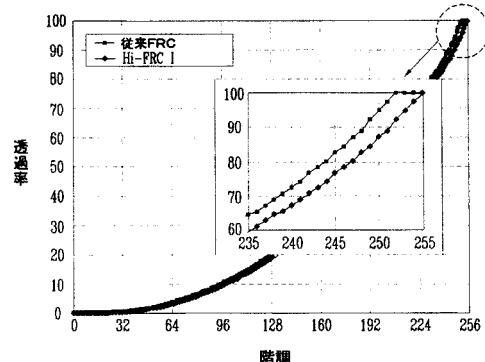
【図3】



【図4】

従来FRC				Hi-PRC I				
入力	上位 6ビット	下位 2ビット	評価	入力	変換	上位 6ビット	下位 2ビット	評価
255	111111	11		255	252	111111	00	▲
254	111111	10		254	251	111110	11	▲
253	111111	01	同一 輝度	253	250	111110	10	▲
252	111111	00		252	249	111110	01	▲
251	111110	11	▲	251	248	111110	00	▲
250	111110	10	▲	250	247	111101	11	▲
...	
6	000001	10	▲	6	3	000000	11	▲
5	000001	01	▲	5	2	000000	10	▲
4	000001	00	▲	4	1	000000	01	▲
3	000000	11	▲	3	0	000000	00	
2	000000	10	▲	2	0	000000	00	
1	000000	01	▲	1	0	000000	00	
0	000000	00		0	0	000000	00	

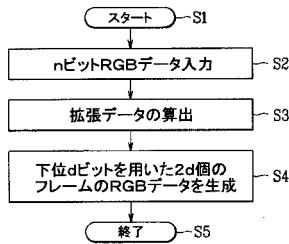
【図5】



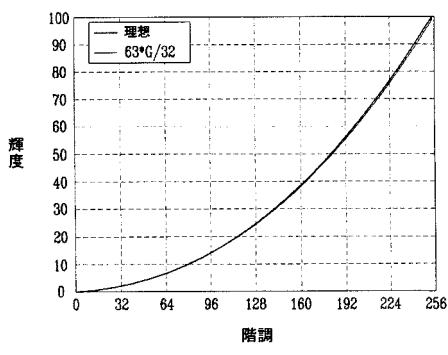
【図6】

下位 3ビット	フレーム番号							
	1	2	3	4	5	6	7	8
000	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4
010	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4
100	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4
110	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4
001	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4
011	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4
101	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4
111	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4

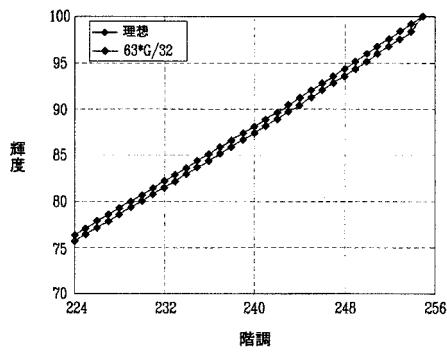
【図7】



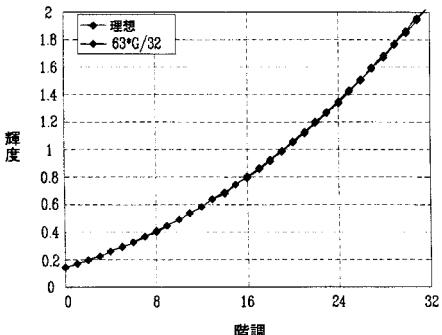
【図8 a】



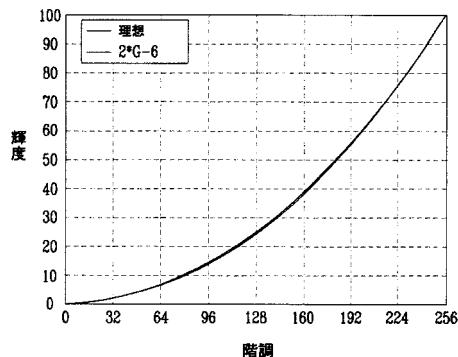
【図8 b】



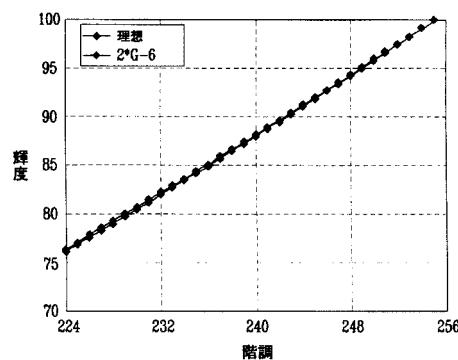
【図8 c】



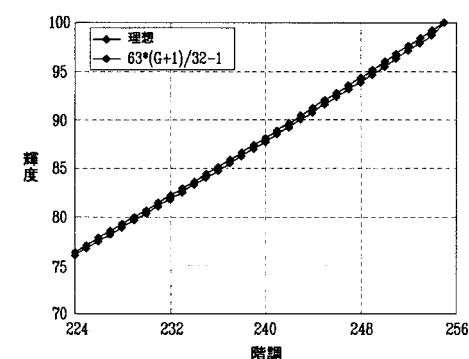
【図9a】



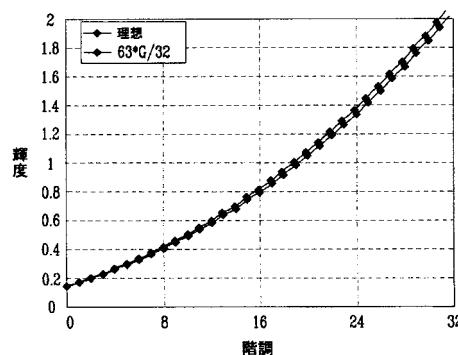
【図 9 b】



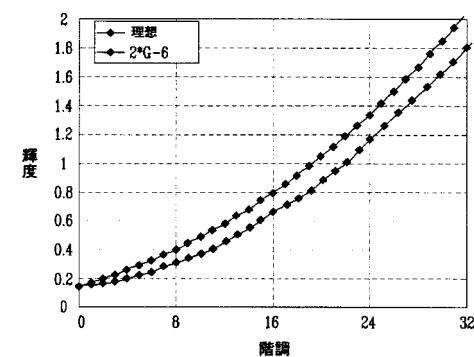
【 义 1 0 b 】



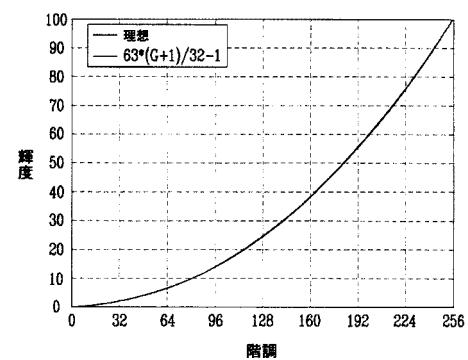
【 义 1 0 c 】



【図 9 c】



【図10a】

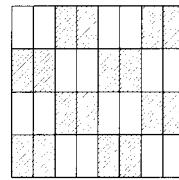


(1 1)

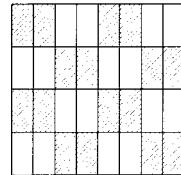
【図12】

下位 3ビット	フレーム番号							
	1	2	3	4	5	6	7	8
000	o e 1 2 3 4							
010	o e 1 2 3 4							
100	o e 1 2 3 4							
110	o e 1 2 3 4							
001	o e 1 2 3 4							
011	o e 1 2 3 4							
101	o e 1 2 3 4							
111	o e 1 2 3 4							

【図13a】



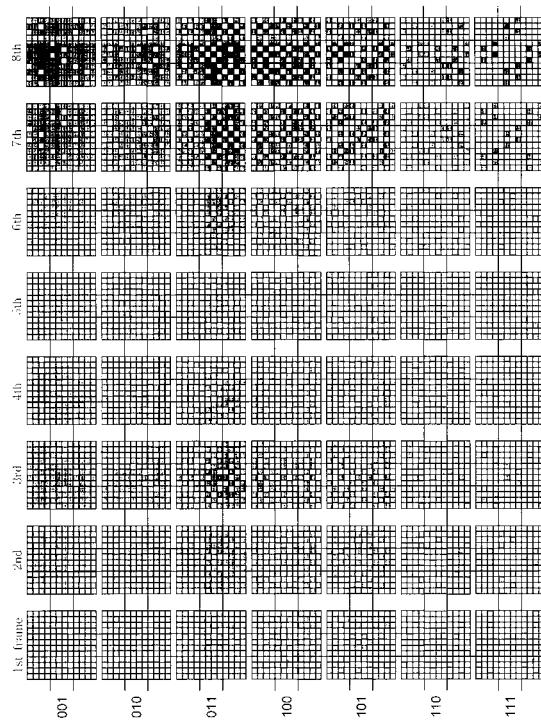
【図13b】



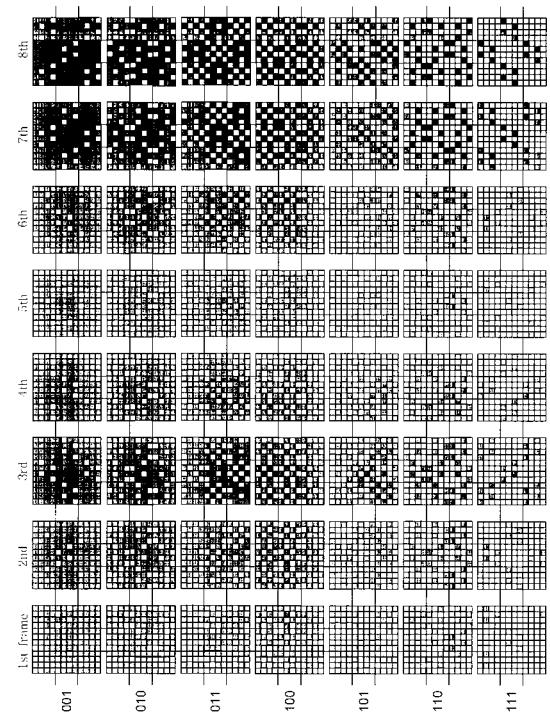
【図14】

下位 3ビット	フレーム番号							
	1	2	3	4	5	6	7	8
000	o e 1 2 3 4							
010	o e 1 2 3 4							
100	o e 1 2 3 4							
110	o e 1 2 3 4							
001	o e 1 2 3 4							
011	o e 1 2 3 4							
101	o e 1 2 3 4							
111	o e 1 2 3 4							

【図15】



【図16】



フロントページの続き

(72)発明者 李 昇 祐

大韓民国ソウル市衿川区禿山1洞293-10番地禿山現代アパート102棟1008号

審査官 鳥居 祐樹

(56)参考文献 特開平11-015444(JP,A)

特開2001-306036(JP,A)

特開平11-272236(JP,A)

特開2003-288058(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 -3/38

G02F 1/133

专利名称(译)	帧率控制方法及其液晶显示装置		
公开(公告)号	JP4772276B2	公开(公告)日	2011-09-14
申请号	JP2003098589	申请日	2003-04-01
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李昇祐		
发明人	李昇祐		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G09G3/2022 G09G3/2055 G09G2320/0271 G09G2340/0428		
FI分类号	G09G3/36 G09G3/20.641.F G09G3/20.641.G G09G3/20.641.K G09G3/20.641.P G02F1/133.575 G09G3/20.611.E G09G3/20.612.F G09G3/20.621.C G09G3/20.641.C G09G3/20.641.E G09G3/20.642.J G09G3/20.650.M		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA43 2H093/NA55 2H093/NA61 2H093/NC09 2H093/NC11 2H093/ND10 2H193/ZD25 5C006/AA12 5C006/AA14 5C006/AA16 5C006/AA17 5C006/AA22 5C006/AC26 5C006/AF04 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF14 5C006/BF24 5C006/BF28 5C006/BF43 5C006/FA16 5C006/FA23 5C006/FA25 5C006/FA29 5C006/FA56 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD06 5C080/EE17 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG17 5C080/JJ01 5C080/JJ02 5C080/JJ05		
优先权	1020020017793 2002-04-01 KR 1020020026218 2002-05-13 KR		
其他公开文献	JP2003302955A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中第一帧速率控制方法，其消除所有表示可能的灰度中的高阶灰度的伽马失真，第二帧速率控制方法，其显示所有颜色数被表示通过RGB数据的输入比特数，第一和第二帧速率控制方法都适用。SOLUTION：帧速率控制方法包括第一步，第二步和第三步。在第一步骤中，从液晶显示装置外部的图形源接收n位RGB数据。在第二步骤中，通过使用由RGB数据指示的灰度值将RGB数据扩展为e位数据。在第三步骤中，提取扩展的RGB数据的低阶d比特并且转换帧数据，使得由(ed)比特指示的灰度的生成频率，其中扩展的RGB数据的低阶d比特通过在连续2d帧中扩展的RGB数据的低阶d比特来消除，并且调整立即高阶灰度的生成频率。

