

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4728045号
(P4728045)

(45) 発行日 平成23年7月20日(2011.7.20)

(24) 登録日 平成23年4月22日(2011.4.22)

(51) Int.Cl.

F I

GO2F 1/1368 (2006.01)
GO9G 3/20 (2006.01)
GO9G 3/36 (2006.01)
HO1L 21/336 (2006.01)
HO1L 29/786 (2006.01)

GO2F 1/1368
GO9G 3/20 624B
GO9G 3/20 641G
GO9G 3/20 642A
GO9G 3/20 670K

請求項の数 1 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2005-157641 (P2005-157641)
(22) 出願日 平成17年5月30日(2005.5.30)
(65) 公開番号 特開2006-330609 (P2006-330609A)
(43) 公開日 平成18年12月7日(2006.12.7)
審査請求日 平成19年9月7日(2007.9.7)

(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番2号
(74) 代理人 100091672
弁理士 岡本 啓三
(72) 発明者 小杉 俊太郎
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通ディスプレイテクノロジーズ
株式会社内
(72) 発明者 藤川 徹也
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通ディスプレイテクノロジーズ
株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

相互に対向して配置された第1の基板及び第2の基板と、前記第1の基板及び前記第2の基板の間に封入された液晶とにより構成され、マトリクス状に配列された複数の画素を有する液晶表示装置において、

各画素に走査信号を供給する複数のゲートバスラインと、
各画素に表示信号を供給する複数のデータバスラインと、
各画素毎に形成された第1及び第2の副画素電極と、
各画素毎に形成されたバッファ容量と、

n番目(nは整数)のゲートバスラインの走査信号により駆動され、オンの期間にm番目(mは整数)のデータバスラインの表示信号をn行m列目の画素の前記第1の副画素電極に伝達する第1のトランジスタと、

前記n番目のゲートバスラインの走査信号により駆動され、オンの期間に前記m番目のデータバスラインの表示信号を前記n行m列目の画素の前記第2の副画素電極に伝達する第2のトランジスタと、

前記n行m列目の画素の前記第1の副画素電極と前記バッファ容量との間に接続され、n+1番目のゲートバスラインの走査信号により駆動される第3のトランジスタとを有し、

前記バッファ容量が、前記n+1番目のゲートバスラインと一体的に形成された第1の容量電極と、前記第3のトランジスタのドレインに接続され、絶縁膜を挟んで前記第1の

10

20

容量電極に対向する位置に配置された第2の容量電極とにより構成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1画素領域内に複数の副画素電極を有し、斜め方向から見たときに画面が白っぽくなる現象を抑制する液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、CRT (Cathode Ray Tube) に比べて薄くて軽量であり、低電圧で駆動できて消費電力が小さいという利点がある。そのため、液晶表示装置は、テレビ受像機、ノート型PC (パーソナルコンピュータ)、デスクトップ型PC、PDA (携帯端末) 及び携帯電話など、種々の電子機器に使用されている。

【0003】

一般的に、液晶表示装置は、2枚の基板と、これらの基板間に封入された液晶とにより構成されている。一方の基板には画素毎に画素電極及び薄膜トランジスタ (Thin Film Transistor: 以下、TFT という) 等が形成され、他方の基板にはカラーフィルタと、各画素共通のコモン (共通) 電極とが形成されている。以下、画素電極及びTFTが形成された基板をTFT基板と呼び、TFT基板に対向して配置される基板を対向基板と呼ぶ。また、TFT基板と対向基板との間に液晶を封入してなる構造物を液晶パネルと呼ぶ。

【0004】

従来は、2枚の基板間に水平配向型液晶 (誘電率異方性が正の液晶) を封入し、液晶分子をツイスト配向させるTN型 (Twisted Nematic) 型液晶表示装置が広く使用されていた。しかし、TN型液晶表示装置には視野角特性が悪く、画面を斜め方向から見たときにコントラストや色調が大きく変化するという欠点がある。このため、視野角特性が良好なMVA (Multi-domain Vertical Alignment) 型液晶表示装置が開発され、実用化されている。

【0005】

ところで、従来のMVA型液晶表示装置では、画面を斜め方向から見たときに白っぽくなる現象が発生する。図1は、横軸に印加電圧 (V) をとり、縦軸に透過率をとって、画面を正面から見たときのT-V (透過率 - 電圧) 特性と、上60°の方向から見たときのT-V特性とを示す図である。この図1に示すように、しきい値電圧よりも若干高い電圧を画素電極に印加したとき (図中丸で囲んだ部分) には、斜め方向から見たときの透過率が正面から見たときの透過率よりも高くなる。また、印加電圧がある程度高くなると、斜め方向から見たときの透過率は、正面から見たときの透過率よりも低くなる。このため、斜め方向から見たときには赤色画素、緑色画素及び青色画素の輝度差が小さくなり、その結果前述したように画面が白っぽくなる現象が発生する。この現象は、白茶け (Wash out) と呼ばれている。白茶けは、MVA型液晶表示装置だけでなく、TN型液晶表示装置でも発生する。

【0006】

米国特許第4840460号の明細書には、1つの画素を複数の副画素に分割し、それらの副画素を容量結合したTN型液晶表示装置が提案されている。このような液晶表示装置では、各副画素の容量比によって電位が分割されるため、各副画素に相互に異なる電圧を印加することができる。従って、見かけ上、1つの画素にT-V特性のしきい値が異なる複数の領域が存在することになる。このように1つの画素にT-V特性のしきい値が異なる複数の領域が存在すると、それらの領域のT-V特性が平均化されて、正面から見たときの透過率よりも斜め方向から見たときの透過率が高くなる現象が抑制される。その結果、斜め方向から見たときに画面が白っぽくなる現象 (白茶け) も抑制される。このように1つの画素をT-V特性が相互に異なる複数の領域に分割して表示特性を改善する方法は、HT (ハーフトングレースケール) 法と呼ばれている。

【 0 0 0 7 】

図 2 は H T 法を実現する従来の液晶表示装置の一例を示す平面図、図 3 は図 2 の I - I 線による断面図である。なお、図 2 は、液晶表示装置の 1 画素分の領域を示している。

【 0 0 0 8 】

T F T 基板のベースとなるガラス基板 5 1 の上には、水平方向（X 方向）に伸びる複数のゲートバスライン 5 2 と、垂直方向（Y 方向）に伸びる複数のデータバスライン 5 5 とが形成されている。これらのゲートバスライン 5 2 及びデータバスライン 5 5 により区画される矩形の領域がそれぞれ画素領域である。また、ガラス基板 5 1 の上には、ゲートバスライン 5 2 と平行に配置され、各画素領域の中央を横断する補助容量バスライン 5 3 が形成されている。

10

【 0 0 0 9 】

ゲートバスライン 5 2 及び補助容量バスライン 5 3 とデータバスライン 5 5 との間には第 1 の絶縁膜 5 4 が形成されており、この第 1 の絶縁膜 5 4 によりゲートバスライン 5 2 及び補助容量バスライン 5 3 とデータバスライン 5 5 との間が電氣的に分離されている。

【 0 0 1 0 】

各画素領域には、T F T 5 6 と、制御電極 5 7 と、補助容量電極 5 8 と、副画素電極 6 1 a , 6 1 b とが形成されている。この例では、図 2 に示すように、T F T 5 6 はゲートバスライン 5 2 の一部をゲート電極としている。また、図 3 に示すように、T F T 5 6 の活性層となる半導体膜 5 6 a はゲートバスライン 5 2 の上方に形成されており、この半導体膜 5 6 a の上にはチャネル保護膜 5 6 b が形成されている。

20

【 0 0 1 1 】

図 2 に示すように、T F T 5 6 のドレイン電極 5 6 d はデータバスライン 5 5 に接続しており、ソース電極 5 6 s はゲートバスライン 5 2 を挟んでドレイン電極 5 6 d に対向する位置に配置されている。また、補助容量電極 5 8 は第 1 の絶縁膜 5 4 を挟んで補助容量バスライン 5 3 に対向する位置に形成されている。更に、制御電極 5 7 は、配線 5 9 を介してソース電極 5 6 s と補助容量電極 5 8 とに電氣的に接続されている。

【 0 0 1 2 】

これらのデータバスライン 5 5 、T F T 5 6 、制御電極 5 7 、補助容量電極 5 8 及び配線 5 9 は第 2 の絶縁膜 6 0 に覆われており、副画素電極 6 1 a , 6 1 b は第 2 の絶縁膜 6 0 の上に形成されている。副画素電極 6 1 a は、第 2 の絶縁膜 6 0 を挟んで制御電極 5 7 （配線 5 9 のうち副画素電極 6 1 a の下方の部分を含む）と容量結合している。また、副画素電極 6 1 b は、第 2 の絶縁膜 6 0 に形成されたコンタクトホール 6 0 a を介して補助容量電極 5 8 と電氣的に接続している。副画素電極 6 1 a , 6 1 b の表面は配向膜 6 2 に覆われている。

30

【 0 0 1 3 】

一方、図 3 に示すように、対向基板のベースとなるガラス基板 7 1 の一方の面側（図 3 では下側）にはカラーフィルタ 7 2 が形成されており、このカラーフィルタ 7 2 の上（図 3 では下側）にはコモン電極 7 3 が形成されている。このコモン電極 7 3 の表面は配向膜 7 4 により覆われている。

【 0 0 1 4 】

これらの T F T 基板及び対向基板はスペーサ（図示せず）を挟んで配置され、T F T 基板と対向基板との間には液晶 8 0 が封入されて液晶パネルとなっている。この液晶パネルの厚さ方向の両側には偏光板が配置されており、駆動回路及びバックライト（いずれも図示せず）が取り付けられて液晶表示装置となっている。

40

【 0 0 1 5 】

このように構成された液晶表示装置において、ゲートバスライン 5 2 に供給される走査信号がアクティブ（“ 1 ”）になると T F T 5 6 がオンになり、データバスライン 5 5 に供給された表示信号が制御電極 5 7 及び副画素電極 6 1 b に伝達される。制御電極 5 7 に供給された表示信号は、容量結合を介して副画素電極 6 1 a に伝達される。この場合、副画素電極 6 1 a の電圧は、副画素電極 6 1 b の電圧よりも容量結合の分だけ低い値となる

50

。従って、見かけ上、1つの画素領域にT-V特性が相互に異なる2つの領域が存在しており、斜め方向から見たときに画面が白っぽくなる現象が抑制される。

【特許文献1】米国特許第4840460号の明細書

【特許文献2】特開2002-333870号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、図2に示す従来の液晶表示装置では、フォトリソグラフィ工程で制御電極57及び配線59のサイズのばらつきが発生すると、制御電極57（配線59のうち副画素電極61aの下方の部分を含む）と副画素電極61aとの間の容量値が変化するため表示むらが発生するという問題点がある。

10

【0017】

また、図2に示す従来の液晶表示装置では、焼き付きが発生するという問題点もある。例えば、画面全体に白黒のチェッカーパターンを一定時間連続して表示した後に中間階調表示を行うと、焼き付きによりチェッカーパターンが薄く見えてしまう。

【0018】

通常、液晶表示装置の焼き付きは、ゲートバスライン及びデータバスライン等に流れる信号に直流電圧成分が存在することと、白表示時と黒表示時とで液晶層のCR値（液晶容量及び液晶抵抗の値）が変化することとが原因で発生する。以下に、図2、図3に示すような液晶表示装置で焼き付きが発生する理由について説明する。

20

【0019】

図4はHT法を実現する液晶表示装置の1画素を示す平面図であり、図5(a)は図4のII-II線の位置における模式断面図、図5(b)は図4のIII-III線の位置における模式断面図、図5(c)は図4のIV-IV線の位置における模式断面図、図5(d)は図4のV-V線の位置における模式断面図である。

【0020】

図4に示す液晶表示装置においては、図5(a)に示すように、副画素電極61aとコモン電極73との間に、 C_{LC2} と R_{LC2} とが並列に接続されているとみなすことができる。ここで、 C_{LC2} は副画素電極61aとコモン電極73との間の容量であり、 R_{LC2} は副画素電極61aとコモン電極73との間の抵抗である。

30

【0021】

また、副画素電極61aとゲートバスライン52との間にも、 $C_{gp \times 2}$ と R_{goff} とが並列に接続されているとみなすことができる。ここで、 $C_{gp \times 2}$ は副画素電極61aとゲートバスライン52との間の容量であり、 R_{goff} は副画素電極61aとゲートバスライン52との間の抵抗である。

【0022】

一方、副画素電極61bとコモン電極73との間にも、図5(b)に示すように、 C_{LC1} と R_{LC1} とが並列に接続されているとみなすことができる。ここで、 C_{LC1} は副画素電極61bとコモン電極73との間の容量であり、 R_{LC1} は副画素電極61bとコモン電極73との間の抵抗である。

40

【0023】

また、副画素電極61bとゲートバスライン52の間には、 $C_{gp \times 1}$ と $R_{gp \times 1}$ とが並列に接続されているとみなすことができる。ここで、 $C_{gp \times 1}$ は副画素電極61bとゲートバスライン52との間の容量であり、 $R_{gp \times 1}$ は副画素電極61bとゲートバスライン52との間の抵抗である。

【0024】

ゲートバスライン52には、1垂直同期期間（1フィールド期間）の殆どの時間（走査信号が非アクティブの期間）、TF T56をオフ状態に維持するために-5~-10V程度の直流電圧（ V_{goff} ）が印加される。この直流電圧に応じた電荷が、容量 $C_{gp \times 2}$ と抵抗 R_{goff} 、又は容量 $C_{gp \times 1}$ と抵抗 $R_{gp \times 1}$ とを介して副画素電極61a、61bに蓄積される

50

。

【 0 0 2 5 】

通常、各ゲートバスライン 5 2 に供給される走査信号は、1 垂直同期期間毎に 1 回ずつ順番にアクティブになるので、このとき T F T 5 6 がオンになって副画素電極 6 1 b とデータバスライン 5 5 とが電氣的に接続される。このため、副画素電極 6 1 b では、T F T 5 6 がオフの期間に蓄積された電荷がデータバスライン 5 5 に流れ、直流電圧成分は残留しない。一方、副画素電極 6 1 a では、T F T 5 6 がオンになっても副画素電極 6 1 a に蓄積された電荷はそのまま保持される。このため、副画素電極 6 1 a には直流電圧成分が残留する。

【 0 0 2 6 】

10

また、図 5 (c) に示すように、副画素電極 6 1 a とデータバスライン 5 5 との間には、 $C_{dp \times 2}$ と $R_{dp \times 2}$ とが並列に接続されているとみなすことができる。ここで、 $C_{dp \times 2}$ は副画素電極 6 1 a とデータバスライン 5 5 との間の容量であり、 $R_{dp \times 2}$ は副画素電極 6 1 a とデータバスライン 5 5 との間の抵抗である。

【 0 0 2 7 】

更に、図 5 (d) に示すように、副画素電極 6 1 b とデータバスライン 5 5 との間にも、 $C_{dp \times 1}$ と $R_{dp \times 1}$ とが並列に接続されているとみなすことができる。ここで、 $C_{dp \times 1}$ は副画素電極 6 1 b とデータバスライン 5 5 との間の容量であり、 $R_{dp \times 1}$ は副画素電極 6 1 b とデータバスライン 5 5 との間の抵抗である。

【 0 0 2 8 】

20

データバスライン 5 5 には、フィールドスルー電圧を補償するために、コモン電極 7 3 の電位に対し 1 ~ 2 V 程度高い直流電圧を表示信号 (交流信号) に重畳させている。この直流電圧に応じた電荷も、容量 $C_{dp \times 2}$ と抵抗 $R_{dp \times 2}$ 、又は容量 $C_{dp \times 1}$ と抵抗 $R_{dp \times 1}$ とを介して副画素電極 6 1 a , 6 1 b に蓄積される。

【 0 0 2 9 】

前述したように、1 垂直同期期間毎に 1 回ずつ T F T 5 6 がオンになって、副画素電極 6 1 b とデータバスライン 5 5 とが電氣的に接続される。このとき、副画素電極 6 1 b に蓄積された電荷がデータバスライン 5 5 に流れ、副画素電極 6 1 b には直流電圧成分が残留しない。一方、副画素電極 6 1 a では、T F T 5 6 がオンになっても、副画素電極 6 1 a に蓄積された電荷はそのまま保持される。このため、副画素電極 6 1 a には直流電圧成分が残留する。

30

【 0 0 3 0 】

このように、T F T 5 6 を介して一定の周期でデータバスライン 5 5 に電氣的に接続される副画素電極 6 1 b では直流電圧成分の蓄積は殆どないのに対し、制御電極 5 7 と容量結合した副画素電極 6 1 a では電荷が蓄積されて直流電圧成分が残留する。

【 0 0 3 1 】

次に、副画素電極 6 1 a に蓄積された電荷と焼き付きとの関係について説明する。

【 0 0 3 2 】

副画素電極 6 1 a の面積を S 、セル厚を d とすると、副画素電極 6 1 a とコモン電極 7 3 との間の容量 (液晶容量) C_{LC2} は、 $C_{LC2} = \varepsilon (S / d)$ で表される。ここで、 ε は液晶の誘電率である。液晶分子が基板面に垂直に配向しているときの誘電率と水平に配向しているときの誘電率とは異なるため、チェッカーパターンの白部分を表示している画素と黒部分を表示している画素では液晶容量の値が異なり、その結果液晶層に印加される直流電圧成分の値も異なる。チェッカーパターンの表示から中間階調の表示に切り替えても液晶層に残留する直流電圧成分は直ぐには変化しないため、白を表示していた画素と黒を表示していた画素とでは液晶層に印加される電圧が異なる。このため、白を表示していた画素と黒を表示していた画素とでは光の透過率が異なり、焼き付きが発生する。なお、このような原因で発生した焼き付きは副画素電極と制御電極及びコモン電極との間の時定数に応じた時間で減少するが、表示品質を向上させるためには焼き付きをできるだけ少なくすることが必要である。

40

50

【 0 0 3 3 】

以上から、本発明の目的は、白茶けが抑制されるとともに表示むらや焼き付きの発生を回避できて、表示品質が良好な液晶表示装置を提供することである。

【課題を解決するための手段】

【 0 0 3 4 】

上記した課題は、相互に対向して配置された第1の基板及び第2の基板と、前記第1の基板及び前記第2の基板の間に封入された液晶とにより構成され、マトリクス状に配列された複数の画素を有する液晶表示装置において、各画素に走査信号を供給する複数のゲートバスラインと、各画素に表示信号を供給する複数のデータバスラインと、各画素毎に形成された第1及び第2の副画素電極と、各画素毎に形成されたバッファ容量と、 n 番目（ n は整数）のゲートバスラインの走査信号により駆動され、オンの期間に m 番目（ m は整数）のデータバスラインの表示信号を n 行 m 列目の画素の前記第1の副画素電極に伝達する第1のトランジスタと、前記 n 番目のゲートバスラインの走査信号により駆動され、オンの期間に前記 m 番目のデータバスラインの表示信号を前記 n 行 m 列目の画素の前記第2の副画素電極に伝達する第2のトランジスタと、前記 n 行 m 列目の画素の前記第1の副画素電極と前記バッファ容量との間に接続され、 $n+1$ 番目のゲートバスラインの走査信号により駆動される第3のトランジスタとを有し、前記バッファ容量が、前記 $n+1$ 番目のゲートバスラインと一体的に形成された第1の容量電極と、前記第3のトランジスタのドレインに接続され、絶縁膜を挟んで前記第1の容量電極に対向する位置に配置された第2の容量電極とにより構成されていることを特徴とする液晶表示装置により解決する。

【 0 0 3 5 】

本発明の液晶表示装置においては、画素毎に、第1の副画素電極と、第2の副画素電極と、バッファ容量と、第1～第3のトランジスタとを有している。第1の副画素電極は第1のトランジスタ及び第3のトランジスタに接続され、第2の副画素電極は第2のトランジスタに接続されている。また、バッファ容量は、第3のトランジスタと、例えば $n+1$ 番目のゲートバスライン、 m 番目のデータバスライン、 $m+1$ 番目のデータバスライン又はコモン電極との間に接続されている。ここでは、説明を簡単にするために、バッファ容量が第3のトランジスタと $n+1$ 番目のゲートバスラインとの間に接続されているものとする。

【 0 0 3 6 】

第1及び第2のトランジスタは、 n 番目のゲートバスラインに供給される走査信号がアクティブになるとオンになり、第1の副画素電極及び第2の副画素電極にそれぞれ表示信号が伝達される。その後、 n 番目のゲートバスラインに供給される走査信号が非アクティブになって第1及び第2のトランジスタはオフになるが、このとき第1の副画素電極及び第2の副画素電極には同じ電圧が保持される。

【 0 0 3 7 】

次に、 $n+1$ 番目のゲートバスラインに供給される走査信号がアクティブになって第3のトランジスタがオンになると、 $n+1$ 番目のゲートバスラインからバッファ容量及び第3のトランジスタを介して第1の副画素電極に電荷が注入され、第1の副画素電極の電圧が若干変化する。これにより、第1の副画素電極と第2の副画素電極との電圧が異なり、前述のHT法と同様に、見かけ上1つの画素領域にT-V特性が相互に異なる2つの領域が存在していることになり、画面を斜め方向から見たときに白っぽくなる現象（白茶け）が抑制される。

【 0 0 3 8 】

バッファ容量を n 番目のゲートバスラインに接続する替りに、 m 番目のデータバスライン、 $m+1$ 番目のデータバスライン又はコモン電極に接続した場合も、 $n+1$ 番目のゲートバスラインの走査信号がアクティブになると、第1の副画素電極の電圧が変化する。これにより、画面を斜め方向から見たときに白っぽくなる現象（白茶け）が抑制される。

【 0 0 3 9 】

また、本発明においては、 n 番目のゲートバスラインに供給される走査信号がアクティブ

になると、第1の副画素電極及び第2の副画素電極がいずれもデータバスラインに接続されるため、第1及び第2のトランジスタがオフの期間にゲートバスライン及びデータバスラインに流れる信号に起因して第1の副画素電極及び第2の副画素電極に蓄積された直流電圧成分の電荷が、第1及び第2のトランジスタを介してデータバスラインに流れる。これにより、焼き付きの発生を防止することができる。

【0040】

なお、特開2002-333870号公報には、1画素内に複数の副画素電極と複数のトランジスタとを有する液晶表示装置が記載されている。しかし、この特開2002-333870号公報に記載された液晶表示装置は、デジタル/アナログ変換回路を設けることなくデジタルの画像信号に基づいて階調表示を行うものであり、各副画素電極にはデジ

10

【発明を実施するための最良の形態】

【0041】

以下、本発明について、更に詳細に説明する。

【0042】

(第1の実施形態)

図6は、本発明の第1の実施の形態の液晶表示装置の全体構成を示すブロック図である。なお、本実施形態は、本発明をMVA(Multi-domain Vertical Alignment)型液晶表示装置に適用した例を示している。

20

【0043】

本実施形態の液晶表示装置100は、制御回路101、データドライバ102、ゲートドライバ103及び液晶パネル104により構成されている。この液晶表示装置100には、コンピュータ等の外部装置(図示せず)からデジタル表示信号RGB、水平同期信号Hsync及び垂直同期信号Vsync等の信号が供給される。

【0044】

液晶パネル104には、複数の画素105がマトリクス状に配列されている。また、液晶パネル104には、垂直方向に伸びる複数のデータバスライン115と、水平方向に伸びる複数のゲートバスライン111とが設けられている。本実施形態の液晶表示装置においては、ゲートバスライン111及びデータバスライン115が各画素105の境界となっている。画素105の詳細については後述する。

30

【0045】

制御回路101は、水平同期信号Hsync及び垂直同期信号Vsyncを入力し、1水平同期期間の開始時にアクティブになるデータスタート信号DSIと、1水平同期期間を一定の間隔に分割するデータクロックDCLKと、1垂直同期期間の開始時にアクティブになるゲートスタート信号GSIと、1垂直同期期間を一定の間隔に分割するゲートクロックGCLKとを出力する。

【0046】

データドライバ102は、外部装置から入力したデジタル表示信号RGBをアナログ表示信号に変換し、制御回路101から入力したデータスタート信号DSI及びデータクロックDCLKに基づくタイミングで1水平同期期間毎に各データバスライン115にアナログ表示信号を供給する。このアナログ表示信号は、例えば1フレーム(1垂直同期期間)毎に極性が反転する交流信号である。

40

【0047】

一方、ゲートドライバ103は、制御回路101から入力したゲートスタート信号GSI及びゲートクロックGCLKに基づいて、1垂直同期期間内に、各ゲートバスライン111に供給する走査信号を順番にアクティブにする。走査信号が非アクティブのときの電圧は-5~-10V程度であり、アクティブのときの電圧は15~30V程度である。

【0048】

50

図7は本実施形態の液晶表示装置の1画素を示す平面図、図8は図7のVI-VI線の位置における断面図、図9は図7のVII-VII線の位置におけるTFT基板の断面図である。なお、図9では配向膜の図示を省略している。

【0049】

図8に示すように、液晶パネル104は、TFT基板110と、対向基板130と、それらの間に封入された誘電率異方性が負の液晶140とにより構成されている。液晶パネル104の裏面側(図8では下側)には第1の偏光板141aが配置され、前面側(図8では上側)には第2の偏光板141bが配置されている。これらの偏光板141a, 141bは、吸収軸が相互に直交するように配置されている。また、液晶パネル104の裏面側には、バックライト(図示せず)が配置されている。

10

【0050】

TFT基板110には、図7に示すように、水平方向に伸びる複数のゲートバスライン111と、垂直方向に伸びる複数のデータバスライン115とが形成されている。これらのゲートバスライン111及びデータバスライン115により区画される矩形の領域がそれぞれ画素領域である。また、TFT基板110には、ゲートバスライン111に平行に配置されて画素領域の中央を横断する補助容量バスライン112が形成されている。

【0051】

ゲートバスライン111及び補助容量バスライン112はTFT基板110のベースとなるガラス基板110aの上に形成されている。これらのゲートバスライン111及び補助容量バスライン112の上には第1の絶縁膜113が形成されており、データバスライン115は第1の絶縁膜113の上に形成されている。

20

【0052】

更に、TFT基板110には、各画素領域毎に、TFT116, 117, 118と、補助容量電極120と、副画素電極122a, 122bと、バッファ容量下部電極111bと、バッファ容量上部電極118cとが形成されている。本実施形態では、図7に示すように、TFT116, 117はn(nは整数)番目のゲートバスライン111の一部をゲート電極としており、TFT118はn+1番目のゲートバスライン111から伸びる配線111aをゲート電極としている。また、バッファ容量下部電極111bは、n+1番目のゲートバスライン111に接続している。

【0053】

30

ゲートバスライン111及び配線111aの所定の領域の上方にはTFT116, 117, 118の活性層となる半導体膜(シリコン膜等)114aが形成されており、それらの半導体膜114aのチャネルとなる領域の上にはチャネル保護膜114b, 114cが形成されている。TFT116のドレイン電極116a及びソース電極116bはチャネル保護膜114bを挟んで相互に対向する位置に配置されており、これと同様にTFT117のドレイン電極117a及びソース電極117bもチャネル保護膜114bを挟んで相互に対向する位置に配置されている。また、TFT118のドレイン電極118a及びソース電極118bは、チャネル保護膜114cを挟んで相互に対向する位置に配置されている。更に、TFT116, 117のドレイン電極116a, 117aはいずれもm番目(mは整数)のデータバスライン115に接続されている。

40

【0054】

補助容量電極120は第1の絶縁膜113を挟んで補助容量バスライン112に対向する位置に配置されている。補助容量電極120と、補助容量バスライン112と、それらの間の第1の絶縁膜113とにより、補助容量を構成している。この補助容量電極120は、配線119を介してTFT116のソース電極116bに接続されている。

【0055】

また、バッファ容量上部電極118cは、第1の絶縁膜113を挟んでバッファ容量下部電極111bに対向する位置に配置され、TFT118のドレイン電極118aと接続されている。このバッファ容量上部電極118cと、バッファ容量下部電極111bと、それらの間の第1の絶縁膜113とによりバッファ容量126を構成している。

50

【0056】

データバスライン115、TFT116, 117, 118、配線119、補助容量電極120及びバッファ容量上部電極118cの上には第2の絶縁膜121が形成されており、この第2の絶縁膜121の上に副画素電極122a, 122bが形成されている。副画素電極122a, 122bはITO (Indium-Tin Oxide) 等の透明導電体により形成されており、スリット124により相互に分離されている。スリット124はデータバスライン115に対し斜め方向に伸びる部分とデータバスライン115に平行に伸びる部分とを有し、且つゲートバスライン111に平行な画素の中心線を軸として上下対称に形成されている。このスリット124は、電圧印加時に液晶分子が倒れる方向を制御する配向制御用構造物として機能する。

10

【0057】

副画素電極122aは第2の絶縁膜121に形成されたコンタクトホール121a, 121cを介してTFT117のソース電極117b及びTFT118のソース電極118bに電氣的に接続されている。また、副画素電極122bは、第2の絶縁膜121に形成されたコンタクトホール121bを介して補助容量電極120に電氣的に接続されている。これらの副画素電極122a, 122bの上には、ポリイミド等からなる垂直配向膜125が形成されている。

【0058】

一方、対向基板130は、図8に示すように、ベースとなるガラス基板130aと、ガラス基板130aの一方の面側(図8では下側)に形成されたブラックマトリクス(遮光膜)131、カラーフィルタ132、コモン電極133及び突起134とにより構成されている。ブラックマトリクス131は、TFT基板110側のゲートバスライン111、データバスライン115及びTFT116, 117, 118に対向する位置に配置されている。ブラックマトリクス131の幅は、ゲートバスライン111及びデータバスライン115の幅よりも若干広く設定されている。

20

【0059】

カラーフィルタ132には赤色(R)、緑色(G)及び青色(B)の3種類があり、各画素毎に赤色(R)、緑色(G)及び青色(B)のいずれか一色のカラーフィルタ132が配置されている。本実施形態では、水平方向に隣接する赤色画素、緑色画素及び青色画素の3つにより1つのピクセルを構成し、種々の色の表示を可能としている。

30

【0060】

カラーフィルタ132の表面は、ITO等の透明導電体からなるコモン電極133により覆われている。そして、図8に示すように、コモン電極133上(図8では下側)には配向制御用構造物として土手状の突起134が形成されている。この突起134は例えばフォトレジスト等の誘電体材料により形成され、図7に二点鎖線で示すように、スリット124から離れた位置に、スリット124にほぼ平行に配置されている。コモン電極133及び突起134の表面は、ポリイミドからなる垂直配向膜135に覆われている。

【0061】

以下、本実施形態の液晶表示装置の動作について説明する。但し、ここでは図7に示すn行m列目の画素の動作について説明している。初期状態(副画素電極122a, 122bに電圧が印加されていない状態)では、液晶分子は配向膜125, 135の表面に対し垂直な方向に配向している。

40

【0062】

本実施形態の液晶表示装置において、n番目のゲートバスライン111に供給される走査信号がアクティブになると、TFT116, 117がオンになって、m番目のデータバスライン115に供給された表示信号が補助容量電極120及び副画素電極122a, 122bに伝達される。その後、走査信号が非アクティブになってTFT116, 117がオフになると、副画素電極122a, 122bには表示信号に応じた電圧が保持される。そして、液晶分子は、副画素電極122a, 122bの電圧に応じた角度で傾斜し、液晶分子の傾斜角度に応じた量の光が画素を透過する。この場合、スリット124及び突起1

50

34の両側では液晶分子の倒れる方向が逆となり、いわゆる配向分割（マルチドメイン）が達成されて、良好な視野角特性が得られる。

【0063】

次に、 $n+1$ 番目のゲートバスライン111に供給される走査信号がアクティブになると、TFT118がオンになり、副画素電極122aには $n+1$ 番目のゲートバスライン111からバッファ容量126及びTFT118を介して電荷が注入される。これにより、副画素電極122aの電圧が副画素電極122bの電圧よりも若干高くなる。その結果、前述のHT法と同様に、1画素内にT-V特性が相互に異なる2つの領域（副画素電極122aが配置された領域と副画素電極122bが配置された領域）が存在することになり、斜め方向から見たときに画面が白っぽくなる現象（白茶け）が抑制される。なお、副画素電極122aの電圧上昇量は、表示信号の電圧とバッファ容量126の容量値とに依存する。

10

【0064】

図2に示す従来の液晶表示装置では、制御電極57（配線59のうち副画素電極61aの下方の部分を含む）と副画素電極61aとの間の容量を介して副画素電極61aに電圧を印加するため、制御電極57の大きさを比較的大きくすることが必要である。一方、本実施形態の液晶表示装置では、TFT117を介して副画素電極122aに表示信号（表示電圧）を印加し、その後TFT118及びバッファ容量126により副画素電極122aの電圧を若干変化させるだけであるので、図2に示す液晶表示装置の制御電極57（配線59のうち副画素電極61aの下方の部分を含む）に比べてバッファ容量の電極（下部電極111b及び上部電極118c）のサイズが小さくてよい。従って、図2に示す従来の液晶表示装置に比べて開口率が大きくなり、明るい表示が可能になるという利点もある。また、本実施形態の液晶表示装置は、バッファ容量126の容量値のばらつきによる副画素電極122aの電圧の変化が比較的小さいので、図2に示す従来の液晶表示装置に比べてフォトリソグラフィ工程に起因する表示むらの発生が抑制されるという利点もある。

20

【0065】

ところで、本実施形態においても、TFT116, 117がオフの間に、ゲートバスライン111及びデータバスライン115に供給される信号により、副画素電極122a、122bには直流電圧成分の電荷が蓄積される。しかし、本実施形態においては、1フレーム（1垂直同期期間）毎にTFT116, 117がオンになって副画素電極122a、122bがいずれもデータバスライン115に電氣的に接続されるため、副画素電極122a, 122bに蓄積された直流電圧成分の電荷がデータバスライン115に流れ、焼き付きが回避される。これにより、良好な表示品質が得られるという効果を奏する。

30

【0066】

以下、本実施形態の液晶表示装置の製造方法について説明する。

【0067】

まず、図7及び図10, 図11を参照してTFT基板110の製造方法について説明する。なお、図10, 図11は図7のVII-VII線の位置における断面を示している。

【0068】

まず、TFT基板110のベースとなるガラス基板110aの上に、スパッタ法により、例えばAl（アルミニウム）-MoN（窒化モリブデン）-Mo（モリブデン）の積層構造を有する第1の金属膜を形成する。そして、この第1の金属膜をフォトリソグラフィ法によりパターンニングして、図7及び図10(a)に示すように、ゲートバスライン111、配線111a、バッファ容量下部電極111b及び補助容量バスライン112を形成する。

40

【0069】

次に、図10(b)に示すように、CVD（Chemical Vapor Deposition）法により、ガラス基板110aの上側全面に例えば SiO_2 からなる第1の絶縁膜（ゲート絶縁膜）113を形成する。そして、この第1の絶縁膜113の所定の領域上に、TFT116, 117, 118の活性層となる半導体膜114aを形成する。その後、ガラス基板110

50

aの上側全面に例えばSiN膜を形成し、このSiN膜をフォトリソグラフィ法によりパターンニングして、半導体膜114aのチャンネルとなる領域の上にチャンネル保護膜114b, 114cを形成する。

【0070】

次に、ガラス基板110aの上側全面に例えばTi(チタン)-Al-Tiの積層構造を有する第2の金属膜を形成し、この第2の金属膜をフォトリソグラフィ法によりパターンニングして、図7及び図10(c)に示すように、データバスライン115と、ドレイン電極116a, 117a, 118aと、ソース電極116b, 117b, 118bと、バッファ容量上部電極118cと、配線119と、補助容量電極120とを形成する。

【0071】

次に、図11(a)に示すように、ガラス基板110aの上側全面に例えばSiO₂、SiN又は樹脂等からなる第2の絶縁膜121を形成する。そして、フォトリソグラフィ法により第2の絶縁膜121に、TFT117のソース電極117bに通じるコンタクトホール121aと、補助容量電極120に通じるコンタクトホール121bと、TFT118のソース電極118bに通じるコンタクトホール121cとを形成する。

【0072】

次に、スパッタ法により、ガラス基板110aの上側全面にITO膜(又はその他の導電体膜)を形成する。その後、このITO膜をフォトリソグラフィ法によりパターンニングして、図7及び図11(b)に示すように、副画素電極122a, 122bを形成する。副画素電極122aは、コンタクトホール121a, 121cを介してTFT117のソース電極117b及びTFT118のソース電極118bに電氣的に接続される。また、副画素電極122bは、コンタクトホール121bを介して補助容量電極120に電氣的に接続される。

【0073】

次いで、ガラス基板110aの上側全面に例えばポリイミドを塗布して、副画素電極122a, 122bの表面を覆う垂直配向膜125を形成する。これにより、TFT基板110が完成する。

【0074】

次に、対向基板130の製造方法について、図8を参照して説明する。まず、対向基板130のベースとなるガラス基板130aの上(図8では下側)に、Cr等の金属又は黒色樹脂によりブラックマトリクス131を形成する。このブラックマトリクス131は、TFT基板110側のゲートバスライン111、データバスライン115及びTFT116, 117, 118に対向する位置に、ゲートバスライン111及びデータバスライン115の幅よりも若干太く形成する。

【0075】

次に、赤色感光性樹脂、緑色感光性樹脂及び青色感光性樹脂を使用して、ガラス基板130aの上にカラーフィルタ132を形成する。各画素領域には、赤色、緑色及び青色のいずれか1色のカラーフィルタ132を配置する。

【0076】

次に、スパッタ法により、カラーフィルタ132の上(図8では下側)にITO等の導電体からなるコモン電極133を形成する。その後、コモン電極133の上にフォトレジストを塗布してフォトレジスト膜を形成し、このフォトレジスト膜を所定の露光マスクを介して露光し、その後現像処理を施して突起134を形成する。

【0077】

次いで、ガラス基板130aの上側全面に例えばポリイミドを塗布して、コモン電極133及び突起134の表面を覆う垂直配向膜135を形成する。これにより、対向基板130が完成する。

【0078】

このようにして製造されたTFT基板110と対向基板130とをスペーサ(図示せず)を挟んで相互に対向させて配置し、両者の間に誘電率異方性が負の液晶140を封入し

10

20

30

40

50

て液晶パネル１０４とする。次いで、液晶パネル１０４の両側に偏光板１４１ａ，１４１ｂを接合し、更に駆動回路及びバックライト（図示せず）を取り付ける。このようにして、本実施形態の液晶表示装置が完成する。

【００７９】

（第２の実施形態）

図１２は本発明の第２の実施形態の液晶表示装置を示す平面図、図１３は図１２のVIII-VIII線の位置における断面図である。なお、本実施形態が第１の実施形態と異なる点はバッファ容量の構造が異なることにあり、その他の構成は基本的に第１の実施形態と同様であるので、図１２，図１３において図７，図９と同一物には同一符号を付して、その詳しい説明は省略する。

10

【００８０】

本実施形態においては、バッファ容量２１０が、TFT１１８のドレイン電極１１８ａと一体的に形成されたバッファ容量下部電極２１１と、副画素電極１２２ａ，１２２ｂと同時に形成されたITO等の透明導電体からなるバッファ容量上部電極２１２と、それらの間に介在する第２の絶縁膜１２１とにより構成されている。バッファ容量上部電極２１２は、第２の絶縁膜１２１に形成されたコンタクトホール２１３を介して $m+1$ 番目のデータバスライン１１５に接続されている。

【００８１】

以下、本実施形態の液晶表示装置の動作について説明する。なお、液晶表示装置を駆動する場合に、例えば図１４（ａ）に示すように水平方向に並んだ画素には同極性の表示信号を供給し、垂直方向に隣接する画素には逆極性の表示信号を供給する方法や、図１４（ｂ）に示すように、水平方向及び垂直方向に隣接する画素に逆極性の表示信号を供給する方法など、種々の駆動方法がある。また、通常は、図１４（ａ），（ｂ）に示すように、１フレーム毎に各画素に供給する表示信号の極性を反転させている。本実施形態では、図１４（ａ）に示すように、水平方向に並んだ画素には同極性の表示信号を供給し、垂直方向に隣接する画素には逆極性の表示信号を供給するものとする。

20

【００８２】

本実施形態の液晶表示装置において、 n 番目のゲートバスライン１１１に供給される走査信号がアクティブになると、第１の実施形態と同様に、TFT１１６，１１７がオンになって、 m 番目のデータバスライン１１５に供給された表示信号が補助容量電極１２０及び副画素電極１２２ａ，１２２ｂに伝達される。ここでは、 m 番目のデータバスライン１１５には正極性の表示信号が供給されているものとする。

30

【００８３】

その後、走査信号が非アクティブになってTFT１１６，１１７がオフになると、副画素電極１２２ａ，１２２ｂには表示信号に応じた正極性の電圧が保持される。

【００８４】

次に、 $n+1$ 番目のゲートバスライン１１１に供給される走査信号がアクティブになると、TFT１１８がオンになる。このとき、 $m+1$ 番目のデータバスライン１１５には負極性の表示信号が供給されている。このため、副画素電極１２２ａに蓄積された電荷がTFT１１８及びバッファ容量２１０を介してデータバスライン１１５に流れ、副画素電極１２２ａの電圧が若干低下する。その結果、前述したHT法と同様に、１画素内にT-V特性が相互に異なる２つの領域が存在することになり、斜め方向から見たときに白っぽくなる現象（白茶け）が抑制される。

40

【００８５】

なお、副画素電極１２２ａの電圧低下量はバッファ容量２１０の容量値と $m+1$ 番目のデータバスライン１１５の供給される表示信号の電圧とに依存する。

【００８６】

本実施形態においても、第１の実施形態と同様に１フレーム毎にTFT１１６，１１７がオンになって副画素電極１２２ａ，１２２ｂがいずれもデータバスライン１１５に電氣的に接続される。このため、TFT１１６，１１７がオフの期間にゲートバスライン１１

50

1 及びデータバスライン 1 1 5 に供給される信号により副画素電極 1 2 2 a , 1 2 2 b に蓄積された直流電圧成分の電荷が、T F T 1 1 6 , 1 1 7 を介してデータバスライン 1 1 5 に流れて、焼き付きが回避される。また、本実施形態の液晶表示装置においても、第 1 の実施形態と同様に、図 2 に示す従来の液晶表示装置に比べてフォトリソグラフィ工程に起因する表示むらの発生が抑制されるとともに、開口率が大きくなって明るい表示が可能になるという利点もある。

【 0 0 8 7 】

なお、本実施の形態ではバッファ容量上部電極 2 1 2 と m + 1 番目のゲートバスライン 1 1 5 とがコンタクトホール 2 1 3 を介して直接電氣的に接続されている場合について説明したが、バッファ容量上部電極 2 1 2 と m + 1 番目のゲートバスライン 1 1 5 とが容量結合していてもよい。

10

【 0 0 8 8 】

また、図 1 4 (b) に示すように、垂直方向及び水平方向に隣接する画素に逆極性の表示信号を供給する場合は、バッファ容量上部電極 2 1 2 を m 番目のデータバスライン 1 1 5 に接続すればよい。

【 0 0 8 9 】

更に、図 1 5 に平面図、図 1 6 に図 1 5 の I X - I X 線の位置における断面図を示すように、バッファ容量 2 2 0 の下部電極 2 2 1 をゲートバスライン 1 1 1 及び配線 1 1 1 a と同時に形成し、上部電極 2 2 2 を T F T 1 1 8 のドレイン電極 1 1 8 b と一体的に形成してもよい。この場合、バッファ容量 2 2 0 は、下部電極 2 2 1 と、上部電極 2 2 2 と、それらの間の第 1 の絶縁膜 1 1 3 とにより構成される。図 1 5 , 図 1 6 ではバッファ容量下部電極 2 2 1 と m + 1 番目のデータバスライン 1 1 5 とが容量結合している場合を示しているが、バッファ容量下部電極 2 2 1 と m + 1 番目のデータバスライン 1 1 5 とをコンタクトホールを介して直接電氣的に接続してもよい。

20

【 0 0 9 0 】

(第 3 の実施形態)

図 1 7 は本発明の第 3 の実施形態の液晶表示装置を示す平面図、図 1 8 は図 1 7 の I X - I X 線の位置における断面図である。なお、本実施形態が第 1 の実施形態と異なる点はバッファ容量の構造が異なることにあり、その他の構成は基本的に第 1 の実施形態と同様であるので、図 1 7 , 図 1 8 において図 7 , 図 9 と同一物には同一符号を付してその詳しい説明は省略する。また、図 1 8 では、ブラックマトリクス、カラーフィルタ及び配向膜等の図示を省略している。

30

【 0 0 9 1 】

本実施形態においては、T F T 1 1 8 のソース電極 1 1 8 a 及びドレイン電極 1 1 8 b が、n + 1 番目のゲートバスライン 1 1 1 を挟んで相互に対向する位置に配置されている。また、T F T 1 1 8 のソース電極 1 1 8 a は、第 2 の絶縁膜 1 2 1 に形成されたコンタクトホール 2 3 2 を介して、n + 1 行目の画素領域内に配置されたバッファ容量電極 2 3 1 に電氣的に接続されている。このバッファ容量電極 2 3 1 は I T O 等の透明導電体により副画素電極 1 1 2 a , 1 2 2 b と同時に形成される。本実施形態においては、図 1 8 に示すように、バッファ容量電極 2 3 1 と、コモン電極 1 3 3 と、それらの間の液晶 1 3 0 とによりバッファ容量 2 3 0 を構成している。

40

【 0 0 9 2 】

以下、本実施形態の液晶表示装置の動作について説明する。

【 0 0 9 3 】

本実施形態の液晶表示装置においても、n 番目のゲートバスライン 1 1 1 に供給される走査信号がアクティブになると、T F T 1 1 6 , 1 1 7 がオンになって、m 番目のデータバスライン 1 1 5 に供給された表示信号が補助容量電極 1 2 0 及び副画素電極 1 2 2 a , 1 2 2 b に伝達される。

【 0 0 9 4 】

その後、走査信号が非アクティブになって T F T 1 1 6 , 1 1 7 がオフになると、副画

50

素電極 1 2 2 a , 1 2 2 b には表示信号に応じた電圧が保持される。液晶分子は、副画素電極 1 2 2 a , 1 2 2 b の電圧に応じた角度で傾斜し、液晶分子の傾斜角度に応じた量の光が画素を透過する。

【 0 0 9 5 】

次に、 $n + 1$ 番目のゲートバスライン 1 1 1 に供給される走査信号がアクティブになると、T F T 1 1 8 がオンになり、副画素電極 1 2 2 a に蓄積された電荷が T F T 1 1 8 及びバッファ容量 2 3 0 を介してコモン電極 1 3 3 に流れ、副画素電極 1 2 2 a の電圧が若干低下する。その結果、前述した H T 法と同様に、斜め方向から見たときに白っぽくなる現象（白茶け）が抑制される。なお、副画素電極 1 2 2 a の電圧低下量は表示信号の電圧とバッファ容量 2 3 0 の容量値に依存する。

10

【 0 0 9 6 】

本実施形態においても、第 1 の実施形態と同様に 1 フレーム毎に T F T 1 1 6 , 1 1 7 がオンになって副画素電極 1 2 2 a , 1 2 2 b がいずれもデータバスライン 1 1 5 に電氣的に接続される。このため、T F T 1 1 6 , 1 1 7 がオフの期間にゲートバスライン 1 1 1 及びデータバスライン 1 1 5 に供給される信号により副画素電極 1 2 2 a , 1 2 2 b に蓄積された直流電圧成分の電荷が、T F T 1 1 6 , 1 1 7 を介してデータバスライン 1 1 5 に流れて、焼き付きが回避される。また、本実施形態の液晶表示装置においても、第 1 の実施形態と同様にフォトリソグラフィ工程に起因する表示むらの発生が抑制されるとともに、開口率が大きくなって明るい表示が可能になるという利点もある。

【図面の簡単な説明】

20

【 0 0 9 7 】

【図 1】図 1 は、画面を正面から見たときの T - V（透過率 - 電圧）特性と、上 60° の方向から見たときの T - V 特性とを示す図である。

【図 2】図 2 は、H T 法を実現する従来の液晶表示装置の一例を示す平面図である。

【図 3】図 3 は、図 2 の I - I 線による断面図である。

【図 4】図 4 は、H T 法を実現する液晶表示装置の 1 画素を示す平面図である。

【図 5】図 5（a）は図 4 の II - II 線の位置における模式断面図、図 5（b）は図 4 の II I - III 線の位置における模式断面図、図 5（c）は図 4 の IV - IV 線の位置における模式断面図、図 5（d）は図 4 の V - V 線の位置における模式断面図である。

【図 6】図 6 は、本発明の第 1 の実施の形態の液晶表示装置の全体構成を示すブロック図である。

30

【図 7】図 7 は、第 1 の実施形態の液晶表示装置の 1 画素を示す平面図である。

【図 8】図 8 は、図 7 の VI - VI 線の位置における断面図である。

【図 9】図 9 は、図 7 の VII - VII 線の位置における T F T 基板の断面図である。

【図 10】図 10 は、第 1 の実施形態の液晶表示装置の製造方法を示す図（その 1）である。

【図 11】図 11 は、第 1 の実施形態の液晶表示装置の製造方法を示す図（その 2）である。

【図 12】図 12 は、本発明の第 2 の実施形態の液晶表示装置を示す平面図である。

【図 13】図 13 は、図 12 の VIII - VIII 線の位置における断面図である。

40

【図 14】図 14（a）,（b）は液晶表示装置の駆動方法（画素の極性）を示す模式図である。

【図 15】図 15 は、第 2 の実施形態の変形例を示す平面図である。

【図 16】図 16 は、図 15 の IX - IX 線の位置における断面図である。

【図 17】図 17 は、本発明の第 3 の実施形態の液晶表示装置を示す平面図である。

【図 18】図 18 は、図 17 の IX - IX 線の位置における断面図である。

【符号の説明】

【 0 0 9 8 】

5 1 , 7 1 , 1 1 0 a , 1 3 0 a ... ガラス基板、

5 2 , 1 1 1 ... ゲートバスライン、

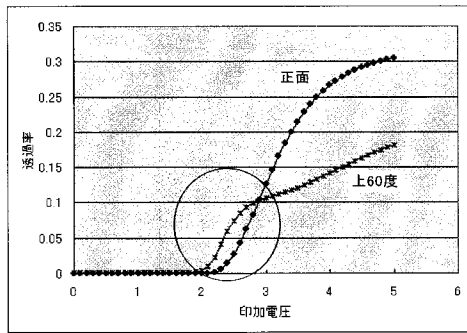
50

5 3 ... 補助容量バスライン、
5 4 , 6 0 , 1 1 3 , 1 2 1 ... 絶縁膜、
5 5 , 1 1 5 ... データバスライン、
5 6 , 1 1 6 , 1 1 7 , 1 1 8 ... T F T (薄膜トランジスタ)、
5 7 ... 制御電極、
5 8 , 1 2 0 ... 補助容量電極
6 1 a , 6 1 b , 1 2 2 a , 1 2 2 b ... 副画素電極、
6 2 , 7 4 , 1 2 5 , 1 3 5 ... 配向膜、
7 2 , 1 3 2 ... カラーフィルタ、
7 3 , 1 3 3 ... コモン電極、
8 0 , 1 4 0 ... 液晶、
1 0 0 ... 液晶表示装置、
1 0 1 ... 制御回路、
1 0 2 ... データドライバ、
1 0 3 ... ゲートドライバ、
1 0 4 ... 液晶パネル、
1 0 5 ... 画素、
1 1 0 ... T F T 基板、
1 1 1 b , 2 1 1 , 2 2 1 ... バッファ容量下部電極、
1 1 2 ... 補助容量バスライン、
1 1 8 c , 2 1 2 , 2 2 2 ... バッファ容量上部電極、
1 2 0 , 2 1 0 , 2 2 0 ... バッファ容量、
1 3 0 ... 対向基板、
1 3 1 ... ブラックマトリクス、
1 3 4 ... 突起 (配向制御用構造物)、
1 4 1 a , 1 4 1 b ... 偏光板、
2 3 1 ... バッファ容量電極。

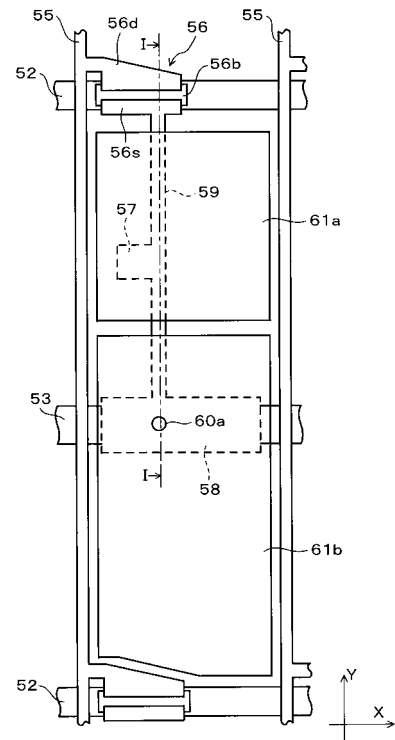
10

20

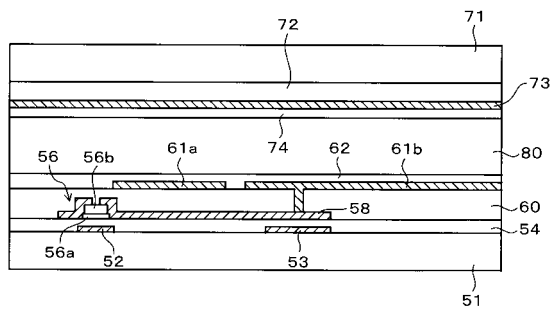
【図 1】



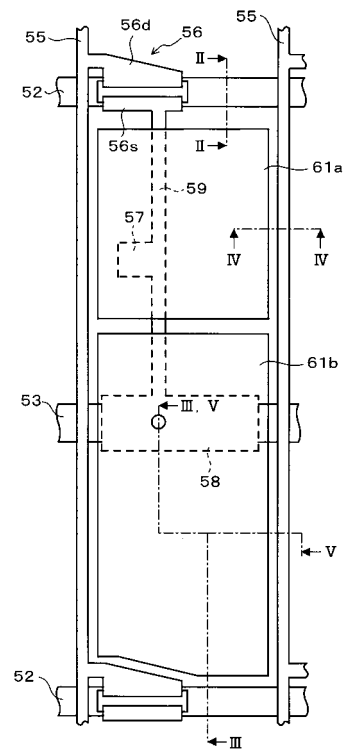
【図 2】



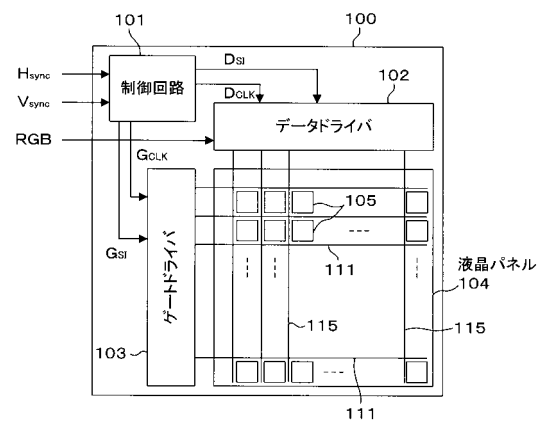
【図 3】



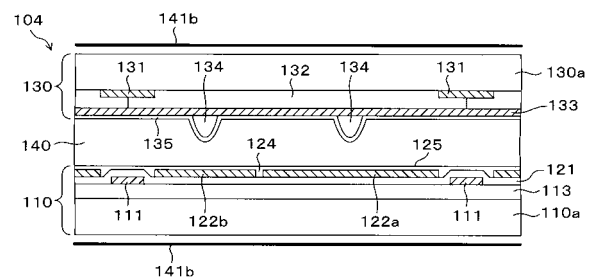
【図 4】



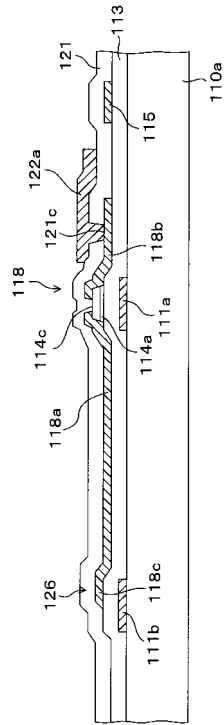
【 図 6 】



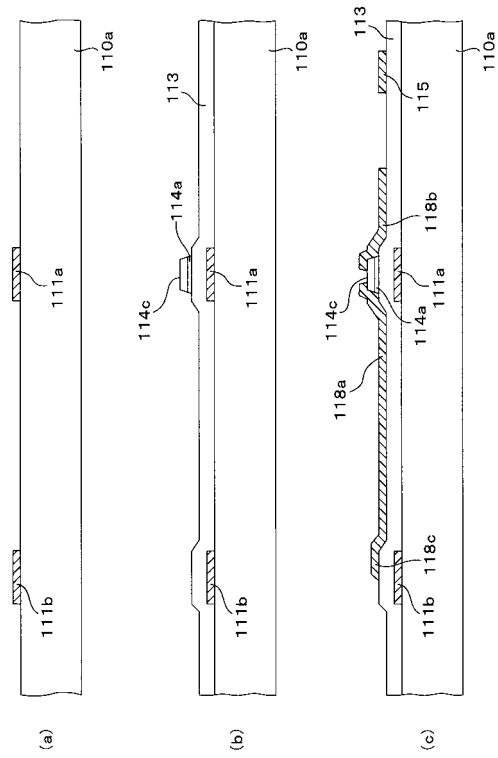
【圖 8】



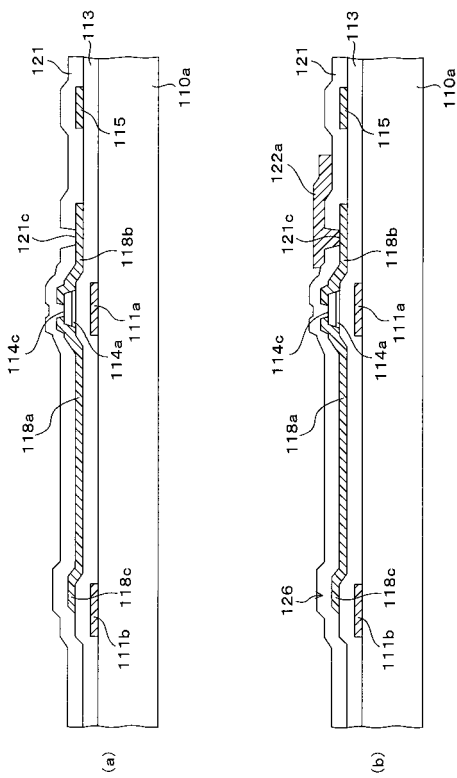
【図 9】



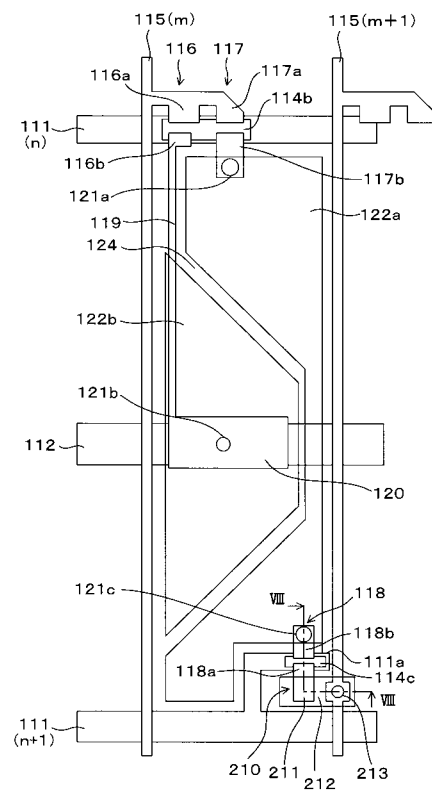
【図 10】



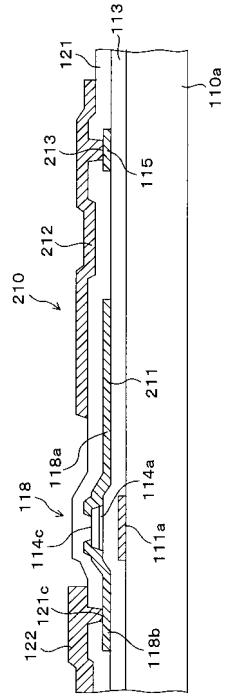
【図 11】



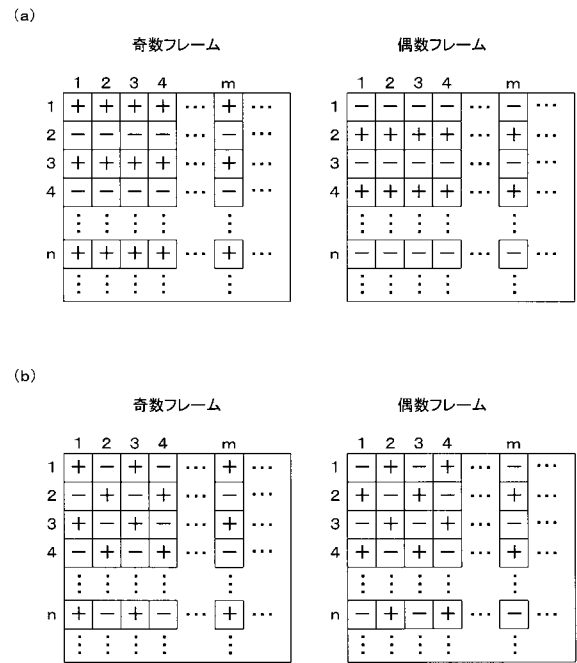
【図 12】



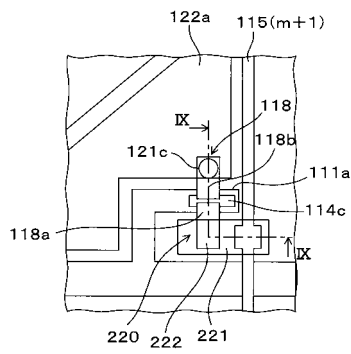
【図 13】



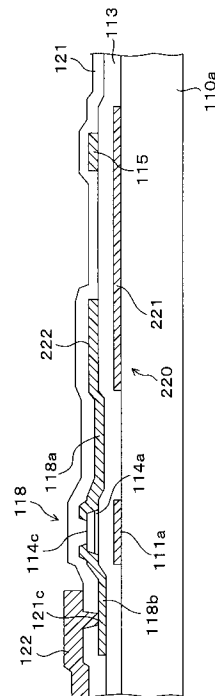
【図 14】



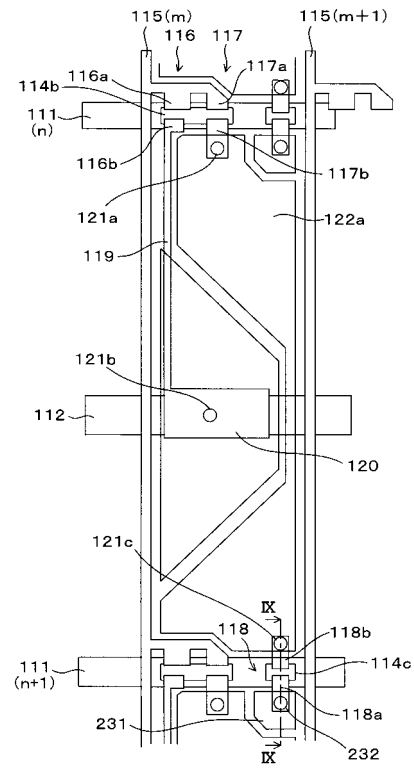
【図 15】



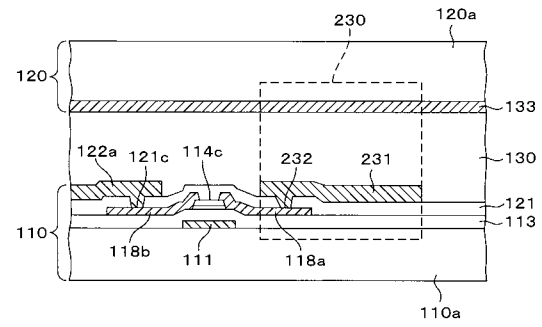
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/36
H 0 1 L 29/78 6 1 2 D

(72)発明者 鎌田 豪
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

審査官 藤田 都志行

(56)参考文献 特開2005-062882(JP,A)
特開2005-004212(JP,A)
特開2004-272259(JP,A)
特開2004-213011(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 6 8
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP4728045B2	公开(公告)日	2011-07-20
申请号	JP2005157641	申请日	2005-05-30
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	小杉俊太郎 藤川徹也 鎌田豪		
发明人	小杉 俊太郎 藤川 徹也 鎌田 豪		
IPC分类号	G02F1/1368 G09G3/20 G09G3/36 H01L21/336 H01L29/786		
CPC分类号	G02F1/13624 G02F1/133707 G02F1/1393 G02F2001/134345 G09G3/3614 G09G2320/0204 G09G2320/0233		
FI分类号	G02F1/1368 G09G3/20.624.B G09G3/20.641.G G09G3/20.642.A G09G3/20.670.K G09G3/36 H01L29/78.612.D		
F-TERM分类号	2H092/GA29 2H092/HA04 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB56 2H092/JB64 2H092/JB68 2H092/JB69 2H092/KA03 2H092/KA12 2H092/KA22 2H092/MA05 2H092/MA13 2H092/NA01 2H092/NA07 2H092/PA02 2H092/PA06 2H092/QA06 2H092/QA07 2H092/QA09 2H092/QA10 2H192/AA24 2H192/BA23 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CB12 2H192/CC04 2H192/DA02 2H192/DA12 2H192/DA43 2H192/EA22 2H192/EA43 2H192/GD14 2H192/JA13 5C006/AA12 5C006/AC11 5C006/AC24 5C006/AF51 5C006/AF53 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/EB04 5C006/EB05 5C006/FA21 5C006/FA34 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD18 5C080/DD28 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ06 5F110/AA26 5F110/BB02 5F110/CC07 5F110/DD02 5F110/EE01 5F110/EE03 5F110/EE04 5F110/EE15 5F110/EE44 5F110/FF02 5F110/FF29 5F110/GG02 5F110/HK03 5F110/HK04 5F110/HK22 5F110/HL07 5F110/HL23 5F110/NN02 5F110/NN12 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN73		
代理人(译)	冈本圭造		
其他公开文献	JP2006330609A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中抑制了褪色并且可以避免出现显示不均匀和图像持久性，并且具有优异的显示质量。
 解决方案：为每个像素形成子像素电极122a，122b，缓冲器容量126和TFT 116,117,118。TFT 116,117由提供给第n栅极总线111的信号驱动，TFT 118由提供给第(n+1)栅极总线111的信号驱动。子像素电极122a连接另外，TFT 118的漏电极118a连接到缓冲电容126的上电极118c。缓冲电容118c的下电极118c连接到TFT 116,118和子像素电极122b连接到TFT 117。126连接到第(n+1)栅极总线111

図 4

