

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4680874号
(P4680874)

(45) 発行日 平成23年5月11日 (2011.5.11)

(24) 登録日 平成23年2月10日 (2011.2.10)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 623A

G09G 3/20 612K

G09G 3/20 631D

請求項の数 21 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2006-332795 (P2006-332795)
 (22) 出願日 平成18年12月11日 (2006.12.11)
 (65) 公開番号 特開2007-323043 (P2007-323043A)
 (43) 公開日 平成19年12月13日 (2007.12.13)
 審査請求日 平成18年12月11日 (2006.12.11)
 (31) 優先権主張番号 10-2006-0050607
 (32) 優先日 平成18年6月5日 (2006.6.5)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

複数のデータラインが形成された液晶表示パネルと、
 入力データを分配するためのデータ分配部と、
 前記データ分配部により分配されたデータのうち、奇数番目のデータラインに供給され
 るデータを均等に保存するための第1及び第2メモリと、
 前記データ分配部により分配されたデータのうち、偶数番目のデータラインに供給され
 るデータを均等に保存するための第3及び第4メモリと、
 前記第1及び第2メモリまたは前記第3及び第4メモリに保存されたデータを同時にリ
 ーディングして出力させる分周クロックを発生するためのクロック発生部と、
 前記第1及び第2メモリまたは前記第3及び第4メモリからリーディングされる並列デ
 ータを直列データに変換する並列/直列変換部と、を備えることを特徴とする液晶表示装
 置。

【請求項 2】

36ビットデータが前記第1及び第2メモリにそれぞれ保存されるように、前記奇数番
 目のデータラインに供給される72ビットデータが36ビットずつ保存されることを特徴
 とする請求項1に記載の液晶表示装置。

【請求項 3】

前記クロック発生部は、システムから入力されるメインクロックを2分周させて、2分
 周クロックを前記第1及び第2メモリに同時に供給することを特徴とする請求項2に記載

の液晶表示装置。

【請求項 4】

前記第 1 及び第 2 メモリに保存された 36 ビットデータは、2 分周クロックが供給される間にいずれもリーディングされることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

36 ビットデータが前記第 3 及び第 4 メモリにそれぞれ保存されるように、前記偶数番目のデータラインに供給される 72 ビットデータが 36 ビットずつ保存されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記クロック発生部は、システムから入力されるメインクロックを 2 分周させて、2 分周クロックを前記第 3 及び第 4 メモリに同時に供給することを特徴とする請求項 5 に記載の液晶表示装置。

10

【請求項 7】

前記第 3 及び第 4 メモリに保存された 36 ビットデータは、2 分周クロックが供給される間にいずれもリーディングされることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

複数のデータラインが第 1 及び第 2 ラインブロックに 2 等分されて形成され、前記第 1 及び第 2 ラインブロックのデータラインが対称して同時に駆動される液晶表示パネルと、奇数番目のデータラインに供給される入力データを均等に分配させて保存した後、n 分周クロック期間に分配されて保存されたデータを同時にリーディングして出力すると共に、偶数番目のデータラインに供給される入力データを均等に分配させて保存した後、n 分周クロック期間に分配されて保存されたデータを同時にリーディングして出力するタイミングコントローラと、

20

前記タイミングコントローラの制御によって、前記タイミングコントローラから供給されるデータを均等に分配して、前記第 1 及び第 2 ラインブロックの奇数番目のデータラインに供給すると共に、前記タイミングコントローラから供給されるデータを均等に分配して、前記第 1 及び第 2 ラインブロックの偶数番目のデータラインに供給するためのデータ駆動部と、を備え、

前記タイミングコントローラは、

入力データを分配するためのデータ分配部と、

30

前記データ分配部により分配されたデータのうち、奇数番目のデータラインに供給されるデータを均等に保存するための第 1 及び第 2 メモリと、

前記データ分配部により分配されたデータのうち、偶数番目のデータラインに供給されるデータを均等に保存するための第 3 及び第 4 メモリと、

前記第 1 及び第 2 メモリまたは前記第 3 及び第 4 メモリに保存されたデータを同時にリーディングして出力させる 2 分周クロックを発生するためのクロック発生部と、

前記第 1 及び第 2 メモリまたは前記第 3 及び第 4 メモリからリーディングされる並列データを直列データに変換する並列 / 直列変換部と、を備えることを特徴とする液晶表示装置。

【請求項 9】

40

36 ビットデータが前記第 1 及び第 2 メモリにそれぞれ保存されるように、前記奇数番目のデータラインに供給される 72 ビットデータが 36 ビットずつ保存されることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

前記クロック発生部は、システムから入力されるメインクロックを 2 分周させて、2 分周クロックを前記第 1 及び第 2 メモリに同時に供給することを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記第 1 及び第 2 メモリに保存された 36 ビットデータは、2 分周クロックが供給される間にいずれもリーディングされることを特徴とする請求項 10 に記載の液晶表示装置。

50

【請求項 1 2】

3 6 ビットデータが前記第 3 及び第 4 メモリにそれぞれ保存されるように、前記偶数番目のデータラインに供給される 7 2 ビットデータが 3 6 ビットずつ保存されることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 1 3】

前記クロック発生部は、システムから入力されるメインクロックを 2 分周させて、2 分周クロックを前記第 3 及び第 4 メモリに同時に供給することを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 1 4】

前記第 3 及び第 4 メモリに保存された 3 6 ビットデータは、2 分周クロックが供給される間にいずれもリーディングされることを特徴とする請求項 1 3 に記載の液晶表示装置。

10

【請求項 1 5】

複数のデータラインが形成された液晶表示パネルを備えた液晶表示装置の駆動方法において、

システムからの入力データを分配するステップと、

前記分配されたデータのうち、奇数番目のデータラインに供給されるデータを均等に第 1 及び第 2 メモリに保存するステップと、

前記分配されたデータのうち、偶数番目のデータラインに供給されるデータを均等に第 3 及び第 4 メモリに保存するステップと、

前記システムから供給されたメインクロックを分周させて、分周クロック供給期間の間に前記第 1 及び第 2 メモリのデータを同時にリーディングするか、または前記第 3 及び第 4 メモリのデータを同時にリーディングするステップと、

20

前記第 1 及び第 2 メモリまたは前記第 3 及び第 4 メモリからリーディングされる並列データを直列データに変換するステップと、を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 1 6】

3 6 ビットデータが前記第 1 及び第 2 メモリにそれぞれ保存されるように、前記奇数番目のデータラインに供給される 7 2 ビットデータが 3 6 ビットずつ保存されることを特徴とする請求項 1 5 に記載の液晶表示装置の駆動方法。

【請求項 1 7】

30

前記リーディングステップで、前記メインクロックを 2 分周させて、2 分周クロックを前記第 1 及び第 2 メモリに同時に供給することを特徴とする請求項 1 6 に記載の液晶表示装置の駆動方法。

【請求項 1 8】

前記リーディングステップで、前記第 1 及び第 2 メモリに保存された 3 6 ビットデータは、2 分周クロックが供給される間にいずれもリーディングされることを特徴とする請求項 1 7 に記載の液晶表示装置の駆動方法。

【請求項 1 9】

3 6 ビットデータが前記第 3 及び第 4 メモリにそれぞれ保存されるように、前記偶数番目のデータラインに供給される 7 2 ビットデータが 3 6 ビットずつ保存されることを特徴とする請求項 1 5 に記載の液晶表示装置の駆動方法。

40

【請求項 2 0】

前記リーディングステップで、前記メインクロックを 2 分周させて、2 分周クロックを前記第 3 及び第 4 メモリに同時に供給することを特徴とする請求項 1 9 に記載の液晶表示装置の駆動方法。

【請求項 2 1】

前記リーディングステップで、前記第 3 及び第 4 メモリに保存された 3 6 ビットデータは、2 分周クロックが供給される間にいずれもリーディングされることを特徴とする請求項 2 0 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に液晶表示パネルに形成された複数のデータラインのうち、奇数番目のデータラインや偶数番目のデータラインに供給する入力データを少なくとも二つのメモリに均等に分配させて保存した後、同時にリーディングできる液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置は、ビデオ信号によって液晶セルの光透過率を調節して画像を表示し、液晶セルごとにスイッチング素子が形成されたアクティブマトリックスタイプの液晶表示装置は、スイッチング素子の能動的な制御が可能であるため、動画の具現に有利である。このようなアクティブマトリックスタイプの液晶表示装置に使われるスイッチング素子としては、図1のように主に薄膜トランジスタ(Thin Film Transistor: TFT)が利用されている。

10

【0003】

図1に示すように、アクティブマトリックスタイプの液晶表示装置は、デジタル入力データを、ガンマ基準電圧を基準としてアナログデータ電圧に変換してデータラインDLに供給すると共に、スキャンパルスゲートラインGLに供給して、液晶セルC1cを充電させる。

【0004】

20

TFTのゲート電極は、ゲートラインGLに接続され、ソース電極は、データラインDLに接続され、TFTのドレイン電極は、液晶セルC1cの画素電極とストレージキャパシタCstの一側電極とに接続される。

【0005】

液晶セルC1cの共通電極には、共通電圧Vcomが供給される。

【0006】

ストレージキャパシタCstは、TFTがターンオンされるとき、データラインDLから印加されるデータ電圧を充電して液晶セルC1cの電圧を一定に維持する役割を行う。

【0007】

スキャンパルスがゲートラインGLに印加されれば、TFTはターンオンされて、ソース電極とドレイン電極との間のチャンネルを形成して、データラインDL上の電圧を液晶セルC1cの画素電極に供給する。このとき、液晶セルC1cの液晶分子は、画素電極と共通電極との間の電界により配列が変わりつつ入射光を変調する。

30

【0008】

このような構造を有するピクセルを備える一般的な液晶表示装置の構成について説明すれば、図2に示した通りである。

【0009】

図2は、一般的な液晶表示装置の構成図である。

【0010】

図2に示すように、液晶表示装置100は、データラインDL1ないしDLmとゲートラインGL1ないしGLnとが交差し、その交差部に液晶セルC1cを駆動するためのTFTが形成された液晶表示パネル110と、液晶表示パネル110のデータラインDL1ないしDLmにデータを供給するためのデータ駆動部120と、液晶表示パネル110のゲートラインGL1ないしGLnにスキャンパルスを供給するためのゲート駆動部130と、ガンマ基準電圧を発生させてデータ駆動部120に供給するためのガンマ基準電圧発生部140と、液晶表示パネル110に光を照射するためのバックライトアセンブリ150と、バックライトアセンブリ160に交流電圧及び電流を印加するためのインバータ160と、共通電圧Vcomを発生させて液晶表示パネル110の液晶セルC1cの共通電極に供給するための共通電圧発生部170と、ゲートハイ電圧VGHとゲートロー電圧VGLとを発生させてゲート駆動部130に供給するためのゲート駆動電圧発生部180と

40

50

、データ駆動部 120 及びゲート駆動部 130 を制御するためのタイミングコントローラ 190 と、を備える。

【0011】

液晶表示パネル 110 は、二枚のガラス基板の間に液晶が注入される。液晶表示パネル 110 の下部ガラス基板上には、データライン D_{L1} ないし D_{Lm} とゲートライン G_{L1} ないし G_{Ln} とが直交する。データライン D_{L1} ないし D_{Lm} とゲートライン G_{L1} ないし G_{Ln} との交差部には、TFT が形成される。TFT は、スキャンパルスにตอบสนองして、データライン D_{L1} ないし D_{Lm} 上のデータを液晶セル C_{1c} に供給する。TFT のゲート電極は、ゲートライン G_{L1} ないし G_{Ln} に接続され、TFT のソース電極は、データライン D_{L1} ないし D_{Lm} に接続される。そして、TFT のドレイン電極は、液晶セル C_{1c} の画素電極とストレージキャパシタ C_{st} とに接続される。

10

【0012】

TFT は、ゲートライン G_{L1} ないし G_{Ln} を経由してゲート端子に供給されるスキャンパルスにตอบสนองしてターンオンされる。TFT のターンオン時、データライン D_{L1} ないし D_{Lm} 上のビデオデータは、液晶セル C_{1c} の画素電極に供給される。

【0013】

データ駆動部 120 は、タイミングコントローラ 190 から供給されるデータ駆動制御信号 DDC にตอบสนองして、データをデータライン D_{L1} ないし D_{Lm} に供給し、タイミングコントローラ 190 から供給されるデジタルビデオデータ RGB をサンプリングしてラッチした後、ガンマ基準電圧発生部 140 から供給されるガンマ基準電圧を基準として、液晶表示パネル 110 の液晶セル C_{1c} で階調を表現できるアナログデータ電圧に変換させて、データライン D_{L1} ないし D_{Lm} に供給する。

20

【0014】

ゲート駆動部 130 は、タイミングコントローラ 190 から供給されるゲート駆動制御信号 GDC とゲートシフトクロック GSC とにตอบสนองして、スキャンパルス、すなわちゲートパルスを順次に発生させてゲートライン G_{L1} ないし G_{Ln} に供給する。このとき、ゲート駆動部 130 は、ゲート駆動電圧発生部 180 から供給されるゲートハイ電圧 V_{GH} 及びゲートロー電圧 V_{GL} によって、それぞれスキャンパルスのハイレベル電圧及びローレベル電圧を決定する。

【0015】

30

ガンマ基準電圧発生部 140 は、高電位の電源電圧 V_{DD} を供給されて、正極性のガンマ基準電圧と負極性のガンマ基準電圧とを発生させてデータ駆動部 120 に出力する。

【0016】

バックライトアセンブリ 150 は、液晶表示パネル 110 の背面に配置され、インバータ 160 から供給される交流電圧及び電流により発光されて光を液晶表示パネル 110 の各ピクセルに照射する。

【0017】

インバータ 160 は、内部に発生する矩形波信号を三角波信号に変化させた後、三角波信号と前記システムから供給される直流電源電圧 V_{CC} とを比較して、比較結果に比例するバストディミング信号を発生させる。このように、内部の矩形波信号によって決定されるバストディミング信号が発生すれば、インバータ 160 内で交流電圧と電流との発生を制御する駆動 IC (図示せず) は、バストディミング信号によってバックライトアセンブリ 150 に供給される交流電圧と電流との発生を制御する。

40

【0018】

共通電圧発生部 170 は、高電位の電源電圧 V_{DD} を供給されて共通電圧 V_{com} を発生させて、液晶表示パネル 110 の各ピクセルに備えられた液晶セル C_{1c} の共通電極に供給する。

【0019】

ゲート駆動電圧発生部 180 は、高電位の電源電圧 V_{DD} を印加されて、ゲートハイ電圧 V_{GH} 及びゲートロー電圧 V_{GL} を発生させてゲート駆動部 130 に供給する。ここで

50

、ゲート駆動電圧発生部 180 は、液晶表示パネル 110 の各ピクセルに備えられた T F T のしきい電圧以上となるゲートハイ電圧 V G H を発生させ、T F T のしきい電圧未満となるゲートロー電圧 V G L を発生させる。このように発生したゲートハイ電圧 V G H 及びゲートロー電圧 V G L は、それぞれゲート駆動部 130 により発生するスキャンパルスのハイレベル電圧及びローレベル電圧の決定に利用される。

【0020】

タイミングコントローラ 190 は、テレビ受像機やコンピュータ用モニタなどのシステムに備えられた映像処理用スケーラ（図示せず）から供給されるデジタルビデオデータ R G B をデータ駆動部 120 に供給し、また、クロック信号 C L K によって水平／垂直同期信号 H , V を利用してデータ駆動制御信号 D D C 及びゲート駆動制御信号 G D C を発生させて、それぞれデータ駆動部 120 及びゲート駆動部 130 に供給する。ここで、データ駆動制御信号 D D C は、ソースシフトクロック S S C、ソーススタートパルス S S P、極性制御信号 P O L 及びデータ出力イネーブル信号 S O E などを含み、ゲート駆動制御信号 G D C は、ゲートスタートパルス G S P 及びゲート出力イネーブル信号 G O E などを含む。

10

【0021】

このような機能を有する従来のタイミングコントローラ 190 の内部構成は、図 3 に示した通りである。

【0022】

図 3 は、従来の液晶表示装置に備えられたタイミングコントローラの内部構成図である。

20

【0023】

図 3 に示したように、タイミングコントローラ 190 は、奇数番目のデータラインに供給される入力データを保存するための第 1 メモリ 191 と、偶数番目のデータラインに供給される入力データを保存するための第 2 メモリ 192 と、第 1 メモリ 191 や第 2 メモリ 192 に保存されたデータをリーディング（reading）して出力させるクロックを発生させるためのクロック発生部 193 と、第 1 メモリ 191 や第 2 メモリ 192 からリーディングされる並列データを直列データに変換させてデータ駆動部 120 に出力するための並列／直列変換部 194 と、を備える。

【0024】

第 1 メモリ 191 は、システムから 18 ビット単位で入力されるデータを保存し、このように 72 ビットデータが保存された状態で、クロック発生部 193 から 4 分周クロックが供給される期間に保存された 72 ビットデータを並列に並列／直列変換部 194 に出力する。前記第 1 メモリ 191 には、奇数番目のデータラインに供給されるデータが保存される。

30

【0025】

第 2 メモリ 192 は、システムから 18 ビット単位で入力されるデータを保存し、このように 72 ビットデータが保存された状態で、クロック発生部 193 から 4 分周クロックが供給される期間に保存された 72 ビットデータを並列に並列／直列変換部 194 に出力する。前記第 2 メモリ 192 には、偶数番目のデータラインに供給されるデータが保存される。

40

【0026】

クロック発生部 193 は、システムから入力されるメインクロックを 4 分周させて、4 分周クロックを第 1 及び第 2 メモリ 191 , 192 に交互に供給し、このように発生した 4 分周クロックは、第 1 メモリ 191 や第 2 メモリ 192 に保存された 72 ビットデータをリーディングさせる役割を行う。

【0027】

並列／直列変換部 194 は、第 1 メモリ 191 や第 2 メモリ 192 からリーディングされる並列データを直列データに変換させて、データ駆動部 120 に出力する。

【0028】

50

前記タイミングコントローラ 190 を備えた従来の液晶表示装置の場合、常に 4 分周クロックを利用して、第 1 メモリ 191 や第 2 メモリ 192 に保存された 72 ビットデータをリーディングするため、システムから供給されるデータイネーブル信号のブランク区間を短縮できなかった。

【発明の開示】

【発明が解決しようとする課題】

【0029】

本発明の目的は、前記のような問題点を解決するためのものであって、液晶表示パネルに形成された複数のデータラインのうち、奇数番目のデータラインや偶数番目のデータラインに供給する入力データを少なくとも二つのメモリに均等に分配させて保存した後、同時にリーディングできる液晶表示装置及びその駆動方法を提供するところにある。

10

【0030】

本発明の他の目的は、少なくとも二つのメモリに均等に分配されて保存された入力データを同時にリーディングすることによって、入力データのリーディング時間を大幅短縮できる液晶表示装置及びその駆動方法を提供するところにある。

【0031】

本発明のさらに他の目的は、入力データのリーディング時間を大幅短縮することによって、システムから入力されるデータイネーブル信号のブラック区間を短縮できる液晶表示装置及びその駆動方法を提供するところにある。

【課題を解決するための手段】

20

【0032】

前記目的を達成するための本発明の液晶表示装置は、複数のデータラインが形成された液晶表示パネルと、入力データを分配するためのデータ分配部と、前記データ分配部により分配されたデータのうち、奇数番目のデータラインに供給されるデータを均等に保存するための第 1 及び第 2 メモリと、前記データ分配部により分配されたデータのうち、偶数番目のデータラインに供給されるデータを均等に保存するための第 3 及び第 4 メモリと、前記第 1 及び第 2 メモリまたは前記第 3 及び第 4 メモリに保存されたデータをリーディングして出力させる分周クロックを発生させるためのクロック発生部と、を備える。

【0033】

本発明の液晶表示装置は、複数のデータラインが第 1 及び第 2 ラインブロックに 2 等分されて形成され、前記第 1 及び第 2 ラインブロックのデータラインが対称して同時に駆動される液晶表示パネルと、奇数番目のデータラインに供給される入力データを均等に分配させて保存した後、 n 分周クロック期間に分配されて保存されたデータを同時にリーディングして出力すると共に、偶数番目のデータラインに供給される入力データを均等に分配させて保存した後、 n 分周クロック期間に分配されて保存されたデータを同時にリーディングして出力するタイミングコントローラと、前記タイミングコントローラの制御によって、前記タイミングコントローラから供給されるデータを均等に分配させて、前記第 1 及び第 2 ラインブロックの奇数番目のデータラインに供給すると共に、前記タイミングコントローラから供給されるデータを均等に分配させて、前記第 1 及び第 2 ラインブロックの偶数番目のデータラインに供給するためのデータ駆動部と、を備える。

30

40

【0034】

前記タイミングコントローラは、入力データを分配するためのデータ分配部と、前記データ分配部により分配されたデータのうち、奇数番目のデータラインに供給されるデータを均等に保存するための第 1 及び第 2 メモリと、前記データ分配部により分配されたデータのうち、偶数番目のデータラインに供給されるデータを均等に保存するための第 3 及び第 4 メモリと、前記第 1 及び第 2 メモリまたは前記第 3 及び第 4 メモリに保存されたデータをリーディングして出力させる 2 分周クロックを発生させるためのクロック発生部と、を備える。

【0035】

前記第 1 及び第 2 メモリには、それぞれ奇数番目のデータラインに供給される 36 ビッ

50

トデータが保存されることを特徴とする。

【0036】

前記クロック発生部は、システムから入力されるメインクロックを2分周させて、2分周クロックを前記第1及び第2メモリに同時に供給することを特徴とする。

【0037】

前記第1及び第2メモリに保存された36ビットデータは、2分周クロックが供給される間にいずれもリーディングされることを特徴とする。

【0038】

前記第3及び第4メモリには、それぞれ偶数番目のデータラインに供給される36ビットデータが保存されることを特徴とする。

【0039】

前記クロック発生部は、システムから入力されるメインクロックを2分周させて、2分周クロックを前記第3及び第4メモリに同時に供給することを特徴とする。

【0040】

前記第3及び第4メモリに保存された36ビットデータは、2分周クロックが供給される間にいずれもリーディングされることを特徴とする。

【0041】

本発明の液晶表示装置の駆動方法は、複数のデータラインが形成された液晶表示パネルを備えた液晶表示装置の駆動方法において、システムからの入力データを分配するステップと、前記分配されたデータのうち、奇数番目のデータラインに供給されるデータを均等に第1及び第2メモリに保存するステップと、前記分配されたデータのうち、偶数番目のデータラインに供給されるデータを均等に第3及び第4メモリに保存するステップと、前記システムから供給されたメインクロックを分周させて、分周クロック供給期間の間に前記第1及び第2メモリのデータを同時にリーディングするか、または前記第3及び第4メモリのデータを同時にリーディングするステップと、を含む。

【0042】

本発明の液晶表示装置の駆動方法は、複数のデータラインが第1及び第2ラインブロックに2等分されて形成され、前記第1及び第2ラインブロックのデータラインが対称して同時に駆動される液晶表示パネルを備えた液晶表示装置の駆動方法において、奇数番目のデータラインに供給される入力データを均等に分配させて保存した後、n分周クロック期間に分配されて保存されたデータを同時にリーディングする第1ステップと、前記第1ステップでリーディングされたデータを均等に分配させて、前記第1及び第2ラインブロックの奇数番目のデータラインに同時に供給する第2ステップと、偶数番目のデータラインに供給される入力データを均等に分配させて保存した後、n分周クロック期間に分配されて保存されたデータを同時にリーディングする第3ステップと、前記第3ステップでリーディングされたデータを均等に分配させて、前記第1及び第2ラインブロックの偶数番目のデータラインに同時に供給する第4ステップと、を含む。

【発明の効果】

【0043】

本発明は、奇数番目のデータラインに供給する入力データを少なくとも二つのメモリに均等に分配させて保存した後、同時にリーディングし、偶数番目のデータラインに供給する入力データを少なくとも二つのメモリに均等に分配させて保存した後、同時にリーディングすることによって、入力データのリーディング時間を大幅短縮し、これにより、システムから入力されるデータイネーブル信号のブラック区間を短縮できる。また、本発明は、複数のデータラインを二つのブロックに区分して、各ブロックのデータラインに2等分されたデータを同時に供給できる。

【発明を実施するための最良の形態】

【0044】

以下、添付された図面を参照して、本発明の望ましい実施形態を詳細に説明する。

【0045】

図４は、本発明の実施形態による液晶表示装置の構成図である。

【００４６】

図４に示したように、本発明の液晶表示装置２００も、図２に示した液晶表示装置１００と同様に、ゲート駆動部１３０、ガンマ基準電圧発生部１４０、バックライトアセンブリ１５０、インバータ１６０、共通電圧発生部１７０及びゲート駆動電圧発生部１８０を備える。

【００４７】

そして、本発明の液晶表示装置２００は、複数のデータラインＤＬ１ないしＤＬ_mが第１及び第２ラインブロックに２等分されて形成された液晶表示パネル２１０と、奇数番目のデータラインに供給される入力データＲＧＢを均等に分配させて保存した後、２分周クロック期間に分配されて保存されたデータを同時にリーディングして出力すると共に、偶数番目のデータラインに供給される入力データＲＧＢを均等に分配させて保存した後、２分周クロック期間に分配されて保存されたデータを同時にリーディングして出力するタイミングコントローラ２２０と、タイミングコントローラ２２０の制御によって、タイミングコントローラ２２０から供給されるデータを均等に分配させて、第１及び第２ラインブロックの奇数番目のデータラインに供給すると共に、タイミングコントローラ２２０から供給されるデータを均等に分配させて、第１及び第２ラインブロックの偶数番目のデータラインに供給するためのデータ駆動部２３０と、を備える。

【００４８】

液晶表示パネル２１０は、二枚のガラス基板とそれらの間に注入された液晶とからなり、一つのガラス基板上に直交して形成されたデータラインＤＬ１ないしＤＬ_m及びゲートラインＧＬ１ないしＧＬ_nを備える。そして、データラインＤＬ１ないしＤＬ_mとゲートラインＧＬ１ないしＧＬ_nとの交差部には、ＴＦＴ及び液晶セルＣ１ｃが形成される。

【００４９】

ここで、複数のデータラインＤＬ１ないしＤＬ_mは、第１及び第２ラインブロックに２等分されて形成され、第１及び第２ラインブロックのデータラインは、データ駆動部２３０により対称して同時に駆動される。さらに具体的に、第１及び第２ラインブロックでの最初のデータラインが同時に駆動され、第１及び第２ラインブロックでの最後のデータラインが同時に駆動される。

【００５０】

タイミングコントローラ２２０は、奇数番目のデータラインに供給される入力データＲＧＢを均等に分配させて少なくとも二つの保存領域に保存した後、２分周クロック期間に保存領域に保存されたデータを同時にリーディングしてデータ駆動部２３０に出力し、偶数番目のデータラインに供給される入力データＲＧＢを均等に分配させて少なくとも二つの保存領域に保存した後、２分周クロック期間に保存領域に保存されたデータを同時にリーディングしてデータ駆動部２３０に出力する。ここで、リーディングされたデータは並列データであるので、タイミングコントローラ２２０は、リーディングした並列データを直列データに変換させてデータ駆動部２３０に出力する。このようなタイミングコントローラ２２０のさらに具体的な構成及び動作は、図５を参照して説明する。

【００５１】

データ駆動部２３０は、タイミングコントローラ２２０から供給されるデータを均等に分配させて、第１及び第２ラインブロックの奇数番目のデータラインに供給すると共に、タイミングコントローラ２２０から供給されるデータを均等に分配させて第１及び第２ラインブロックの偶数番目のデータラインに供給する。

【００５２】

一例として、奇数番目のデータラインに供給される７２ビットデータがタイミングコントローラ２２０から入力されれば、データ駆動部２３０は、７２ビットデータを２等分させて、３６ビットデータを第１ラインブロックの奇数番目のデータラインに供給し、他の３６ビットデータを第２ラインブロックの奇数番目のデータラインに供給する。ここで、同時にデータを供給される第１及び第２ラインブロックの奇数番目のデータラインは、対

10

20

30

40

50

称する位置に配置されたデータラインである。

【 0 0 5 3 】

他の例として、偶数番目のデータラインに供給される 72 ビットデータがタイミングコントローラ 220 から入力されれば、データ駆動部 230 は、72 ビットデータを 2 等分させて、36 ビットデータを第 1 ラインブロックの偶数番目のデータラインに供給し、他の 36 ビットデータを第 2 ラインブロックの偶数番目のデータラインに供給する。ここで、同時にデータを供給される第 1 及び第 2 ラインブロックの偶数番目のデータラインは、対称する位置に配置されたデータラインである。

【 0 0 5 4 】

図 5 は、図 4 におけるタイミングコントローラの内部構成図である。

10

【 0 0 5 5 】

図 5 に示すように、タイミングコントローラ 220 は、入力データ RGB を分配するためのデータ分配部 221 と、データ分配部 221 により分配されたデータのうち、奇数番目のデータラインに供給されるデータを均等に保存するための第 1 及び第 2 メモリ 222, 223 と、データ分配部 221 により分配されたデータのうち、偶数番目のデータラインに供給されるデータを均等に保存するための第 3 及び第 4 メモリ 224, 225 と、第 1 及び第 2 メモリ 222, 223 に保存されたデータをリーディングして出力させる分周クロックを発生させて、第 1 及び第 2 メモリ 222, 223 に同時に供給するか、または第 3 及び第 4 メモリ 224, 225 に保存されたデータをリーディングして出力させる分周クロックを発生させて、第 1 及び第 2 メモリ 222, 223 に同時に供給するためのクロック発生部 226 と、第 1 及び第 2 メモリ 222, 223 から同時にリーディングされる並列データを直列データに変換させてデータ駆動部 230 に出力するか、または第 3 及び第 4 メモリ 224, 225 から同時にリーディングされる並列データを直列データに変換させてデータ駆動部 230 に出力するための並列 / 直列変換部 227 と、を備える。

20

【 0 0 5 6 】

データ分配部 221 は、システムから奇数番目のデータラインに供給するデータが入力されれば、このデータを 2 等分させて第 1 及び第 2 メモリ 222, 223 に分配し、また、システムから偶数番目のデータラインに供給するデータが入力されれば、このデータを 2 等分させて第 3 及び第 4 メモリ 224, 225 に分配する。さらに具体的に、奇数番目のデータラインに供給する 72 ビットデータがシステムから入力されれば、データ分配部 221 は、72 ビットデータを 2 等分させて、第 1 及び第 2 メモリ 222, 223 にそれぞれ 36 ビットずつ保存させる。また、偶数番目のデータラインに供給する 72 ビットデータがシステムから入力されれば、データ分配部 221 は、72 ビットデータを 2 等分させて、第 3 及び第 4 メモリ 224, 225 にそれぞれ 36 ビットずつ保存させる。

30

【 0 0 5 7 】

第 1 メモリ 222 は、データ分配部 221 により 18 ビット単位で分配されるデータを保存し、このように 36 ビットデータが保存された状態で、クロック発生部 226 から 2 分周クロックが供給される期間に保存された 36 ビットデータを並列に並列 / 直列変換部 227 に出力する。前記第 1 メモリ 222 には、奇数番目のデータラインに供給されるデータが保存される。

40

【 0 0 5 8 】

第 2 メモリ 223 は、データ分配部 221 により 18 ビット単位で分配されるデータを保存し、このように 36 ビットデータが保存された状態で、クロック発生部 226 から 2 分周クロックが供給される期間に保存された 36 ビットデータを並列に並列 / 直列変換部 227 に出力する。前記第 2 メモリ 223 には、奇数番目のデータラインに供給されるデータが保存される。

【 0 0 5 9 】

このように、奇数番目のデータラインに供給される 72 ビットデータが 2 等分されて 36 ビットずつ第 1 及び第 2 メモリ 222, 223 に保存された後、2 分周クロック期間に同時にリーディングされることによって、本発明は、一つのメモリに保存された 72 ビッ

50

トデータを4分周クロック期間にリーディングする従来技術に比べて、データのリーディング時間を半分に短縮させることである。そして、第1メモリ222から出力された36ビットデータは、第1ラインブロックの奇数番目のデータラインに供給されると共に、第2メモリ223から出力された他の36ビットデータは、第2ラインブロックの奇数番目のデータラインに供給される。

【0060】

第3メモリ224は、データ分配部221により18ビット単位で分配されるデータを保存し、このように36ビットデータが保存された状態で、クロック発生部226から2分周クロックが供給される期間に保存された36ビットデータを並列に並列/直列変換部227に出力する。前記第3メモリ224には、偶数番目のデータラインに供給されるデータが保存される。

10

【0061】

第4メモリ225は、データ分配部221により18ビット単位で分配されるデータを保存し、このように36ビットデータが保存された状態で、クロック発生部226から2分周クロックが供給される期間に保存された36ビットデータを並列に並列/直列変換部227に出力する。前記第4メモリ225には、偶数番目のデータラインに供給されるデータが保存される。

【0062】

このように、偶数番目のデータラインに供給される72ビットデータが2等分されて36ビットずつ第3及び第4メモリ224、225に保存された後、2分周クロック期間に同時にリーディングされることによって、本発明は、一つのメモリに保存された72ビットデータを4分周クロック期間にリーディングする従来技術に比べて、データのリーディング時間を半分に短縮させることである。そして、第3メモリ224から出力された36ビットデータは、第1ラインブロックの偶数番目のデータラインに供給されると共に、第4メモリ225から出力された他の36ビットデータは、第2ラインブロックの偶数番目のデータラインに供給される。

20

【0063】

クロック発生部226は、システムから入力されるメインクロックMain CLKを2分周させて、2分周クロックを第1及び第2メモリ222、223に同時に供給し、この2分周クロックは、第1及び第2メモリ222、223にそれぞれ保存された36ビットデータを同時にリーディングさせる役割を行う。また、クロック発生部226は、システムから入力されるメインクロックMain CLKを2分周させて、2分周クロックを第3及び第4メモリ224、225に同時に供給し、この2分周クロックは、第3及び第4メモリ224、225にそれぞれ保存された36ビットデータを同時にリーディングさせる役割を行う。ここで、クロック発生部226は、2分周クロックを第1及び第2メモリ222、223と第3及び第4メモリ224、225とに交互に供給する。

30

【0064】

並列/直列変換部227は、第1及び第2メモリ222、223や第3及び第4メモリ224、225からリーディングされる並列データを直列データに変換させて、データ駆動部230に出力する。

40

【0065】

前記したような構成を有する本発明の液晶表示装置の動作を、図6に示した信号特性を参照して説明する。

【0066】

図6は、本発明による液晶表示装置の動作過程を示す信号特性図である。

【0067】

図6に示すように、まず、データイネーブル信号DEがシステムから供給され、タイミングコントローラ220がゲートクロックGCLKをデータ駆動部230に供給している状態で、次のようなタイミング順序によってRGBデータをリーディングしてデータラインに供給する。ただし、第1及び第2メモリ222、223にRGBデータが均等に36

50

ビットずつ保存されたことを前提とする。

【0068】

まず、RT1区間の間にタイミングコントローラ220が第1及び第2メモリ222, 223に保存されたRデータをリーディングした後、PT1区間の間にデータ駆動部230がリーディングされたRデータを第1及び第2ラインブロックの奇数番目のデータラインに供給する。ここで、RT1区間後に進められるCT区間の間に、データ駆動部230は、液晶表示パネル110上のピクセルをプリチャージさせ、プリチャージ以後に進められるOT1区間の間に、タイミングコントローラ220は、ハイレベルのデータ出力イネーブル信号SOEをデータ駆動部230に供給し、このOT1区間の間に、データ駆動部230は、チャージシェア機能を行った後、PT1区間の間にリーディングされたRデータを第1及び第2ラインブロックの奇数番目のデータラインに供給する。

10

【0069】

Rデータが供給される間に、RT2区間の間にタイミングコントローラ220は、第1及び第2メモリ222, 223に保存されたGデータをリーディングする。次いで、PT2区間の間に、データ駆動部230は、リーディングされたGデータを第1及び第2ラインブロックの奇数番目のデータラインに供給する。ここで、RT2区間及びPT1区間後に進められるOT2区間の間に、タイミングコントローラ220は、ハイレベルのデータ出力イネーブル信号SOEをデータ駆動部230に供給し、このOT2区間の間に、データ駆動部230は、チャージシェア機能を行った後、PT2区間の間にリーディングされたGデータを第1及び第2ラインブロックの奇数番目のデータラインに同時に供給する。

20

【0070】

Gデータが供給される間に、RT3区間の間にタイミングコントローラ220は、第1及び第2メモリ222, 223に保存されたBデータをリーディングする。次いで、PT3区間の間に、データ駆動部230は、リーディングされたBデータを第1及び第2ラインブロックの奇数番目のデータラインに供給する。ここで、RT3区間及びPT2区間後に進められるOT3区間の間に、タイミングコントローラ220は、ハイレベルのデータ出力イネーブル信号SOEをデータ駆動部230に供給し、このOT3区間の間に、データ駆動部230は、チャージシェア機能を行った後、PT3区間の間にリーディングされたBデータを第1及び第2ラインブロックの奇数番目のデータラインに同時に供給する。

30

【0071】

そして、第3及び第4メモリ224, 225にRGBデータが均等に36ビットずつ保存されている場合にも、液晶表示装置200は、図6を参照して説明したような過程を通じてデータをリーディングして、第1及び第2ラインブロックの偶数番目のデータラインに供給する。

【0072】

一方、図6において、データイネーブル信号DEのデータ区間には、データが供給される一方、データイネーブル信号DEのブランク区間には、データが供給されない。したがって、本発明は、RGBデータのリーディング区間RT1, RT2, RT3を短縮させることによって、データイネーブル信号DEのブランク区間を短縮させることである。

【0073】

前述したように、本発明は、奇数番目のデータラインに供給する入力データを少なくとも二つのメモリに均等に分配させて保存した後、同時にリーディングし、偶数番目のデータラインに供給する入力データを少なくとも二つのメモリに均等に分配させて保存した後、同時にリーディングすることによって、入力データのリーディング時間を大幅短縮し、これにより、システムから入力されるデータイネーブル信号のブランク区間を短縮できる。また、本発明は、複数のデータラインを二つのブロックに区分して、各ブロックのデータラインに2等分されたデータを同時に供給できる。

40

【0074】

本発明の技術思想は、前記望ましい実施形態によって具体的に記述されたが、前記実施形態は、その説明のためのものであり、その制限のためのものでないということを注意せ

50

ねばならない。また、当業者ならば、本発明の技術思想の範囲で多様な実施形態が可能であるということを理解できるであろう。

【産業上の利用可能性】

【0075】

本発明は、液晶表示装置関連の技術分野に適用可能である。

【図面の簡単な説明】

【0076】

【図1】一般的な液晶表示装置に形成されるピクセルの等価回路図である。

【図2】一般的な液晶表示装置の構成図である。

【図3】従来の液晶表示装置に備えられたタイミングコントローラの内部構成図である。

10

【図4】本発明の実施形態による液晶表示装置の構成図である。

【図5】図4におけるタイミングコントローラの内部構成図である。

【図6】本発明による液晶表示装置の動作過程を示す信号特性図である。

【符号の説明】

【0077】

100, 200 : 液晶表示装置

110, 210 : 液晶表示パネル

120, 230 : データ駆動部

130 : ゲート駆動部

140 : ガンマ基準電圧発生部

20

150 : バックライトアセンブリ

160 : インバータ

170 : 共通電圧発生部

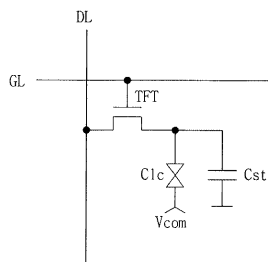
180 : ゲート駆動電圧発生部

190, 220 : タイミングコントローラ

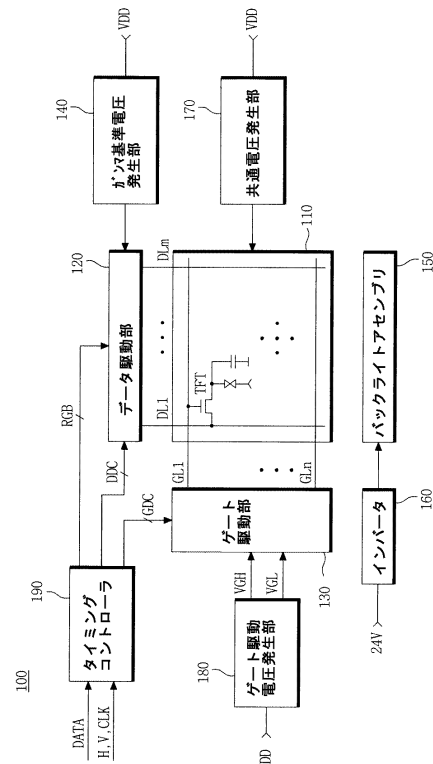
【図1】

【図2】

従来技術

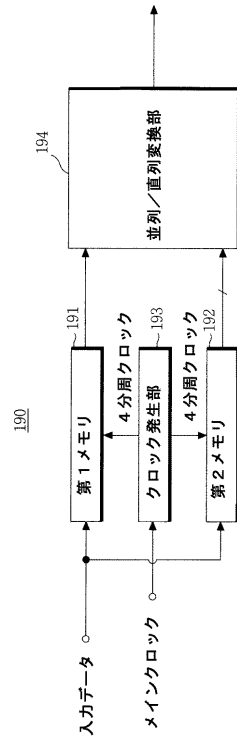


従来技術

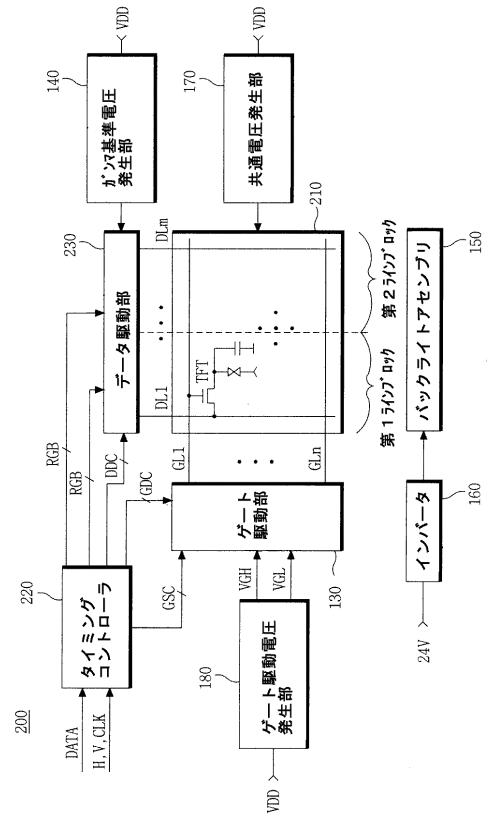


【図 3】

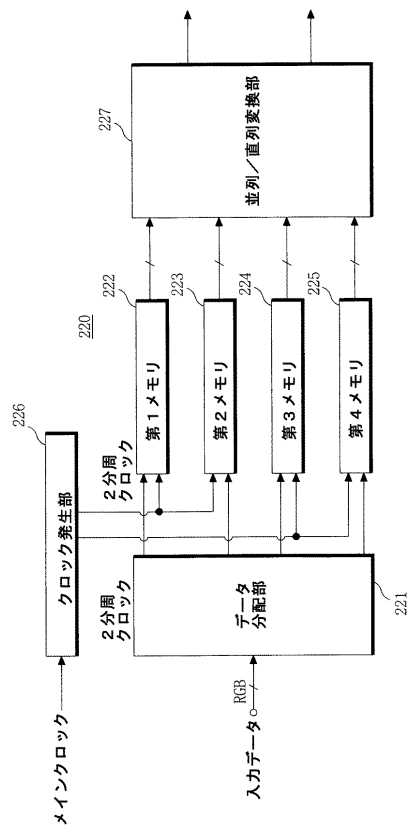
従来技術



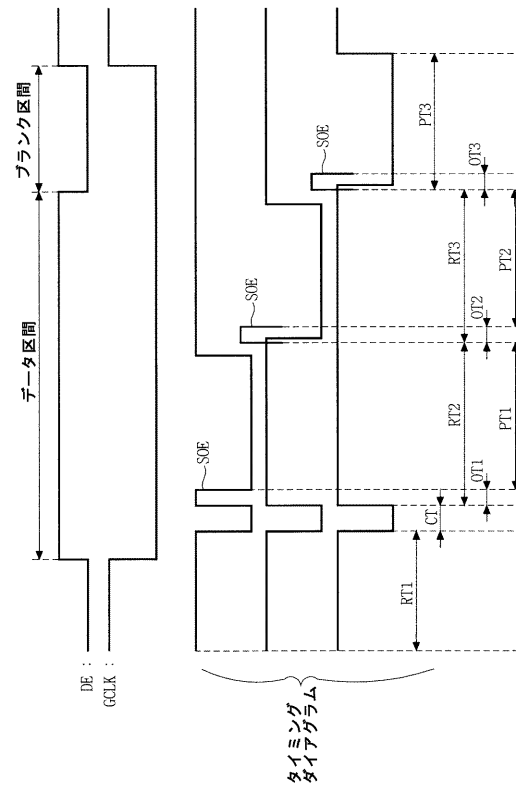
【図 4】



【図 5】



【図 6】



 フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 1 2 J

G 0 9 G 3/20 6 2 1 F

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 申 正 旭

大韓民国 ソウル特別市 麻浦区 城山 2洞 城山 市営アパート 16 - 906号

審査官 西島 篤宏

(56)参考文献 特開2002 - 032064 (JP, A)

特開平06 - 118903 (JP, A)

特開昭62 - 249193 (JP, A)

特開2006 - 065279 (JP, A)

特開平11 - 045076 (JP, A)

特開平06 - 102837 (JP, A)

特開2002 - 311913 (JP, A)

特開平05 - 232898 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0

要解决的问题：提供一种液晶显示装置和该装置的驱动方法，其中输入数据被提供给在液体上形成的多条数据线的奇数数据线和偶数数据线晶体显示面板可以均匀分布并存储在至少两个存储器中，然后可以同时读取数据。ŽSOLUTION：该装置包括：液晶显示板，其上形成有多条数据线；分配输入数据的数据分配器；第一和第二存储器同等地存储要提供给由数据分配器分配的数据中的奇数数据线的的数据；第三和第四存储器同等地存储要提供给由数据分配器分配的数据中的偶数数据线的的数据；时钟发生器产生分频时钟读数并输出存储在第一和第二存储器或第三和第四存储器中的数据。Ž

