

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4658622号
(P4658622)

(45) 発行日 平成23年3月23日(2011.3.23)

(24) 登録日 平成23年1月7日(2011.1.7)

(51) Int.Cl. F 1
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 5 (全 10 頁)

(21) 出願番号	特願2005-11332(P2005-11332)	(73) 特許権者	000005049
(22) 出願日	平成17年1月19日(2005.1.19)		シャープ株式会社
(65) 公開番号	特開2006-201344(P2006-201344A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成18年8月3日(2006.8.3)	(74) 代理人	100101214
審査請求日	平成19年3月2日(2007.3.2)		弁理士 森岡 正樹
		(72) 発明者	田口 善久
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
		審査官	鈴木 俊光

最終頁に続く

(54) 【発明の名称】 液晶表示装置用基板及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

絶縁基板上に形成されたゲートバスラインと、
 前記ゲートバスラインに絶縁膜を介して交差して形成されたドレインバスラインと、
 前記ゲートバスラインにほぼ平行に形成された蓄積容量バスラインと、
 前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに電氣的に接続されたドレイン電極とを備えたトランジスタと、
 前記トランジスタのソース電極に電氣的に接続された第1の画素電極と、
 前記トランジスタのソース電極と容量結合し、前記第1の画素電極と分離して形成された第2の画素電極と、
 前記蓄積容量バスライン上での、前記第1の画素電極と前記第2の画素電極との隣接端部間のスリット幅が、前記第1の画素電極と前記第2の画素電極の隣接端部間の距離が最短となる最短スリット幅より広く形成されているスリット部と
 を有することを特徴とする液晶表示装置用基板。

【請求項2】

請求項1記載の液晶表示装置用基板において、
 前記蓄積容量バスラインから引き出されて前記スリット部に延出する蓄積容量引き出し線をさらに有すること
 を特徴とする液晶表示装置用基板。

【請求項3】

請求項 2 記載の液晶表示装置用基板において、
前記蓄積容量引き出し線の少なくとも一部は、基板面法線方向に見て、前記第 1 の画素電極に重なっていること
を特徴とする液晶表示装置用基板。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置用基板において、
前記最短スリット幅は、7 μ m 以上であること
を特徴とする液晶表示装置用基板。

【請求項 5】

対向配置された一对の基板と、前記一对の基板間に封止された液晶とを備えた液晶表示装置であって、

前記一对の基板の一方に、請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置用基板が用いられていること

を特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器の表示部等に用いられる液晶表示装置用基板及び液晶表示装置に関する。

【背景技術】

【0002】

近年、液晶表示装置は、テレビ受像機やパーソナル・コンピュータのモニタ装置等として用いられるようになってきている。これらの用途では、表示画面をあらゆる方向から高品質で見ることのできる高い視角特性が求められている。高い視角特性が得られる液晶表示装置として、MVA (Multi-domain Vertical Alignment) 方式の液晶表示装置が知られている。MVA 方式の液晶表示装置では、電圧無印加時に液晶分子を基板に垂直に配向させ、液晶に電圧が印加されると、基板に形成された突起あるいは透明電極 (ITO) に設けられたスリットによって液晶分子の配向が規定されるようになってきている。

【0003】

MVA 方式のように液晶分子を基板に垂直に配向させる垂直配向方式では一般に、液晶への印加電圧に対する透過率特性 (T-V 特性) は表示画面の法線方向 (正面方向) とそれより斜め方向とで異なる。このため、画面法線方向の T-V 特性を最適に調整しても画面を斜め方向から見ると T-V 特性が歪んで画像の色が白っぽく変化してしまう。この問題を解決するために、1 画素内を 2 つの副画素 A, B に分割し、副画素 A の画素電極を画素駆動用の薄膜トランジスタ (TFT) のソース電極に電氣的に接続し、副画素 B の画素電極は TFT のソース電極から絶縁させてフローティング状態とした画素構造が知られている。

【0004】

当該画素構造では、副画素 B の画素電極及び TFT のソース電極と、両電極間に挟まれた絶縁膜とで制御容量 C_c が形成される。この制御容量 C_c による容量結合で副画素 B の画素電極には副画素 A の画素電極に印加される電圧より低い電圧が印加される。これにより、斜め方向の T-V 特性の歪みを緩和するように 1 画素内の 2 領域で T-V 特性の異なる領域を形成して、斜め方向から見たときの画像の色が白っぽくなる現象を抑制して視角特性を改善することができる。

【特許文献 1】特開平 2 - 12 号公報

【特許文献 2】米国特許第 4840460 号明細書

【特許文献 3】特許第 3076938 号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 5 】

ところで、副画素 A と副画素 B とを分離する画素電極、の隣接端部間のスリット部の幅は通常、数 μm 程度しかない。このため画素電極、の形成時にパターニング不良が生じるとスリットに画素電極材料が残存して画素電極、間が短絡してしまい、液晶表示装置の製造歩留りが低下してしまうおそれが生じている。また、画素電極、間が短絡してしまつと両副画素 A、B に同電圧が印加されるため、斜め方向の T - V 特性の歪みを緩和する効果が失われて良好な表示特性が得られ難くなるという問題が生じる。

【 0 0 0 6 】

本発明の目的は、高透過率で明るく良好な表示特性が得られ、高い製造歩留りが得られる液晶表示装置用基板及び液晶表示装置を提供することにある。

10

【課題を解決するための手段】

【 0 0 0 7 】

上記目的は、絶縁基板上に形成されたゲートバスラインと、前記ゲートバスラインに絶縁膜を介して交差して形成されたドレインバスラインと、前記ゲートバスラインにほぼ平行に形成された蓄積容量バスラインと、前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに電氣的に接続されたドレイン電極とを備えたトランジスタと、前記トランジスタのソース電極に電氣的に接続された第 1 の画素電極と、前記トランジスタのソース電極に絶縁膜を介して対向配置され、前記第 1 の画素電極と分離して形成された第 2 の画素電極と、前記第 1 の画素電極と前記第 2 の画素電極との隣接端部間のスリット幅が、前記蓄積容量バスライン上で最短スリット幅より広く形成されているスリット部とを有することを特徴とする液晶表示装置用基板によって達成される。

20

【発明の効果】

【 0 0 0 8 】

本発明によれば、高透過率で明るく良好な表示特性が得られ、高い製造歩留りが得られる液晶表示装置を実現できる。

【発明を実施するための最良の形態】

【 0 0 0 9 】

本発明の一実施の形態による液晶表示装置用基板及び液晶表示装置について図 1 乃至図 4 を用いて説明する。図 1 は、本実施の形態による液晶表示装置の概略構成を示している。図 2 は、本実施の形態による液晶表示装置の 1 画素分の構成を等価回路で示している。図 1 及び図 2 に示すように、液晶表示装置は、絶縁膜を介して互いに交差して形成されたゲートバスライン 1 及びドレインバスライン（データバスライン）2 と、画素毎に形成された T F T 4 及び第 1 及び第 2 の画素電極 6、7 とを備えた T F T 基板 2 0 を有している。また、液晶表示装置には T F T 基板 2 0 に所定のセルギャップで対向する対向基板 4 0 が配置されている。T F T 基板 2 0 と対向基板 4 0 との間には例えば負の誘電率異方性を有する液晶が封止されている。対向基板 4 0 の液晶側表面には、カラーフィルタ（C F）や共通電極 4 3 が形成されている。

30

【 0 0 1 0 】

T F T 基板 2 0 には、複数のゲートバスライン 1 を駆動するドライバ I C が実装されたゲートバスライン駆動回路 8 0 と、複数のドレインバスライン 2 を駆動するドライバ I C が実装されたドレインバスライン駆動回路 8 2 とが接続されている。これらの駆動回路 8 0、8 2 は、制御回路 8 4 から出力された制御信号に基づいて所定のゲートバスライン 1 に走査信号を出力し、複数のドレインバスライン 2 に階調信号を出力するようになっている。T F T 基板 2 0 の液晶側表面と反対側の面には偏光板 8 7 が配置され、対向基板 4 0 の液晶側表面と反対側の面には、偏光板 8 7 とクロスニコルに偏光板 8 6 が配置されている。偏光板 8 7 の T F T 基板 2 と反対側の面にはバックライトユニット 8 8 が配置されている。

40

【 0 0 1 1 】

図 2 に示すように、T F T 4 のゲート電極 G はゲートバスライン 1 に接続され、ドレイン電極 D はドレインバスライン 2 に接続されている。T F T 4 のソース電極 S は、第 1 の

50

画素電極 6 及び、蓄積容量電極 8、接続電極 10 と電氣的に接続されている。第 1 の画素電極 6 と、当該第 1 の画素電極 6 と対向する対向基板 40 側の共通電極 43 と、第 1 の画素電極 6 と共通電極 43 との間に挟まれた液晶とで第 1 の液晶容量 C_{1c1} が形成されている。蓄積容量電極 8 と、当該蓄積容量電極 8 と対向する蓄積容量バスライン 3 と、蓄積容量電極 8 と蓄積容量バスライン 3 との間に挟まれた絶縁膜とで蓄積容量 C_s が形成されている。接続電極 10 と、当該接続電極 10 と対向する第 2 の画素電極 7 と、接続電極 10 と第 2 の画素電極 7 との間に挟まれた絶縁膜とで制御容量 C_c が形成されている。また、第 2 の画素電極 7 と、当該第 2 の画素電極 7 と対向する対向基板 40 側の共通電極 43 と、第 2 の画素電極 7 と共通電極 43 との間に挟まれた液晶とで第 2 の液晶容量 C_{1c2} が形成されている。本例では、蓄積容量バスライン 3 と共通電極 43 とには同電位が印加される構成となっている。

10

【0012】

このように、本実施の形態による画素は、第 2 の液晶容量 C_{1c2} と制御容量 C_c とが直列に接続され、これらと、第 1 の液晶容量 C_{1c1} 、蓄積容量 C_s がそれぞれ並列に接続された回路構成となっている。TFT4 がオン状態になるとドレインバスライン 2 に供給された階調信号が第 1 の画素電極 6、共通電極 8、接続電極 10 に印加され、一方、蓄積容量バスラインと共通電極 43 には共通電位が印加される。これにより、第 2 の画素電極 7 には、第 1 の画素電極 6 に印加された階調信号の電位より所定量だけ低い電位が維持される。

【0013】

20

図 3 は、本実施の形態による液晶表示装置用基板である TFT 基板 20 の 1 画素の構成を示す平面図である。図 4 は、図 3 の a - a' 線で切断した TFT 基板 20 の断面構成を示している。図 3 及び図 4 に示すように、TFT 基板 20 は、ガラス基板（絶縁基板）21 上に形成されたゲートバスライン 1 と、SiN 膜等からなる絶縁膜 22 を介してゲートバスライン 1 に交差して形成されたドレインバスライン 2 とを有している。ゲートバスライン 1 及びドレインバスライン 2 の交差位置近傍には、スイッチング素子として TFT4 が配置されている。ゲートバスライン 1 の一部は TFT4 のゲート電極 (G) として機能する。ゲートバスライン 1 上には、絶縁膜 (ゲート絶縁膜) 22 を介して TFT4 の動作半導体層が形成され、当該動作半導体層上にはドレイン電極 (D) と、ソース電極 (S) とが所定の間隙を介して対向して形成されている。ドレイン電極 (D) 及びソース電極 (S) 上の基板全面には、SiN 膜等からなる最終保護膜 23 が形成されている。

30

【0014】

また、ゲートバスライン 1 及びドレインバスライン 2 により画定された画素領域を横切って、ゲートバスライン 1 に並列して延びる蓄積容量バスライン 3 が形成されている。蓄積容量バスライン 3 上には、絶縁膜 22 を介して蓄積容量電極 8 が画素毎に形成されている。蓄積容量電極 8 は、接続電極 10 を介して TFT4 のソース電極 (S) に電氣的に接続されている。絶縁膜 22 及びそれを介して対向する蓄積容量バスライン 3 と蓄積容量電極 8 とで蓄積容量 C_s が形成される。

【0015】

ゲートバスライン 1 及びドレインバスライン 2 により画定された画素領域は、第 1 の副画素 A と第 2 の副画素 B とに分割されている。図 3 において、例えば台形状の第 1 の副画素 A は画素領域の中央部左寄りに配置され、第 2 の副画素 B は画素領域のうち第 1 の副画素 A の領域を除いた上部、下部及び中央部右側端部に配置されている。画素領域内の第 1 及び第 2 の副画素 A、B の配置は、例えば蓄積容量バスライン 3 に対しそれぞれほぼ線対称になっている。第 1 の副画素 A には第 1 の画素電極 6 が形成され、第 2 の副画素 B には第 2 の画素電極 7 が形成されている。第 1 及び第 2 の画素電極 6、7 は、共に ITO 等の透明導電膜により形成されている。

40

【0016】

第 1 の画素電極 6 と第 2 の画素電極 7 との隣接端部間は、ITO が形成されていないスリット部 13 となっている。上述のように第 1 の画素電極 6 と第 2 の画素電極 7 との形状

50

が規定されているので、スリット部 13 は、蓄積容量バスライン 3 に対して画素右側からほぼ直交して延び、次いで画素左側に向かって斜め上下にそれぞれ延びる形状をしている。

【0017】

スリット部 13 における第 1 の画素電極 6 と第 2 の画素電極 7 との隣接端部間のスリット幅は位置により異なるように形成されている。スリット部 13 の斜め方向の領域は第 1 及び第 2 の画素電極 6、7 を分離する分離用スリットとしての機能と共に、液晶の配向方位を制御する配向制御用構造物としての機能も兼ねている。また、スリット部 13 のスリット幅をあまり広くしてしまうと、第 1 及び第 2 の画素電極 6、7 のそれぞれの電極面積が狭くなってしまい透過率が下がって輝度が低下してしまう。これらの条件を考慮して、スリット部 13 の画素左側に向かって上下にそれぞれ延びる領域のスリット幅 c は約 $10 \mu\text{m}$ になっている。

10

【0018】

一方、仮想円 12 内に示すように、スリット部 13 のうち蓄積容量バスライン 3 に対して画素右側からほぼ直交して延びる領域は、液晶の配向制御には寄与せず、単に第 1 及び第 2 の画素電極 6、7 を分離するためだけに存在している。このため、現状の液晶表示装置用のフォトリソグラフィ技術でのパターニングのマーヅンを考慮した最短スリット幅 b を確保すればよく、本例では最短スリット幅 b は $7 \mu\text{m}$ としている。これにより画素電極の製造時に第 1 及び第 2 の画素電極 6、7 が接続される可能性を低減できる。

【0019】

20

また、仮想円 11 内に示すように、蓄積容量バスライン 3 上はバックライトユニットからの光が遮光されるので、透過率には影響しない部分である。そこで、画素電極の製造時に第 1 及び第 2 の画素電極 6、7 が接続される可能性をさらに確実に低減するために蓄積容量バスライン 3 上のスリット幅 a は、最短スリット幅 b より広く形成している。蓄積容量バスライン 3 上のスリット幅 a は、本例では約 $10 \mu\text{m}$ でスリット幅 c と同一に形成しているが、これに限られず、スリット幅 a は、最短スリット幅 b より広ければスリット幅 c より狭くても広くてもかまわない。これにより、液晶表示装置の透過率を低下させずに、画素電極の製造時に第 1 及び第 2 の画素電極 6、7 の短絡の発生率を低下させることができる。

【0020】

30

さて、第 1 の画素電極 6 は、最終保護膜 23 を開口したコンタクトホール 9 を介して、蓄積容量電極 8 に接続されている。蓄積容量電極 8 は接続電極 10 を介して T F T 4 のソース電極 (S) に電氣的に接続されている。これにより、第 1 の画素電極 6 は T F T 4 のソース電極 (S) に直結されて、T F T 4 がオン状態のときにドレインバスライン 2 上の階調信号が供給されるようになっている。第 2 の画素電極 7 の一部は、基板面法線方向にみて、接続電極 10 及び蓄積容量電極 8 の一部に最終保護膜 23 を介して重なって配置されている。第 2 の画素電極 7 に重なって配置された領域の接続電極 10 及び蓄積容量電極 8 は制御容量電極として機能し、当該制御容量電極及び第 2 の画素電極 7 とそれらに挟まれた最終保護膜 23 とで制御容量 (第 2 の蓄積容量) C_c を形成する。これにより第 2 の画素電極 7 は、制御容量 C_c を介した容量結合によって T F T 4 のソース電極 (S) に間

40

【0021】

対向基板 40 は、ガラス基板上に形成された C F 樹脂層 (不図示) と、C F 樹脂層上に形成された共通電極 43 とを有している。液晶を介して対向する第 1 の副画素 A の第 1 の画素電極 6 と共通電極 43 との間には液晶容量 C_{l1} が形成され、第 2 の副画素 B の第 2 の画素電極 7 と共通電極 43 との間には液晶容量 C_{l2} が形成される。T F T 基板 20 の液晶との界面には不図示の垂直配向膜が形成され、対向基板 40 の液晶との界面には不図示の垂直配向膜がそれぞれ形成されている。これにより、電圧無印加時の液晶分子は、基板面にほぼ垂直に配向する。

【0022】

50

T F T 4 がオン状態になって階調信号が供給されると、第 1 の画素電極 6 には階調信号電位が印加され、第 2 の画素電極 7 には接続電極 10 から最終保護膜 23 を介して階調信号電位より低い所定の電位が供給される。これにより、斜め方向の T - V 特性の歪みを緩和するように 1 画素内の 2 領域で T - V 特性の異なる領域を形成して、斜め方向から見たときの画像の色が白っぽくなる現象を抑制して視角特性を改善することができる。

【 0 0 2 3 】

本実施の形態によれば、スリット部 13 の幅は最短でも 7 μ m あり、さらに表示特性に寄与しない領域のスリット幅をそれより広げているため、第 1 及び第 2 の画素電極 6、7 のパターンニング時にスリット部 13 に画素電極材料が残存して第 1 及び第 2 の画素電極 6、7 間が短絡してしまうことを防止できるので液晶表示装置の製造歩留りを向上させることが可能となる。また、第 1 及び第 2 の画素電極 6、7 間の短絡不良を確実に防止できるので、斜め方向の T - V 特性の歪みを緩和した良好な表示特性を得ることができる。

10

【 0 0 2 4 】

また、図 3 に示すように、スリット部 13 のほぼ中央に沿って、蓄積容量バスライン 3 から引き出された蓄積容量引き出し線 5 が形成されている。蓄積容量引き出し線 5 を設けることにより、液晶に電圧を印加してもスリット部 13 上の電界をフラットにすることができ、スリット部 13 上に液晶分子の配向ベクトルの特異点を発生させないようにすることができる。

【 0 0 2 5 】

また、図 3 に示すように、蓄積容量引き出し線 5 の一部と第 1 の画素電極 6 の一部が基板面法線方向に見て重なっている。これにより、蓄積容量 C s を構成する電極面積を稼ぎながら副画素 A の開口率を向上させることができる。

20

【 0 0 2 6 】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では M V A 方式を用いた V A モードの液晶表示装置を例に説明したが、本発明はこれに限らず、T N モード等の他の液晶表示装置にも適用できる。

【 0 0 2 7 】

また、上記実施の形態では透過型の液晶表示装置を例に挙げたが、本発明はこれに限らず、反射型や半透過型の液晶表示装置にも適用できる。

【 0 0 2 8 】

さらに上記実施の形態では、T F T 基板に対向して配置された対向基板の上に C F が形成された液晶表示装置を例に挙げたが、本発明はこれに限らず、T F T 基板の上に C F が形成された、いわゆる C F - o n - T F T 構造の液晶表示装置にも適用できる。

30

【 0 0 2 9 】

以上説明した実施の形態による液晶表示装置用基板及び液晶表示装置は、以下のようにまとめられる。

(付記 1)

絶縁基板の上に形成されたゲートバスラインと、
 前記ゲートバスラインに絶縁膜を介して交差して形成されたドレインバスラインと、
 前記ゲートバスラインにほぼ平行に形成された蓄積容量バスラインと、
 前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに電氣的に接続されたドレイン電極とを備えたトランジスタと、
 前記トランジスタのソース電極に電氣的に接続された第 1 の画素電極と、
 前記トランジスタのソース電極に絶縁膜を介して対向配置され、前記第 1 の画素電極と分離して形成された第 2 の画素電極と、
 前記第 1 の画素電極と前記第 2 の画素電極との隣接端部間のスリット幅が、前記蓄積容量バスライン上で最短スリット幅より広く形成されているスリット部と
 を有することを特徴とする液晶表示装置用基板。

40

(付記 2)

付記 1 記載の液晶表示装置用基板において、

50

前記蓄積容量バスラインから引き出されて前記スリット部に延出する蓄積容量引き出し線をさらに有すること

を特徴とする液晶表示装置用基板。

(付記 3)

付記 2 記載の液晶表示装置用基板において、

前記蓄積容量引き出し線の少なくとも一部は、基板面法線方向に見て、前記第 1 の画素電極に重なっていること

を特徴とする液晶表示装置用基板。

(付記 4)

付記 1 乃至 3 のいずれか 1 項に記載の液晶表示装置用基板において、

前記最短スリット幅は、7 μm 以上であること

を特徴とする液晶表示装置用基板。

(付記 5)

対向配置された一对の基板と、前記一对の基板間に封止された液晶とを備えた液晶表示装置であって、

前記一对の基板の一方に、付記 1 乃至 4 のいずれか 1 項に記載の液晶表示装置用基板が用いられていること

を特徴とする液晶表示装置。

【図面の簡単な説明】

【0030】

【図 1】本発明の一実施の形態による液晶表示装置の概略構成を示す図である。

【図 2】本発明の一実施の形態による液晶表示装置の 1 画素の構成を示す等価回路図である。

【図 3】本発明の一実施の形態による液晶表示装置用基板の 1 画素の構成を示す平面図である。

【図 4】本発明の一実施の形態による液晶表示装置用基板の 1 画素の構成を示す断面図である。

【符号の説明】

【0031】

- 1 ゲートバスライン
- 2 ドレインバスライン
- 3 蓄積容量バスライン
- 4 T F T
- 5 蓄積容量引き出し線
- 6 第 1 の画素電極
- 7 第 2 の画素電極
- 8 蓄積容量電極
- 9 コンタクトホール
- 10 接続電極
- 11、12 仮想円
- 13 スリット部
- 20 T F T 基板
- 22 絶縁膜
- 23 最終保護膜
- 40 対向基板
- 43 共通電極
- 80 ゲートバスライン駆動回路
- 82 ドレインバスライン駆動回路
- 84 制御回路
- 86、87 偏光板

10

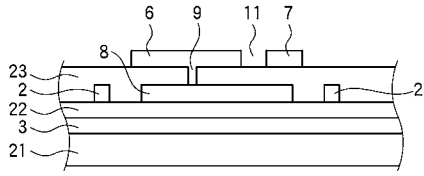
20

30

40

50

【 図 4 】



フロントページの続き

(56)参考文献 特開2004-213011(JP,A)
特開2004-341530(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1368

专利名称(译)	液晶表示装置用基板及び液晶表示装置		
公开(公告)号	JP4658622B2	公开(公告)日	2011-03-23
申请号	JP2005011332	申请日	2005-01-19
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	田口善久		
发明人	田口 善久		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/133707 G02F1/136213		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/HA04 2H092/JA24 2H092/JA42 2H092/JA46 2H092/JB05 2H092/JB45 2H092/JB69 2H092/NA04 2H092/NA07 2H092/NA16 2H092/NA29 2H092/QA09 2H192/AA24 2H192/BA25 2H192/BC23 2H192/BC31 2H192/CB05 2H192/CC04 2H192/DA12 2H192/DA43 2H192/EA43 2H192/GA42 2H192/JA13		
代理人(译)	盛冈正树		
审查员(译)	铃木俊光		
其他公开文献	JP2006201344A		
外部链接	Espacenet		

摘要(译)

液晶显示装置用基板和液晶显示装置技术领域本发明涉及液晶显示装置用基板和用于电子装置等的显示部分的液晶显示装置，更具体地说，涉及能够获得具有高透射率的明亮且良好的显示特性的液晶显示装置用基板。基板和液晶显示装置。第一像素电极，电连接到TFT的源极，第二像素电极，电连接到TFT的源极，绝缘膜第二像素电极7，与第一像素电极6相对设置，与第一像素电极6相对，第一像素电极6与第二像素电极7的相邻端之间的狭缝宽度形成在存储电容总线3上的狭缝部分13比存储电容总线3上的最短狭缝宽度b宽。点域

