

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4606103号
(P4606103)

(45) 発行日 平成23年1月5日(2011.1.5)

(24) 登録日 平成22年10月15日(2010.10.15)

(51) Int.Cl.		F I	
GO2F	1/1343	(2006.01)	GO2F 1/1343
GO2F	1/1337	(2006.01)	GO2F 1/1337 500
GO2F	1/1368	(2006.01)	GO2F 1/1368
GO9F	9/30	(2006.01)	GO9F 9/30 338

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2004-274993 (P2004-274993)	(73) 特許権者	502356528
(22) 出願日	平成16年9月22日 (2004. 9. 22)		株式会社 日立ディスプレイズ
(65) 公開番号	特開2006-91274 (P2006-91274A)		千葉県茂原市早野3300番地
(43) 公開日	平成18年4月6日 (2006. 4. 6)	(74) 代理人	100083552
審査請求日	平成19年7月11日 (2007. 7. 11)		弁理士 秋田 収喜
		(72) 発明者	盛 育子
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	小野 記久雄
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		審査官	金高 敏康

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶を挟んで対向配置される一対の基板の内の一方の基板に、複数の画素領域を形成し、当該画素領域内に画素電極と対向電極とを備え、前記対向電極と前記画素電極は絶縁膜を介してお互いに重畳するように形成されている液晶表示装置であって、

前記各画素領域の画素電極は、第1の画素電極と第2の画素電極からなり、

前記画素領域には、更に、当該画素領域に映像信号を供給するドレイン信号線に接続された第1のスイッチング素子と第2のスイッチング素子を備え、

前記第1の画素電極は前記第1のスイッチング素子に接続され、前記第2の画素電極は前記第2のスイッチング素子に接続され、

前記第1及び第2の画素電極は交互に配置され、

前記各画素領域の対向電極は、ゲート信号線を間にして隣接する他の画素領域に配置される他の対向電極と、前記ゲート信号線をも被って形成される絶縁膜上に形成された導電層を介して互いに電氣的に接続されていることを特徴とする液晶表示装置。

【請求項2】

前記第1及び第2のスイッチング素子は共通のゲート信号線からの信号によってオンするように構成されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記第1及び第2の画素電極のうち一方の画素電極は、前記画素領域を挟んで配置される一方のドレイン信号線に各電極を共通に接続する導電体が隣接して配置される櫛歯状の

パターンをなすとともに、他方の画素電極は他方のドレイン信号線に各電極を共通に接続する導電体が隣接して配置される櫛歯状のパターンをなすことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記各画素領域の対向電極は、ゲート信号線を間にして隣接する他の画素領域に配置される他の対向電極と、前記ゲート信号線をも被って形成される絶縁膜上に形成された導電層を介して互いに電氣的に接続されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

液晶を挟んで対向配置される一対の基板の内の一方の基板に、複数のゲート信号線とドレイン信号線の交差によって定義される複数の画素領域を形成し、当該各画素領域に画素電極と対向電極を備え、前記対向電極と前記画素電極は絶縁膜を介して形成されている液晶表示装置であって、

10

前記各画素領域の対向電極は、前記ドレイン信号線とゲート信号線に接しないように矩形形状に形成され、

前記各画素領域の画素電極は、第 1 の画素電極と第 2 の画素電極からなり、前記第 1 の画素電極と前記第 2 の画素電極は、前記対向電極に重畳する位置に形成され、

前記画素領域には、更に、当該画素領域に映像信号を供給するドレイン信号線に接続された第 1 のスイッチング素子と第 2 のスイッチング素子を備え、

前記第 1 及び第 2 の画素電極は交互に配置され、

20

かつ、前記第 1 及び第 2 の薄膜トランジスタは共通の半導体層を有し、前記半導体層の上面に、前記半導体層と前記第 1 の画素電極を接続する第 1 のソース電極と、前記半導体層と前記第 2 の画素電極を接続する第 2 のソース電極と、前記第 1 のソース電極と対を成す第 1 のドレイン電極と、前記第 1 のソース電極と対を成す第 2 のドレイン電極を備えたことを特徴とする液晶表示装置。

【請求項 6】

前記第 1 及び第 2 のドレイン電極は、前記第 1 及び第 2 のソース電極の先端部を中心とした半円弧状をなすとともに、前記第 1 及び第 2 のドレイン電極は、互いに隣接する箇所において物理的に共通接続されていることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

30

前記第 1 及び第 2 のドレイン電極の共通接続された部分における幅は、該部分以外の箇所幅と同じになっていることを特徴とする請求項 6 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、液晶を介して対向配置される各基板のうち一方の基板の液晶の面側に画素電極と対向電極とが形成されている液晶表示装置に関するものである。

【背景技術】

【0002】

この種の液晶表示装置は、画素電極と対向電極の間の領域を通過する光に対して、その量を前記各電極の間に発生する電界が印加される液晶の駆動によって、制御するようになっている。

40

【0003】

このような液晶表示装置は、表示面に対して斜めの方向から観察しても表示に変化のない、いわゆる広視野角に優れたものとして知られている。

【0004】

そして、これまで、前記画素電極と対向電極は光を透過させることのない導電層で形成されていた。

【0005】

しかし、近年、画素領域の周辺を除く領域の全域に透明電極からなる対向電極を形成し

50

、この対向電極上に絶縁膜を介して一方向に延在し該一方向に交差する方向に並設させた透明電極からなる帯状あるいは櫛歯状の画素電極を形成した構成のものが知られるに至った。

【0006】

このような構成の液晶表示装置は、基板とほぼ平行な電界が画素電極と対向電極との間に発生し、依然として広視野角特性に優れるとともに、いわゆる開口率が大幅に向上するようになる。

【0007】

また、このような構成において、画素電極とその下層にて絶縁膜を介して配置される対向電極との間にピンホールを介した短絡が生じた場合に、いわゆる点欠陥が生じるが、それを解消するものとして、下記文献に開示されたものがある。

【0008】

該文献に示す技術は、画素領域に2個の物理的に分離された画素電極を設け、これら各画素電極はゲート信号線からの走査信号によって同時にオンされる2個の各薄膜トランジスタを通して映像信号が供給される構成としたものである。

【0009】

一方の画素電極が対向電極と短絡を生じせしめても、他方の画素電極が依然として機能し、点欠陥に及ぼしめることがない効果を奏するものとなっている。

【0010】

【特許文献1】特願2003-387832

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかし、このように構成された液晶表示装置は、各画素電極は、当該画素をその中心を通る仮想の線分によって二分された各領域のそれぞれに形成された構成となっているものである。

【0012】

このため、短絡が生じた画素電極が形成されている一方の領域における表示は断念せざるを得なくなり、当該画素における輝度は半分になってしまうことを余儀なくされるものである。

【0013】

本発明は、このような事情に基づいてなされたものであり、その目的は、たとえ画素電極と対向電極との間に短絡が生じたとしても、当該画素における輝度の低下を半分にまでは至らせることのない液晶表示装置を提供することにある。

【課題を解決するための手段】

【0014】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0015】

(1)

本発明による液晶表示装置は、たとえば、液晶を挟んで対向配置される一对の基板の内一方の基板に、複数の画素領域を形成し、当該画素領域内に画素電極と対向電極とを備え、前記対向電極と前記画素電極は絶縁膜を介してお互いに重畳するように形成されている液晶表示装置であって、

前記各画素領域の画素電極は、第1の画素電極と第2の画素電極からなり、

前記画素領域には、更に、当該画素領域に映像信号を供給するドレイン信号線に接続された第1のスイッチング素子と第2のスイッチング素子を備え、

前記第1の画素電極は前記第1のスイッチング素子に接続され、前記第2の画素電極は前記第2のスイッチング素子に接続され、

前記第1及び第2の画素電極は交互に配置され、

10

20

30

40

50

前記各画素領域の対向電極は、ゲート信号線を間にして隣接する他の画素領域に配置される他の対向電極と、前記ゲート信号線をも被って形成される絶縁膜上に形成された導電層を介して互いに電氣的に接続されていることを特徴とする。

【0016】

(2)

本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記第1及び第2のスイッチング素子は共通のゲート信号線からの信号によってオンするように構成されていることを特徴とする。

【0017】

(3)

本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記第1及び第2の画素電極のうち一方の画素電極は、前記画素領域を挟んで配置される一方のドレイン信号線に各電極を共通に接続する導電体が隣接して配置される櫛歯状のパターンをなすとともに、他方の画素電極は他方のドレイン信号線に各電極を共通に接続する導電体が隣接して配置される櫛歯状のパターンをなすことを特徴とする。

【0018】

(4)

本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記各画素領域の対向電極は、ゲート信号線を間にして隣接する他の画素領域に配置される他の対向電極と、前記ゲート信号線をも被って形成される絶縁膜上に形成された導電層を介して互いに電氣的に接続されていることを特徴とする。

【0020】

(5)

本発明による液晶表示装置は、たとえば、液晶を挟んで対向配置される一对の基板の内の一方の基板に、複数のゲート信号線とドレイン信号線の交差によって定義される複数の画素領域を形成し、当該各画素領域に画素電極と対向電極を備え、前記対向電極と前記画素電極は絶縁膜を介して形成されている液晶表示装置であって、

前記各画素領域の対向電極は、前記ドレイン信号線とゲート信号線に接しないように矩形形状に形成され、

前記各画素領域の画素電極は、第1の画素電極と第2の画素電極からなり、前記第1の画素電極と前記第2の画素電極は、前記対向電極に重畳する位置に形成され、

前記画素領域には、更に、当該画素領域に映像信号を供給するドレイン信号線に接続された第1のスイッチング素子と第2のスイッチング素子を備え、

前記第1及び第2の画素電極は交互に配置され、

かつ、前記第1及び第2の薄膜トランジスタは共通の半導体層を有し、前記半導体層の上面に、前記半導体層と前記第1の画素電極を接続する第1のソース電極と、前記半導体層と前記第2の画素電極を接続する第2のソース電極と、前記第1のソース電極と対を成す第1のドレイン電極と、前記第1のソース電極と対を成す第2のドレイン電極を備えたことを特徴とする。

(6)

本発明による液晶表示装置は、例えば(5)の構成を前提とし、前記第1及び第2のドレイン電極は、前記第1及び第2のソース電極の先端部を中心とした半円弧状をなすとともに、前記第1及び第2のドレイン電極は、互いに隣接する箇所において物理的に共通接続されていることを特徴とする。

(7)

本発明による液晶表示装置は、例えば(6)の構成を前提とし、前記第1及び第2のドレイン電極の共通接続された部分における幅は、該部分以外の箇所の幅と同じになっていることを特徴とする。

【0021】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の

10

20

30

40

50

変更が可能である。

【発明の効果】

【0022】

このように構成された液晶表示装置は、各薄膜トランジスタのそれぞれに接続される画素電極の一方において、対向電極と短絡が生じた場合でも、その画素電極は当該画素において表示に寄与する対向電極として変身することになる。

【0023】

一方の画素電極を構成する各電極と他方の画素電極を構成する各電極は交互（入れ子状）に配置され、変身された該対向電極の各電極はそれに隣接して配置される他方の画素電極の各電極との間に電界を発生させることができるからである。

10

【0024】

この場合、該電界のみで表示を行おうとした場合には、短絡の前後において輝度は約半分に低下するが、前記絶縁膜の下層に配置されている本来の対向電極も表示に寄与するそれとして機能していることは短絡前と短絡後において変化はない。

【0025】

他方の画素電極の各電極は主としてその周辺において、該対向電極との間に電界（エッジ電界）が発生し、この電界も表示に充分寄与しているからである。

【0026】

したがって、たとえ画素電極と対向電極との間に短絡が生じたとしても、当該画素における輝度低下を半分にまでは至らせることなく駆動させることができる。

20

【発明を実施するための最良の形態】

【0027】

以下、図面を用いて本発明による液晶表示装置の実施例を説明する。

図8は本発明による液晶表示装置の一実施例を示す等価回路図である。図8に示す等価回路は、液晶を挟んで対向配置される各基板のうち一方の基板の液晶側の面に形成されたそれを示している。

【0028】

まず、前記基板面において、そのx方向に延在しy方向に並設されるゲート信号線GLが形成され、また、y方向に延在しx方向に並設されるドレイン信号線DLが形成されている。ゲート信号線GLとドレイン信号線DLとで囲まれた部分は画素が形成される画素領域を示し、また、該画素領域の集合体によって液晶表示部ARが構成されるようになっている。

30

【0029】

図中x方向に並設される各画素領域からなる画素領域群内にはx方向に延在する基準信号線CLが形成され、この基準信号線CLは他の対応する画素領域群内に形成されたそれと液晶表示部ARの外方で互いに接続されている。

【0030】

各画素領域には、ゲート信号線GLからの信号（走査信号）によってオンする2個の薄膜トランジスタTFT1、TFT2が備えられている。一方の薄膜トランジスタTFT1は、それがオンすることにより、当該画素領域を挟む一対のドレイン信号線DLのうち一方（図中左側）のドレイン信号線DLからの信号を画素電極PX1に供給するようになっている。同様に、他方の薄膜トランジスタTFT2は、それがオンすることにより、前記ドレイン信号線DLからの信号を画素電極PXに供給するようになっている。

40

【0031】

ここで、画素電極PX1と画素電極PX2はそれぞれ独立して形成され、これらは前記基準信号線CLに接続された共通の対向電極CTとの間に電界を発生せしめるようになっている。このように各画素領域において2個の薄膜トランジスタTFT1、TFT2と、これら各薄膜トランジスタTFT1、TFT2にそれぞれ接続される2個の画素電極PX1、PX2を有するのは画素内において該画素電極PX1、PX2のうちの一方が対向電極CTとの短絡が生じた場合にいわゆる点欠陥に及ぶ程の損傷に至るのを防止することに

50

ある。これについては後に詳述する。

【 0 0 3 2 】

なお、前記ゲート信号線 G L はその一端において走査信号駆動回路 V に接続され、この走査信号駆動回路 V によって各ゲート信号線 G L に走査信号が順次走査して供給されるようになっている。また、前記ドレイン信号線 D L はその一端において映像信号駆動回路 H e に接続され、この映像信号駆動回路 H e によって各ドレイン信号線 D L に映像信号が供給されるようになっている。

【 0 0 3 3 】

すなわち、図中 x 方向に並設される各画素からなる画素群（ライン）は順次走査信号によって選択され、その選択のタイミングに合わせて、該ラインの各画素に映像信号が供給されるように駆動される。

10

【 0 0 3 4 】

図 1 は上述した画素における構成を示す具体的な構成の平面図である。また、図 1 の I (a) - I (b) 線における断面図を図 2 に示している。

【 0 0 3 5 】

基板 S U B 1 の主表面に、対向電極 C T がたとえば I T O (Indium Tin Oxide) のような透光性の材料で形成されている。

【 0 0 3 6 】

画素領域は後述するゲート信号線 G L とドレイン信号線 D L で囲まれた領域で構成され、該対向電極 C T は該領域の僅かな周辺を除いた中央部の全域に形成されるようになっている。

20

【 0 0 3 7 】

そして、ゲート信号線 G L および基準信号線 C L が形成されている。これらはたとえば同一工程で形成され、したがって同一の材料から構成されるようになっている。

【 0 0 3 8 】

ここで、基準信号線 C L は画素領域を囲む各ゲート信号線 G L のうち一方のゲート信号線 G L に近接かつ隣接して形成されるとともに、前記対向電極 C T に直接重ね合わされて形成され、これにより該対向電極 C T と電気的に接続されて形成されるようになっている。

【 0 0 3 9 】

また、基板 S U B 1 の主表面には前記ゲート信号線 G L 等をも被って全域に絶縁膜 G I が形成されている。この絶縁膜 G I は後述の薄膜トランジスタ T F T のゲート絶縁膜として機能するとともに、層間絶縁膜として機能するものである。

30

【 0 0 4 0 】

この絶縁膜 G I の上面であって、前記ゲート信号線 G L と重畳する領域の一部に半導体層 A S が形成されている。この半導体層 A S は第 1 半導体層 A S 1、第 2 半導体層 A S 2 からなっている。それぞれの半導体層の形成箇所において第 1 薄膜トランジスタ T F T 1、第 2 薄膜トランジスタ T F T 2 を形成せんがためである。

【 0 0 4 1 】

この場合の各半導体層 A S 1、A S 2 は、当該画素領域の左側、すなわち当該画素に映像信号を導くためのドレイン信号 D L 側に近づくようにして配置されている。

40

【 0 0 4 2 】

各半導体層 A S 1、A S 2 においてその上面に一对の対向する電極（ソース・ドレイン電極）を形成することによって、前記ゲート信号線 G L をゲート電極とする逆スタガの M I S 構造トランジスタが形成されることになるが、該電極はドレイン信号線 D L の形成の際に同時に形成されるようになっている。

【 0 0 4 3 】

すなわち、画素領域の左側に位置づけられるドレイン信号線 D L の一部においてゲート信号線 G L に平行して延在される部分を有し、この延在部分が屈曲して半導体層 A S 1、A S 2 のそれぞれの近接する一辺側から乗り上げて形成されることによりドレイン電極 S

50

D 1 1、S D 2 1 が形成される。また、各半導体層 A S 1、A S 2 の表面において、それぞれのドレイン電極 S D 1 1、S D 2 1 からチャンネル長分だけ離間されてソース電極 S D 1 2、S D 2 2 が形成される。なお、このソース電極 S D 1 2、S D 2 2 はそれぞれ半導体層 A S 1、A S 2 面から画素領域側へ若干延在された延在部を有して形成されている。該延在部は後述の画素電極 P X 1、P X 2 と接続を図る部分となるからである。

【 0 0 4 4 】

また、基板 S U B 1 の表面には、前記ドレイン信号線 D L をも被って全域に保護膜 P S A が形成されている。この保護膜 P A S は前記薄膜トランジスタ T F T 1、T F T 2 の後述する液晶 L C との直接の接触を回避させる機能を有するもので、その材料としては無機材料、有機材料、無機材料と有機材料との積層体等から構成されるようになっている。

10

【 0 0 4 5 】

この保護膜 P A S の表面には画素電極 P X が形成されている。この画素電極 P X は、前記対向電極 C T の形成領域内に形成され、これにより、絶縁膜 G I および保護膜 P A S を介在させて該対向電極 C T に重畳されるようになっている。

【 0 0 4 6 】

画素電極 P X は第 1 画素電極 P X 1 および第 2 画素電極 P X 2 から構成されている。第 1 画素電極 P X 1 はその一部において、その下層の前記保護膜 P A S に予め形成されたコンタクトホール C N 1 を通して前記薄膜トランジスタ T F T 1 のソース電極 S D 1 2 の延在部に電氣的に接続され、同様に、第 2 画素電極 P X 2 はその一部において、その下層の前記保護膜 P A S に予め形成されたコンタクトホール C N 2 を通して前記薄膜トランジスタ T F T 2 のソース電極 S D 1 2 の延在部に電氣的に接続されている。

20

【 0 0 4 7 】

第 1 画素電極 P X 1 および第 2 画素電極 P X 2 は、それぞれ、ほぼ x 方向に延在され y 方向に並設される複数の電極からなる電極群から構成され、第 1 画素電極 P X 1 の電極と第 2 画素電極 P X 2 の電極はそれぞれ交互に配置されている。

【 0 0 4 8 】

また、第 1 画素電極 P X 1 は、それら各電極が当該画素に映像信号を供給するドレイン信号線 D L に隣接して平行に形成される導電層 P D 1 と一体に形成され、いわゆる櫛歯状のパターンをなし、第 2 画素電極 P X 2 も、それら各電極が前記ドレイン信号線 D L と異なるドレイン信号線 D L であって当該画素を挟むものに隣接して平行に形成される導電層 P D 2 と一体に形成され、櫛歯状のパターンをなしている。

30

【 0 0 4 9 】

また、画素電極 P X の製造の際に同時に形成される導電材 S E がゲート信号線 G L の一部を横切って形成されている。この導電材 S E は当該画素に薄膜トランジスタ T F T を通して映像信号を供給するドレイン信号線 D L と異なる他のドレイン信号線 D L に近接した箇所に形成されている。薄膜トランジスタ T F T と比較的離間された箇所を選択し、これにより該薄膜トランジスタ T F T との接触を十分に回避させるためである。

【 0 0 5 0 】

前記導電材 S E の当該画素領域における一端は、その下層の保護膜 P A S、絶縁膜 G I を貫通するコンタクトホール C N 4 を通して、基準電極 C L と電氣的に接続され、また隣接する他の画素領域における他端は、その下層の保護膜 P A S、絶縁膜 G I を貫通するコンタクトホール C N 3 を通して、該他の画素領域における対向電極 C T に電氣的に接続されている。

40

【 0 0 5 1 】

表示部において、画素毎に物理的に分離されて散在される各対向電極 C T は、x 方向に隣接する他の画素の対向電極 C T とは基準信号線 D L によって互いに接続され、y 方向に隣接する他の画素の対向電極 C T とは前記導電材 S E によって互いに接続されていることから、基準信号の給電にあつて各画素に波形の歪なくそれができるといふ効果を奏する。

【 0 0 5 2 】

基板 S U B 1 の表面には該画素電極 P X 等をも被って全域に配向膜 O R I 1 が形成され

50

ている。この配向膜 O R I 1 はそれに接触される液晶 L C の分子を初期配向させるための機能を有する。

【 0 0 5 3 】

なお、液晶 L C を介して配置される他の基板 S U B 2 は、その液晶 L C 側の面において、当該画素を他の隣接する画素と画するようにして形成されるブラックマトリクス B M と、当該画素をカラー表示の三原色のうちの一つの色を担当させるために形成されるカラーフィルタ F I L、表面を平坦化させるために形成された平坦化膜 O C、液晶 L C の分子を初期配向させるために形成された配向膜 O R I 2 が設けられている。

【 0 0 5 4 】

ゲート信号線 G L からの走査信号の供給によって同時にオンされる薄膜トランジスタ T F T 1、T F T 2 を通して、ドレイン信号線 D L からの映像信号はそれぞれ画素電極 P X 1、P X 2 に供給されるようになる。一方、対向電極 C T には基準信号線 C L を介して該映像信号に対して基準となる信号が供給されている。

10

【 0 0 5 5 】

このため、図 2 に示すように、画素電極 P X (P X 1、P X 2) と対向電極 C T との間には電界 (電気力線) E が発生し、液晶 L C の分子を挙動させるようになる。

【 0 0 5 6 】

この場合の電界 E は、対向電極 C T の周辺 (エッジ部) において対向電極 C T とほぼ垂直に、また、該電極 E の全体において基板 S U B 1 とほぼ平行に発生し、それらはいずれも液晶 L C の分子の挙動に寄与するようになる。

20

【 0 0 5 7 】

図 3 は、上述した構成からなる液晶表示装置の効果を示す説明図で、図 1 と対応した図となっている。

【 0 0 5 8 】

図 3 に示すように、画素電極 P X の一部 (ここでは画素電極 P X 2 の場合を示している) がその下層の保護膜 P A S、絶縁膜 G I に不都合にも形成されたピンホールを介して対向電極 C T と短絡が生じた場合を想定する。保護膜 P A S、絶縁膜 G I にピンホールが形成されるのは、それらの製造中においてたとえば異物の存在によって往々にして起こりえる現象である。

【 0 0 5 9 】

なお、前記ピンホールによって画素電極 P X 2 と対向電極 C T との短絡は図 3 の I (a) - I (b) 線における断面図である図 4 に示されている。

30

【 0 0 6 0 】

このような短絡が生じた場合、画素電極 P X 2 は対向電極 C T と同電位になり画素電極 P X 2 としての機能が損なわれることになる。しかし、対向電極として変身しその機能を有することになり、その変身した対向電極と隣接して配置される画素電極 P X 1 との間に電界を発生し、表示に寄与することになる。

【 0 0 6 1 】

そして、画素電極 P X 1 は短絡する以前のそれと変わりなく、保護膜 P A S および絶縁膜 G I の下層に配置される本来の対向電極 C T との間に依然として電界を発生せしめ、表示に寄与することになる。

40

【 0 0 6 2 】

このことから、たとえ画素電極と対向電極との間に短絡が生じたとしても、当該画素における輝度低下を半分にまでは至らせることなく駆動させることができる。

【 0 0 6 3 】

図 5 は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図 1 に対応した図となっている。

【 0 0 6 4 】

図 1 の場合と比較して異なる構成は、まず、薄膜トランジスタ T F T 1 および T F T 2 にある。

50

【 0 0 6 5 】

ゲート信号線 G L 上に隣接して配置される薄膜トランジスタ T F T 1 および T F T 2 のそれぞれのドレイン電極 S D 1 1、S D 2 1 は、それらのソース電極 S D 1 2、S D 2 2 の先端を囲むようにして形成されたパターンをなしている。

【 0 0 6 6 】

ここで、ソース電極 S D 1 2、S D 2 2 の先端とは、対応する画素電極 P X 1、P X 2 と接続される側と反対側の端部で、実質薄膜トランジスタ T F T 1、T F T 2 のソース電極 S D 1 2、S D 2 2 として機能する部分である。

【 0 0 6 7 】

すなわち、ドレイン電極 S D 1 1 は帯状をなし、それが湾曲されて、それと一对の電極を構成するソース電極 S D 1 2 の前記先端部を中心とした半円弧状をなしている。同様に、ドレイン電極 S D 2 1 も帯状をなし、それが彎曲されて、それと一对の電極を構成するソース電極 S D 2 2 の前記先端部を中心とした半円弧状をなしている。

10

【 0 0 6 8 】

そして、これらドレイン電極 S D 1 1 およびドレイン電極 S D 2 1 は互いに隣接する箇所において物理的に接続され、その接続部における幅は該接続部以外の幅と同じになっている。このことから、ドレイン電極 S D 1 1 およびドレイン電極 S D 2 1 はそれぞれ滑らかな円弧部を有するほぼ“W”字状のパターンで形成される。

【 0 0 6 9 】

これらドレイン電極 S D 1 1 およびドレイン電極 S D 2 1 がそれらと対をなすソース電極 S D 1 2、S D 2 2 を囲んで形成されるのは、それぞれの薄膜トランジスタ T F T 1、T F T 2 のチャンネル幅を大きくせんがためであり、そのチャンネル幅方向に沿ってチャンネル長を均一とするため、ソース電極 S D 1 2、S D 2 2 の先端部は角がとれた円弧状となっている。ドレイン電極 S D 1 1 およびドレイン電極 S D 2 1 の内周辺（ソース電極 S D 1 2、S D 2 2 と対向する周面）の曲率と一致させるためである。

20

【 0 0 7 0 】

そして、双方の薄膜トランジスタ T F T 1、T F T 2 のチャンネル幅を大きくとれるとともに、これら薄膜トランジスタ T F T 1、T F T 2 を大幅に近接させて配置させることができるようになる。上述したように、ドレイン電極 S D 1 1 およびドレイン電極 S D 2 1 の接続部における幅は該接続部以外の幅と同じにしているからである。

30

【 0 0 7 1 】

この実施例の場合、上述したように、ゲート信号線 G L を間にして隣接される各画素の対向電極 C T を互いに接続させるための導電材 S E が配置され、前記薄膜トランジスタ T F T 1、T F T 2 との間の距離を十分に確保でき、それらの短絡を十分に回避できるという効果を奏する。

【 0 0 7 2 】

なお、薄膜トランジスタ T F T 1、T F T 2 の半導体層 A S は共通に形成され、その形状は矩形状であってもよいが、図 5 では、該矩形形状の一边を除く他の辺がドレイン電極 S D 1 1、S D 2 1 の外周辺に合わせた形状となっている。

【 0 0 7 3 】

また、薄膜トランジスタ T F T 1 のソース電極 S D 1 2 に接続される画素電極 P X 1 はその接続部において、それと y 方向に隣接して配置される画素電極 P X 2 との対向を回避した構成となっている。このことは、図 1 の場合の同じ箇所における構成と異なるもので、各薄膜トランジスタ T F T 1、T F T 2 を近接して配置できることによる結果の構成となる。

40

【 0 0 7 4 】

なお、前記接続部と y 方向に隣接して配置される画素電極 P X 2 は、その長手方向におけるソース電極 S D 2 2 との接続に要する分岐部よりも薄膜トランジスタ T F T 1 側に突出して形成されている。画素としての機能を有する領域を拡大せんとするからである。

【 0 0 7 5 】

50

したがって、図5に対応する他の実施例を示す図6に示すように、該突出部は必ずしも形成されていなくてもよいことはもちろんである。

【0076】

図7は、画素電極PX1、PX2のパターンの他の改変例を示す図である。画素領域の中央を図中x方向に走行する仮想の線分を境にして、薄膜トランジスタTFT1、TFT2が形成されている側のそれらのパターンはたとえば図6の場合と同様となっているが、このパターンに対し、図中上側のパターンは前記仮想の線分を中心にして線対称とした関係となっている。

【0077】

これにより、各画素電極PX1、PX2の電極の走行方向の角度を図中上側と下側とで異ならしめることができ、いわゆるマルチドメイン構造とすることができる。

10

【0078】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【図面の簡単な説明】

【0079】

【図1】本発明による液晶表示装置の画素の構成の一実施例を示す平面図である。

【図2】図1のI(a)-I(b)線における断面図である。

【図3】本発明による液晶表示装置の効果を示す説明図である。

【図4】図3のI(a)-I(b)線における断面図である。

20

【図5】本発明による液晶表示装置の画素の構成の一実施例を示す平面図である。

【図6】本発明による液晶表示装置の画素の構成の一実施例を示す平面図である。

【図7】本発明による液晶表示装置の画素の構成の一実施例を示す平面図である。

【図8】本発明による液晶表示装置の表示部の一実施例の等価回路を示す図である。

【符号の説明】

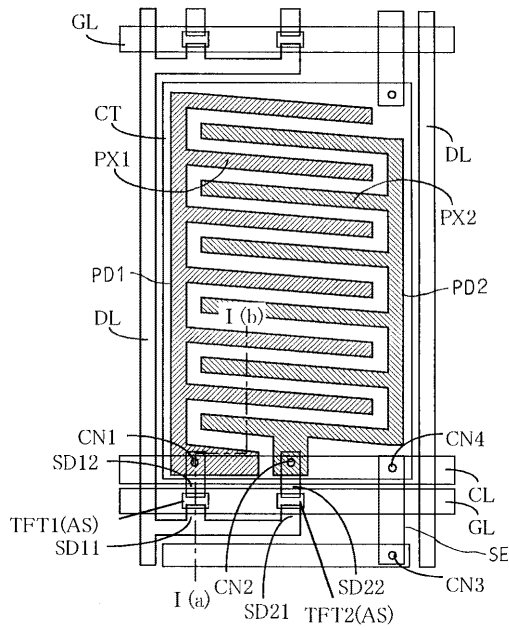
【0080】

SUB.....基板、GL.....ゲート信号線、DL.....ドレイン信号線、CL.....容量信号線、CT.....対向電極、GI.....絶縁膜、PAS.....保護膜、TFT1、TFT2.....薄膜トランジスタ、SD11、SD21.....ドレイン電極、SD12、SD22.....ソース電極、PX1、PX2.....画素電極、LC.....液晶、BM.....ブラックマトリクス、FIL.....カラーフィルタ。

30

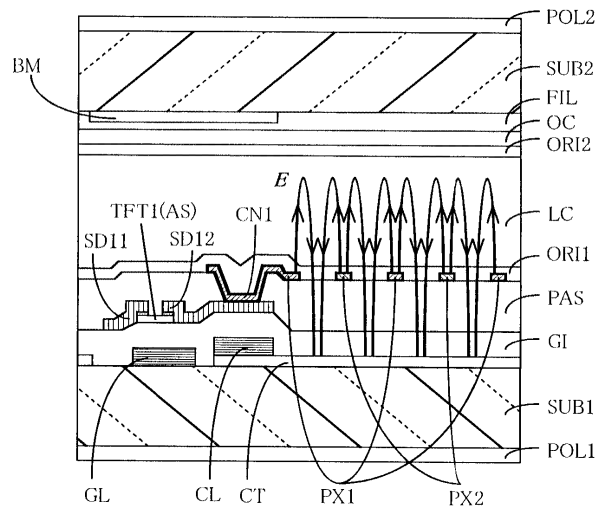
【図1】

図1



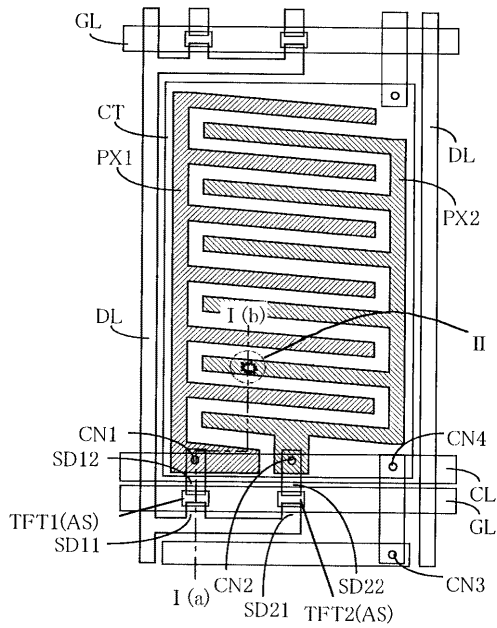
【図2】

図2



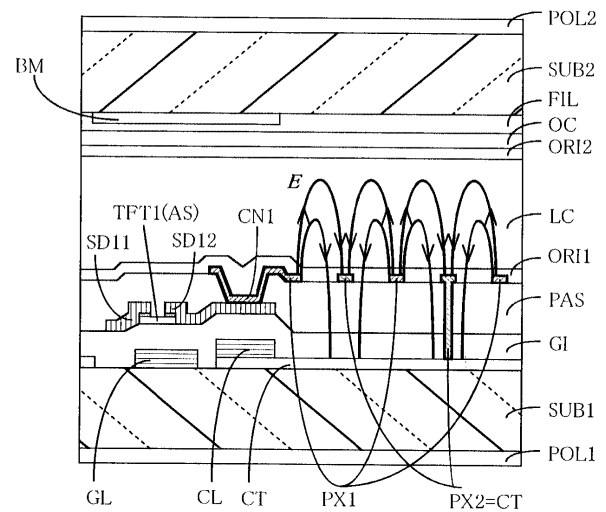
【図3】

図3



【図4】

図4



フロントページの続き

- (56)参考文献 国際公開第2004/023201(WO, A1)
特開2001-109018(JP, A)
特開平03-196019(JP, A)
特開平08-328043(JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343
G02F 1/1337
G02F 1/1368
G09F 9/30

专利名称(译)	液晶表示装置		
公开(公告)号	JP4606103B2	公开(公告)日	2011-01-05
申请号	JP2004274993	申请日	2004-09-22
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	盛育子 小野記久雄		
发明人	盛 育子 小野 記久雄		
IPC分类号	G02F1/1343 G02F1/1337 G02F1/1368 G09F9/30		
CPC分类号	G02F1/134363 G02F1/13624 G02F2201/508		
FI分类号	G02F1/1343 G02F1/1337.500 G02F1/1368 G09F9/30.338		
F-TERM分类号	2H090/LA01 2H090/LA04 2H090/MA02 2H090/MA07 2H092/GA14 2H092/JA25 2H092/JA42 2H092/JB05 2H092/JB11 2H092/JB42 2H092/JB51 2H092/JB58 2H092/NA01 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BB84 2H192/BB86 2H192/BC14 2H192/BC31 2H192/CB05 2H192/CB45 2H192/CC04 2H192/CC42 2H192/DA32 2H192/EA22 2H192/EA43 2H192/JA32 5C094/AA07 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DB01 5C094/EA04 5C094/FA01 5C094/FB14		
其他公开文献	JP2006091274A JP2006091274A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：获得即使像素电极与对电极短路也能防止像素电极的亮度降低到一半的液晶显示装置。解决方案：液晶显示装置的特征在于：与液晶相对的基板表面上的像素具有像素电极和对电极，对电极形成在绝缘膜下方，像素电极形成在绝缘膜；除了像素的微小周边外，对电极形成在像素的整个中心区域；像素电极包括各个像素电极，它们在相同的定时输入通过各个开关元件提供给像素的视频信号，各个像素电极各自由交替排列的多个像素组成。

