

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4492480号
(P4492480)

(45) 発行日 平成22年6月30日 (2010. 6. 30)

(24) 登録日 平成22年4月16日 (2010. 4. 16)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G02F 1/133 580

G09G 3/20 624D

G09G 3/20 624B

請求項の数 8 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2005-228740 (P2005-228740)
 (22) 出願日 平成17年8月5日 (2005. 8. 5)
 (65) 公開番号 特開2007-47221 (P2007-47221A)
 (43) 公開日 平成19年2月22日 (2007. 2. 22)
 審査請求日 平成18年8月7日 (2006. 8. 7)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 佐藤 友彦
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 板倉 直之
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 竹内 剛也
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

スイッチング素子を通して信号ラインを伝搬される映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、

上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、

上記画素回路の行配列に対応するように配置された複数の容量配線と、

上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、

所定の周期でレベルが切り替わるコモン電圧信号を生成する生成回路と、

上記駆動回路の容量配線を駆動する信号を補正する補正部と、
 を有し、

上記画素部に配列された各画素回路は、

第1画素電極および第2画素電極を有する表示エレメントと、

第1電極および第2電極を有する保持容量と、

を含み、

上記表示エレメントの第1画素電極と上記保持容量の第1電極と上記スイッチング素子の一端子が接続され、

上記保持容量の第2電極が対応する行に配列された上記容量配線に接続され、上記表示エレメントの第2画素電極には上記コモン電圧信号が印加され、

上記駆動回路は、上記容量配線を駆動する信号を、第1レベルと当該第1レベルより低

10

20

い第2レベルとのいずれかを選択して対応する容量配線に印加し、

上記駆動回路の駆動によって、上記コモン電圧信号の振幅値および上記第1レベルと上記第2レベルとの電位差の値は、上記コモン電圧信号および上記電位差による実効画素電位の増加分について、黒表示のときの上記増加分に対する白表示のときの上記増加分の変動を上記コモン電圧信号により補償するように選定され、

上記補正部は、

上記画素回路を模して形成され上記画素部の画素電位をモニタするモニタ画素回路と、

上記駆動回路で選定された上記容量配線を駆動する信号のレベルを、上記モニタ画素回路のモニタ結果に基づき、温度に応じて重み付けし、重み付けの度合いを上記表示エレメントの光学特性に応じて変えて補正する補正回路と、

を有する表示装置。

【請求項2】

上記補正部は、所定の温度を境として高温領域と低温領域に分け、当該2つの領域で異なる重み付けを行う

請求項1記載の表示装置。

【請求項3】

上記補正部は、所定の温度を境として高温領域と低温領域に分け、当該高温領域の重み付け値を低温領域の重み付け値より大きな値として補正を行う

請求項2に記載の表示装置。

【請求項4】

上記駆動回路は、選択された行の走査ラインを駆動して所望の画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する

請求項1～3記載の表示装置。

【請求項5】

上記駆動回路は、上記容量配線を駆動する信号の第1レベルと当該第1レベルより低い第2レベルとのいずれかを選択して対応する容量配線に印加する

請求項1～4記載の表示装置。

【請求項6】

上記画素回路の表示エレメントが液晶セルである

請求項1～5記載の表示装置。

【請求項7】

上記コモン電圧信号の振幅値および上記電位差の値は、白表示のときの実効画素電位が所定のしきい値以下となるように選定されている

請求項6記載の表示装置。

【請求項8】

上記所定のしきい値は、上記液晶セルの液晶の印加電圧に対する誘電率の特性において、上記印加電圧を上げていったときに上記誘電率が変化し始める電圧値である

請求項7記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素の表示エレメント（電気光学素子）を表示領域にマトリクス状に配列したアクティブマトリクス型の表示装置に関するものである。

【背景技術】

【0002】

表示装置、たとえば液晶セルを画素の表示エレメント（電気光学素子）に用いた液晶表示装置は、薄型で低消費電力であるという特徴をいかして、たとえば携帯情報端末(Personal Digital Assistant : PDA)、携帯電話、デジタルカメラ、ビデオカメラ、パーソナルコンピュータ用表示装置等、幅広い電子機器に適用されている。

10

20

30

40

50

【 0 0 0 3 】

図 1 は、液晶表示装置の構成例を示すブロック図である（たとえば特許文献 1，2 参照）。

液晶表示装置 1 は、図 1 に示すように、有効画素部 2、垂直駆動回路（V D R V）3、および水平駆動回路（H D R V）4 を有している。

【 0 0 0 4 】

有効画素部 2 は、複数の画素回路 2 1 が、マトリクス状に配列されている。

各画素回路 2 1 は、スイッチング素子として薄膜トランジスタ（T F T ; thin film transistor）2 1 と、T F T 2 1 のドレイン電極（またはソース電極）に画素電極が接続された液晶セル L C 2 1 と、T F T 2 1 のドレイン電極に一方の電極が接続された保持容量 C s 2 1 により構成されている。

10

これら画素回路 2 1 の各々に対して、走査ライン（ゲートライン）5 - 1 ~ 5 - m が各行ごとにその画素配列方向に沿って配線され信号ライン 6 - 1 ~ 6 - n が各列ごとにその画素配列方向に沿って配線されている。

そして、各画素回路 2 1 の T F T 2 1 のゲート電極は、各行単位で同一の走査ライン 5 - 1 ~ 5 - m にそれぞれ接続されている。また、各画素回路 2 1 のソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン 6 - 1 ~ 6 - n に各々接続されている。

【 0 0 0 5 】

さらに、一般的な液晶表示装置においては、保持容量配線 C s を独立に配線し、この保持容量配線と C s と液晶セル L C 2 1 の第 1 電極との間に保持容量 C s 2 1 を形成するが、保持容量配線 C s は、コモン電圧 V C O M と同相パルスが入力され、保持容量として用いる。一般的な液晶表示装置においては、有効画素部 2 におけるすべての画素回路 2 1 の保持容量 C s 2 1 は、一つの保持容量配線 C s に共通に接続されている。

20

そして、各画素回路 2 1 の液晶セル L C 2 1 の第 2 電極は、たとえば 1 水平走査期間（1 H）毎に極性が反転するコモン電圧 V c o m の供給ライン 7 に共通に接続されている。

【 0 0 0 6 】

各走査ライン 5 - 1 ~ 5 - m は、垂直駆動回路 3 により駆動され、各信号ライン 6 - 1 ~ 6 - n は水平駆動回路 4 により駆動される。

【 0 0 0 7 】

垂直駆動回路 3 は、1 フィールド期間ごとに垂直方向（行方向）に走査して走査ライン 5 - 1 ~ 5 - m に接続された各画素回路 2 1 を行単位で順次選択する処理を行う。

30

すなわち、垂直駆動回路 3 から走査ライン 5 - 1 に対して走査パルス S P 1 が与えられたときには第 1 行目の各列の画素が選択され、走査ライン 5 - 2 に対して走査パルス S P 2 が与えられたときには第 2 行目の各列の画素が選択される。以下同様にして、走査ライン 5 - 3，...，5 - m に対して走査パルス S P 3，...，S P m が順に与えられる。

【 0 0 0 8 】

図 2（A）～（E）に、図 1 に示す一般的な液晶表示装置のいわゆる 1 H V c o m 反転駆動方式におけるタイミングチャートを示す。

【 0 0 0 9 】

また、他の駆動方式として、保持容量配線 C s からのカップリングを利用して液晶への印加電圧を変調させる容量結合駆動方式が知られている（たとえば特許文献 3 参照）。

40

【特許文献 1】特開平 1 1 - 1 1 9 7 4 6 号公報

【特許文献 2】特開 2 0 0 0 - 2 9 8 4 5 9 号公報

【特許文献 3】特開平 2 - 1 5 7 8 1 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

上述した容量結合駆動方式は、1 H V c o m 反転駆動方式に比べ、いわゆるオーバドライブによる液晶の応答速度を改善でき、また、V c o m 周波数帯域で発生するオーディオノイズを低減でき、超高精細パネルにおけるコントラスト補償（最適化）が行えるなどの

50

特徴がある。

【 0 0 1 1 】

ところが、特許文献 3 に記載されたこの容量結合駆動方式を、図 3 に示すような、印加電圧に対する液晶誘電率 ϵ の特性を有する液晶材料（ノーマリホワイト対応）を用いて液晶表示装置に採用した場合、下記の式（ 1 ）、図 4 および図 5 に示すように、黒輝度を最適化しようとした際、白輝度が黒くなる（沈んでしまう）という不利益がある。

このことにより、現在の容量結合駆動方式を採用した液晶表示装置においては、黒輝度、白輝度の両者を同時に最適化することができないという不利益がある。

【 0 0 1 2 】

（数 1）

$$\Delta V_{pix1} = V_{sig} + \{C_{cs} / (C_{cs} + C_{lc})\} * \Delta V_{cs} - V_{com} \quad \dots (1)$$

【 0 0 1 3 】

式（ 1 ）において、 ΔV_{pix} は実効画素電位、 V_{sig} は映像信号電圧、 C_{cs} は保持容量、 C_{lc} は液晶容量を、 ΔV_{cs} は信号 CS の電位を、 V_{com} はコモン電圧をそれぞれ示している。

上述したように、黒輝度を最適化しようとした際、白輝度が沈んでしまうのは、上記式（ 1 ）の $\{C_{cs} / (C_{cs} + C_{lc})\} * \Delta V_{cs}$ の項にあり、液晶誘電率の非線形性が実効画素電位に影響を与えるためである。

【 0 0 1 4 】

本発明の目的は、黒輝度および白輝度の両方をもに最適化することが可能な表示装置を供することにある。

【課題を解決するための手段】

【 0 0 1 5 】

本発明の第 1 の観点の表示装置は、スイッチング素子を通して信号ラインを伝搬される映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、上記画素回路の行配列に対応するように配置された複数の容量配線と、上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、所定の周期でレベルが切り替わるコモン電圧信号を生成する生成回路と、上記駆動回路の容量配線を駆動する信号を補正する補正部と、を有し、上記画素部に配列された各画素回路は、第 1 画素電極および第 2 画素電極を有する表示エレメントと、第 1 電極および第 2 電極を有する保持容量と、を含み、上記表示エレメントの第 1 画素電極と上記保持容量の第 1 電極と上記スイッチング素子の一端子が接続され、上記保持容量の第 2 電極が対応する行に配列された上記容量配線に接続され、上記表示エレメントの第 2 画素電極には上記コモン電圧信号が印加され、上記駆動回路は、上記容量配線を駆動する信号を、第 1 レベルと当該第 1 レベルより低い第 2 レベルとのいずれかを選択して対応する容量配線に印加し、上記駆動回路の駆動によって、上記コモン電圧信号の振幅値および上記第 1 レベルと上記第 2 レベルとの電位差の値は、上記コモン電圧信号および上記電位差による実効画素電位の増加分について、黒表示のときの上記増加分に対する白表示のときの上記増加分の変動を上記コモン電圧信号により補償するように選定され、上記補正部は、上記画素回路を模して形成され上記画素部の画素電位をモニタするモニタ画素回路と、上記駆動回路で選定された上記容量配線を駆動する信号のレベルを、上記モニタ画素回路のモニタ結果に基づき、温度に応じて重み付けし、重み付けの度合いを上記表示エレメントの光学特性に応じて変えて補正する補正回路と、を有する。

【 0 0 1 8 】

好適には、上記補正部は、所定の温度を境として高温領域と低温領域に分け、当該 2 つの領域で異なる重み付けを行う。

【 0 0 1 9 】

好適には、上記補正部は、所定の温度を境として高温領域と低温領域に分け、当該高温

10

20

30

40

50

領域の重み付け値を低温領域の重み付け値より大きな値として補正を行う。

【0021】

好適には、上記駆動回路は、選択された行の走査ラインを駆動して所望の画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する。

【0022】

好適には、上記駆動回路は、上記容量配線を駆動する信号の第1レベルと当該第1レベルより低い第2レベルとのいずれかを選択して対応する容量配線に印加する。

【0023】

好適には、上記画素回路の表示エレメントが液晶セルである。

【発明の効果】

10

【0024】

本発明によれば、黒輝度および白輝度の両方をともに最適化することができる利点がある。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態について図面に関連付けて詳細に説明する。

【0026】

図6は、たとえば液晶セルを画素の表示エレメント（電気光学素子）として用いた本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

【0027】

20

本表示装置100は、図6に示すように、有効画素部101、垂直駆動回路（VDRV）102、水平駆動回路（HDRV）103、およびコモン電圧生成回路（VcomGen）104、ゲートライン（走査ライン）105-1～105-m、保持容量配線（以下、ストレージラインという）106-1～106-m、信号ライン107-1～107-n、ダミー画素部（モニタ部）108、および検出回路109を主構成要素として有している。

【0028】

有効画素部101は、図7に示すように、複数の画素回路PXL Cが、 $m \times n$ のマトリクス状に配列されている。具体的には、全体としてノーマル表示が可能のように、たとえば $320 \times \text{RGB} \times 320$ 個の画素回路が配列されている。

30

なお、図7においては、図面の簡単化のために、 4×4 のマトリクス配列として示している。

【0029】

各画素回路PXL Cは、図7に示すように、スイッチング素子としてTFT（薄膜トランジスタ；thin film transistor）201と、TFT 201のドレイン電極（またはソース電極）に第1画素電極が接続された液晶セルLC 201と、TFT 201のドレイン電極に第1電極が接続された保持容量Cs 201により構成されている。

なお、TFT 201のドレインと、液晶セルLC 201の第1画素電極と、保持容量Cs 201の第1電極との接続点によりノードND 201が形成されている。

【0030】

40

これら画素回路PXL Cの各々に対して、ゲートライン（走査ライン）105-1～105-mおよびストレージライン106-1～106-mが各行ごとにその画素配列方向に沿って配線され、信号ライン107-1～107-nが各列ごとにその画素配列方向に沿って配線されている。

【0031】

そして、各画素回路PXL CのTFT 201のゲート電極は、各行単位で同一のゲートライン105-1～105-mにそれぞれ接続されている。

各画素回路PXL Cの保持容量Csの第2電極は、各行単位で同一のストレージライン106-1～106-mにそれぞれ接続されている。

また、各画素回路PXL Cのソース電極（または、ドレイン電極）は、各列単位で同一

50

の信号ライン 107 - 1 ~ 107 - n に各々接続されている。

そして、各画素回路 P X L C の液晶セル L C 201 の第 2 画素電極は、1 水平走査期間 (1 H) に極性が反転する小振幅のコモン電圧 V C O M の図示しない供給ラインに共通に接続されている。

【0032】

各ゲートライン 105 - 1 ~ 105 - m は、垂直駆動回路 102 のゲートドライバにより駆動され、各ストレージライン 106 - 1 ~ 106 - m は垂直駆動回路 102 の容量ドライバ (C S ドライバ) により駆動され、各信号ライン 107 - 1 ~ 107 - n は水平駆動回路 103 により駆動される。

【0033】

また、有効画素部 101 には、1 行分あるいは 1 画素を含むモニタ回路としてのダミー画素部 108 が形成されている。ダミー画素部 108 は、通常の有効画素と同様の画素構成を有し、たとえば有効画素部 101 に 1 行分余分に形成する、あるいは有効画素部 101 の最下位に位置する m 行目を割り当てる等の態様が可能である。

このダミー画素部 108 は、画素回路 P X L C の接続ノード N D 201 の電位を検出して検出回路 109 に出力する。

ダミー画素部 108 は、以下の理由により設けられている。

駆動温度の変化によって、保持容量 (ストレージ容量) C S 201 を形成している絶縁膜および液晶の誘電率および屈折率が変動し、液晶印加電圧が変動してしまうことから、この温度変化による液晶誘電率および屈折率の変動分を電氣的に検知し、液晶印加電圧の変動を抑制することで表示の温度による変化を抑制するために設けられている。

後述するように、ダミー画素部 108 から検出した画素電位が任意の電位になるように、C S ドライバから出力するストレージ信号 C S を光学的特性を加味した形で補正する。

【0034】

垂直駆動回路 102 は、基本的には、1 フィールド期間ごとに垂直方向 (行方向) に走査してゲートライン 105 - 1 ~ 105 - m に接続された各画素回路 P X L C を 1 行単位で順次選択する処理を行う。

すなわち、垂直駆動回路 102 は、ゲートライン 105 - 1 に対してゲートパルス G P 1 を与えて第 1 行目の各列の画素が選択し、ゲートライン 105 - 2 に対してゲートパルス G P 2 を与えて第 2 行目の各列の画素を選択する。以下同様にして、ゲートライン 105 - 3 , ... , 105 - m に対してゲートパルス G P 3 , ... , G P m を順に与える。

【0035】

さらに、垂直駆動回路 102 は、各ゲートライン毎に対応して独立に配線された各ストレージライン 106 - 1 ~ 106 - m 毎に第 1 レベル (C S H、たとえば 3 V ~ 4 V) または第 2 レベル (C S L、たとえば 0 V) のいずれかに選択した容量信号 (以下、ストレージ信号という) C S 1 ~ C S m を順に与える。

【0036】

図 8 (A) ~ (L) は、本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。

【0037】

垂直駆動回路 102 は、たとえば第 1 行目から順番にゲートライン 105 - 1 ~ 105 - m、ストレージライン 106 - 1 ~ 106 - m を駆動していくが、ゲートパルスでのゲートラインを駆動した後 (信号書き込み後)、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン 106 - 1 ~ 106 - m に印加するストレージ信号 C S 1 ~ C S m のレベルを、以下のように、第 1 レベル C S H と第 2 レベル C S L を交互に選択して印加する。

たとえば、垂直駆動回路 102 は、第 1 行目のストレージライン 106 - 1 に第 1 レベル C S H を選択してストレージ信号 C S 1 を印加した場合、第 2 行目のストレージライン 106 - 2 には第 2 レベル C S L を選択してストレージ信号 C S 2 を印加し、第 3 行目のストレージライン 106 - 3 には第 1 レベル C S H を選択してストレージ信号 C S 3 を印

10

20

30

40

50

加し、第４行目のストレージライン１０６－４には第２レベルＣＳＬを選択してストレージ信号ＣＳ４を印加し、以下同様にして交互に第１レベルＣＳＨと第２レベルＣＳＬを選択してストレージ信号ＣＳ５～ＣＳｍをストレージライン１０６－５～１０６－ｍに印加する。

また、第１行目のストレージライン１０６－１に第２レベルＣＳＬを選択してストレージ信号ＣＳ１を印加した場合、第２行目のストレージライン１０６－２には第１レベルＣＳＨを選択してストレージ信号ＣＳ２を印加し、第３行目のストレージライン１０６－３には第２レベルＣＳＬを選択してストレージ信号ＣＳ３を印加し、第４行目のストレージライン１０６－４には第１レベルＣＳＨを選択してストレージ信号ＣＳ４を印加し、以下同様にして交互に第２レベルＣＳＬと第１レベルＣＳＨを選択してストレージ信号ＣＳ５～ＣＳｍをストレージライン１０６－５～１０６－ｍに印加する。

10

【００３８】

本実施形態においては、ゲートパルスＧＰの立下り後（信号ラインからの書き込み後）、ストレージライン１０６－１～１０６－ｍを駆動し、保持容量ＣＳ２０１を介してカップリングさせることにより画素電位（ノードＮＤ２０１の電位）を変化させて、液晶印加電圧を変調させている。

また、後述するように、ＣＳドライバ１０２０によるストレージ信号ＣＳは、検出回路１０９により、ダミー画素部１０８から検出した画素電位が任意の電位になるように光学的特性を加味した形で補正される。

【００３９】

20

図７には、垂直駆動回路１０２のＣＳドライバ１０２０のレベル選択出力部の一例を模式的に示している。

ＣＳドライバ１０２０は、可変電源部１０２１と、電源部１０２１の正極側に接続された第１レベル供給ライン１０２２と、電源部１０２１の負極側に接続された第２レベル供給ライン１０２３と、第１レベル供給ライン１０２２または第２レベル供給ライン１０２３とを画素配列の各行毎に配線したストレージライン１０６－１～１０６－ｍとを選択的に接続するスイッチＳＷ１～ＳＷｍを含んで構成されている。

【００４０】

また、図７中に ΔV_{cs} は第１レベルＣＳＨと第２レベルＣＳＬとのレベル差（電位差）を示している。

30

後で詳述するように、この ΔV_{cs} と小振幅の交番のコモン電圧 V_{com} の振幅 ΔV_{com} は、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば後述するように、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が０．５Ｖ以下の値となるように ΔV_{cs} と ΔV_{com} の値が決定される。

【００４１】

垂直駆動回路１０２は、垂直シフトレジスタ群を含み、画素配列に対応して各行毎に配列されたゲートラインが接続されたゲートバッファに対応して設けられた複数のシフトレジスタＶＳＲを有する。各シフトレジスタＶＳＲは、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルスＶＳＴ、垂直走査の基準となる垂直クロックＶＣＫ（または互いに逆相の垂直クロックＶＣＫ，ＶＣＫＸ）が供給される。

40

たとえばシフトレジスタは、垂直スタートパルスＶＳＴを、垂直クロックＶＣＫに同期してシフト動作を行い、対応するゲートバッファに供給する。

また、垂直スタートパルスＶＳＴは、有効画素部１０１の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタＶＳＲにより供給された垂直クロックにより各ゲートバッファを通して各ゲートラインが順番に駆動されていく。

【００４２】

水平駆動回路１０３は、水平走査の開始を指令する水平スタートパルスＨＳＴ、水平走査の基準となる水平クロックＨＣＫ（または互いに逆相の垂直クロックＨＣＫ，ＨＣＫＸ

50

）に基づいて、入力される映像信号 $Vsig$ を $1H$ （ H は水平走査期間）毎に順次サンプリングし、信号ライン $107-1 \sim 107-n$ を介して垂直駆動回路 102 によって行単位で選択される各画素回路 PXL に対して書き込む処理を行う。

【0043】

コモン電圧生成回路 104 は、 $1H$ 毎に極性が反転する小振幅のコモン電圧 $Vcom$ を生成して図示しない供給ラインを通して有効画素部 101 の全画素回路 PXL の液晶セル $LC201$ の第2画素電極に共通に供給する。

コモン電圧 $Vcom$ の振幅の振幅 $\Delta Vcom$ の値は、ストレージ信号 CS の第1レベルと CSH と第2レベル CSL との差 ΔVcs とともに、黒輝度および白輝度をともに最適化できるような値に選定される。

10

たとえば後述するように、白表示のときに液晶に印加される実効画素電位 $\Delta Vpix_W$ が $0.5V$ 以下の値となるように ΔVcs と $\Delta Vcom$ の値が決定される。

【0044】

図6においては、コモン電圧生成回路 104 を液晶パネル内に設ける構成を例として示しているが、パネル外に配置して、パネル外からコモン電圧 $Vcom$ を供給するように構成することも可能である。

【0045】

図9は、本実施形態に係るコモン電圧生成回路の構成例を示す回路図である。

図9の例は、パネルの外部部品により小振幅のコモン電圧 $Vcom$ を生成する場合を示している。

20

【0046】

図9のコモン電圧生成回路は、フリッカ調整用抵抗素子 $R1$ 、 $R2$ 、平滑キャパシタ $C1$ 、小振幅 $\Delta Vcom$ だけ振幅させるためのキャパシタ $C2$ 、 $Vcom$ 供給ライン 108 の配線抵抗 $Rcom$ 、および $Vcom$ 供給ライン 108 の寄生容量 $Ccom$ を含んで構成されている。

【0047】

電源電圧 VCC の供給ラインと接地ライン GND との間に抵抗素子 $R1$ 、 $R2$ が直列に接続され、両抵抗素子 $R1$ 、 $R2$ で抵抗分圧した電圧を抵抗素子の接続ノード $ND1$ に発生する。抵抗素子 $R2$ は可変抵抗で、発生する電圧を調整可能となっている。

接続ノード $ND1$ がパネル端子 T に接続されている。キャパシタ $C1$ の第1電極が接続ノード $ND1$ と端子 T との接続ラインに接続され、第2電極が接地されている。

30

キャパシタ $C2$ の第1電極が接続ノード $ND1$ と端子 T との接続ラインに接続され、第2電極が信号 FRP の供給ラインに接続されている。

【0048】

図9のコモン電圧生成回路においては、次式に従って小振幅 $\Delta Vcom$ が決定される。

【0049】

(数2)

$$\Delta Vcom = \{ C2 / (C1 + C2 + Ccom) \} \times FRP \quad \dots (2)$$

【0050】

小振幅は容量カップリング（結合）を利用、またはデジタル的に生成して、使用することが可能である。

40

小振幅 $\Delta Vcom$ の値は、極力小さい振幅、たとえば $10mV \sim 1.0V$ 程度の振幅が良い。理由は、それ以外であるとオーバドライブによる応答速度の改善、音響ノイズ低減などの効果が小さくなってしまうためである。

【0051】

以上のように、本実施形態においては、液晶表示装置 100 において、容量カップリングを利用した容量結合駆動を行う際に、コモン電圧 $Vcom$ の振幅の振幅 $\Delta Vcom$ の値と、ストレージ信号 CS の第1レベルと CSH と第2レベル CSL との差 ΔVcs の値が、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば、白表示のときに液晶に印加される実効画素電位 $\Delta Vpix_W$ が $0.5V$ 以下

50

り低い値となるように ΔV_{cs} と ΔV_{com} の値が決定される。

以下、本実施形態の容量結合駆動についてさらに詳細に説明する。

【0052】

図10(A)～(E)は、本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。

図10(A)がゲートパルス GP_N を、図10(B)が共通電圧 V_{com} を、図10(C)がストレージ信号 CS_N を、図10(D)が映像信号 V_{sig} を、図10(E)が液晶セルに印加される信号 Pix_N をそれぞれ示している。

【0053】

本実施形態の容量結合駆動においては、共通電圧 V_{com} は一定の直流電圧ではなく1水平走査期間(1H)毎に極性が反転する小振幅の交番の信号として生成され、各画素回路 PXL の液晶セル $LC201$ の第2画素電極に印加される。

また、ストレージ信号 CS_N は、各ゲートライン毎に対応して独立に配線された各ストレージライン106-1～106-m毎に第1レベル(CSH 、たとえば3V～4V)または第2レベル(CSL 、たとえば0V)のいずれかに選択して与える。

このように駆動された場合の、液晶に印加される実効画素電位 ΔV_{pix} は次式で与えられる。

【0054】

【数3】

$$\Delta V_{pix3} = V_{sig} + \frac{C_{cs}}{C_{cs}+C_{lc}+C_g+C_{sp}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs}+C_{lc}+C_g+C_{sp}} * \frac{\Delta V_{com}}{2} - V_{com}$$

$$\approx V_{sig} + \frac{C_{cs}}{C_{cs}+C_{lc}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs}+C_{lc}} * \frac{\Delta V_{com}}{2} - V_{com}$$

【0055】

図11に示すように、式(3)において、 V_{sig} は映像信号電圧、 C_{cs} は保持容量、 C_{lc} は液晶容量を、 C_g はノードND201とゲートライン間の容量を、 C_{sp} はノードND201と信号ライン間の容量を、 ΔV_{cs} は信号 CS の電位を、 V_{com} は共通電圧をそれぞれ示している。

式(3)において、近似式の第2項 $\{(C_{cs}/C_{cs}+C_{lc}) * \Delta V_{cs}\}$ が液晶誘電率の非線形性により低階調(白輝度側)が黒くなる(沈む)要因となる項であり、近似式の第3項 $\{(C_{lc}/C_{cs}+C_{lc}) * \Delta V_{com}/2\}$ が液晶誘電率の非線形性により低階調側を白くする(浮かせる)項である。

すなわち、近似式の第2項の低階調(白輝度側)が黒くなる(沈む)傾向部分が第3項により低階調側を白くする(浮かせる)機能により補償するように動作する。

そして、黒輝度および白輝度をともに最適化できるような値に選定することで、最適なコントラストを得ることができる。

【0056】

図12(A)、(B)は液晶表示装置で使用される液晶材料(ノーマリホワイト液晶)を用いた場合の白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} の選定基準を説明するための図である。図12(A)が印加電圧に対する比誘電率 ϵ の特性を示す図であり、図12(B)は図12(A)の特性が大きく変化する領域を拡大して示す図である。

【0057】

図に示すように、液晶表示装置に使用されている液晶特性では、約0.5V以上の電圧を印加すると、白輝度が沈んでしまう。

そのため、白輝度を最適化するためには、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が0.5V以下とする必要がある。したがって、実効画素電位 ΔV_{pix_W} が0.5V以下となるように ΔV_{cs} と ΔV_{com} の値が決定される。

【 0 0 5 8 】

実際に評価した結果としては、 $\Delta V_{cs} = 3.8V$ 、 $\Delta V_{com} = 0.5V$ のとき、最適なコントラストが得られた。

【 0 0 5 9 】

図13は、本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の1HVCOM駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

図13において、横軸が映像信号電圧 V_{sig} を、縦軸が実効画素電位 ΔV_{pix} をそれぞれ示している。また、図13中、Aで示す線が本発明の実施形態に係る駆動方式の特性を、Bで示す線が関連する容量結合駆動方式の特性を、Cで示す線が通常の1HVCOM駆動方式の特性を示している。

10

【 0 0 6 0 】

図13からわかるように、本実施形態に係る駆動方式によれば、関連する容量結合駆動方式に比べて十分な特性改善が得られている。

【 0 0 6 1 】

図14は、本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。

図14において、横軸が映像信号電圧 V_{sig} を、縦軸が輝度をそれぞれ示している。また、図14中、Aで示す線が本発明の実施形態に係る駆動方式の特性を、Bで示す線が関連する容量結合駆動方式の特性を示している。

20

【 0 0 6 2 】

図14からわかるように、関連する容量結合駆動方式では黒輝度(2)を最適化した際に、白輝度(1)が沈んでいた。これに対して、本実施形態に係る駆動方式によれば、 V_{com} を小振幅としたことで、黒輝度(1)および白輝度(1)の両方とも最適化することができる。

【 0 0 6 3 】

下記の式(4)に、本実施形態に係る駆動方式の上記式(3)に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位 ΔV_{pix_B} と白表示のときの実効画素電位 ΔV_{pix_W} の値を示す。

また、式(5)に関連する容量結合駆動方式の上記式(1)に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位 ΔV_{pix_B} と実効画素電位 ΔV_{pix_W} の値を示す。

30

【 0 0 6 4 】

【 数 4 】

(1)黒表示のとき

$$\begin{aligned}\Delta V_{pix_B} &= V_{sig} + \frac{C_{cs}}{C_{lc_b} + C_{cs}} \times \Delta V_{cs} + \frac{C_{lc_b}}{C_{lc_b} + C_{cs}} \times \frac{\Delta V_{com}}{2} - V_{com} \\ &= 3.3V + \frac{1.65}{1.65} - 1.65V \\ &= \boxed{3.3V} \leftarrow \text{黒輝度を最適化}\end{aligned}$$

40

(2)白表示のとき

$$\begin{aligned}\Delta V_{pix_W} &= V_{sig} + \frac{C_{cs}}{C_{lc_w} + C_{cs}} \times \Delta V_{cs} + \frac{C_{lc_w}}{C_{lc_w} + C_{cs}} \times \frac{\Delta V_{com}}{2} - V_{com} \\ &= 0.0V + \frac{2.05}{2.05} - 1.65V \\ &= \boxed{0.4V} \leftarrow \text{白輝度を最適化}\end{aligned}$$

【 0 0 6 5 】

【数 5】

(1)黒表示のとき

$$\begin{aligned}\Delta V_{pix_B} &= V_{sig} + \frac{C_{cs}}{C_{lc_b} + C_{cs}} \times \Delta V_{cs} - V_{com} \\ &= 3.3V + \frac{1.65}{1.65} - 1.65V \\ &= \boxed{3.3V} \quad \leftarrow \text{黒輝度を最適化}\end{aligned}$$

(2)白表示のとき

$$\begin{aligned}\Delta V_{pix_W} &= V_{sig} + \frac{C_{cs}}{C_{lc_w} + C_{cs}} \times \Delta V_{cs} - V_{com} \\ &= 0.0V + \frac{2.45}{2.45} - 1.65V \\ &= \boxed{0.8V} \quad \leftarrow \text{白輝度が沈んでしまう}\end{aligned}$$

10

【0066】

式(4)および式(5)に示すように、黒表示のときは本実施形態に係る駆動方式と関連する駆動方式ともに実効画素電位 ΔV_{pix_B} は 3.3V となり、黒輝度が最適化されている。

白表示のときは、式(5)に示すように、関連する駆動方式の実効画素電位 ΔV_{pix_W} は 0.5V 以上の 0.8V となり、図12(B)に関連付けて説明したように白輝度が沈んでしまう。

20

これに対して、本実施形態に係る駆動方式の実効画素電位 ΔV_{pix_W} は 0.5V 以下の 0.4V となり、図12(B)に関連付けて説明したように白輝度が最適化される。

【0067】

次に、本実施形態の特徴の一つであるストレージ信号 CS を、検出回路 109 により、ダミー画素部 108 から検出した画素電位が任意の電位になるように光学的特性を加味した形で補正する具体的な構成例について説明する。

【0068】

本実施形態においては、駆動温度の変化によって、保持容量(ストレージ容量) CS 201 を形成している絶縁膜および液晶の誘電率および屈折率が変動し、液晶印加電圧が変動してしまうことから、この温度変化による液晶誘電率および屈折率の変動分を電氣的に検知し、液晶印加電圧の変動を抑制することで表示の温度による変化を抑制する。

30

【0069】

図15は、本実施形態に係る補正回路システムの基本構成を示す図である。

補正回路システム 300 は、画素電位を検出するダミー画素部 108、検出された画素電位に基づいて粗調整および微調整を行って補正として最適な電圧を検出する検出回路 109、検出回路 109 による最適電圧を受けて光学特性を加味したストレージ信号 CS を対応するストレージライン 106-1 ~ 106-m に印加する CS バッファ 110、電源部 111、およびばらつき分を吸収するための外付けのキャリブレーション可変抵抗 112 を主構成要素として有している。

40

【0070】

図16は、本実施形態に係る補正回路システムのさらに詳細な構成を示す回路図である。

【0071】

検出回路 109 は、概念的には、ファレンス画素部 1091、メモリ 1092、ラダー抵抗部 1093、ラダー抵抗 1093 部の各分割端子に接続されたスイッチ(PMOS)群 1094、およびコンパレータ 1095 を有している。

また、CS ドライバ 1020 の CS バッファ 110 は、メモリ 1101、重み付けされた抵抗がラダー状に形成されたラダー抵抗部 1102、およびラダー抵抗部 1102 の各

50

分割端子に接続されたスイッチ（PMOS）群 1103 を有している。

【0072】

ラダー抵抗部 1102 の抵抗重み付けは、以下のようにして行われている。

図 17 に示すように、光学的特性である液晶誘電率 ϵ と屈折率 n を考慮し、常温である 25 を境に境界を求め、常温に対して高温領域と低温領域のストレージ信号 V_{cs} の光学的特性である液晶誘電率 ϵ と屈折率 n を考慮したストレージ信号の特性曲線を考慮して重み付けの度合いを変えている。

本実施形態においては、高温領域の方が低温領域より急な傾斜特性を有することから、高温領域の重み付け値を低温領域の重み付け値より大きくしている（重み付けを重くしている）。

10

図 16 の例では、概念的ではあるが、ラダー抵抗部においては、高温領域に対応した抵抗を通常の抵抗値 R の 3 倍の $3R$ に設定し、低温領域に対応した抵抗を通常の抵抗 R の 2 倍の $2R$ に設定している。

【0073】

なお、メモリ 1101 には、初期値として、ダミー画素部 108 の画素電位とリファレンス画素部 1091 の画素電位をコンパレータ 1095 で時分割で比較して基本となる電圧値がセットされる。

【0074】

図 18 および図 19 は粗調整および微調整による最適電圧値の検索動作を概念的に示す図であって、図 18 は回路図、図 19 はタイミングチャートを示している。

20

【0075】

粗調整および微調整は、たとえば 10 フレームの前半で 5 回 $R_0 \sim R_4$ で示すように、粗調整し、後半で 5 回 $F_{x0} \sim F_{x4}$ で示すように、微調整を行う。

このようにして、10 フレーム期間内に最適な V_{cs} 値（ $1/25$ ）を選択出力する。

【0076】

なお、図 15 および図 16 は概念的な部分を含めて図示しているが、たとえば図 20 に示すように、検出回路 109 と CS バッファ 110 とでラダー抵抗部を共有するように構成することが可能である。

【0077】

図 21（A）は 1HVcom 反転駆動方式の入力階調と透過率との関係を示す図であり、図 21（B）は本実施形態の駆動方式でかつ光学的特性を加味した入力階調と透過率との関係を示す図である。

30

【0078】

1HVcom 反転駆動方式の場合には、高温側での透過率特性のばらつきが大きいが、本実施形態の駆動方式でかつ光学的特性を加味した場合には、ばらつきを抑えることができる。

【0079】

次に、上記構成による動作を説明する。

【0080】

垂直駆動回路 102 のシフトレジスタには、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルス V_{ST} 、垂直走査の基準となる互いに逆相の垂直クロック V_{CK} 、 V_{CKX} が供給される。

40

シフトレジスタにおいては、垂直クロックのレベルシフト動作が行われ、かつ、それぞれ異なる遅延時間で遅延される。たとえばシフトレジスタにおいては、垂直スタートパルス V_{ST} が、垂直クロック V_{CK} に同期にてシフト動作が行われ、対応するゲートバッファに供給される。

また、垂直スタートパルス V_{ST} は、有効画素部 101 の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタ V_{SR} により供給された垂直クロックにより各ゲートバッファを通して各ゲートライン 105 - 1 ~ 105 - m が順番に駆動されてい

50

く。

【 0 0 8 1 】

このように、垂直駆動回路 1 0 2 により、たとえば第 1 行目から順番にゲートライン 1 0 5 - 1 ~ 1 0 5 - m が駆動されていくが、これに伴い、ストレージライン 1 0 6 - 1 ~ 1 0 6 - m が駆動されていく。このとき、ゲートパルスで一のゲートラインを駆動した後、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン 1 0 6 - 1 ~ 1 0 6 - m に印加するストレージ信号 C S 1 ~ C S m のレベルが、第 1 レベル C S H と第 2 レベル C S L が交互に選択されて印加される。

たとえば、第 1 行目のストレージライン 1 0 6 - 1 に第 1 レベル C S H を選択してストレージ信号 C S 1 が印加された場合、第 2 行目のストレージライン 1 0 6 - 2 には第 2 レベル C S L が選択されてストレージ信号 C S 2 が印加され、第 3 行目のストレージライン 1 0 6 - 3 に第 1 レベル C S H が選択されてストレージ信号 C S 3 が印加され、第 4 行目のストレージライン 1 0 6 - 4 には第 2 レベル C S L が選択されストレージ信号 C S 4 が印加され、以下同様にして交互に第 1 レベル C S H と第 2 レベル C S L が選択されストレージ信号 C S 5 ~ C S m がストレージライン 1 0 6 - 5 ~ 1 0 6 - m に印加される。

このストレージ信号は、ダミー画素部 1 0 8 の画素電位が検出回路 1 0 9 で検出されて、この検出電位に基づいて、任意の電位になるように光学的特性を加味した形で補正される。

【 0 0 8 2 】

また、小振幅 ΔV_{com} で交番のコモン電圧 V_{com} が有効画素部 1 0 1 の全画素回路 P X L C の液晶セル L C 2 0 1 の第 2 画素電極に共通に印加される。

【 0 0 8 3 】

そして、水平駆動回路 1 0 3 では、図示しないクロックジェネレータにより生成された水平走査の開始を指令する水平スタートパルス H S T、水平走査の基準となる互いに逆相の水平クロック H C K、H C K X を受けてサンプリングパルスが生成され、入力される映像信号が生成したサンプリングパルスに応答して順次サンプリングされて、各画素回路 P X L C に書き込むべきデータ信号 S D T として各信号ライン 1 0 7 - 1 ~ 1 0 7 - n に供給される。

たとえば、まず、R 対応のセレクトスイッチが導通状態に駆動制御されて R データが各信号ラインに出力されて R データが書き込まれる。R データの書き込みが終了すると、G 対応のセレクトスイッチのみが導通状態に駆動制御されて G データが各信号ラインに出力されて書き込まれる。G データの書き込みが終了すると、B 対応のセレクトスイッチのみが導通状態に駆動制御されて B データが各信号ラインに出力されて書き込まれる。

【 0 0 8 4 】

本実施形態においては、この信号ラインからの書き込み後（ゲートパルス G P の立下り後）、ストレージライン 1 0 6 - 1 ~ 1 0 6 - m から保持容量 C S 2 0 1 を介してカップリングさせることにより画素電位（ノード N D 2 0 1 の電位）を変化させて、液晶印加電圧を変調させている。

このとき、コモン電圧 V_{com} は一定値ではなく小振幅 ΔV_{com} （1 0 m V ~ 1 . 0 V）で交番信号として供給される。

これにより、黒輝度のみならず白輝度も最適化されている。

【 0 0 8 5 】

以上説明したように、本実施形態によれば、T F T 2 0 1 を通して映像用画素データを書き込む複数の画素回路 P X L C がマトリクス状に配置された有効画素部 1 0 1 と、画素回路の行配列に対応するように配置されたゲートライン 1 0 5 - 1 ~ 1 0 5 - m と、画素回路の行配列に対応するように配置された複数の容量配線 1 0 6 - 1 ~ 1 0 6 - m と、画素回路の列配列に対応するように配置された信号ライン 1 0 7 - 1 ~ 1 0 7 - m と、ゲートライン、および容量配線を選択的に駆動する垂直駆動回路 1 0 2 と、所定の周期でレベルが切り替わる小振幅のコモン電圧信号を生成する生成回路 1 0 4 と、を有し、各画素回路は、第 1 画素電極および第 2 画素電極を有する液晶セル L C 2 0 1 と、第 1 電極および

10

20

30

40

50

第2電極を有する保持容量CS201と、を含み、液晶セルの第1画素電極と保持容量の第1電極とTF Tの一端子が接続され、保持容量の第2電極が対応する行に配列された容量配線に接続され、液晶セルの第2画素電極にはコモン電圧信号が印加されることから、黒輝度および白輝度の両方をともに最適化することができる。その結果、コントラストを最適化することができる利点がある。

【0086】

また、本実施形態においては、駆動温度の変化によって、保持容量（ストレージ容量）CS201を形成している絶縁膜および液晶の誘電率および屈折率が変動し、液晶印加電圧が変動してしまうことから、この温度変化による液晶誘電率および屈折率の変動分を電氣的に検知し、液晶印加電圧の変動を抑制するように構成したことから、表示の温度による変化を抑制することができる。

10

【0087】

また、本実施形態の垂直駆動回路102におけるCSドライバは、ドライバ段の前後段あるいは前フレームの極性に依存せず、画素書き込み時の極性（POLで示される）のみでCS信号の極性を決めている。

すなわち、本実施形態の前後段の信号に依存せず、自段の信号のみで制御可能となっている。

また、本実施形態の垂直駆動回路のCSブロック等は、少ない素子数で形成することができ、回路規模の縮小に貢献している。たとえば20個以下のトランジスタにより構成することが可能である。

20

【0088】

なお、上記実施形態では、液晶表示装置にアナログ映像信号を入力とし、これをラッチした後アナログ映像信号を点順次にて各画素に書き込むアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、デジタル映像信号を入力とし、セレクト方式にて線順次にて画素に映像信号を書き込む駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

【0089】

また、上記実施形態においては、各画素の表示エレメント（電気光学素子）として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、各画素の表示エレメントとしてエレクトロルミネッセンス（EL: electroluminescence）素子を用いたアクティブマトリクス型EL表示装置などアクティブマトリクス型表示装置全般に適用可能である。

30

以上説明した実施形態に係る表示装置は、直視型映像表示装置（液晶モニタ、液晶ビューファインダ）、投射型液晶表示装置（液晶プロジェクタ）の表示パネル、すなわちLCD (liquid crystal display) パネルとして用いることが可能である。

【図面の簡単な説明】

【0090】

【図1】一般的な液晶表示装置の構成例を示すブロック図である。

【図2】図1に示す一般的な液晶表示装置のいわゆる1HVcom反転駆動方式におけるタイミングチャートを示す。

40

【図3】ノーマリホワイト液晶の印加電圧と比誘電率との関係を示す図である。

【図4】1HVcom反転駆動方式と関連する容量結合駆動方式を採用した液晶表示装置の映像信号電圧と実効画素電位との関係を示す図である。

【図5】関連する容量結合駆動方式を採用した液晶表示装置の黒輝度を最適化すると、白輝度が黒くなる（沈んでしまう）ことを示す図である。

【図6】本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

【図7】図1の回路の画素部の具体的な構成例を示す回路図である。

【図8】本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。

50

【図 9】本実施形態に係るコモン電圧生成回路の構成例を示す回路図である。

【図 10】本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。

【図 11】式 3 における液晶セルの各容量を示す図である。

【図 12】液晶表示装置で使用される液晶材料（ノーマリホワイト液晶）を用いた場合の白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} の選定基準を説明するための図である。

【図 13】本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の 1HVcom 駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

【図 14】本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。

10

【図 15】本実施形態に係る補正回路システムの基本構成を示す図である。

【図 16】本実施形態に係る補正回路システムのさらに詳細な構成を示す回路図である。

【図 17】ラダー抵抗部の重み付け値の設定例を説明するための図である。

【図 18】粗調整および微調整による最適電圧値の検索動作を概念的に示す回路図である。

。

【図 19】粗調整および微調整による最適電圧値の検索動作を概念的に示すタイミングチャートである。

【図 20】補正回路システムの好適な構成例を示す回路図である。

【図 21】1HVcom 反転駆動方式の入力階調と透過率との関係と、本実施形態の駆動方式でかつ光学的特性を加味した入力階調と透過率との関係を示す図である。

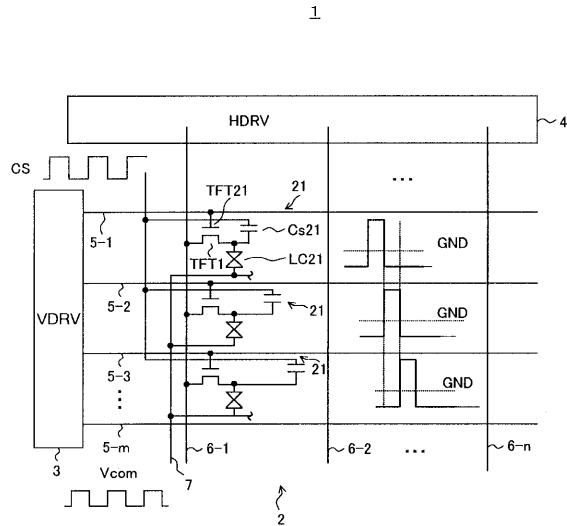
20

【符号の説明】

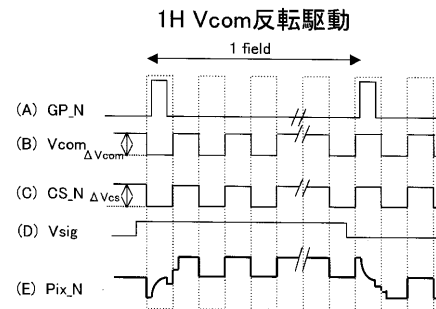
【0091】

100・・・液晶表示装置、101・・・有効画素部、102・・・垂直駆動回路（VDRV）、103・・・水平駆動回路（HDRV）、104・・・コモン電圧生成回路、105-1～105-m・・・ゲートライン、106-1～106-m・・・容量配線（ストレージライン）、107-1～107-n・・・信号ライン、108・・・ダミー画素部、109・・・検出回路、PXL...画素回路、201・・・TFT（スイッチング素子）、LC201...液晶セル、CS201...保持容量。

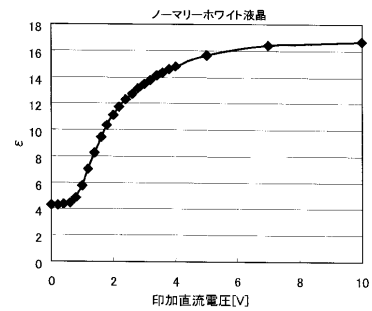
【図 1】



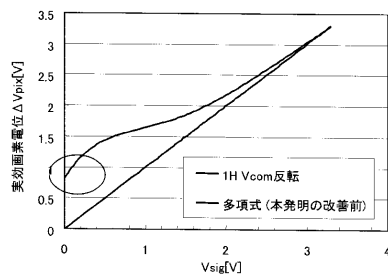
【図 2】



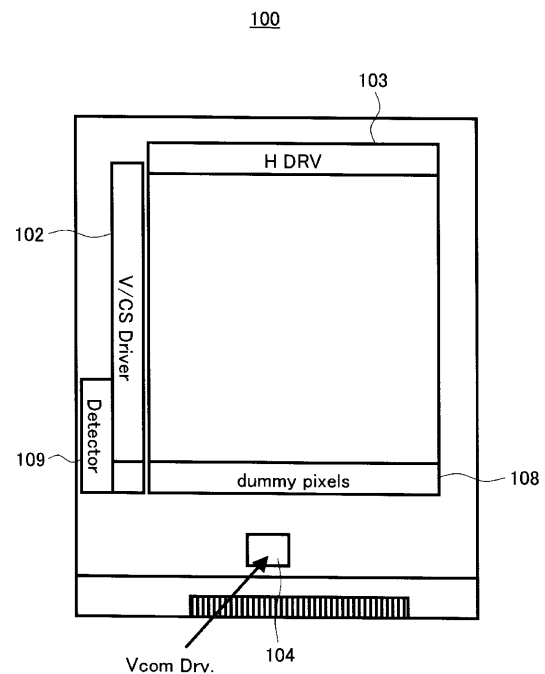
【図 3】



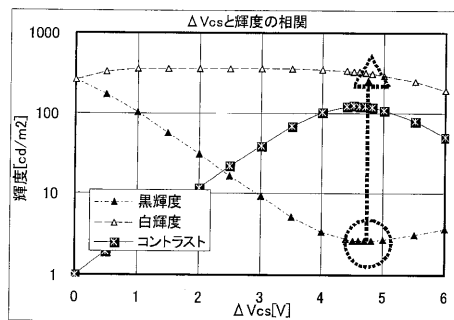
【図 4】



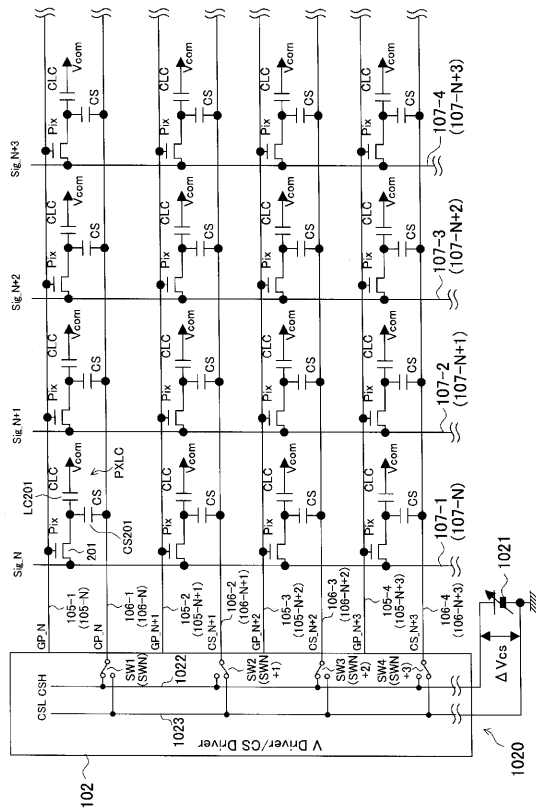
【図 6】



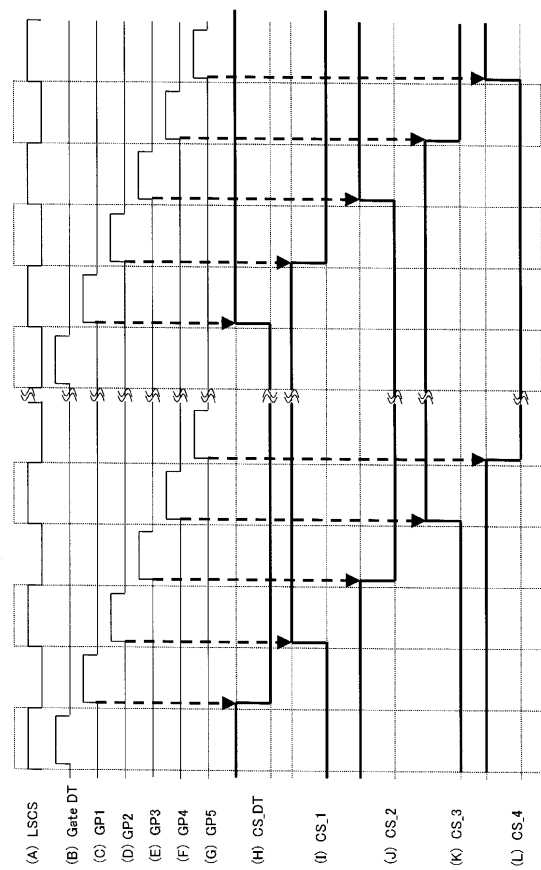
【図 5】



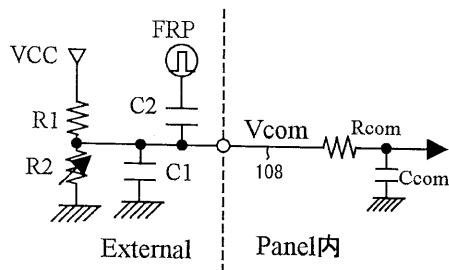
【図 7】



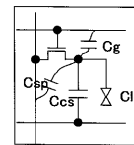
【図 8】



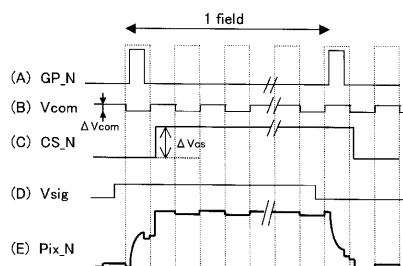
【図 9】



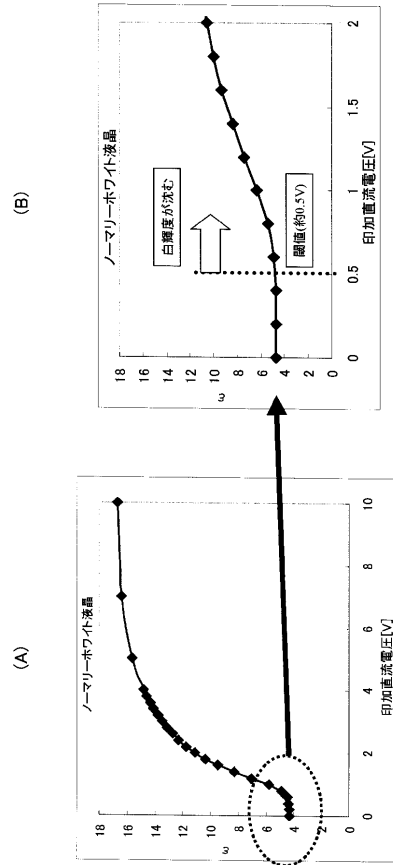
【図 1 1】



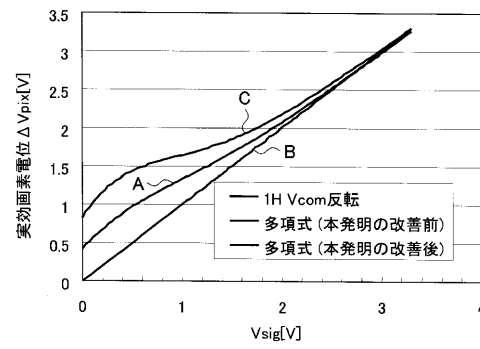
【図 1 0】



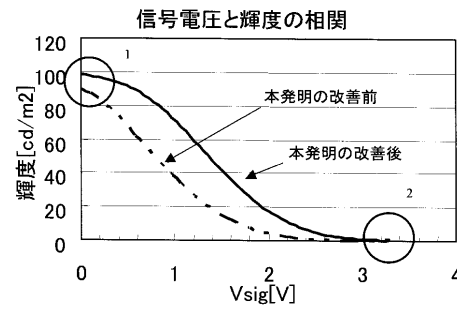
【図 12】



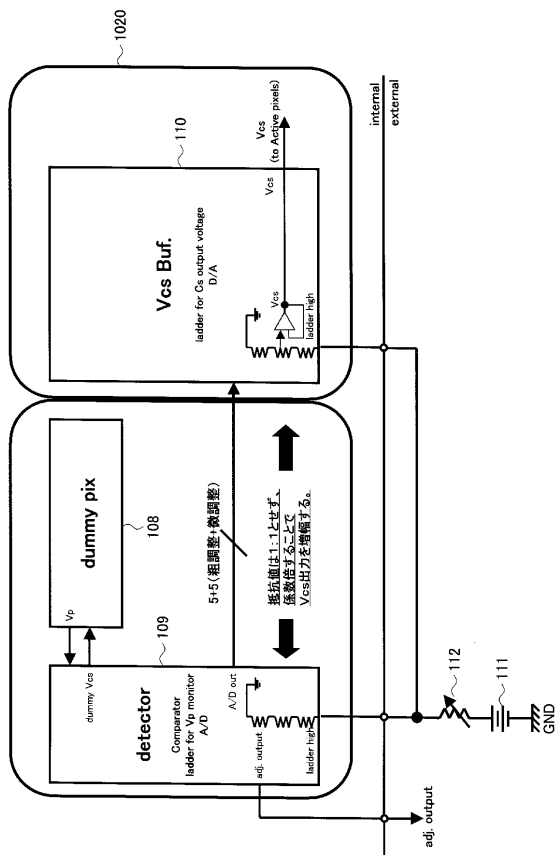
【図 13】



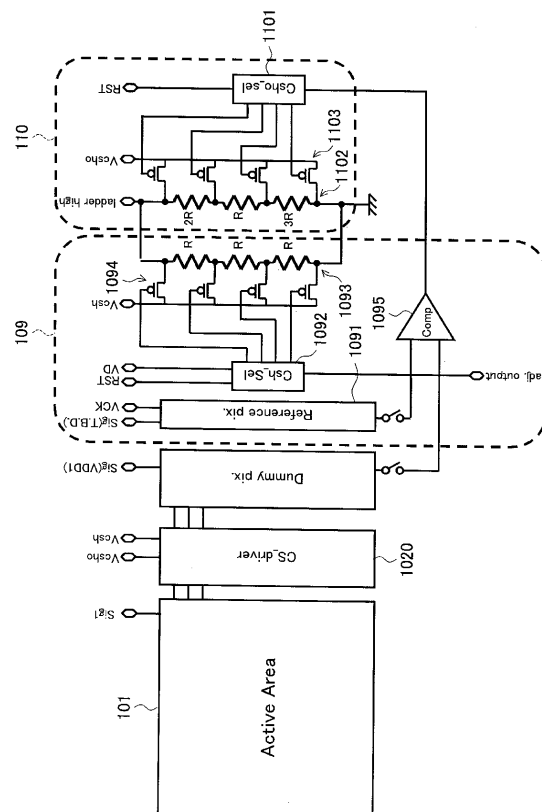
【図 14】



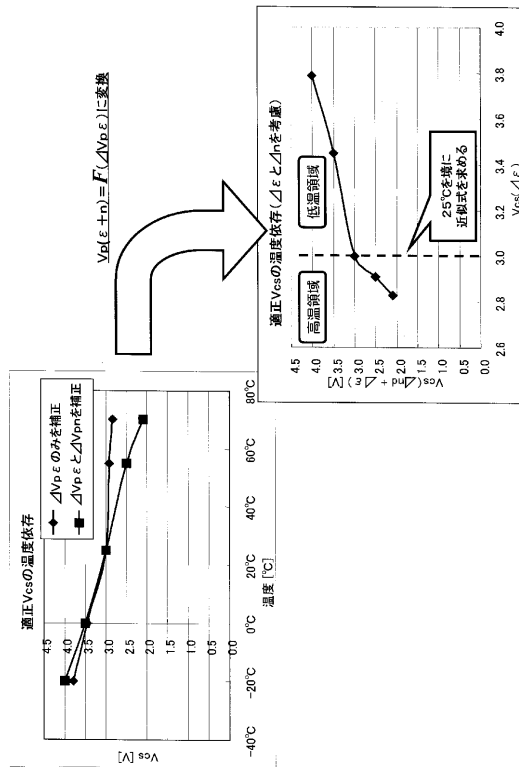
【図 15】



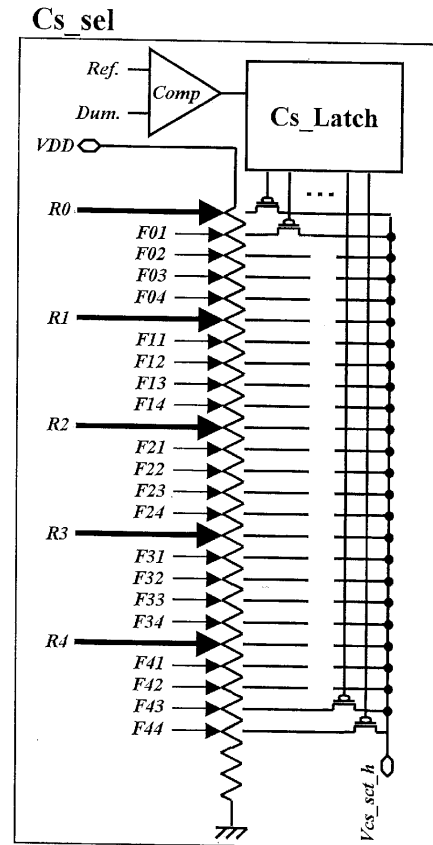
【図 16】



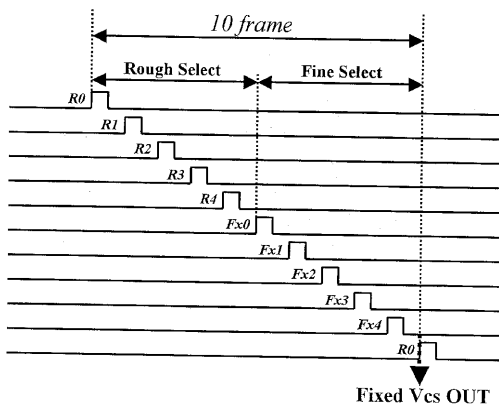
【図 17】



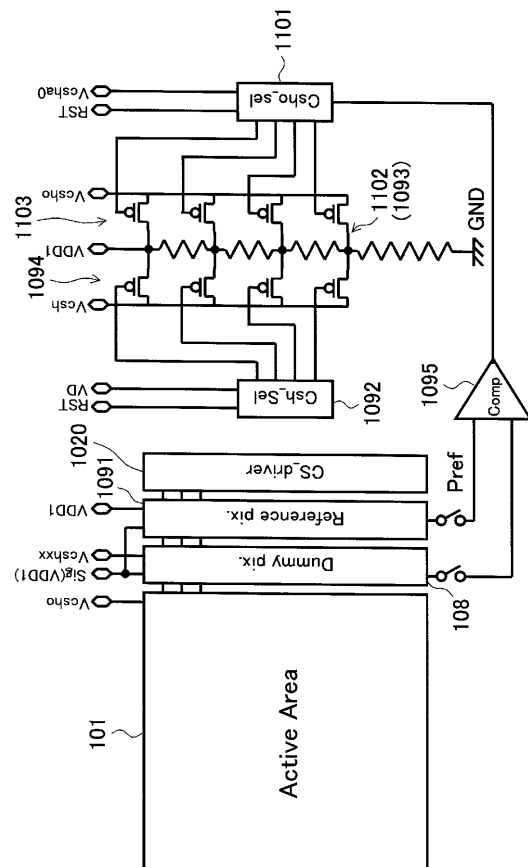
【図 18】



【図 19】

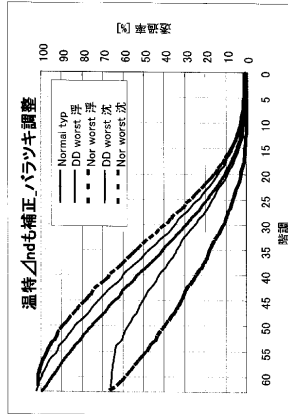


【図 20】

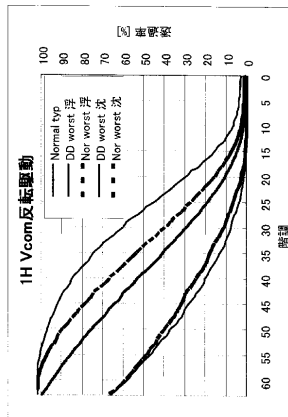


【図 21】

(B)



(A)



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 4 2 P
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 4 2 E
G 0 9 G	3/20	6 4 1 P

(72)発明者 深野 智之

神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・エルエスアイ・デザイン株式会社内

審査官 中村 直行

(56)参考文献 特開平 0 7 - 2 3 0 0 7 5 (J P , A)

特開平 0 3 - 0 1 2 6 3 3 (J P , A)

特開平 0 5 - 0 9 4 1 5 3 (J P , A)

特開 2 0 0 2 - 3 1 1 9 1 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 - 1 / 1 3 6 8

H 0 1 L 2 9 / 7 8

专利名称(译)	表示装置		
公开(公告)号	JP4492480B2	公开(公告)日	2010-06-30
申请号	JP2005228740	申请日	2005-08-05
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	佐藤友彦 板倉直之 竹内剛也 深野智之		
发明人	佐藤 友彦 板倉 直之 竹内 剛也 深野 智之		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.580 G09G3/20.624.D G09G3/20.624.B G09G3/20.642.P G09G3/20.622.G G09G3/20.642.E G09G3/20.641.P		
F-TERM分类号	2H093/NA16 2H093/NA41 2H093/NB11 2H093/NB30 2H093/NC04 2H093/NC10 2H093/NC13 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NC52 2H093/NC57 2H093/NC58 2H093/NC59 2H093/NC63 2H093/NC65 2H093/ND03 2H093/ND44 2H093/ND58 2H093/NH15 2H193/ZA04 2H193/ZA07 2H193/ZB08 2H193/ZB14 2H193/ZF03 2H193/ZF22 2H193/ZH17 2H193/ZH21 2H193/ZH33 2H193/ZH40 5C006/AA16 5C006/AA22 5C006/AC09 5C006/AC11 5C006/AC22 5C006/AC25 5C006/AC27 5C006/AF42 5C006/AF44 5C006/AF46 5C006/AF52 5C006/AF54 5C006/AF59 5C006/AF62 5C006/AF64 5C006/AF71 5C006/BB16 5C006/BB27 5C006/BC06 5C006/BC12 5C006/BC13 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF34 5C006/BF37 5C006/BF38 5C006/BF43 5C006/FA14 5C006/FA16 5C006/FA19 5C006/FA20 5C006/FA26 5C006/FA31 5C006/FA41 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/DD12 5C080/DD20 5C080/DD22 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	佐藤隆久		
审查员(译)	中村直之		
其他公开文献	JP2007047221A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够优化黑色亮度和白色亮度的显示装置。解决方案：显示装置包括栅极线105-1至105-m，多个电容器布线106-1至106-m，布置成对应于像素电路的行阵列，垂直驱动电路102，用于选择性地驱动栅极线和电容器布线和用于产生小幅度的公共电压信号的发生电路104。每个像素电路包括具有第一像素电极和第二像素电极的液晶单元LC 201和具有第一电极和第二电极的保持电容器CS 201。液晶单元的第一像素电极和保持电容器的第一电极以及TFT的一个端子连接，并且保持电容器的第二电极连接到布置到相应行的共反配线布线。将公共电压信号施加到液晶单元的第二像素电极，以电检测由于温度变化引起的液晶介电常数和折射率的波动分量，并校正CS信号，从而抑制波动。施加在液晶上的电压。Z

$$\Delta V_{pix3} = V_{sig} + \frac{C_{es}}{C_{es} + C_l + C_g + C_{sp}} * \Delta V_{es} + \frac{C_l}{C_{es} + C_l + C_g + C_{sp}} * \frac{\Delta V_{com}}{2} - V_{com}$$

$$\hat{=} V_{sig} + \frac{C_{es}}{C_{es} + C_l} * \Delta V_{es} + \frac{C_l}{C_{es} + C_l} * \frac{\Delta V_{com}}{2} - V_{com}$$