

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4198477号
(P4198477)

(45) 発行日 平成20年12月17日(2008.12.17)

(24) 登録日 平成20年10月10日(2008.10.10)

(51) Int.Cl.

F 1

G09G	3/36	(2006.01)	G09G	3/36	
G02F	1/133	(2006.01)	G02F	1/133	550
G09G	3/20	(2006.01)	G09G	3/20	611H
H01L	29/786	(2006.01)	G09G	3/20	611J
H01L	51/50	(2006.01)	G09G	3/20	622B

請求項の数 4 (全 28 頁) 最終頁に続く

(21) 出願番号

特願2003-8654 (P2003-8654)

(22) 出願日

平成15年1月16日 (2003.1.16)

(62) 分割の表示

特願平11-47580の分割

原出願日

平成11年2月25日 (1999.2.25)

(65) 公開番号

特開2003-308052 (P2003-308052A)

(43) 公開日

平成15年10月31日 (2003.10.31)

審査請求日

平成18年2月16日 (2006.2.16)

(31) 優先権主張番号

特願平10-100638

(32) 優先日

平成10年3月27日 (1998.3.27)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社

ルギ

半導体エネ

一研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

ルギ

半導体エネ

一研究所内

審査官 濱本 祐広

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動回路および液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

シフトレジスタと、バッファ回路とを有し、前記シフトレジスタの出力が前記バッファ回路に入力され、前記バッファ回路の出力によって走査線を選択する液晶表示装置の駆動回路であって、前記バッファ回路はインバータ回路を有し、

前記インバータ回路は、第1のNチャネル型TFTと、第2のNチャネル型TFTと、
第3のNチャネル型TFTと、第4のNチャネル型TFTと、第1のPチャネル型TFTと、
第2のPチャネル型TFTと、第3のPチャネル型TFTと、第4のPチャネル型TFTと、
第1の配線と、第2の配線と、第3の配線と、第4の配線と、第5の配線とを有し、

前記第1の配線に接地電位が供給され、前記第2の配線から出力信号が出力され、前記第3の配線に高電源電位が供給され、前記第4の配線に入力信号が入力され、前記第5の配線に低電源電位が供給され、

前記第1のNチャネル型TFTのソース及びドレインの一方は、前記第1の配線に電気的に接続され、

前記第1のNチャネル型TFTのソース及びドレインの他方は、前記第2のNチャネル型TFTのソース及びドレインの一方に電気的に接続され、

10

20

前記第2のNチャネル型TFTのソース及びドレンの他方は、前記第2の配線に電気的に接続され、

前記第3のNチャネル型TFTのソース及びドレンの一方は、前記第1の配線に電気的に接続され、

前記第3のNチャネル型TFTのソース及びドレンの他方は、前記第4のNチャネル型TFTのソース及びドレンの一方に電気的に接続され、

前記第4のNチャネル型TFTのソース及びドレンの他方は、前記第2の配線に電気的に接続され、

前記第1のPチャネル型TFTのソース及びドレンの一方は、前記第3の配線に電気的に接続され、

前記第1のPチャネル型TFTのソース及びドレンの他方は、前記第2のPチャネル型TFTのソース及びドレンの一方に電気的に接続され、

前記第2のPチャネル型TFTのソース及びドレンの他方は、前記第2の配線に電気的に接続され、

前記第3のPチャネル型TFTのソース及びドレンの一方は、前記第3の配線に電気的に接続され、

前記第3のPチャネル型TFTのソース及びドレンの他方は、前記第4のPチャネル型TFTのソース及びドレンの一方に電気的に接続され、

前記第4のPチャネル型TFTのソース及びドレンの他方は、前記第2の配線に電気的に接続され、

前記第1のNチャネル型TFTのゲートは、前記第4の配線に電気的に接続され、

前記第3のNチャネル型TFTのゲートは、前記第4の配線に電気的に接続され、

前記第1のPチャネル型TFTのゲートは、前記第4の配線に電気的に接続され、

前記第2のPチャネル型TFTのゲートは、前記第4の配線に電気的に接続され、

前記第3のPチャネル型TFTのゲートは、前記第4の配線に電気的に接続され、

前記第4のPチャネル型TFTのゲートは、前記第4の配線に電気的に接続され、

前記第2のNチャネル型TFTのゲートは、前記第5の配線に電気的に接続され、

前記第4のNチャネル型TFTのゲートは、前記第5の配線に電気的に接続されていることを特徴とする液晶表示装置の駆動回路。

【請求項2】

請求項1において、

前記第1の配線、前記第3の配線、及び前記第5の配線は互いに平行に設けられ、

前記第1のNチャネル型TFT、前記第2のNチャネル型TFT、前記第3のNチャネル型TFT、前記第4のNチャネル型TFT、前記第1のPチャネル型TFT、前記第2のPチャネル型TFT、前記第3のPチャネル型TFT、前記第4のPチャネル型TFTは各々のゲート幅方向が前記第1の配線、前記第3の配線、及び前記第5の配線と直交するように設けられていることを特徴とする液晶表示装置の駆動回路。

【請求項3】

請求項1または請求項2において、

前記第1のNチャネル型TFTと、前記第2のNチャネル型TFTと、前記第3のNチャネル型TFTと、前記第4のNチャネル型TFTと、前記第1のPチャネル型TFTと、前記第2のPチャネル型TFTと、前記第3のPチャネル型TFTと、前記第4のPチャネル型TFTとはゲート長が等しいことを特徴とする液晶表示装置の駆動回路。

【請求項4】

請求項1乃至請求項3のいずれか一において、

前記駆動回路を用いることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】

10

20

30

40

50

本発明は、アクティブマトリクス型の半導体表示装置の駆動回路に関する。また、その駆動回路を備えた半導体表示装置に関する。

【0003】

【従来の技術】

【0004】

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型半導体表示装置(特にアクティブマトリクス型液晶表示装置)の需要が高まってきたことによる。

【0005】

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれTFTが配置され、各画素電極に入り出する電荷をTFTのスイッチング機能により制御するものである。

【0006】

その中でも、表示装置の高精細化、高画質化に伴い、デジタルビデオデータをそのまま処理できるデジタル駆動回路を備えたアクティブマトリクス型液晶表示装置が注目されてきている。

【0007】

【発明が解決しようとする課題】

【0008】

デジタル駆動回路を有する半導体表示装置においては、ソース信号線側駆動回路では、外部から供給されるデジタルビデオデータは、シフトレジスタからのタイミング信号に基づいてラッチ回路等に順次短期間保持され、アナログ信号(階調電圧)に変換された後、対応する画素TFTに供給される。デジタル駆動回路を用いると、1ライン分の画素TFTが一斉に駆動される、いわゆる線順次駆が可能となる。

【0009】

デジタル駆動回路においては、シフトレジスタからのタイミング信号に基づいて、ラッチ回路やD/A変換回路等の動作タイミングが決定される。シフトレジスタからタイミング信号が供給される信号線には、負荷容量の大きな数多くの回路や素子が接続されている。そのため、シフトレジスタからのタイミング信号は、途中で“鈍り”を生じることがあり、この対策の一つとして、シフトレジスタからのタイミング信号をバッファ回路等を通して、 “鈍り”をなくそうとする試みがなされている。

【0010】

このようなバッファは電流容量が小さくても意味が無く、ある程度大きな電流容量を有するバッファが要求される。電流容量の大きなバッファを薄膜トランジスタ(TFT)で作製する場合、電流容量の大きい、つまりチャネル幅の大きなTFTが必要となる。しかし、チャネル幅の大きなTFTは、素子内での結晶性のばらつきが生じてしまい、その結果、TFTごとにしきい値電圧のばらつきが生じてしまう。よって、複数のTFTによって構成されるバッファの特性にも、ばらつきが生じてくるのは必至である。よって、ソース信号線ごとに特性のばらつきを有するバッファが存在することとなり、それらの特性のばらつきがそのまま画素マトリクス回路への印加電圧のばらつきに結びつく。このことが、表示装置全体としての表示むらとなって現れる。

【0011】

また、TFTのサイズ(チャネル幅)が大きすぎると、TFTの中央部分だけがチャネルとして機能し、その端部はチャネルとして機能せず、TFTの劣化が加速されることがある。

【0012】

さらに、TFTのサイズが大きいと、TFTの自己発熱が大きくなり、しきい値の変化や劣化が生じることにつながることもある。

【0013】

10

20

30

40

50

また、ゲイト信号線側駆動回路においても、シフトレジスタからのタイミング信号に基いてゲイト信号線（走査線）に走査信号が順次供給される。線順次駆動を行うデジタル駆動回路においては、1本の走査線に接続されている1ライン分の全ての画素TFTを駆動しなければならず、1本の走査線に接続されている負荷容量は大きい。よって、ゲイト信号線側駆動回路においても、シフトレジスタからのタイミング信号をバッファ回路等を通して”鈍り”をなくしてやることが必要となる。この場合にも、電流容量の大きなバッファが必要となり、上述したような問題が生じてくる。特に、ゲイト信号線のバッファは、接続されている1ライン分の全ての画素マトリクス回路のTFTを駆動しなくてはならないという点で、その特性のばらつきは著しい画像ムラを引き起こすことになる。このことは、高精細・高解像度の表示装置が望まれるにあたって、最も大きな問題の一つである。

10

【0014】

そこで、本発明は上述したような問題を解決するためになされたものであり、画像ムラがなく、高精細・高解像度の良好な画像を得ることができる半導体表示装置を提供するものである。

【0015】

【課題を解決するための手段】

【0016】

本発明のある実施形態によると、半導体表示装置の駆動回路において、ソース信号線側駆動回路のシフトレジスタ回路とラッチ回路1との間に設けられているバッファ回路を構成するTFTに、サイズ（チャネル幅）の大きなTFTを用い、その代わりにサイズの小さな複数のTFTを並列接続して用いる。また、ゲイト信号線側駆動回路のシフトレジスタ回路とゲイト信号線との間に設けられているバッファ回路を構成するTFTに、サイズ（チャネル幅）の大きなTFTを用い、その代わりにサイズの小さな複数のTFTを並列に接続して用いる。いずれの場合も、複数のバッファ回路が並列に接続されてバッファ回路を構成する。こうすることによって、バッファ回路の電流容量を確保しながら、その特性のばらつきを減少させることができる。

20

【0017】

本発明の構成は、以下に述べる通りである。

【0018】

30

本発明のある実施形態によると、
ソース信号線側駆動回路と、
ゲイト信号線側駆動回路と、
を有する半導体表示装置の駆動回路であって、
前記ゲイト信号線側駆動回路は、シフトレジスタ回路からのタイミング信号をバッファする、複数のインバータ回路を有するバッファ回路を有し、前記インバータ回路は複数のインバータ回路を並列に接続して構成されている半導体表示装置の駆動回路が提供される。このことによって上記目的が達成される。

【0019】

また、本発明のある実施形態によると、

40

ソース信号線側駆動回路と、

ゲイト信号線側駆動回路と、

を有する半導体表示装置の駆動回路であって、

前記ソース信号線側駆動回路は、シフトレジスタ回路からのタイミング信号をバッファする、複数のインバータ回路を有するバッファ回路を有し、前記インバータ回路は複数のインバータ回路を並列に接続して構成されている半導体表示装置の駆動回路が提供される。このことによって上記目的が達成される。

【0020】

また、本発明のある実施形態によると、

ソース信号線側駆動回路と、

50

ゲイト信号線側駆動回路と、
を有する半導体表示装置の駆動回路であって、
前記ソース信号線側駆動回路は、シフトレジスタ回路からのタイミング信号をバッファする、複数のインバータ回路を有するバッファ回路を有し、前記インバータ回路は複数のインバータ回路を並列に接続して構成されており、
前記ゲイト信号線側駆動回路は、シフトレジスタ回路からのタイミング信号をバッファする、複数のインバータ回路を有するバッファ回路を有し、前記インバータ回路は複数のインバータ回路を並列に接続して構成されている半導体表示装置の駆動回路が提供される。
のことによって上記目的が達成される。

【0021】

10

また、本発明のある実施形態によると、

前記前記半導体表示装置の駆動回路と、画素マトリクス回路とを有する半導体表示装置が提供される。のことによって上記目的が達成される。

【0022】

ここで、以下の実施例をもって本発明の半導体表示装置の駆動回路および半導体表示装置の詳細について説明する。ただし、以下の実施例の記載は、本発明のある実施形態に過ぎず、本発明の半導体表示装置の駆動回路および半導体装置は、これらに限定されるわけではない。

【0023】

【実施例】

20

【0024】

(実施例1)

【0025】

本実施例では、本発明の半導体表示装置の駆動回路が用いられる一つの実施形態として、画素数が横1920×縦1080であるアクティブマトリクス型液晶表示装置について説明する。

【0026】

図1を参照する。図1には、本実施例のアクティブマトリクス型液晶表示装置の主要部のブロック図が示されている。本実施例のアクティブマトリクス型液晶表示装置は、ソース信号線側駆動回路A101、ソース信号線側駆動回路A102、ゲイト信号線側駆動回路A112、ソース信号線側駆動回路A115、画素マトリクス回路、およびデジタルビデオデータ分割回路を有している。

30

【0027】

ソース信号線側駆動回路A101は、シフトレジスタ回路102、バッファ回路102、ラッチ回路(1)104、ラッチ回路(2)105、セレクタ回路(1)108、レベルシフタ回路107、D/A変換回路108、セレクタ回路(2)109を備えている。ソース信号線側駆動回路A101は、奇数番目のソース信号線に映像信号(階調電圧信号)を供給する。

【0028】

40

ソース信号線側駆動回路A101の動作を説明する。シフトレジスタ回路101には、スタートパルスおよびクロック信号が入力される。シフトレジスタ回路101は、上記のスタートパルスおよびクロック信号に基づきタイミング信号をバッファ回路103に順次供給する。後述するが、シフトレジスタ回路101は、複数のクロックドインバータによって構成されている。

【0029】

シフトレジスタ回路102からのタイミング信号は、バッファ回路103によってバッファされる。シフトレジスタ回路102から画素マトリクス回路118に接続されているソース信号線までには、多くの回路あるいは素子が接続されているために負荷容量が大きい。この負荷容量が大きいために生ずるタイミング信号の”鈍り”を防ぐために、このバッファ回路103が設けられている。

50

【 0 0 3 0 】

バッファ回路 103 によってバッファされたタイミング信号は、ラッチ回路(1)104 に供給される。ラッチ回路(1)104 は、4 ビットのデータを扱うラッチ回路を 960 個含んでいる。ラッチ回路(1)104 は、前記タイミング信号が入力されると、デジタルビデオデータ分割回路から供給されるデジタル信号を順次取り込み、保持する。

【 0 0 3 1 】

ラッチ回路(1)104 の全てのラッチ回路に対するデジタル信号の書き込みが一通り終了するまでの時間は、1 ライン期間と呼ばれる。すなわち、ラッチ回路(1)104 の中で一番左側のラッチ回路に対してデジタルビデオデータ分割回路からのデジタルビデオデータの書き込みが開始される時点から、一番右側のラッチ回路へのデジタルビデオデータの書き込みが終了する時点までの時間間隔が 1 ライン期間である。10

【 0 0 3 2 】

ラッチ回路(1)104 に対するデジタル信号の書き込みが終了した後、ラッチ回路(1)104 に書き込まれたデジタル信号は、シフトレジスタ回路 102 の動作タイミングに合わせて、ラッチ回路(2)105 に接続されているラッチパルス線にラッチパルスが流れた時にラッチ回路(2)105 に一斉に送出され、書き込まれる。

【 0 0 3 3 】

デジタルビデオデータをラッチ回路(2)105 に送出し終えたラッチ回路(1)104 には、シフトレジスタ回路 102 からのタイミング信号により、再びデジタルビデオデータ分割回路から供給されるデジタルビデオデータの書き込みが順次行われる。20

【 0 0 3 4 】

この 2 順目の 1 ライン期間中には、2 順目の 1 ライン期間の開始に合わせてラッチ回路(2) に送出されたデジタルビデオデータが、セレクタ回路 A106 によって順次選択される。セレクタ回路の詳細については、本出願人の特許出願である特願平 9 - 286098 号に記載されているので参考にされたい。

【 0 0 3 5 】

セレクタ回路で選択されたラッチ回路から 4 ビットのデジタルビデオデータがレベルシフタ 107 に供給される。レベルシフタ 107 によってデジタルビデオデータの電圧レベルは上げられ、D/A 変換回路 108 に供給される。D/A 変換回路 108 は、4 ビットのデジタルビデオデータをアナログ信号(階調電圧)に変換し、セレクタ回路(2) によって選択されるソース信号線に順次供給される。ソース信号線に供給されるアナログ信号は、ソース信号線に接続されている画素マトリクス回路の画素 TFT のソース領域に供給される。30

【 0 0 3 6 】

ゲイト信号線側駆動回路 A112 においては、シフトレジスタ 113 からのタイミング信号がバッファ回路 114 に供給され、対応するゲイト信号線(走査線)に供給される。ゲイト信号線には、1 ライン分の画素 TFT のゲイト電極が接続されており、1 ライン分全ての画素 TFT を同時に ON にしなくてはならないので、バッファ回路 114 には電流容量の大きなものが用いられる。

【 0 0 3 7 】

このように、ゲイト信号線側シフトレジスタからの走査信号によって対応する TFT のスイッチングが行われ、ソース信号線側駆動回路からのアナログ信号(階調電圧)が画素 TFT に供給され、液晶分子が駆動される。40

【 0 0 3 8 】

111 はソース信号線側駆動回路 B であり、構成はソース信号線側駆動回路 A101 と同じである。ソース信号線側駆動回路 B111 は、偶数番目のソース信号線に映像信号を供給する。

【 0 0 3 9 】

110 はデジタルビデオデータ分割回路である。デジタルビデオデータ分割回路 110 は、外部から入力されるデジタルビデオデータの周波数を 1/m に落とすための回路である50

。デジタルビデオデータを分割することにより、駆動回路の動作に必要な信号の周波数も $1/m$ に落とすことができる。

【0040】

ここで、図2を参照し、本実施例のデジタルビデオデータ分割回路110について簡単に説明する。なおデジタルビデオデータ分割回路を画素マトリクス回路や他の駆動回路と同じ基板上に一体形成することは、本出願人による特許出願である特願平9-356238号に開示されいる。前記特許出願には、デジタルビデオデータ分割回路の動作の説明が詳細になされており、本実施例のデジタルビデオデータ分割回路の動作を理解する上で参考にされたい。

【0041】

図2において、201はシンクロナスカウンタであり、クロック信号(ck)とリセットパルス(reset)が入力される。本実施例では、外部から供給される80MHzのデジタルビデオデータを8分割し、10MHzのデジタルビデオデータを作り出している。よって、16個のDフリップフロップが図2に示されるように接続されている。デジタルビデオデータ分割回路110によって作り出された10MHzのデジタルビデオデータは、前述したようにラッチ回路(1)104に供給される。

【0042】

図1を再び参照し、ゲイト信号線側駆動回路の動作を説明する。112は、ゲイト信号線側駆動回路Aである。ゲイト信号線側駆動回路A112は、シフトレジスタ回路113およびバッファ回路114を備えている。シフトレジスタ回路113は、タイミング信号をバッファ回路114に供給する。バッファ回路114は、シフトレジスタ回路113からのタイミング信号をバッファし、ゲイト信号線(走査線)に供給する。

【0043】

115はゲイト信号線側駆動回路Bであり、ゲイト信号線側駆動回路A112と同じ構成をとる。本実施例では、このようにゲイト信号線側駆動回路を画素マトリクス回路116の両端に設け、両方のゲイト信号線側駆動回路を動作させることによって、片方が動作しない場合にも対応できるようになっている。

【0044】

画素マトリクス回路116は、横1920×縦1080の画素 TFT がマトリクス状に配置された構成をとる。

【0045】

上述した動作を走査線の数だけ繰り返すことによって1画面(1フレーム)が形成される。本実施例のアクティブマトリクス型液晶表示装置では、1秒間に60フレームの画像の書き換えが行われている。

【0046】

ここで、本実施例のシフトレジスタ回路102およびバッファ回路103の一部(最も部分)の回路図を図3に示す。図3には、シフトレジスタ回路102を構成するフリップフロップ(FF)回路102' と、バッファ回路103を構成するバッファ回路103' が示されている。

【0047】

本実施例では、シフトレジスタ回路102は、240個のフリップフロップ回路102' から構成されている。フリップフロップ回路102' は、クロックドインバータ301～304を含む。ckはクロック信号である。LRは走査方向切り替え信号であり、LRがHiのときシフトレジスタ回路102の一一番左側のフリップフロップ回路102' にスタートパルス(SP)が供給され、フリップフロップ回路102' が左から右に信号を伝達していく。LRがLoのとき一番右側のフリップフロップ回路(図示せず)にスタートパルス(SP)が供給され、フリップフロップ回路102' が右から左に信号を伝達していく。

【0048】

以下に、LRにはHiの信号が入力される場合、つまり、シフトレジスタ回路102のフ

10

20

30

40

50

リップフロップ回路が左から右に動作していく場合を例にとって説明する。

【0049】

クロックドインバータ301にスタートパルス(S P)が入力される。スタートパルスがクロックドインバータ301に入力されると、クロックドインバータ301は、クロック信号(c k)および反転クロック信号(反転c k)に同期して動作し、入力信号の反転信号を出力する。クロックドインバータ302には、L R = H iの信号が入力されているので、クロックドインバータ302は、クロックドインバータ301からの信号を受け取り、その反転信号を出力する。また、クロックドインバータ304は、クロックドインバータ302からの信号を受け取り、反転させて出力する。なお、クロックドインバータ303は、L R = H iの信号が入力されているので動作しない。このようにして、シフトレジスタ回路102'はNAND回路305にタイミング信号を出力する。10

【0050】

シフトレジスタ回路102(フリップフロップ回路102')からのタイミング信号は、NAND回路305を通り、バッファ回路103'に供給される。バッファ回路103'は、本実施例では5つのインバータ306~310を含む。なお、本実施例では、バッファ回路103'は、5個のインバータを含んでいるが、本発明を実施するにあたっては、インバータの数はこれに限定されるわけではなく、5個以下、あるいは5個よりも多くのインバータを含んでいてもよい。

【0051】

これらの5つのインバータ306~310は、それぞれサイズ(チャネル幅)の違うTFTによって構成されている。本実施例では、インバータ306、307および308は、チャネル幅が30 μmであるTFTによって構成されている。インバータ309および310は、チャネル幅が100 μmであるTFTによって構成されている。これらのインバータを構成するTFTのサイズは、シミュレーション等によって選択された最適なものが用いられ得る。また、半導体表示装置の画素数などに応じて最適なTFTのサイズが決定され得る。20

【0052】

ここで、インバータ307を例にとって説明する。図4には、インバータ307の回路図が示されている。インバータ307は、6個のPチャネル型TFTと6個のNチャネル型TFTとによって構成されている。それぞれのTFTのチャネル幅は、30 μmである。なお、これらのTFTのチャネル幅は、100 μm以下(好ましくは90 μm以下)とすればよい。30

【0053】

図4に示すように、インバータ307は、3個のPチャネル型TFTを並列に接続した回路と、3個のNチャネル型TFTを並列に接続した回路とによって構成されたインバータ回路を2つ並列に接続した構成をとっている。このように、チャネル幅の小さな(本実施例では30 μm)TFTを複数組み合わせて用いることにより、チャネル幅の大きなTFTによってインバータを構成する場合に比較して、TFTのばらつきを解消できる。また、チャネル幅が大きいことによる発熱や劣化などを防ぐことができる。

【0054】

次に、図5を参照する。図5には、本実施例のゲイト信号線側駆動回路のシフトレジスタ回路113およびバッファ回路114の一部(最も上の部分)の回路図が示されており、シフトレジスタ回路113を構成するフリップフロップ回路113'と、バッファ回路114を構成するバッファ回路114'が示されている。40

【0055】

本実施例では、シフトレジスタ回路113は、1080個のフリップフロップ回路113'から構成されている。フリップフロップ回路113'は、クロックドインバータ501~504を含む。c kはクロック信号である。L Rは操作方向切り替え信号であり、L RがH iのときシフトレジスタ回路102の一番左側のフリップフロップ回路102'にスタートパルス(S P)が供給され、L RがL oのとき一番右側のフリップフロップ回路(50

図示せず)にスタートパルス(S P)が供給される。

【0056】

なお、シフトレジスタ回路113の動作は、ソース信号線側駆動回路のシフトレジスタ回路102と同じなので、ここでは省略する。

【0057】

シフトレジスタ回路113(フリップフロップ回路113')からのタイミング信号は、NAND回路505を通り、バッファ回路114'に供給される。バッファ回路114'は、3つのインバータ506～508を含む。なお、本実施例では、バッファ回路114'は、3個のインバータを含んでいるが、本発明を実施するにあたっては、インバータの数はこれに限定されるわけではなく、5個以下、あるいは5個よりも多くのインバータを含んでいてもよい。

10

【0058】

これらの3個のインバータ506～508は、チャネル幅が90μmであるTFTによって構成されている。これらのインバータを構成するTFTのサイズは、シミュレーション等によって選択された最適なものが用いられ得る。また、半導体表示装置の画素数などに応じて最適なTFTのサイズが決定され得る。

【0059】

ここで、インバータ508の回路図を図6に示す。インバータ508は、8個のPチャネル型TFTと8個のNチャネル型TFTとによって構成されている。それぞれのTFTのチャネル幅は、90μmである。なお、これらのTFTのチャネル幅は、100μm以下(好ましくは90μm以下)とすればよい。

20

【0060】

図6に示すように、2個のPチャネル型TFTが直列に接続された回路(実際はダブルゲートのTFTを用いている)が2個並列に接続されている。また、2個のNチャネル型TFTが直列に接続された回路(実際はダブルゲートのTFTを用いている)が2個並列に接続されている。これらの回路によってインバータ508が構成されている。このように、チャネル幅の小さなTFTを複数組み合わせて用いることにより、チャネル幅の大きなTFTによってインバータを構成する場合に比較して、TFTのばらつきを解消でき、しかも電流容量を確保できる。また、チャネル幅が大きいことによる発熱や劣化などを防ぐことができる。

30

【0061】

図7には、図4に示したインバータ307の回路パターン図が示されている。図7において、701および702は、N型の不純物が添加された半導体活性層である。703および704は、P型の不純物が添加された半導体活性層である。705はゲイト電極配線であり、本実施例では2wt%のSc(スカンジウム)を含有したAl(アルミニウム)が用いられている。706～711は、第2配線であり、本実施例ではAlが用いられている。なお712は、ゲイト電極配線と同じ層にある配線である。また代表的に713で示されているような黒く塗りつぶされている部分は、ゲイト電極と第2配線と、または半導体活性層と第2配線とが接続(コンタクト)をとっている部分である。

40

【0062】

706はGND、707はVddH(電源)、712はOUT(出力)、714はIN(入力)である。

【0063】

なお、図中で同じ模様の配線は、それぞれ同じ配線層にあるものとする。また、図中で破線によって示されている部分は、上部の配線によって隠れている下部の配線の形状を示す。

【0064】

また、図7に示されるインバータ307において、3個のPチャネル型TFTと3個のNチャネル型TFTとは、同一半導体層上に形成されているが、3個の独立したPチャネル型TFTと3個の独立したNチャネル型TFTとが独立した半導体層上に形成され、コン

50

タクトを介して金属配線などによって接続されるようにしても良い。しかし、本実施例の場合の方がよりインバータ307の小面積化が図れるので好ましい。

【0065】

次に図8を参照する。図8には、図6に示したインバータ508の回路パターン図が示されている。なお、図8においては、インバータ508だけではなく、合計4つのインバータが図示されている。

【0066】

図8において、801～808は、P型の不純物が添加された半導体活性層である。809～816は、N型の不純物が添加された半導体活性層である。817～824はゲート電極配線であり、本実施例では2wt%のSc(スカンジウム)を含有したA1(アルミニウム)が用いられている。なお825～828は、ゲート電極配線と同じ層にある配線である。829～835は、第2配線であり、本実施例ではA1が用いられている。また代表的に836で示されているような黒く塗りつぶされている部分は、ゲート電極と第2配線と、または半導体活性層と第2配線とが接続(コンタクト)をとっている部分である。

10

【0067】

829はVddH(高圧電源)、832はGND、833はVddL(低圧電源)である。なお、IN1～4は入力を、OUT1～4は出力を示す。

【0068】

なお、図中で同じ模様の配線は、それぞれ同じ材質で同じ配線層にあるものとする。また、図中で破線によって示されている部分は、上部の配線によって隠れている下部の配線の形状を示す。

20

【0069】

ここで、本実施例の駆動回路を備えたアクティブマトリクス型液晶表示装置の製造方法について以下に述べることにする。なお、以下に述べる製造方法は、本発明を実現する一製造方法にすぎず、他の製造方法によっても本発明のアクティブマトリクス型液晶表示装置が実現され得る。

【0070】

ここでは、絶縁表面を有する基板上に複数のTFTを形成し、画素マトリクス回路、駆動回路、およびロジック回路等をモノリシックに構成する例を図10～図13に示す。なお、本実施例では、画素マトリクス回路の1つの画素と、他の回路(駆動回路、ロジック回路等)の基本回路であるCMOS回路とが同時に形成される様子を示す。また、本実施例では、Pチャネル型TFTとNチャネル型TFTとがそれぞれ1つのゲート電極を備えている場合について、その作製工程を説明するが、ダブルゲート型やトリプルゲート型のような複数のゲート電極を備えたTFTによるCMOS回路をも同様に作製することができる。

30

【0071】

図9を参照する。まず、絶縁表面を有する基板として石英基板901を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。また、石英基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板を用いても良い。

40

【0072】

基板901上に非晶質珪素膜902を減圧CVD法、プラズマCVD法、またはスパッタ法により形成する。非晶質珪素膜902は、最終的な膜厚(熱酸化後の膜減りを考慮した膜厚)が10～100nm(好ましくは30～60nm)となる様に調節する。なお、成膜に際して膜中の不純物濃度の管理を徹底的に行うことは重要である。

【0073】

なお、本実施例では、基板901上に非晶質珪素膜902を形成したが、非晶質珪素膜の代わりに他の半導体薄膜を用いてもよい。例えば、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)で示さ

50

れる珪素とゲルマニウムの化合物を用いることも可能である。

【0074】

本実施例の場合、非晶質珪素膜902中では結晶化を阻害する不純物であるC(炭素)およびN(窒素)の濃度はいずれも 5×10^{18} atoms/cm³未満(代表的には 5×10^{17} atoms/cm³以下、好ましくは 2×10^{17} atoms/cm³以下)、O(酸素)は 1.5×10^{19} atoms/cm³未満(代表的には 1×10^{18} atoms/cm³以下)、好ましくは 5×10^{17} atoms/cm³以下となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書において膜中の上記の不純物元素濃度は、SIMS(質量2次イオン分析)の測定結果における最小値で定義される。

10

【0075】

上記構成を得るため、本実施例で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておくことが望ましい。ドライクリーニングは、200~400程度に加熱した炉内に100~300sccmのClF₃(フッ化塩素)ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【0076】

なお、本出願人の知見によれば炉内温度300とし、ClF₃(フッ化塩素)ガスの流量を300sccmとした場合、約2μm厚の付着物(主に珪素を主成分する)を4時間で完全に除去することができる。

【0077】

また、非晶質珪素膜902中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜902の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

20

【0078】

なお、非晶質珪素膜902の成膜時にTFTのしきい値電圧(V_{th})を制御するための不純物元素(13族元素、代表的にはボロン、または15族元素、代表的にはリン)を添加することは有効である。添加量は、上記V_{th}制御用不純物を添加しない場合のV_{th}を鑑みて決定する必要がある。

【0079】

30

次に、非晶質珪素膜902の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本実施例では、同広報の実施例2に記載した技術内容(特開平8-78329号公報に詳しい)を利用するのが好ましい。

【0080】

特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜903を形成する。マスク絶縁膜903は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる。

【0081】

そして、非晶質珪素膜の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液をスピンドルコート法により塗布し、Ni含有層904を形成する。なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、ゲルマニウム(Ge)、白金(Pt)、銅(Cu)、金(Au)等を用いることができる(図9(A))。

40

【0082】

また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0083】

50

次に、触媒元素の添加工程が終了したら、500で2時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700（代表的には550～650、好ましくは570）の温度で4～24時間の加熱処理を加えて非晶質珪素膜902の結晶化を行う。本実施例では窒素雰囲気で570で14時間の加熱処理を行う。

【0084】

この時、非晶質珪素膜902の結晶化はニッケルを添加した領域905および906等で発生した核から優先的に進行し、基板901の基板面に対してほぼ平行に成長した結晶領域907および908が形成される。この結晶領域907および908を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある（図9（B））。

【0085】

なお、上述の特開平7-130652号公報の実施例1に記載された技術を用いた場合も微視的には横成長領域と呼びうる領域が形成されている。しかしながら、核発生が面内において不均一に起こるので結晶粒界の制御性の面で難がある。

【0086】

結晶化のための加熱処理が終了したら、マスク絶縁膜903を除去してパターニングを行い、横成長領域907および908でなる島状半導体層（活性層）909、910、および911を形成する（図9（C））。

【0087】

ここで909はCMOS回路を構成するNチャネル型TFTの活性層、910はCMOS回路を構成するPチャネル型TFTの活性層、911は画素マトリクス回路を構成するNチャネル型TFT（画素TFT）の活性層である。

【0088】

活性層909、910、および911を形成したら、その上に珪素を含む絶縁膜でなるゲイト絶縁膜912を成膜する（図9（C））。

【0089】

そして、次に図9（D）に示す様に触媒元素（ニッケル）を除去または低減するための加熱処理（触媒元素のゲッタリングプロセス）を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するものである。

【0090】

なお、ハロゲン元素によるゲッタリング効果を十分に得るためにには、上記加熱処理を700を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。

【0091】

そのため本実施例ではこの加熱処理を700を超える温度で行い、好ましくは800～1000（代表的には950）とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。

【0092】

なお、本実施例では酸素雰囲気中に対して塩化水素（HCl）を0.5～10体積%（本実施例では3体積%）の濃度で含有させた雰囲気中において、950で、30分の加熱処理を行う例を示す。HCl濃度を上記濃度以上とすると、活性層909、910、および911の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0093】

また、ハロゲン元素を含む化合物としてHClガスを用いる例を示したが、それ以外のガスとして、代表的にはHF、NF₃、HBr、Cl₂、ClF₃、BCl₂、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることができる。

【0094】

この工程においては活性層909、910、および911中のニッケルが塩素の作用によ

10

20

30

40

50

リゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。そして、この工程により活性層 909、910、および 911 中のニッケルの濃度は 5×10^{17} atoms / cm³ 以下にまで低減される。

【0095】

なお、 5×10^{17} atoms / cm³ という値は SIMS (質量二次イオン分析) の検出下限である。本出願人が試作した TFT を解析した結果、 1×10^{18} atoms / cm³ 以下（好ましくは 5×10^{17} atoms / cm³ 以下）では TFT 特性に対するニッケルの影響は確認されなかった。ただし、本明細書中における不純物濃度は、SIMS 分析の測定結果の最小値でもって定義される。

【0096】

また、上記加熱処理により活性層 909、910、および 911 とゲート絶縁膜 912 との界面では熱酸化反応が進行し、熱酸化膜の分だけゲート絶縁膜 912 の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体 / 絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

【0097】

また、触媒元素のゲッタリングプロセスを、マスク絶縁膜 903 を除去した後、活性層をパターンニングする前に行なうことも有効である。また、触媒元素のゲッタリングプロセスを、活性層をパターンニングした後に行なってもよい。また、いずれのゲッタリングプロセスを組み合わせて行なってもよい。

【0098】

なお、触媒元素のゲッタリングプロセスを、P（リン）を用いることによって行なうことができる。このリンによるゲッタリングプロセスを上述したゲッタリングプロセスに組み合わせても良い。また、リンによるゲッタリングプロセスのみを用いても良い。

【0099】

さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で 950 で 1 時間程度の加熱処理を行なうことで、ゲート絶縁膜 912 の膜質の向上を図ることも有効である。

【0100】

なお、SIMS 分析により活性層 909、910、および 911 中にはゲッタリング処理に使用したハロゲン元素が、 1×10^{15} atoms / cm³ ~ 1×10^{20} atoms / cm³ の濃度で残存することも確認されている。また、その際、活性層 909、910、および 911 と加熱処理によって形成される熱酸化膜との間に前述のハロゲン元素が高濃度に分布することが SIMS 分析によって確かめられている。

【0101】

また、他の元素についても SIMS 分析を行った結果、代表的な不純物である C（炭素）、N（窒素）、O（酸素）、S（硫黄）はいずれも 5×10^{18} atoms / cm³ 未満（典型的には 1×10^{18} atoms / cm³ 以下）であることが確認された。

【0102】

このようにして得られた活性層の横成長領域は、棒状または偏平棒状の集合体からなる特異な結晶構造を示す。この特異な結晶構造の特徴に関しては後述することにする。

【0103】

次に、図 10 を参照する。まず、図示しないアルミニウムを主成分とする金属膜を成膜し、パターンニングによって後のゲート電極の原型 913、914、および 915 を形成する。本実施例では 2 wt % のスカンジウムを含有したアルミニウム膜を用いる（図 10 (A)）。

【0104】

なお、2 wt % のスカンジウムを含有したアルミニウム膜の代わりに、不純物を注入した多結晶珪素膜をゲート電極として用いてもよい。

【0105】

10

20

30

40

50

次に、特開平7-135318号公報記載の技術により多孔性の陽極酸化膜916、917、および918、無孔性の陽極酸化膜919、920、および921、ゲイト電極922、923、および924を形成する(図10(B))。

【0106】

こうして図10(B)の状態が得られたら、次にゲイト電極922、923、および924、多孔性の陽極酸化膜916、917、および918をマスクとしてゲイト絶縁膜912をエッティングする。そして、多孔性の陽極酸化膜916、917、および918を除去して図10(C)の状態を得る。なお、図10(C)において925、926、および927で示されるのは、加工後のゲイト絶縁膜である。

【0107】

次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはNチャネル型ならばP(リン)またはAs(砒素)、P型ならばB(ボロン)またはGa(ガリウム)を用いれば良い。

【0108】

本実施例では、Nチャネル型およびPチャネル型のTFTを形成するための不純物添加をそれぞれ2回の工程に分けて行う。

【0109】

最初に、Nチャネル型のTFTを形成するための不純物添加を行う。まず、1回目の不純物添加(本実施例ではP(リン)を用いる)を高加速電圧80keV程度で行い、 n^- 領域を形成する。この n^- 領域は、Pイオン濃度が $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ となるように調節する。

【0110】

さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 n^+ 領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、この n^+ 領域は、シート抵抗が500以下(好ましくは300以下)となるように調節する。

【0111】

以上の工程を経て、CMOS回路を構成するNチャネル型TFTのソース領域928、ドレイン領域929、低濃度不純物領域930、チャネル形成領域931が形成される。また、画素TFTを構成するNチャネル型TFTのソース領域932、ドレイン領域933、低濃度不純物領域934、チャネル形成領域935が確定する(図10(D))。

【0112】

なお、図10(D)に示す状態ではCMOS回路を構成するPチャネル型TFTの活性層は、Nチャネル型TFTの活性層と同じ構成となっている。

【0113】

次に、図11(A)に示すように、Nチャネル型TFTを覆ってレジストマスク936を設け、P型を付与する不純物イオン(本実施例ではボロンを用いる)の添加を行う。

【0114】

この工程も前述の不純物添加工程と同様に2回に分けて行うが、Nチャネル型をPチャネル型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB(ボロン)イオンを添加する。

【0115】

こうしてCMOS回路を構成するPチャネル型TFTのソース領域937、ドレイン領域938、低濃度不純物領域939、チャネル形成領域940が形成される(図11(A))。

【0116】

以上の様にして活性層が完成したら、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0117】

次に、層間絶縁膜941として酸化珪素膜と窒化珪素膜との積層膜を形成し、コンタクト

10

20

30

40

50

ホールを形成した後、ソース電極 942、943、および944、ドレイン電極 945、946を形成して図11(B)に示す状態を得る。なお、層間絶縁膜941として有機性樹脂膜を用いることもできる。

【0118】

図11(B)に示す状態が得られたら、有機性樹脂膜からなる第1の層間絶縁膜947を0.5~3μmの厚さに形成する。有機性樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、成膜方法が簡単である点、容易に膜厚を厚くできる点、比誘電率が低いので寄生容量を低減できる点、平坦性に優れている点などが挙げられる。なお、上述した以外の有機性樹脂膜を用いることもできる。

【0119】

次に、第1の層間絶縁膜947上に遮光性を有する膜でなるブラックマトリクス948を100nmの厚さに形成する。なお、本実施例では、ブラックマトリクス948としてチタン膜を用いるが、黒色顔料を含む樹脂膜等を用いることもできる。

【0120】

なお、ブラックマトリクス948にチタン膜を用いる場合には、駆動回路や他の周辺回路部の配線の一部をチタンによって形成することができる。このチタンの配線は、ブラックマトリクス948の形成時に、同時に形成され得る。

【0121】

ブラックマトリクス948を形成したら、第2の層間絶縁膜949として酸化珪素膜、窒化珪素膜、有機性樹脂膜のいずれかまたはそれらの積層膜を0.1~0.3μmの厚さに形成する。そして層間絶縁膜947および層間絶縁膜949にコンタクトホールを形成し、画素電極950を120nmの厚さに形成する。本実施例の構成によると、ブラックマトリクス948と画素電極950とが重畠する領域で補助容量が形成されている(図11(C))。なお、本実施例は透過型のアクティブマトリクス液晶表示装置の例であるため画素電極950を構成する導電膜としてITO等の透明導電膜を用いる。

【0122】

次に、基板全体を350°Cの水素雰囲気で1~2時間加熱し、素子全体の水素化を行うことで膜中(特に活性層中)のダングリングボンド(不対結合)を補償する。以上の工程を経て同一基板上にCMOS回路および画素マトリクス回路を作製することができる。

【0123】

次に、図12を用いて、上記の工程によって作製されたアクティブマトリクス基板をもとに、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0124】

図11(C)の状態のアクティブマトリクス基板に配向膜951を形成する。本実施例では、配向膜951には、ポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板952、透明導電膜953、配向膜954とで構成される。

【0125】

なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0126】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ(共に図示せず)などを介して貼り合わせる。その後、両基板の間に液晶材料955を注入し、封止剤(図示せず)によって完全に封止する。よって、図12に示すような透過型のアクティブマトリクス型液晶表示装置が完成する。

【0127】

なお本実施例では、液晶パネルがTN(ツイストネマチック)モードによって表示を行うようにした。そのため、1対の偏光板(図示せず)がクロスニコル(1対の偏光板が、それぞれの偏光軸を直交させるような状態)で、液晶パネルを挟持するように配置された。

【0128】

10

20

30

40

50

よって、本実施例では、液晶表示装置に電圧が印加されていないとき白表示となる、いわゆるノーマリホワイトモードで表示を行うことが理解される。

【0129】

なお、本実施例の液晶パネルは、FPCを取り付ける端面のみアクティブマトリクス基板が外部に出ており、残りの3つの端面は揃っている。

【0130】

上述した製造方法によって、本実施例のアクティブマトリクス液晶表示装置は、駆動回路と他の周辺装置と画素と共に石英基板やガラス基板などの絶縁基板上に一体形成され得ることが理解される。

【0131】

上述の製造方法によって作製されたアクティブマトリクス型液晶表示装置を図13に示す。図13には、チェックパターンを表示したときのアクティブマトリクス型液晶表示装置の外観が示されている。

【0132】

なお、図13に示したアクティブマトリクス型液晶表示装置は、白黒のチェックパターンを表示しているが、このアクティブマトリクス型液晶表示装置を3枚用いることによってフルカラーの投射型液晶表示装置が実現される。

【0133】

ここで、本実施例の作製方法によって得られた半導体層の横成長領域が有する結晶構造の特徴について述べることにする。

【0134】

上記作製方法に従って形成した横成長領域は、微視的に見れば複数の棒状（または偏平棒状）結晶が互いに概略平行に特定方向への規則性をもって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。

【0135】

また、本出願人は上述した作製方法によって得られた半導体薄膜の結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）で詳細に観察した（図14）。ただし、本明細書において結晶粒界とは、断りがない限り異なる棒状結晶同士が接した境界に形成される粒界を指すものと定義する。従って、例えば別々の横成長領域がぶつかりあって形成される様なマクロな意味での粒界とは区別して考える。

【0136】

ところで前述のHR-TEM（高分解能透過型電子顕微鏡法）とは、試料に対して垂直に電子線を照射し、透過電子や弾性散乱電子の干渉を利用して原子・分子配列を評価する手法である。同手法を用いることで結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。

【0137】

本出願人が得たTEM写真（図14）では異なる二つの結晶粒（棒状結晶粒）が結晶粒界で接した状態が明瞭に観察された。また、この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの概略{110}配向であることが電子線回折により確認されている。

【0138】

ところで、前述の様なTEM写真による格子縞観察では{110}面内に{111}面に対応する格子縞が観察された。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な面に対応するかは、簡易的には格子縞間の距離により確認できる。

【0139】

この時、本出願人は上述した作製方法によって得られた半導体薄膜のTEM写真を詳細に観察した結果、非常に興味深い知見を得た。写真に見える異なる二つの結晶粒ではどちらにも{111}面に対応する格子縞が見えていた。そして、互いの格子縞が明らかに平行に走っているのが観察されたのである。

10

20

30

40

50

【 0 1 4 0 】

さらに、結晶粒界の存在と関係なく、結晶粒界を横切る様にして異なる二つの結晶粒の格子縞が繋がっていた。即ち、結晶粒界を横切る様にして観測される格子縞の殆どが、異なる結晶粒の格子縞であるにも拘らず直線的に連続していることが確認できた。これは任意の結晶粒界で同様であった。

【 0 1 4 1 】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

10

【 0 1 4 2 】

なお、図15に、本発明者らはリファレンスとして従来の多結晶珪素膜（いわゆる高温ポリシリコン膜）についても電子線回折およびH R - T E M観察による解析を行った。その結果、異なる二つの結晶粒において互いの格子縞は全くバラバラに走っており、結晶粒界で整合性よく連続する様な接合は殆どなかった。即ち、結晶粒界では格子縞が途切れた部分が多く、結晶欠陥が多いことが判明した。

【 0 1 4 3 】

本出願人は、本実施例の方法により作製された半導体薄膜の様に格子縞が整合性良く対応した場合の原子の結合状態を整合結合と呼び、その時の結合手を整合結合手と呼ぶ。また、逆に従来の多結晶珪素膜に多く見られる様に格子縞が整合性良く対応しない場合の原子の結合状態を不整合結合と呼び、その時の結合手を不整合結合手（又は不対結合手）と呼ぶ。

20

【 0 1 4 4 】

本実施例で用いられる半導体薄膜は結晶粒界における整合性が極めて優れているため、上述の不整合結合手が極めて少ない。本発明者らが任意の複数の結晶粒界について調べた結果、全体の結合手に対する不整合結合手の存在割合は10%以下（好ましくは5%以下、さらに好ましくは3%以下）であった。即ち、全体の結合手の90%以上（好ましくは95%以上、さらに好ましくは97%以上）が整合結合手によって構成されているのである。

【 0 1 4 5 】

また、前述の工程に従って作製した横成長領域を電子線回折で観察した結果を図16（a）に示す。なお、図16（b）は比較のために観察した従来のポリシリコン膜（高温ポリシリコン膜と呼ばれるもの）の電子線回折パターンである。

30

【 0 1 4 6 】

図16（a）、（b）に示す電子線回折パターンは電子線の照射エリアの径が $4.25 \mu m$ であり、十分に広い領域の情報を拾っている。ここで示している写真は任意の複数箇所を調べた結果の代表的な回折パターンである。

【 0 1 4 7 】

図16（a）の場合、 $\{110\}$ 入射に対応する回折スポット（回折斑点）が比較的きれいに現れており、電子線の照射エリア内では殆ど全ての結晶粒が $\{110\}$ 配向していることが確認できる。一方、図16（b）に示す従来の高温ポリシリコン膜の場合、回折スポットには明瞭な規則性が見られず、 $\{110\}$ 面以外の面方位の結晶粒が不規則に混在することが判明した。

40

【 0 1 4 8 】

この様に、結晶粒界を有する半導体薄膜でありながら、 $\{110\}$ 配向に特有の規則性を有する電子線回折パターンを示す点が本願発明で利用する半導体薄膜の特徴であり、電子線回折パターンを比較すれば従来の半導体薄膜との違いは明白である。

【 0 1 4 9 】

以上の様に、前述に示した作製工程で作製された半導体薄膜は従来の半導体薄膜とは全く異なる結晶構造（正確には結晶粒界の構造）を有する半導体薄膜であった。本出願人は本実施例で用いる半導体薄膜について解析した結果を特願平9-55633号、同9-165216号、同9

50

-212428号でも説明している。

【0150】

また、上述の様な本実施例で用いる半導体薄膜の結晶粒界は、90%以上が整合結合手によって構成されているため、キャリアの移動を阻害する障壁（バリア）としては機能は殆どない。即ち、本実施例で用いる半導体薄膜は実質的に結晶粒界が存在しないとも言える。

【0151】

従来の半導体薄膜では結晶粒界がキャリアの移動を妨げる障壁として機能していたのだが、本実施例で用いる半導体薄膜ではその様な結晶粒界が実質的に存在しないので高いキャリア移動度が実現される。そのため、本実施例で用いる半導体薄膜を用いて作製したTFTの電気特性は非常に優れた値を示す。この事については以下に示す。10

【0152】

〔 TFT の電気特性に関する知見〕

【0153】

本実施例で用いる半導体薄膜は実質的に単結晶と見なせる（実質的に結晶粒界が存在しない）ため、それを活性層とするTFTは単結晶シリコンを用いたMOSFETに匹敵する電気特性を示す。本発明者らが試作したTFTからは次に示す様なデータが得られている。。

【0154】

(1) TFT のスイッチング性能（オン / オフ動作の切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに60 ~ 100mV/decade（代表的には60 ~ 85mV/decade）と小さい。20

(2) TFT の動作速度の指標となる電界効果移動度 (μ_{FE}) が、Nチャネル型TFTで200 ~ 650cm²/Vs（代表的には250 ~ 300cm²/Vs）、Pチャネル型TFTで100 ~ 300cm²/Vs（代表的には150 ~ 200cm²/Vs）と大きい。

(3) TFT の駆動電圧の指標となるしきい値電圧 (V_{th}) が、Nチャネル型TFTで-0.5 ~ 1.5 V、Pチャネル型TFTで-1.5 ~ 0.5 Vと小さい。

【0155】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0156】

なお、CGSを形成するにあたって前述した結晶化温度以上の温度（700 ~ 1100）でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。そのことについて以下に説明する。30

【0157】

図17(a)は、前述の結晶化工程までを終了した時点での結晶シリコン膜を25万倍に拡大したTEM写真であり、結晶粒内（黒い部分と白い部分はコントラストの差に起因して現れる）に矢印で示されるようなジグザグ上に見える欠陥が確認される。

【0158】

このような欠陥としては主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。図17(a)は{111}面に平行な欠陥面を有する積層欠陥と思われる。そのことは、ジグザグ状に見える欠陥が約70°の角度をなして折れ曲がっていることからも確認できる。40

【0159】

一方、図17(b)に示すように、同倍率で見た本発明に用いた結晶シリコン膜は、結晶粒内にはほとんど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが確認できる。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるものの、実質的にはゼロと見なせる程度にまで低減することができる。

【0160】

即ち、本実施例で用いた結晶シリコン膜は、結晶粒内の欠陥がほとんど無視し得る程度に50

まで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になりえないため、単結晶または実質的に単結晶と見なせる。

【0161】

このように図17(a)と(b)との写真が示した結晶シリコン膜はどちらも結晶粒界にほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。図17(b)に示した結晶シリコン膜が図17(A)に示した結晶シリコン膜よりも遙かに高い電気特性を示す理由はこの欠陥数の差による所が大きい。

【0162】

以上のことから、CGSを作製するにあたって、触媒元素のゲッタリングプロセスは必要不可欠な工程であることが判る。本発明者らは、この工程によって起こる現象について次のようなモデルを考えている。10

【0163】

まず、図17(a)に示す状態では結晶粒内の欠陥(主として積層欠陥)には触媒元素(代表的にはニッケル)が偏析している。即ち、Si-Ni-Siといった形の結合が多数存在していると考えられる。

【0164】

しかしながら、触媒元素のゲッタリングプロセスを行うことで欠陥に存在するNiが除去されるとSi-Ni結合は切れる。そのため、シリコンの余った結合手は、すぐにSi-Si結合を形成して安定する。こうして欠陥が消滅する。

【0165】

勿論、高い温度での熱アニールによって結晶シリコン膜中の欠陥が消滅することは知られているが、ニッケルとの結合が切れて、未結合手が多く発生するためのシリコンの再結合がスムーズに行われると推測できる。20

【0166】

また、本発明者らは結晶化温度以上の温度(700~1100)で加熱処理を行うことで結晶シリコン膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルも考えている。

【0167】

こうして得られた結晶シリコン膜(図17(b))は、単に結晶化をおこなっただけの結晶シリコン膜(図17(a))と比較して格段に結晶粒内の欠陥数が少ないという特徴を有している。この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance: ESR)によってスピン密度の差となって現れる。現状では本発明に用いた結晶シリコン膜のスピン密度は少なくとも 1×10^{18} 個/cm³以下(代表的には 5×10^{17} 個/cm³以下)である。30

【0168】

以上のような結晶構造および特徴を有する本発明に用いた結晶シリコン膜を、連続粒界結晶シリコン(Continuous Grain Silicon: CGS)と呼んでいる。

【0169】

(実施例2)

【0170】

上記実施例1では、本発明のデジタル駆動方式の駆動回路をアクティブマトリクス型液晶表示装置に用いた場合について説明した。この場合、アクティブマトリクス型液晶表示装置に用いられる表示方法としては、ネマチック液晶を用いたTNモードや電界制御複屈折を利用したモード、液晶と高分子との混合層、いわゆる高分子分散モードなども用いることができる。40

【0171】

さらに、本発明のデジタル駆動方式の駆動回路は、上述したように画素TFTの線順次走査を行い、その画素数は今後のATV(Advanced TV)に対応している。よって、応答速度の速い、いわゆる無しきい値反強誘電性液晶を用いたアクティブマトリクス型液晶表示装置に用いると、さらに優れた特性を發揮できる。50

【 0 1 7 2 】

また、最近の研究によって実現されつつある、特殊な配向膜によって強誘電性液晶の配向を制御し、TN液晶モードのように階調表示を可能とした強誘電性液晶を用いた液晶表示装置にも本発明の駆動回路を用いることができる。

【 0 1 7 3 】

液晶材料としては、例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. 、または米国特許第5594569号に開示された液晶材料を用いることが可能である。 10

【 0 1 7 4 】

特に、無しきい値反強誘電性液晶材料や、強誘電性液晶材料と反強誘電性液晶材料との混合液晶材料である無しきい値反強誘電性混合液晶の中には、その駆動電圧が $\pm 2.5\text{ V}$ 程度のものも見出されている。このような低電圧駆動の無しきい値反強誘電性混合液晶を用いた場合には、画像信号のサンプリング回路の電源電圧を $5\text{ V} \sim 8\text{ V}$ 程度に抑えることが可能となり、比較的 LDD 領域（低濃度不純物領域）の幅が小さな TFT（例えば、 $0\text{ nm} \sim 500\text{ nm}$ または $0\text{ nm} \sim 200\text{ nm}$ ）を用いる場合においても有効である。

【 0 1 7 5 】

ここで、無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示すグラフを図19に示す。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の偏光軸に対してほぼ直角（クロスニコル）に設定されている。このように、無しきい値反強誘電性混合液晶を用いると、図のような印加電圧 - 透過率特性を示す階調表示を行うことが可能であることがわかる。 20

【 0 1 7 6 】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自身の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。また、液晶表示装置の駆動方法を、線順次駆動とすることにより、画素への階調電圧の書き込み期間（ピクセルフィードピリオド）を長くし、保持容量が小さくともそれを補うこともできる。 30

【 0 1 7 7 】

なお、無しきい値反強誘電性液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【 0 1 7 8 】

また、代表的に実施例1あるいは2に示された本発明の駆動回路を、印加電圧に応答して光学的特性が変調され得るその他のいかなる表示媒体を備えた表示装置の駆動回路に用いてもよい。例えば、エレクトロルミネセンス素子などを用いた表示装置の駆動回路に用いても良い。 40

【 0 1 7 9 】

また、代表的に実施例1あるいは2に示された本発明の駆動回路を、イメージセンサなどの半導体装置の駆動回路に用いることもできる。この場合、イメージセンサの受光部と、受光部で電気信号に変換された映像を表示する画像表示部とが一体形成されたイメージセンサにも適応させることができる。また、イメージセンサは、ラインセンサあるいはエリアセンサのどちらにでも適応可能である。

【 0 1 8 0 】

(実施例3)

【 0 1 8 1 】

10

20

30

40

50

また、上記実施例 1 および 2 は、透過型のアクティブマトリクス型液晶表示装置について説明してきたが、本発明の駆動回路は、反射型のアクティブマトリクス型液晶表示装置にも用いられるのは言うまでもない。

【0182】

(実施例 4)

【0183】

上記実施例 1 の駆動回路、それを用いたアクティブマトリクス型半導体表示装置（実施例 2 および 3）には様々な用途がある。本実施例では、これらの半導体表示装置を組み込んだ半導体装置について説明する。

【0184】

10

このような半導体装置には、ビデオカメラ、スチルカメラ、プロジェクタ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図 7 に示す。

【0185】

図 18 (A) は携帯電話であり、本体 1801、音声出力部 1802、音声入力部 1803、半導体表示装置 1804、操作スイッチ 1805、アンテナ 1806 で構成される。

【0186】

図 18 (B) はビデオカメラであり、本体 1901、半導体表示装置 1902、音声入力部 1903、操作スイッチ 1904、バッテリー 1905、受像部 1906 で構成される。
。

20

【0187】

図 18 (C) はモバイルコンピュータであり、本体 2001、カメラ部 2002、受像部 2003、操作スイッチ 2004、半導体表示装置 2005 で構成される。

【0188】

図 18 (D) はヘッドマウントディスプレイであり、本体 2101、半導体表示装置 2102、バンド部 2103 で構成される。

【0189】

図 18 (E) はリア型プロジェクタであり、2201 は本体、2202 は光源、2203 は半導体表示装置、2204 は偏光ビームスプリッタ、2205 および 2206 はリフレクター、2207 はスクリーンである。なお、リア型プロジェクタは、視聴者の見る位置によって、本体を固定したままスクリーンの角度を変えることができるのが好ましい。なお、半導体表示装置 2203 を 3 個（R、G、B の光にそれぞれ対応させる）使用することによって、さらに高解像度・高精細のリア型プロジェクタを実現することができる。
。

30

【0190】

図 18 (F) はフロント型プロジェクタであり、本体 2301、光源 2302、半導体表示装置 2303、光学系 2304、スクリーン 2305 で構成される。なお、半導体表示装置 2303 を 3 個（R、G、B の光にそれぞれ対応させる）使用することによって、さらに高解像度・高精細のフロント型プロジェクタを実現することができる。

【0191】

40

【発明の効果】

【0192】

本発明によると、半導体表示装置の駆動回路において、バッファ回路の電流容量を確保しながら、その特性のばらつきを減少させることができる。よって、表示ムラのない高精細・高解像度の半導体表示装置が実現される。

【図面の簡単な説明】

【図 1】 本発明の駆動回路を有するアクティブマトリクス型液晶表示装置の一実施形態の回路ブロック図である。

【図 2】 本発明の駆動回路に用いられるデジタルビデオデータ分割回路の一実施形態の回路図である。

【図 3】 本発明の駆動回路に用いられるソース信号線側シフトレジスタ回路およびバッ

50

ファ回路の一実施形態の回路図である。

【図4】 本発明の駆動回路に用いられるバッファ回路の一実施形態の回路図である。

【図5】 本発明の駆動回路に用いられるゲイト信号線側シフトレジスタ回路およびバッファ回路の一実施形態の回路図である。

【図6】 本発明の駆動回路に用いられるバッファ回路の一実施形態の回路図である。

【図7】 本発明の駆動回路に用いられるバッファ回路の一実施形態の回路パターン図である。

【図8】 本発明の駆動回路に用いられるバッファ回路の一実施形態の回路パターン図である。

【図9】 本発明の駆動回路を有するアクティブマトリクス型液晶表示装置の作製工程を示す図である。 10

【図10】 本発明の駆動回路を有するアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図11】 本発明の駆動回路を有するアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図12】 本発明の駆動回路を有するアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図13】 本発明の駆動回路を有するアクティブマトリクス型液晶表示装置の外観図である。

【図14】 CGSのTEM写真図である。 20

【図15】 従来の高温ポリシリコンのTEM写真図である。

【図16】 CGSおよび従来の高温ポリシリコンの電子線回折パターン図である。

【図17】 CGSおよび従来の高温ポリシリコンのTEM写真図である。

【図18】 本発明の駆動回路を有する半導体表示装置を備えた半導体装置例の図である。

。

【図19】 無しきい値反強誘電性混合液晶の印加電圧 - 透過率特性を示すグラフである。

【符号の説明】

101 ソース信号線側駆動回路(A)

102 シフトレジスタ回路

30

103 バッファ回路

104 ラッチ回路(1)

105 ラッチ回路(2)

106 セレクタ回路(1)

107 レベルシフタ回路

108 D / A 変換回路

109 セレクタ回路(2)

110 デジタルビデオデータ分割回路

111 ソース信号線側駆動回路(B)

112 ゲイト信号線側駆動回路(A)

40

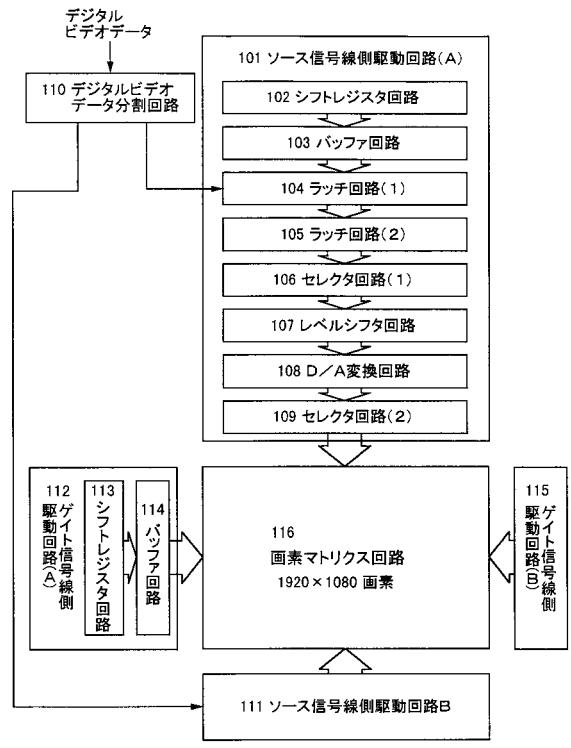
113 シフトレジスタ回路

114 バッファ回路

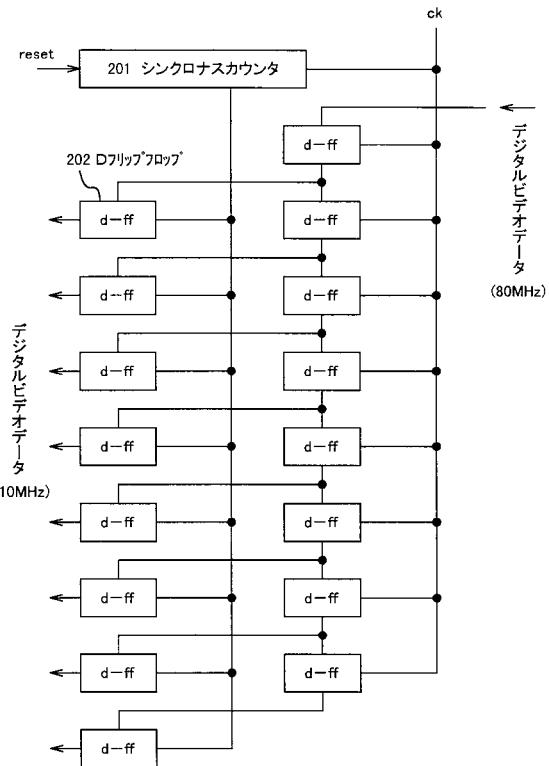
115 ゲイト信号線側駆動回路(B)

116 画素マトリクス回路

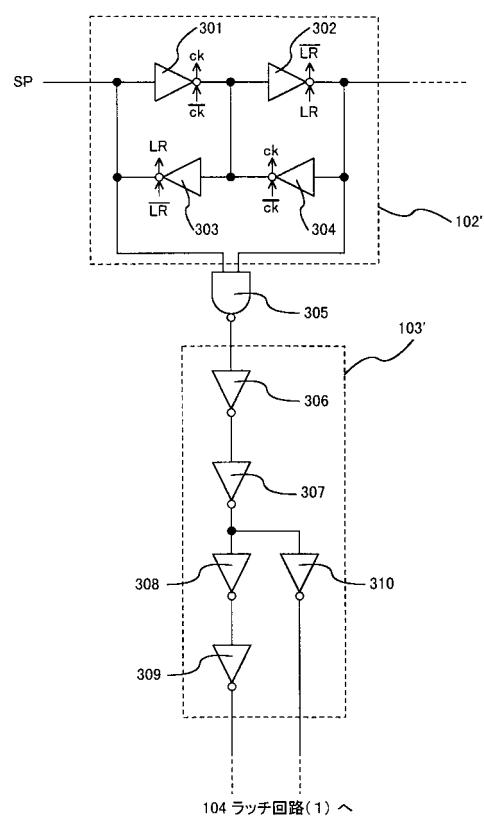
【図1】



【図2】

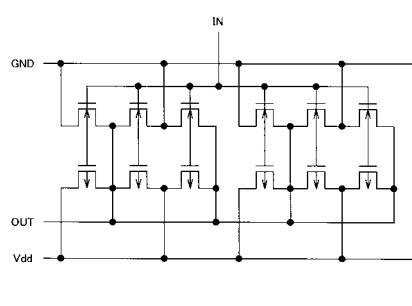


【図3】



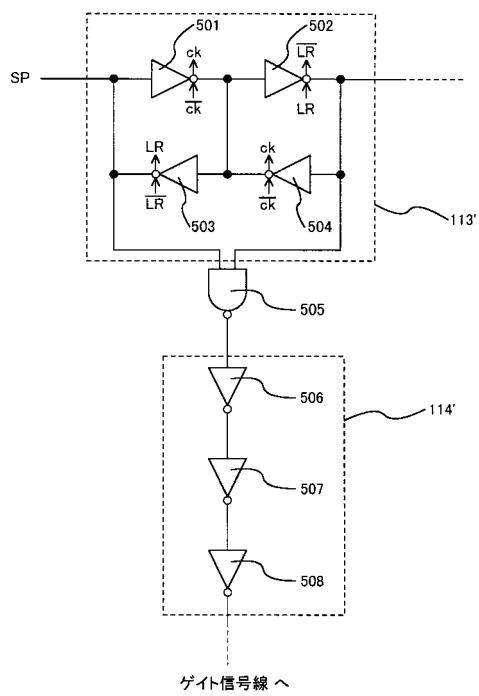
301, 302, 303, 304 クロックインバータ
 305 NAND回路
 306, 307, 308, 309, 310 インバータ
 102' フリップフロップ回路
 103' バッファ回路

【図4】



インバータ307

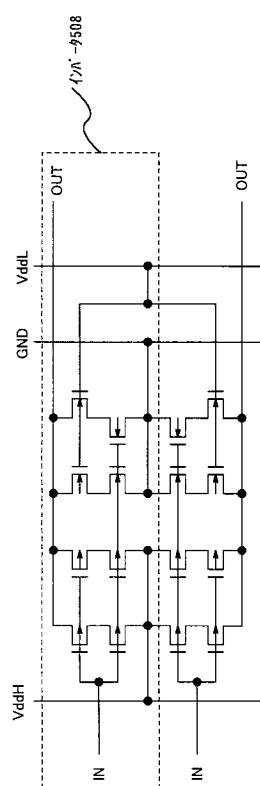
【図5】



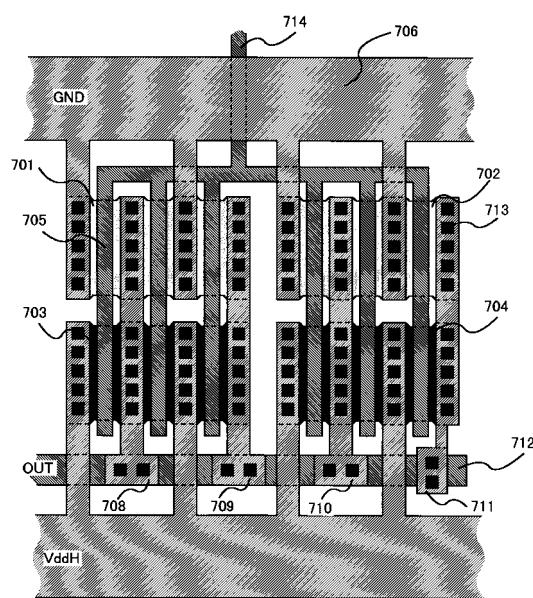
501, 502, 503, 504 クロック・インバータ
 505 NAND回路
 506, 507, 508 インバータ

113' フリップフロップ回路
 114' バッファ回路

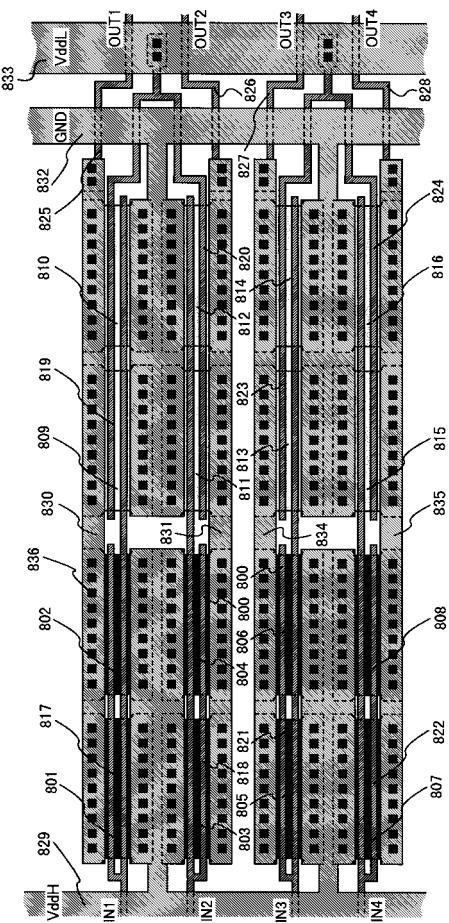
【図6】



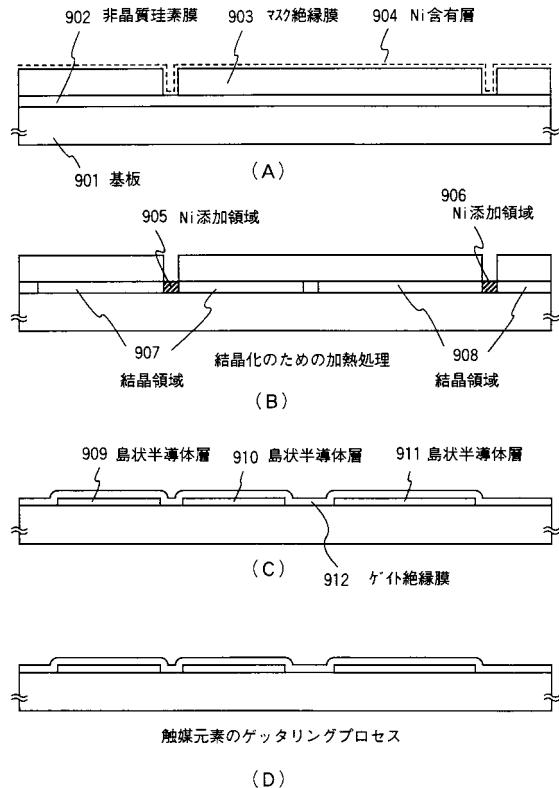
【図7】



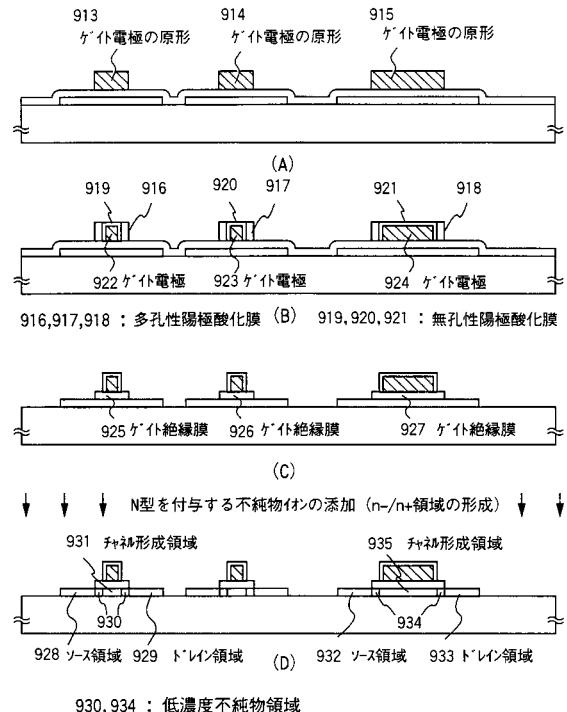
【図8】



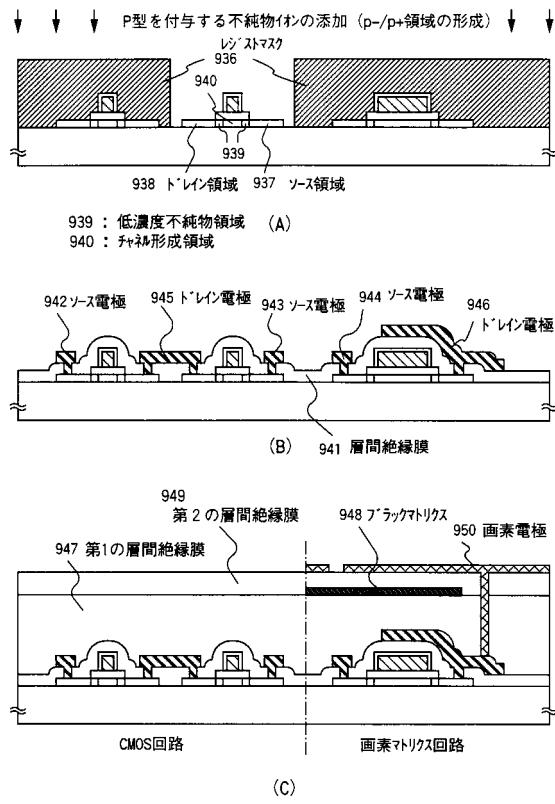
【図9】



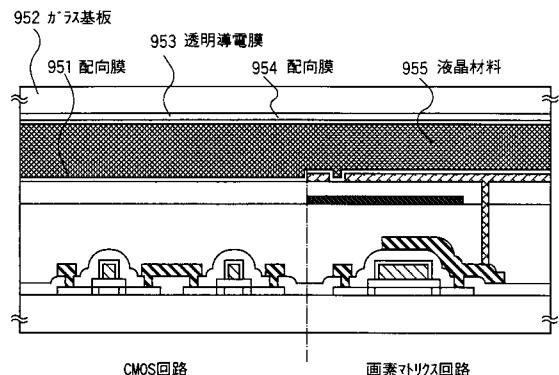
【図10】



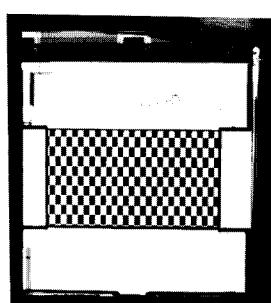
【図11】



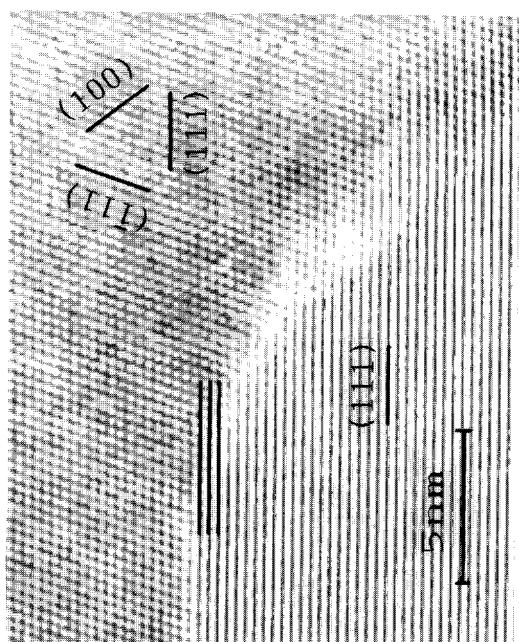
【図12】



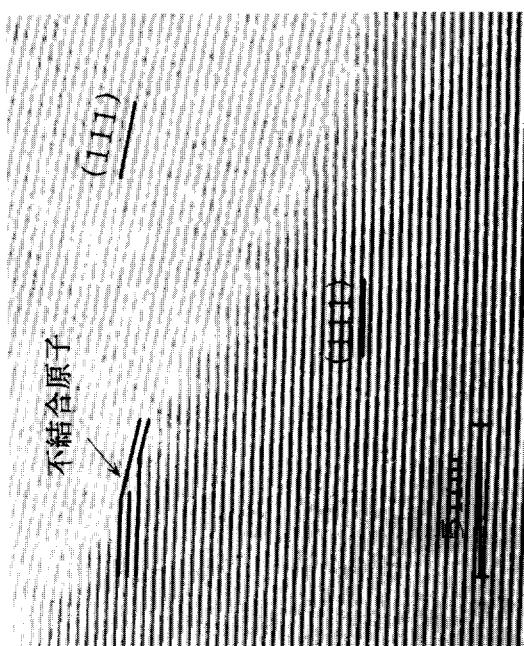
【図13】



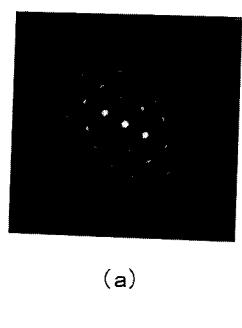
【図14】



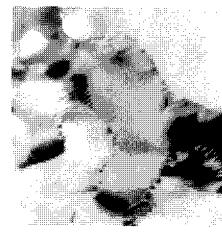
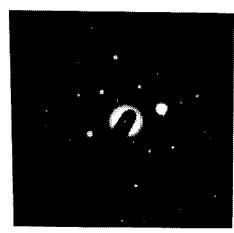
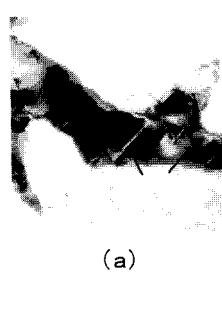
【図15】



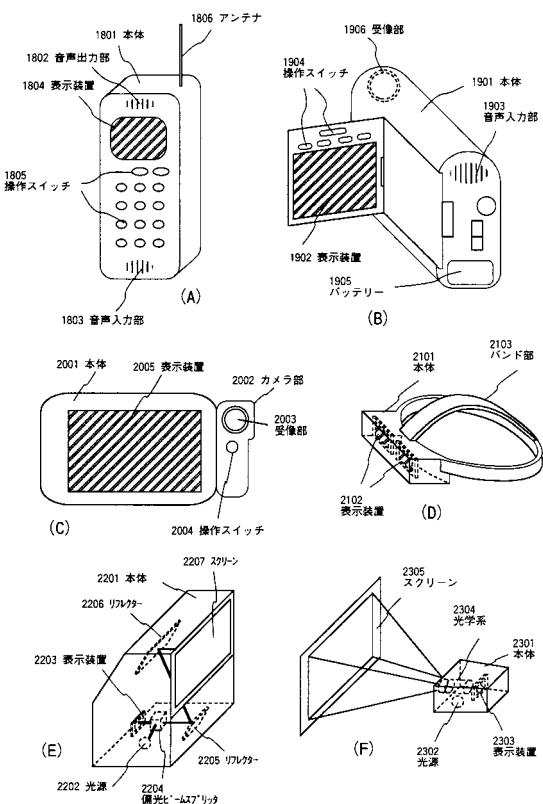
【図16】



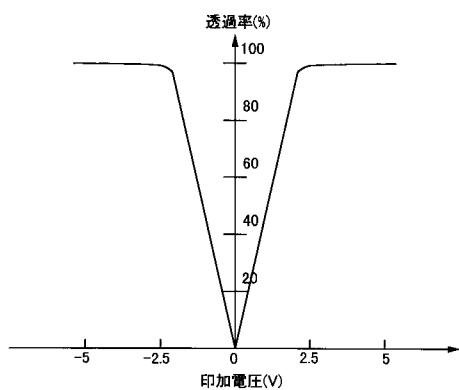
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl.

F I
G 09 G 3/20 6 2 2 E
G 09 G 3/20 6 2 3 B
G 09 G 3/20 6 2 3 H
G 09 G 3/20 6 4 2 A
G 09 G 3/20 6 7 0 K
G 09 G 3/20 6 7 0 L
H 01 L 29/78 6 1 4
H 05 B 33/14 A

(56)参考文献 特開平07-327185 (JP, A)

特開平09-036730 (JP, A)

特開平09-097909 (JP, A)

特開平09-074204 (JP, A)

特開平06-053813 (JP, A)

特開平08-146918 (JP, A)

特開平03-141391 (JP, A)

特開平05-303080 (JP, A)

特開平08-064834 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133

专利名称(译)	液晶显示装置的驱动电路和液晶显示装置		
公开(公告)号	JP4198477B2	公开(公告)日	2008-12-17
申请号	JP2003008654	申请日	2003-01-16
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤 山崎舜平		
发明人	小山 潤 山崎 舜平		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H01L29/786 H01L51/50 G02F1/1345 G02F1/1368 G09G3/30 H01L21/82 H01L21/822 H01L27/04 H05B33/14		
CPC分类号	G09G3/3648 G09G3/32 G09G3/3611 G09G3/3674 G09G3/3688 G09G2300/0408 G09G2310/027 G09G2310/0286 G09G2320/0233 H01L27/1214		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.H G09G3/20.611.J G09G3/20.622.B G09G3/20.622.E G09G3/20.623.B G09G3/20.623.H G09G3/20.642.A G09G3/20.670.K G09G3/20.670.L H01L29/78.614 H05B33/14.A G11C19/00 G11C19/00.J		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC35 2H093/ND09 2H093/ND20 2H093/NF05 2H093/NF09 2H093/NF11 2H093/NF17 2H093/NF20 2H093/NG02 2H093/NG20 2H193/ZA04 2H193/ZD32 2H193/ZQ06 2H193/ZQ08 2H193/ZQ13 2H193/ZQ26 2H193/ZR02 3K007/AB17 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/EE03 3K107/HH00 3K107/HH04 5B074/AA10 5B074/CA01 5C006/AA16 5C006/AF50 5C006/AF83 5C006/BA12 5C006/BA13 5C006/BA15 5C006/BA16 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF06 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF46 5C006/EB05 5C006/EC11 5C006/EC13 5C006/FA13 5C006/FA22 5C006/FA25 5C006/FA26 5C006/FA33 5C006/FA37 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD20 5C080/DD25 5C080/DD26 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK20 5C080/KK23 5F110 /AA14 5F110/AA30 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD01 5F110/DD03 5F110/DD05 5F110/DD13 5F110/DD14 5F110/EE06 5F110/EE09 5F110/EE34 5F110/FF02 5F110/FF23 5F110 /FF36 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG17 5F110/GG25 5F110/GG32 5F110/GG33 5F110/GG34 5F110/GG43 5F110/GG45 5F110/GG47 5F110/HJ01 5F110/HJ12 5F110/HJ23 5F110 /HM15 5F110>NN03 5F110>NN23 5F110>NN24 5F110>NN27 5F110>NN71 5F110>NN72 5F110>NN77 5F110/PP01 5F110/PP10 5F110/PP13 5F110/PP34 5F110/PP35 5F110/QQ24 5F110/QQ28		
优先权	1998100638 1998-03-27 JP		
其他公开文献	JP2003308052A5 JP2003308052A		
外部链接	Espacenet		
摘要(译)			

要解决的问题：为半导体显示装置提供驱动电路，该驱动电路能够获得具有高精细度/高分辨率的优异图像而没有图像模糊（显示不均匀），并提供半导体显示装置。解决方案：在半导体显示装置的驱动电路中使用的缓冲电路由多个TFT（薄膜晶体管）构成，每个TFT具有小的沟道宽度，并且多个这样的缓冲电路彼此并联连接。 ↗

【図1】

