

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3600112号

(P3600112)

(45) 発行日 平成16年12月8日(2004. 12. 8)

(24) 登録日 平成16年9月24日(2004. 9. 24)

(51) Int.Cl.⁷

F I

GO2F 1/1368

GO2F 1/1368

GO2F 1/1333

GO2F 1/1333 505

GO2F 1/1343

GO2F 1/1343

請求項の数 4 (全 19 頁)

(21) 出願番号 特願2000-87408 (P2000-87408)
 (22) 出願日 平成12年3月27日(2000. 3. 27)
 (65) 公開番号 特開2001-272698 (P2001-272698A)
 (43) 公開日 平成13年10月5日(2001. 10. 5)
 審査請求日 平成14年7月12日(2002. 7. 12)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100080034
 弁理士 原 謙三
 (72) 発明者 杉本 修
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 今井 元
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

審査官 石田 昌士

最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

画素へのスイッチングのためにソース電極及びドレイン電極を備える薄膜トランジスタを形成し、その上に保護膜層及び樹脂絶縁膜を積層し、この樹脂絶縁膜にコンタクトホールを形成した後、このコンタクトホールの下方の上記保護膜層をエッチング処理して除去し、このコンタクトホールの領域に液晶に電圧を印加するための画素表示電極を上記ドレイン電極に接触させて形成する液晶表示装置の製造方法において、
上記薄膜トランジスタを形成すべく第一の島状半導体層を形成する際に、コンタクトホールの領域においてもダミーとして第二の島状半導体層を形成し、
次に、上記第一の島状半導体層にその一端が重なり、上記第二の島状半導体層にその他端 10
が重なるようにドレイン電極を形成し、上記コンタクトホールの領域において、上記第二の島状半導体層に一部重なった状態で上記ドレイン電極の他端に下層を臨ませる貫通孔又は切り欠き部を形成し、
その後、保護膜層及び樹脂絶縁膜を積層し、この樹脂絶縁膜に上記コンタクトホールを形成することを特徴とする液晶表示装置の製造方法。

【請求項2】

絶縁性基板上に、ゲート線と、このゲート線に接続されるゲート電極と、補助容量線と、この補助容量線に接続される補助容量電極とを形成する工程と、
 上記ゲート線、ゲート電極、補助容量線及び補助容量電極の各上にゲート絶縁膜を形成する工程と、

上記ゲート電極の上方にゲート絶縁膜を介して $i a - Si$ 層と $n^+ a - Si$ 層とを積層した第一の島状半導体層を薄膜トランジスタとして形成するとともに、このとき同時に、補助容量電極の上方にゲート絶縁膜を介して $i a - Si$ 層と $n^+ a - Si$ 層とを積層した第二の島状半導体層をダミーとして形成する工程と、

上記ゲート電極上方の第一の島状半導体層に対して、各一端がそれぞれ積層されるソース電極及びドレイン電極とこのソース電極に接続されるソース線とを形成するとともに、このドレイン電極を上記補助容量電極上方の第二の島状半導体層に対してもその他端が積層されるように形成しかつそのときその他端には下層を臨ませる貫通孔又は切り欠き部を形成する工程と、

上記貫通孔又は切り欠き部を有するドレイン電極をマスクとして、上記補助容量電極上方の第二の島状半導体層の $n^+ a - Si$ 層をエッチング処理し除去する工程と、

上記補助容量電極上方の第二の島状半導体層における $n^+ a - Si$ 層のエッチング処理と同時に、上記ゲート電極上方の第一の島状半導体層の上に各一端がそれぞれ積層されたソース電極及びドレイン電極をマスクとして、この第一の島状半導体層の $n^+ a - Si$ 層をエッチング処理し分離する工程と、

上記基板上の全面に保護膜層を形成する工程と、

上記保護膜層上に樹脂絶縁膜を形成する工程と、

上記樹脂絶縁膜に、上記補助容量電極の上方におけるドレイン電極の貫通孔又は切り欠き部のパターンが横切るようにコンタクトホールを形成し、このとき同時に、ソース信号入力端子、ゲート入力信号端子及び補助容量入力端子上の樹脂絶縁膜を除去する工程と、

上記パターンニングされた樹脂絶縁膜と上記コンタクトホール内におけるドレイン電極の貫通孔又は切り欠き部のパターンとをエッチングマスクとして、上記ソース信号入力端子、ゲート入力信号端子及び補助容量入力端子上の保護膜層と、コンタクトホール基底部の保護膜層とを同時にエッチング除去する工程と、

上記ゲート信号入力端子及び補助容量信号入力端子上のゲート絶縁膜をエッチングして上記ゲート信号入力端子上のゲート絶縁膜を除去するとともに、このとき同時に、上記ドレイン電極の貫通孔又は切り欠き部とコンタクトホールとによって囲まれる領域に露出した上記第二の島状半導体層の $i a - Si$ 層を同時にエッチングする工程と、

からなることを特徴とする液晶表示装置の製造方法。

【請求項 3】

コンタクトホール内部のドレイン電極に形成される貫通孔又は切り欠き部は、少なくとも一部がコンタクトホールの領域よりも側方に延びて形成されることを特徴とする請求項 2 記載の液晶表示装置の製造方法。

【請求項 4】

ドレイン電極の貫通孔又は切り欠き部のエッジとコンタクトホールのエッジとによって囲まれる領域に露出した第二の島状半導体層の $i a - Si$ 層と、ゲート信号入力端子及びソース信号入力端子側領域のゲート絶縁膜とは、各エッチング速度の比と各膜厚との比が略同じであることを特徴とする請求項 2 又は 3 記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以下、「TFT: Thin Film Transistor」と呼ぶ。）を形成したアクティブマトリクス基板を用いて液晶を駆動する液晶表示装置の製造方法に関するものである。

【0002】

【従来の技術】

従来の TFT を用いた液晶表示装置は、図 9 (a) (b) に示すように、ガラス等の絶縁性基板 101 上に、ゲート信号入力端子 102 a 及びゲート電極 102 b が一体に形成されたゲート配線 102 と、補助容量配線 104 と、この補助容量配線 104 に接続される補助容量電極 104 b 及び補助容量信号入力端子 104 a とが設けられている。

【0003】

そして、これらの上層には、ゲート絶縁膜107を介して非晶質シリコン半導体層からなるia-Si層108aと、このia-Si層108aとソース電極109b及びドレイン電極110間とにオーミック接続を実現するためにリン(P)等の不純物を添加した非晶質シリコン半導体層であるn⁺a-Si層108bとを形成する。

【0004】

次いで、上記の半導体であるia-Si層108a及びn⁺a-Si層108bの上に図示しないAl/Ti等の多層構造膜を被着した後、ソース電極109b、ドレイン電極110、及びそのバス配線であるソース配線109を形成する。さらに、上記ソース配線109、このソース配線109と一体のソース電極109bとソース信号入力端子109c、ドレイン電極110によりTFT111を形成する。

10

【0005】

次いで、ソース配線109及びTFT111を保護するSiN等の絶縁性膜からなる保護膜層112と、絶縁性のある感光性のアクリル系樹脂等からなる樹脂絶縁膜113を順次積層することによって、2層構造からなる保護層を形成する。

【0006】

次に、上記感光性のアクリル系樹脂等からなる樹脂絶縁膜113を露光工程にて所定のマスクを使って感光させ、現像工程を経ることにより樹脂絶縁膜113にコンタクトホール115を形成し、このとき同時に、ソース信号入力端子109c、ゲート信号入力端子102a、補助容量信号入力端子104a上の樹脂絶縁膜113を除去する。

20

【0007】

以上のようにパターニングされた樹脂絶縁膜113をエッチング処理時のマスクとして用いることにより、上記コンタクトホール115の基底部の保護膜層112と前記ソース信号入力端子109c、ゲート信号入力端子102a、補助容量信号入力端子104a上の保護膜層112を同時に除去する。

【0008】

続いて、同様にパターニングされた樹脂絶縁膜113をエッチング処理時のマスクとして用いて、ゲート信号入力端子102a、補助容量信号入力端子104a上のゲート絶縁膜107bを除去する。

【0009】

30

次に、樹脂絶縁膜113に設けられたコンタクトホール115内、及び樹脂絶縁膜113の表面に渡って形成された液晶に電圧を印加するための画素表示電極114が形成され、コンタクトホール115の基底部のドレイン電極110に対して電氣的接続を行う。

【0010】

【発明が解決しようとする課題】

しかしながら、上記従来の液晶表示装置の製造方法では、マスクとなる樹脂絶縁膜113と保護膜層112とのエッチング速度が、

樹脂絶縁膜113のエッチング速度<保護膜層112のエッチング速度

の関係であり、かつ、ドレイン電極110のエッチング速度が保護膜層112の1/10以下である場合、ゲート信号入力端子102a及び補助容量信号入力端子104a部分のゲート絶縁膜107をエッチングしている間にコンタクトホール115内部のエッチングは、下方向への進行が止まり、横方向へのエッチングが進み、上記保護膜層112が樹脂絶縁膜113の裏面側までエッチングされて逆テーパ形状117を生じる。

40

【0011】

この結果、このような状態では、その後に形成する画素表示電極114が段切れしてしまい、画素表示電極114における電氣的な接続ができなくなってしまうという問題が生じる。

【0012】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、画素表示電極に段切れが生じて、画素表示電極に断線が生じることを回避し得る液晶表示装置の製造方法

50

を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

本発明の液晶表示装置の製造方法は、上記課題を解決するために、画素へのスイッチングのためにソース電極及びドレイン電極を備える薄膜トランジスタを形成し、その上に保護膜層及び樹脂絶縁膜を積層し、この樹脂絶縁膜にコンタクトホールを形成した後、このコンタクトホールの下方の上記保護膜層をエッチング処理して除去し、このコンタクトホールの領域に液晶に電圧を印加するための画素表示電極を上記ドレイン電極に接触させて形成する液晶表示装置の製造方法において、上記コンタクトホールの領域におけるドレイン電極に下層を臨ませる貫通孔又は切り欠き部を形成する一方、上記薄膜トランジスタを形成すべく第一の島状半導体層を形成する際に、コンタクトホールの領域においても第二の島状半導体層を形成することを特徴としている。

10

【 0 0 1 4 】

上記の発明によれば、液晶表示装置を製造する際には、先ず、画素へのスイッチングのためにソース電極及びドレイン電極を備える薄膜トランジスタを形成する。次いで、その上に保護膜層及び樹脂絶縁膜を積層し、この樹脂絶縁膜にコンタクトホールを形成する。その後、このコンタクトホールの下方の上記保護膜層をエッチング処理して除去し、このコンタクトホールの領域に液晶に電圧を印加するための画素表示電極を上記ドレイン電極に接触させて形成する。

【 0 0 1 5 】

20

ここで、従来においては、コンタクトホールの下方の保護膜層をエッチング処理する際に、その下側にあるドレイン電極にてエッチングの進行が止まり、横方向にエッチング方向が移動することにより、保護膜層がコンタクトホールの領域を越えてエッチングされることになっていた。

【 0 0 1 6 】

そして、その結果、このコンタクトホールに上から画素表示電極を堆積させた場合に、コンタクトホールの基底部において、堆積導電材が保護膜層領域で分散されるので、画素表示電極に段切れが生じて、画素表示電極における電氣的な接続ができなくなってしまうという問題点を有していた。

【 0 0 1 7 】

30

しかし、本発明では、コンタクトホールの領域におけるドレイン電極に下層を臨ませる貫通孔又は切り欠き部を形成しておく。そして、その後、薄膜トランジスタを形成すべく第一の島状半導体層を形成する際に、コンタクトホールの領域においても第二の島状半導体層を形成する。なお、この第二の島状半導体層は、ダミーとして形成するものである。

【 0 0 1 8 】

すなわち、薄膜トランジスタを形成すべく第一の島状半導体層を形成する際に、コンタクトホールの領域においても第二の島状半導体層を形成することによって、保護膜層をエッチング処理する際に、コンタクトホール基底部には、上側から順に、保護膜層と、貫通孔又は切り欠き部が形成されたドレイン電極と、第二の島状半導体層とが積層されていることになる。

40

【 0 0 1 9 】

したがって、保護膜層をエッチング処理すると、先ず、保護膜層がエッチングされ、次いで、エッチングの方向はエッチングされ易い第二の島状半導体層に向かうので、保護膜層の横方向へのエッチングが回避され、順テーパーとなる。

【 0 0 2 0 】

そのため、エッチング処理した後に、画素表示電極の導電材を堆積させたときに、導電材が段切れすることがない。

【 0 0 2 1 】

この結果、画素表示電極に段切れが生じて、画素表示電極に断線が生じることを回避し得る液晶表示装置の製造方法を提供することができる。

50

【0022】

本発明の液晶表示装置の製造方法は、上記課題を解決するために、絶縁性基板上に、ゲート線と、このゲート線に接続されるゲート電極と、補助容量線と、この補助容量線に接続される補助容量電極とを形成する工程と、上記ゲート線、ゲート電極、補助容量線及び補助容量電極の各上にゲート絶縁膜を形成する工程と、上記ゲート電極の上方にゲート絶縁膜を介して $i a - Si$ 層と $n^+ a - Si$ 層とを積層した第一の島状半導体層を形成するとともに、このとき同時に、補助容量電極の上方にゲート絶縁膜を介して $i a - Si$ 層と $n^+ a - Si$ 層とを積層した第二の島状半導体層を形成する工程と、上記ゲート電極上方の第一の島状半導体層に対して、各一端がそれぞれ積層されるソース電極及びドレイン電極とこのソース電極に接続されるソース線とを形成するとともに、このドレイン電極を上記補助容量電極上方の第二の島状半導体層に対してもその他端が積層されるように形成しかつそのときその他端には貫通孔又は切り欠き部を形成する工程と、上記貫通孔又は切り欠き部を有するドレイン電極をマスクとして、上記補助容量電極上方の第二の島状半導体層の $n^+ a - Si$ 層をエッチング処理し除去する工程と、上記補助容量電極上方の第二の島状半導体層における $n^+ a - Si$ 層のエッチング処理と同時に、上記ゲート電極上方の第一の島状半導体層の上に各一端がそれぞれ積層されたソース電極及びドレイン電極をマスクとして、この第一の島状半導体層の $n^+ a - Si$ 層をエッチング処理し分離する工程と、上記基板上の全面に保護膜層を形成する工程と、上記保護膜層上に樹脂絶縁膜を形成する工程と、上記樹脂絶縁膜に、上記補助容量電極の上方におけるドレイン電極の貫通孔又は切り欠き部のパターンが横切るようにコンタクトホールを形成し、このとき同時に、ソース信号入力端子、ゲート入力信号端子及び補助容量入力端子の樹脂絶縁膜を除去する工程と、上記パターンニングされた樹脂絶縁膜と上記コンタクトホール内におけるドレイン電極の貫通孔又は切り欠き部のパターンとをエッチングマスクとして、上記ソース信号入力端子、ゲート入力信号端子及び補助容量入力端子の保護膜層と、コンタクトホール基底部の保護膜層とを同時にエッチング除去する工程と、上記ゲート信号入力端子及び補助容量信号入力端子のゲート絶縁膜をエッチングして上記ゲート信号入力端子のゲート絶縁膜を除去するとともに、このとき同時に、上記ドレイン電極の貫通孔又は切り欠き部とコンタクトホールとによって囲まれる領域に露出した上記第二の島状半導体層の $i a - Si$ 層を同時にエッチングする工程と、からなることを特徴としている。

【0023】

上記の発明によれば、液晶表示装置を製造する工程は、ゲート線と、このゲート線に接続されるゲート電極と、補助容量線と、この補助容量線に接続される補助容量電極とを形成する工程と、上記ゲート線、ゲート電極、補助容量線及び補助容量電極の各上にゲート絶縁膜を形成する工程と、上記ゲート電極の上方にゲート絶縁膜を介して $i a - Si$ 層と $n^+ a - Si$ 層とを積層した第一の島状半導体層を形成するとともに、このとき同時に、補助容量電極の上方にゲート絶縁膜を介して $i a - Si$ 層と $n^+ a - Si$ 層とを積層した第二の島状半導体層を形成する工程と、上記ゲート電極上方の第一の島状半導体層に対して、各一端がそれぞれ積層されるソース電極及びドレイン電極とこのソース電極に接続されるソース線とを形成するとともに、このドレイン電極を上記補助容量電極上方の第二の島状半導体層に対してもその他端が積層されるように形成しかつそのときその他端には貫通孔又は切り欠き部を形成する工程と、上記貫通孔又は切り欠き部を有するドレイン電極をマスクとして、上記補助容量電極上方の第二の島状半導体層の $n^+ a - Si$ 層をエッチング処理し除去する工程と、上記補助容量電極上方の第二の島状半導体層における $n^+ a - Si$ 層のエッチング処理と同時に、上記ゲート電極上方の第一の島状半導体層の上に各一端がそれぞれ積層されたソース電極及びドレイン電極をマスクとして、この第一の島状半導体層の $n^+ a - Si$ 層をエッチング処理し分離する工程と、上記基板上の全面に保護膜層を形成する工程と、上記保護膜層上に樹脂絶縁膜を形成する工程と、上記樹脂絶縁膜に、上記補助容量電極の上方におけるドレイン電極の貫通孔又は切り欠き部のパターンが横切るようにコンタクトホールを形成し、このとき同時に、ソース信号入力端子、ゲート入力信号端子及び補助容量入力端子の樹脂絶縁膜を除去する工程と、上記パタ

ーニングされた樹脂絶縁膜と上記コンタクトホール内におけるドレイン電極の貫通孔又は切り欠き部のパターンとをエッチングマスクとして、上記ソース信号入力端子、ゲート入力信号端子及び補助容量入力端子上の保護膜層と、コンタクトホール基底部の保護膜層とを同時にエッチング除去する工程と、上記ゲート信号入力端子及び補助容量信号入力端子上のゲート絶縁膜をエッチングして上記ゲート信号入力端子上のゲート絶縁膜を除去するとともに、このとき同時に、上記ドレイン電極の貫通孔又は切り欠き部とコンタクトホールとによって囲まれる領域に露出した上記第二の島状半導体層の $i a - S i$ 層を同時にエッチングする工程とからなっている。

【0024】

したがって、樹脂絶縁膜のコンタクトホールの内側に、このコンタクトホールを横切るようにドレイン電極に貫通孔又は切り欠き部を形成し、ドレイン電極とその下層のゲート絶縁膜との間に第二の島状半導体層を形成しておくことによって、この第二の島状半導体層は、保護膜層とドレイン電極とのエッチング選択性の中間の性質を有しているので、エッチングは下方の第二の島状半導体層に進み、横方向に広がることがない。

【0025】

このため、エッチング処理によって、コンタクトホール基部には、順テーパー形状が得られるので、画素表示電極をコンタクトホール内及び樹脂絶縁膜の表面にかけて形成した場合に、画素表示電極がコンタクトホール内で段切れすることが防止できる。

【0026】

この結果、画素表示電極に段切れが生じて、画素表示電極に断線が生じることを回避し得る液晶表示装置の製造方法を提供することができる。

【0027】

本発明の液晶表示装置の製造方法は、上記課題を解決するために、上記記載の液晶表示装置の製造方法において、コンタクトホール内部のドレイン電極に形成される貫通孔又は切り欠き部は、少なくとも一部がコンタクトホールの領域よりも側方に延びて形成されることを特徴としている。

【0028】

上記の発明によれば、コンタクトホール内部のドレイン電極に形成される貫通孔又は切り欠き部は、少なくとも一部がコンタクトホールの領域よりも側方に延びて形成される。

【0029】

このため、ドレイン電極と第二の島状半導体層との間で逆テーパーのエッチングが発生したとしても、樹脂絶縁膜と第二の島状半導体層との間に、樹脂絶縁膜よりも第二の島状半導体層のエッチング速度が遅い関係が成り立てば、順テーパーが形成され、ここからドレイン電極と画素表示電極との間の電氣的接続が確保されることから、同様に、段切れすることを防止することができる。

【0030】

本発明の液晶表示装置の製造方法は、上記課題を解決するために、上記記載の液晶表示装置の製造方法において、ドレイン電極の貫通孔又は切り欠き部のエッジとコンタクトホールのエッジとによって囲まれる領域に露出した第二の島状半導体層の $i a - S i$ 層と、ゲート信号入力端子及びソース信号入力端子側領域のゲート絶縁膜とは、各エッチング速度の比と各膜厚との比が略同じであることを特徴としている。すなわち、（第二の島状半導体層エッチング速度／ゲート絶縁膜エッチング速度）（第二の島状半導体層の膜厚／ゲート絶縁膜の膜厚）となっていることを特徴としている。

【0031】

上記の発明によれば、ドレイン電極の貫通孔又は切り欠き部のエッジとコンタクトホールのエッジとによって囲まれる領域に露出した第二の島状半導体層の $i a - S i$ 層と、ゲート信号入力端子及びソース信号入力端子側領域のゲート絶縁膜とは、各エッチング速度の比と各膜厚との比が略同じである。すなわち、（第二の島状半導体層エッチング速度／ゲート絶縁膜エッチング速度）（第二の島状半導体層の膜厚／ゲート絶縁膜の膜厚）となっている。

10

20

30

40

50

【 0 0 3 2 】

この結果、第二の島状半導体層下のゲート絶縁膜がアンダーエッチングとなるので、ゲート絶縁膜がエッチングされて画素表示電極と補助容量電極との間でリークすることによる輝点の発生を防止することができる。

【 0 0 3 3 】

【 発明の実施の形態 】

本発明の実施の一形態について図 1 ないし図 8 に基づいて説明すれば、以下の通りである。

【 0 0 3 4 】

本実施の形態の液晶表示装置は、図 1 (a) (b) に示すように、画素へのスイッチングのためにソース電極 9 b 及びドレイン電極 1 0 を備える薄膜トランジスタ (以下、「 T F T : T h i n F i l m T r a n s i s t o r 」) という) 1 1 を形成し、その上に保護膜層 1 2 及び樹脂絶縁膜 1 3 を積層し、この樹脂絶縁膜 1 3 にコンタクトホール 1 5 を形成した後、このコンタクトホール 1 5 の下方の保護膜層 1 2 をエッチング処理して除去し、このコンタクトホール 1 5 の領域に液晶に電圧を印加するための画素表示電極 1 4 を上記ドレイン電極 1 0 に接触させて形成したものである。

【 0 0 3 5 】

そして、特に、本実施の形態の液晶表示装置は、画素表示電極 1 4 の製造時に発生する断線防止するために、図 2 (a) (b) にも示すように、上記コンタクトホール 1 5 の領域におけるドレイン電極 1 0 に下層を臨ませる切り欠き部 1 6 を形成する一方、前記 T F T 1 1 を形成すべく T F T 部島状半導体層 8 を形成する際に、コンタクトホール 1 5 の領域においてもダミーとしてホール部島状半導体層 2 0 を形成したものである。

【 0 0 3 6 】

上記の液晶表示装置の製造方法について説明する。

【 0 0 3 7 】

先ず、図 3 (a) (b) (c) (d) に示すように、先ず、洗浄したガラス等の絶縁性基板 1 上に T i 、 A l 、 C r 等の金属薄膜をスパッタリング法等にて成膜し、これを例えばフォトリソ工程において、レジスト塗布工程、露光工程、現像工程を経てレジストパターンを作製した後、ドライ又はウエットエッチングをすることによってパターン形成する。

【 0 0 3 8 】

次いで、ゲート電極 2 b と、このゲート電極 2 b に接続されたゲート線としてのゲート配線 2 (図 1 (a) 参照) と、このゲート配線 2 に接続されたゲート信号入力端子 2 a と、補助容量電極 4 b と、この補助容量電極 4 b に接続された補助容量線としての補助容量配線 4 (図 1 (a) 参照) と、この補助容量配線 4 に接続された補助容量入力端子としての補助容量信号入力端子 4 a (図 1 (a) 参照) とを形成する。

【 0 0 3 9 】

次に、図 4 (a) (b) (c) (d) に示すように、 P - C V D 法で S i H ₄ 、 N H ₃ 、 N ₂ ガスを使用し、 S i N _x からなるゲート絶縁膜 7 を絶縁性基板 1 上の全面に形成する。

【 0 0 4 0 】

ここで、図 4 (a) (b) 及び図 1 (a) (b) に示すように、に示すように、ゲート絶縁膜 7 の端子部域ではゲート絶縁膜端子部 7 b となる。このため、ゲート絶縁膜 7 は、駆動回路入力端子部域であるゲート信号入力端子 2 a 、前記補助容量信号入力端子 4 a 、及び前記ソース信号入力端子 9 c 上にもゲート絶縁膜端子部 7 b として残存している。

【 0 0 4 1 】

さらに、図 4 (c) に示すように、その上に同じく P - C V D 法にて真性アモルファスシリコンである i a - S i 層としての i a - S i 膜 8 a 、及びオーミックコンタクト層であるリン (P) をドーピングした n ⁺ a - S i 層としての n ⁺ a - S i 膜 8 b を成膜する。

【 0 0 4 2 】

10

20

30

40

50

このとき、原料ガスとして $i a - Si$ 膜 8 a は、 SiH_4 又は H_2 を使用する。一方、 $n^+ a - Si$ 膜 8 b は、 PH_3 ガスが 0.5% 混在している SiH_4 、 H_2 ガスを使用する。

【0043】

上記のように成膜した $i a - Si$ 膜 8 a 及び $n^+ a - Si$ 膜 8 b をフォトリソグラフィー法等の方法で、ゲート電極 2 b と重なるように $i a - Si$ 膜 8 a 及び $n^+ a - Si$ 膜 8 b からなる第一の島状半導体層としての TFT 部島状半導体層 8 にパターン形成すると同時に、図 4 (d) に示すように、補助容量電極 4 b 上にゲート絶縁膜 7 を介してその一部が重畳するようにアモルファスシリコンからなる第二の島状半導体層としてのホール部島状半導体層 20 を形成する。

10

【0044】

次に、図 5 (a) (b) (c) (d) に示すように、スパッタリング法等により Ti、Al、Cr 等の金属薄膜を基板全面に形成し、フォトリソグラフィー法を経て上記 TFT 部島状半導体層 8 にその一端が重畳するドレイン電極 10 と、ソース電極 9 b と、このソース電極 9 b に接続されるソース配線 9 と、さらに、このソース配線 9 に接続されるソース信号入力端子 9 c とが形成される。これら、ソース配線 9、このソース配線 9 と一体のソース電極 9 b とソース信号入力端子 9 c 及びドレイン電極 10 により TFT 11 が形成される。

【0045】

このとき、図 2 (a) (b) に示すように、ドレイン電極 10 はその他端が前記補助容量電極 4 b 上のホール部島状半導体層 20 と重なり、かつドレイン電極 10 はホール部島状半導体層 20 と重なる部分に切り欠き部 16 が設けられ、ドレイン電極 10 は、ホール部島状半導体層 20 に一部重なった状態で切り欠き部 16 の形状とすることによりホール部島状半導体層 20 の一部が露出する形状でパターンニングされる。なお、本実施の形態では、ドレイン電極 10 には切り欠き部 16 が形成されているが、必ずしもこれに限らず、例えば、下層を臨める貫通孔にて形成することも可能である。

20

【0046】

次に、図 5 (a) (b) (c) (d) に示すように、補助容量電極 4 b 上の切り欠き部 16 又は貫通孔状パターンを備えたドレイン電極 10 から露出したホール部島状半導体層 20 の $n^+ a - Si$ 膜 8 b 部分をエッチング処理して除去すると同時に、図 5 (d) に示すように、補助容量電極 4 b の上方のホール部島状半導体層 20 とその一端が重なり合うように形成されたドレイン電極 10 をマスクとして、ホール部島状半導体層 20 の $n^+ a - Si$ 膜 8 b をエッチング処理し分離する。

30

【0047】

続いて、図 6 (a) (b) (c) (d) に示すように、P-CVD 法で SiH_4 、 NH_3 、 N_2 ガスを使用し、 SiN_x からなる第 1 の保護膜である保護膜層 12 を図 5 (a) (b) (c) (d) に示す状態の基板上の全面に形成する。

【0048】

上記保護膜層 12 上には絶縁性のある感光性アクリル系樹脂からなる樹脂絶縁膜 13 がスピンコート法等により全面に塗布された後、露光装置を用いてマスクの所定のパターンに応じた領域を感光させ、現像工程において該感光領域の樹脂絶縁膜 13 を除去する。

40

【0049】

これによって、樹脂絶縁膜 13 には、ゲート信号入力端子 2 a、補助容量信号入力端子 4 a、ソース信号入力端子 9 c 及びドレイン電極 10 の各上のみが除去されたパターンであるコンタクトホール 15 が形成され、次いで、図 6 (d) に示すように、加熱処理等の処理を行ってこの樹脂絶縁膜 13 を硬化させる。

【0050】

ここで、図 2 (a) に示すように、ドレイン電極 10 には、前述した通り、切り欠き部 16 が設けられており、このドレイン電極 10 はコンタクトホール 15 を横切るような位置関係に配置される。

50

【 0 0 5 1 】

また、コンタクトホール 1 5 内の側面とドレイン電極 1 0 の切り欠き部 1 6 のエッジによって囲まれる領域は、ホール部島状半導体層 2 0 が露出した構造としている。

【 0 0 5 2 】

さらに、コンタクトホール 1 5 の面積に占める露出したホール部島状半導体層 2 0 の面積は $1/3 \sim 2/3$ 程度が望ましく、大き過ぎるとドレイン電極 1 0 は補助容量キャパシターを兼ねているため、ホール部島状半導体層 2 0 のエッチング後の覆り膜厚のばらつきにより完成した液晶表示装置の表示品位を損なう。

【 0 0 5 3 】

また、小さすぎると本来の効果を得ることができなくなり、後述する画素表示電極 1 4 で導通をとる際に、図 9 (b) に示すように、コンタクトホール 1 1 5 の逆テーパー形状 1 1 7 を引き起こし導通不良という問題を生じる。

【 0 0 5 4 】

以上のような構成において、例えば、R I E モードのドライエッチャーにて CF_4 、 O_2 混合ガスを使用し、図 7 (a) (b) (c) (d) に示すように、ソース配線 9 のソース信号入力端子 9 c 領域の保護膜層 1 2 とゲート絶縁膜端子部 7 b を連続的にエッチングする。このとき同時に、上記コンタクトホール 1 5 内もドライエッチングする。

【 0 0 5 5 】

上記コンタクトホール 1 5 は、補助容量電極 4 b の上方にゲート絶縁膜 7 及びホール部島状半導体層 2 0 を介して形成されたドレイン電極 1 0 上に設けられる。また、ドレイン電極 1 0 は切り欠き部 1 6 を備え、コンタクトホール 1 5 内の基底部のドレイン電極 1 0 の切り欠き部 1 6 からその一部が露出したホール部島状半導体層 2 0 がエッチストップバーとなり、その下のゲート絶縁膜 7 は残存するが、外部入力端子であるソース信号入力端子 9 c 上の保護膜層 1 2 はエッチング除去される。

【 0 0 5 6 】

また、図 7 (a) に示すように、前記ゲート信号入力端子 2 a 上のゲート絶縁膜端子部 7 b と保護膜層 1 2 も同時にエッチング除去される。

【 0 0 5 7 】

以上のように、本実施の形態に用いられる T F T アレイ基板においては、図 7 (a) (b) (d) に示すように、樹脂絶縁膜 1 3 と前記ソース配線 9 に接続されるソース信号入力端子 9 c とドレイン電極 1 0 とが、保護膜層 1 2 と前記ゲート絶縁膜端子部 7 b とをエッチング除去するマスクとなることが大きな特徴の一つである。これによって、マスク枚数を少なくすることができる。

【 0 0 5 8 】

すなわち、樹脂絶縁膜 1 3 をマスクとして保護膜層 1 2 とゲート絶縁膜端子部 7 b とを同時に、つまり同じマスクパターンによるパターニングが可能となることによって、保護膜層 1 2 をエッチングするマクスパターンとゲート絶縁膜端子部 7 b をエッチングするマクスパターンとが不要となる。つまり、従来では、コンタクトホール 1 5 の画素表示電極 1 4 が段切れするので実用化ができなかったが、本実施の形態では、樹脂絶縁膜 1 3 をマスクとして保護膜層 1 2 及びゲート絶縁膜端子部 7 b の連続エッチングが可能となり、マスク 2 枚分の削減を図ることができる。

【 0 0 5 9 】

また、従来は、図 9 (a) に示すように、コンタクトホール 1 1 5 内ではドレイン電極 1 1 0 を形成するソース配線 1 0 9 の材料がゲート絶縁膜 1 0 7 の端部領域をエッチングするときに全くエッチングされないため、その上の保護膜層 1 1 2 が急速にサイドエッチングされてしまい、逆テーパー形状 1 1 7 となった。

【 0 0 6 0 】

しかし、本実施の形態のように、ドレイン電極 1 0 に設けた切り欠き部 1 6 からホール部島状半導体層 2 0 を露出させておくと、各入力端子部上層のゲート絶縁膜 7 をエッチングしている間にもコンタクトホール 1 5 内ではホール部島状半導体層 2 0 がエッチングされ

るので、図7(d)に示すように、樹脂絶縁膜13への入り込みは最小に抑えられるため、保護膜層12が樹脂絶縁膜13下で順テーパー形状にエッチングできた。

【0061】

最後に、図8(a)(b)(c)(d)に示すように、画素表示電極14となる例えばITO(Indium Tin Oxide:インジウムスズ酸化物)等からなる透明導電膜をスパッタリング法等の方法で成膜し、これをフォトリソグラフィ法等の方法でパターン形成してドレイン電極10と接続した画素表示電極14を形成する。なお、画素表示電極14を形成する際の透明導電膜は、必ずしもITOに限らず、例えば、Al、Ag等の非光透過性の導電性膜を用いて反射型の表示電極としても良い。

【0062】

また、図示しないが、以上のように形成されたアクティブマトリクス基板上に配向膜を成膜し、対向電極が形成され、該対向電極上に配向膜が形成されたカラーフィルター基板との間に液晶材を挟装する。

【0063】

以上の製造方法によって、図1(b)に示すように、ドレイン電極10と画素表示電極14とは、コンタクトホール15内の接続部において逆テーパーが生じないことから、段切れせずに接続することができた。

【0064】

また、コンタクトホール15を横切る形で切り欠き部16を設けることにより、ドレイン電極10上のコンタクトホール15の外周部で保護膜層12が樹脂絶縁膜13の内側に入り込んだとしても、切り欠き部16から露出したホール部島状半導体層20上のコンタクトホール15のエッジは、ホール部島状半導体層20がゲート絶縁膜端子部7bよりもエッチング速度が遅い(1/3~1/5)エッチング条件であれば、順テーパー形状となるので、こちらから導通を取ることができるので、信頼性は増している。

【0065】

さらに、ホール部島状半導体層20がゲート絶縁膜端子部7bよりもエッチング速度が遅いエッチング条件であればその下のゲート絶縁膜7の保護も可能となる。

【0066】

このように、本実施の形態の液晶表示装置の製造方法では、液晶表示装置の製造する際には、まず、画素へのスイッチングのためにソース電極9b及びドレイン電極10を備えるTFT11を形成する。次いで、その上に保護膜層12及び樹脂絶縁膜13を積層し、この樹脂絶縁膜13にコンタクトホール15を形成する。その後、このコンタクトホール15の下方の保護膜層12をエッチング処理して除去し、このコンタクトホール15の領域に液晶に電圧を印加するための画素表示電極14をドレイン電極10に接触させて形成する。

【0067】

ここで、従来においては、コンタクトホール15の下方の保護膜層12をエッチング処理する際に、その下側にあるドレイン電極10にてエッチングの進行が止まり、横方向にエッチング方向が移動することにより、保護膜層12がコンタクトホール15の領域を越えてエッチングされることになっていた。

【0068】

そして、その結果、このコンタクトホール15に上から画素表示電極14を堆積させた場合に、コンタクトホール15の基底面において、画素表示電極14を形成するための堆積導電材が保護膜層12の領域で段差を乗り越えられないので、画素表示電極14に段切れが生じて、画素表示電極14における電氣的な接続ができなくなってしまうという問題点を有していた。

【0069】

しかし、本実施の形態では、コンタクトホール15の領域におけるドレイン電極10に、下層を臨ませる切り欠き部16又は貫通孔を形成しておく。そして、その後、TFT11を形成すべくTFT部島状半導体層8を形成する際に、コンタクトホール15の領域にお

10

20

30

40

50

いてもホール部島状半導体層 20 を形成する。なお、このホール部島状半導体層 20 は、ダミーとして形成するものである。

【0070】

すなわち、TF T 11 を形成すべく TF T 部島状半導体層 8 を形成する際に、コンタクトホール 15 の領域においてもホール部島状半導体層 20 を形成することによって、保護膜層 12 をエッチング処理する際に、コンタクトホール 15 の基底部には、上側から順に、保護膜層 12 と、切り欠き部 16 が形成されたドレイン電極 10 と、ホール部島状半導体層 20 とが積層されていることになる。

【0071】

したがって、保護膜層 12 をエッチング処理すると、先ず、保護膜層 12 がエッチングされ、次いで、エッチングの方向はエッチングされ易いホール部島状半導体層 20 に向かうので、保護膜層 12 の横方向へのエッチングが回避され、順テーパーとなる。

【0072】

そのため、エッチング処理した後に、画素表示電極 14 の導電材を堆積させたときに、導電材が段切れすることがない。

【0073】

この結果、画素表示電極 14 に段切れが生じて、画素表示電極 14 に断線が生じることを回避し得る液晶表示装置の製造方法を提供することができる。

【0074】

また、本実施の形態の液晶表示装置の製造方法では、液晶表示装置を製造する工程は、ゲート配線 2 と、このゲート配線 2 に接続されるゲート電極 2b と、補助容量配線 4 と、この補助容量配線 4 に接続される補助容量電極 4b とを形成する工程と、上記ゲート配線 2、ゲート電極 2b、補助容量配線 4 及び補助容量電極 4b の各上にゲート絶縁膜 7 を形成する工程と、上記ゲート電極 2b の上方にゲート絶縁膜 7 を介して $i a - Si$ 膜 8a と $n^+ a - Si$ 膜 8b とを積層した TF T 部島状半導体層 8 を形成するとともに、このとき同時に、補助容量電極 4b の上方にゲート絶縁膜 7 を介して $i a - Si$ 膜 8a と $n^+ a - Si$ 膜 8b とを積層したホール部島状半導体層 20 を形成する工程と、上記ゲート電極 2b の上方の TF T 部島状半導体層 8 に対して、各一端がそれぞれ積層されるソース電極 9b 及びドレイン電極 10 とこのソース電極 9b に接続されるソース線としてのソース配線 9 とを形成するとともに、このドレイン電極 10 を上記補助容量電極 4b の上方のホール部島状半導体層 20 に対してもその他端が積層されるように形成しかつそのときその他端には切り欠き部 16 又は貫通孔を形成する工程と、上記切り欠き部 16 又は貫通孔を有するドレイン電極 10 をマスクとして、補助容量電極 4b の上方のホール部島状半導体層 20 の $n^+ a - Si$ 膜 8b をエッチング処理し除去する工程と、補助容量電極 4b の上方のホール部島状半導体層 20 における $n^+ a - Si$ 膜 8b のエッチング処理と同時に、ゲート電極 2b の上方の TF T 部島状半導体層 8 の上に各一端がそれぞれ積層されたソース電極 9b 及びドレイン電極 10 をマスクとして、この TF T 部島状半導体層 8 の $n^+ a - Si$ 膜 8b をエッチング処理し分離する工程と、上記基板上の全面に保護膜層 12 を形成する工程と、上記保護膜層 12 の上に樹脂絶縁膜 13 を形成する工程と、上記樹脂絶縁膜 13 に、上記補助容量電極 4b の上方におけるドレイン電極 10 の切り欠き部 16 又は貫通孔のパターンが横切るようにコンタクトホール 15 を形成し、このとき同時に、ソース信号入力端子 9c、ゲート信号入力端子 2a 及び補助容量信号入力端子 4a 上の樹脂絶縁膜 13 を除去する工程と、上記パターンニングされた樹脂絶縁膜 13 とコンタクトホール 15 内におけるドレイン電極 10 の切り欠き部 16 又は貫通孔のパターンとをエッチングマスクとして、上記ソース信号入力端子 9c、ゲート信号入力端子 2a 及び補助容量信号入力端子 4a 上の保護膜層 12 と、コンタクトホール 15 の基底部の保護膜層 12 とを同時にエッチング除去する工程と、上記ゲート信号入力端子 2a 及び補助容量信号入力端子 4a の上のゲート絶縁膜 7 をエッチングして上記ゲート信号入力端子 2a の上のゲート絶縁膜 7 を除去するとともに、このとき同時に、上記ドレイン電極 10 の切り欠き部 16 又は貫通孔とコンタクトホール 15 とによって囲まれる領域に露出したホール部島状

10

20

30

40

50

半導体層 20 の i a - S i 膜 8 a を同時にエッチングする工程とからなっている。

【0075】

したがって、樹脂絶縁膜 13 のコンタクトホール 15 の内側に、このコンタクトホール 15 を横切るようにドレイン電極 10 に切り欠き部 16 又は貫通孔を形成し、ドレイン電極 10 とその下層のゲート絶縁膜 7 との間にホール部島状半導体層 20 を形成しておくことによって、このホール部島状半導体層 20 は、保護膜層 12 とドレイン電極 10 とのエッチング選択性の中間の性質を有しているので、エッチングは下方のホール部島状半導体層 20 に進み、横方向に進むことがない。

【0076】

このため、エッチング処理によって、コンタクトホール 15 の基底部には、順テーパー形状が得られるので、画素表示電極 14 をコンタクトホール 15 内及び樹脂絶縁膜 13 の表面にかけて形成した場合に、画素表示電極 14 がコンタクトホール 15 内で段切れすることが防止できる。

【0077】

この結果、画素表示電極 14 に段切れが生じて、画素表示電極 14 に断線が生じることを回避し得る液晶表示装置の製造方法を提供することができる。

【0078】

また、従来では、コンタクトホール 15 の画素表示電極 14 が段切れするので実用化ができなかったが、本実施の形態では、樹脂絶縁膜 13 をマスクとして保護膜層 12 及びゲート絶縁膜端子部 7b の連続エッチングが可能となり、マスク 2 枚分の削減を図ることができる。

【0079】

また、本実施の形態の液晶表示装置の製造方法では、コンタクトホール 15 内部のドレイン電極 10 に形成される切り欠き部 16 又は貫通孔は、少なくとも一部がコンタクトホール 15 の領域よりも側方に延びて形成される。

【0080】

このため、ドレイン電極 10 とホール部島状半導体層 20 との間で逆テーパーのエッチングが発生したとしても、樹脂絶縁膜 13 とホール部島状半導体層 20 との間に、樹脂絶縁膜 13 よりもホール部島状半導体層 20 のエッチング速度が遅い関係が成り立てば、順テーパーが形成され、ここからドレイン電極 10 と画素表示電極 14 との間の電氣的接続が確保されることから、同様に、段切れすることを防止することができる。

【0081】

また、本実施の形態の液晶表示装置の製造方法では、ドレイン電極 10 の切り欠き部 16 又は貫通孔のエッジとコンタクトホール 15 のエッジとによって囲まれる領域に露出したホール部島状半導体層 20 の i a - S i 膜 8 a と、ゲート信号入力端子 2 a 及びソース信号入力端子 9 c 側領域のゲート絶縁膜 7 とは、各エッチング速度の比と各膜厚との比が略同じである。すなわち、(ホール部島状半導体層 20 の i a - S i 膜 8 a のエッチング速度 / ゲート絶縁膜 7 のエッチング速度) (ホール部島状半導体層 20 の i a - S i 膜 8 a / ゲート絶縁膜 7 の膜厚) となっている。

【0082】

この結果、ホール部島状半導体層 20 の下のゲート絶縁膜 7 がアンダーエッチングとなるので、ゲート絶縁膜 7 がエッチングされて画素表示電極 14 と補助容量電極 4 b との間でリークすることによる輝点の発生を防止することができる。

【0083】

【発明の効果】

本発明の液晶表示装置の製造方法は、以上のように、コンタクトホールの領域におけるドレイン電極に下層を臨ませる貫通孔又は切り欠き部を形成する一方、上記薄膜トランジスタを形成すべく第一の島状半導体層を形成する際に、コンタクトホールの領域においても第二の島状半導体層を形成する方法である。

【0084】

10

20

30

40

50

それゆえ、薄膜トランジスタを形成すべく第一の島状半導体層を形成する際に、コンタクトホール領域においても第二の島状半導体層を形成することによって、保護膜層をエッチング処理する際に、コンタクトホール基底部には、上側から順に、保護膜層と、貫通孔又は切り欠き部が形成されたドレイン電極と、第二の島状半導体層とが積層されていることになる。

【0085】

したがって、保護膜層をエッチング処理すると、先ず、保護膜層がエッチングされ、次いで、エッチングの方向はエッチングされ易い第二の島状半導体層に向かうので、保護膜層の横方向へのエッチングが回避され、順テーパーとなる。

【0086】

そのため、エッチング処理した後に、画素表示電極の導電材を堆積させたときに、導電材が段切れすることがない。

【0087】

この結果、画素表示電極に段切れが生じて、画素表示電極に断線が生じることを回避し得る液晶表示装置の製造方法を提供することができるという効果を奏する。

【0088】

本発明の液晶表示装置の製造方法は、以上のように、絶縁性基板上に、ゲート線と、このゲート線に接続されるゲート電極と、補助容量線と、この補助容量線に接続される補助容量電極とを形成する工程と、上記ゲート線、ゲート電極、補助容量線及び補助容量電極の各上にゲート絶縁膜を形成する工程と、上記ゲート電極の上方にゲート絶縁膜を介して $i a - Si$ 層と $n^+ a - Si$ 層とを積層した第一の島状半導体層を形成するとともに、このとき同時に、補助容量電極の上方にゲート絶縁膜を介して $i a - Si$ 層と $n^+ a - Si$ 層とを積層した第二の島状半導体層を形成する工程と、上記ゲート電極上方の第一の島状半導体層に対して、各一端がそれぞれ積層されるソース電極及びドレイン電極とこのソース電極に接続されるソース線とを形成するとともに、このドレイン電極を上記補助容量電極上方の第二の島状半導体層に対してもその他端が積層されるように形成しかつそのときその他端には貫通孔又は切り欠き部を形成する工程と、上記貫通孔又は切り欠き部を有するドレイン電極をマスクとして、上記補助容量電極上方の第二の島状半導体層の $n^+ a - Si$ 層をエッチング処理し除去する工程と、上記補助容量電極上方の第二の島状半導体層における $n^+ a - Si$ 層のエッチング処理と同時に、上記ゲート電極上方の第一の島状半導体層の上に各一端がそれぞれ積層されたソース電極及びドレイン電極をマスクとして、この第一の島状半導体層の $n^+ a - Si$ 層をエッチング処理し分離する工程と、上記基板上の全面に保護膜層を形成する工程と、上記保護膜層上に樹脂絶縁膜を形成する工程と、上記樹脂絶縁膜に、上記補助容量電極の上方におけるドレイン電極の貫通孔又は切り欠き部のパターンが横切るようにコンタクトホールを形成し、このとき同時に、ソース信号入力端子、ゲート入力信号端子及び補助容量入力端子上の樹脂絶縁膜を除去する工程と、上記パターンニングされた樹脂絶縁膜と上記コンタクトホール内におけるドレイン電極の貫通孔又は切り欠き部のパターンとをエッチングマスクとして、上記ソース信号入力端子、ゲート入力信号端子及び補助容量入力端子上の保護膜層と、コンタクトホール基底部の保護膜層とを同時にエッチング除去する工程と、上記ゲート信号入力端子及び補助容量信号入力端子上のゲート絶縁膜をエッチングして上記ゲート信号入力端子上のゲート絶縁膜を除去するとともに、このとき同時に、上記ドレイン電極の貫通孔又は切り欠き部とコンタクトホールとによって囲まれる領域に露出した上記第二の島状半導体層の $i a - Si$ 層を同時にエッチングする工程と、からなる方法である。

【0089】

それゆえ、樹脂絶縁膜のコンタクトホールの内側に、このコンタクトホールを横切るようにドレイン電極に貫通孔又は切り欠き部を形成し、ドレイン電極とその下層のゲート絶縁膜との間に第二の島状半導体層を形成しておくことによって、この第二の島状半導体層は、保護膜層とドレイン電極とのエッチング選択性の中間の性質を有しているので、エッチングは下方の第二の島状半導体層に進み、横方向に進むことがない。

10

20

30

40

50

【0090】

このため、エッチング処理によって、コンタクトホール基底部には、順テーパー形状が得られるので、画素表示電極をコンタクトホール内及び樹脂絶縁膜の表面にかけて形成した場合に、画素表示電極がコンタクトホール内で段切れすることが防止できる。

【0091】

この結果、画素表示電極に段切れが生じて、画素表示電極に断線が生じることを回避し得る液晶表示装置の製造方法を提供することができるという効果を奏する。

【0092】

本発明の液晶表示装置の製造方法は、以上のように、上記記載の液晶表示装置の製造方法において、コンタクトホール内部のドレイン電極に形成される貫通孔又は切り欠き部は、
少なくとも一部がコンタクトホールの領域よりも側方に延びて形成される方法である。

10

【0093】

それゆえ、ドレイン電極と第二の島状半導体層との間で逆テーパーのエッチングが発生したとしても、樹脂絶縁膜と第二の島状半導体層との間に、樹脂絶縁膜よりも第二の島状半導体層のエッチング速度が遅い関係が成り立てば、順テーパーが形成され、ここからドレイン電極と画素表示電極との間の電氣的接続が確保されることから、同様に、段切れすることを防止することができるという効果を奏する。

【0094】

本発明の液晶表示装置の製造方法は、以上のように、上記記載の液晶表示装置の製造方法において、ドレイン電極の貫通孔又は切り欠き部のエッジとコンタクトホールのエッジとによって囲まれる領域に露出した第二の島状半導体層の $i a - S i$ 層と、ゲート信号入力端子及びソース信号入力端子側領域のゲート絶縁膜とは、各エッチング速度の比と各膜厚との比が略同じである。すなわち、第二の島状半導体層エッチング速度 / ゲート絶縁膜エッチング速度 第二の島状半導体層の膜厚 / ゲート絶縁膜の膜厚となっている方法である。

20

【0095】

それゆえ、第二の島状半導体層下のゲート絶縁膜がアンダーエッチングとなるので、ゲート絶縁膜がエッチングされて画素表示電極と補助容量電極との間でのリークすることによる輝点の発生を防止することができるという効果を奏する。

【図面の簡単な説明】

30

【図1】本発明における液晶表示装置の実施の一形態を示すものであり、(a)は平面図、(b)は(a)におけるX-X'線断面図である。

【図2】上記液晶表示装置を示すものであり、(a)は図1のD-D'線近傍の平面図、(b)は(a)におけるD-D'線断面図である。

【図3】上記液晶表示装置の製造方法において、絶縁性基板にゲート電極を形成する製造工程を示すものであり、(a)は図1のA-A'線断面図、(b)は図1のB-B'線断面図、(c)は図1のC-C'線断面図、(d)は図1のD-D'線断面図である。

【図4】上記液晶表示装置の製造方法において、TFT部島状半導体層及びホール部島状半導体層を形成するまでの製造工程を示すものであり、(a)は図1のA-A'線断面図、(b)は図1のB-B'線断面図、(c)は図1のC-C'線断面図、(d)は図1のD-D'線断面図である。

40

【図5】上記液晶表示装置の製造方法において、TFTを形成するまでの製造工程を示すものであり、(a)は図1のA-A'線断面図、(b)は図1のB-B'線断面図、(c)は図1のC-C'線断面図、(d)は図1のD-D'線断面図である。

【図6】上記液晶表示装置の製造方法において、樹脂絶縁膜を形成するまでの製造工程を示すものであり、(a)は図1のA-A'線断面図、(b)は図1のB-B'線断面図、(c)は図1のC-C'線断面図、(d)は図1のD-D'線断面図である。

【図7】上記液晶表示装置の製造方法において、コンタクトホールを形成してエッチング処理するまでの製造工程を示すものであり、(a)は図1のA-A'線断面図、(b)は図1のB-B'線断面図、(c)は図1のC-C'線断面図、(d)は図1のD-D'線

50

断面図である。

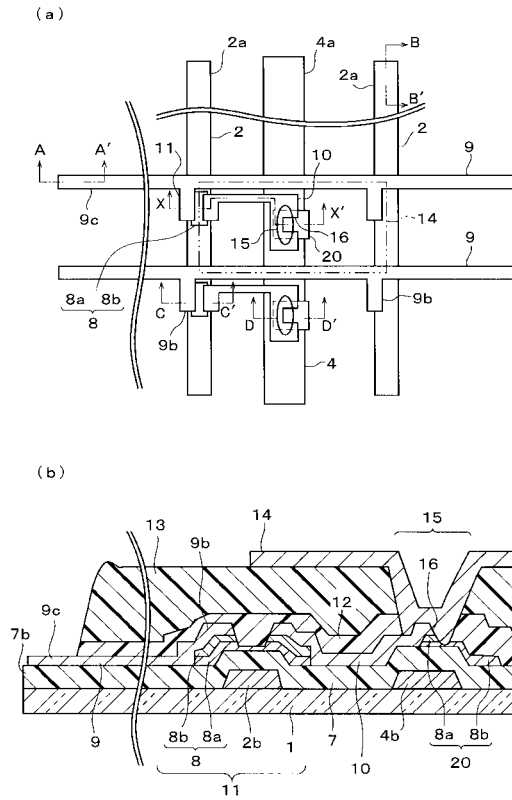
【図 8】上記液晶表示装置の製造方法において、画素表示電極を形成するまでの製造工程を示すものであり、(a)は図 1 の A - A' 線断面図、(b)は図 1 の B - B' 線断面図、(c)は図 1 の C - C' 線断面図、(d)は図 1 の D - D' 線断面図である。

【図 9】従来の液晶表示装置の実施の一形態を示すものであり、(a)は平面図、(b)は(a)における Y - Y' 線断面図である。

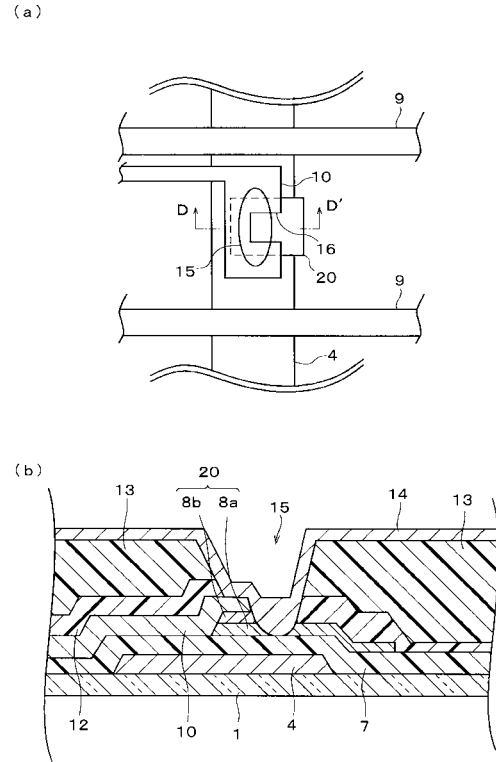
【符号の説明】

1	絶縁性基板	
2	ゲート配線(ゲート線)	
2 a	ゲート信号入力端子	10
2 b	ゲート電極	
4	補助容量配線(補助容量線)	
4 a	補助容量信号入力端子(補助容量入力端子)	
4 b	補助容量電極	
7	ゲート絶縁膜	
7 b	ゲート絶縁膜端子部	
8 a	i a - S i 膜(i a - S i 層)	
8 b	n ⁺ a - S i 膜(n ⁺ a - S i 層)	
8	T F T 部島状半導体層(第一の島状半導体層)	
9	ソース配線(ソース線)	20
9 b	ソース電極	
9 c	ソース信号入力端子	
1 0	ドレイン電極	
1 1	T F T (薄膜トランジスタ)	
1 2	保護膜層	
1 3	樹脂絶縁膜	
1 5	コンタクトホール	
1 6	切り欠き部	
2 0	ホール部島状半導体層(第二の島状半導体層)	

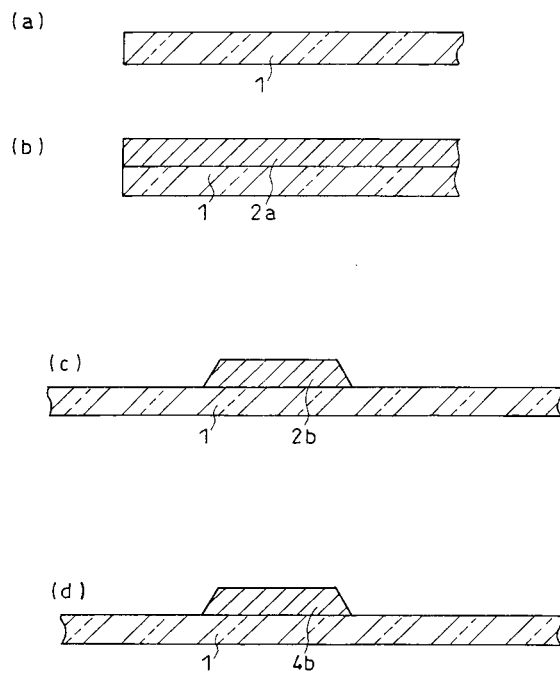
【図 1】



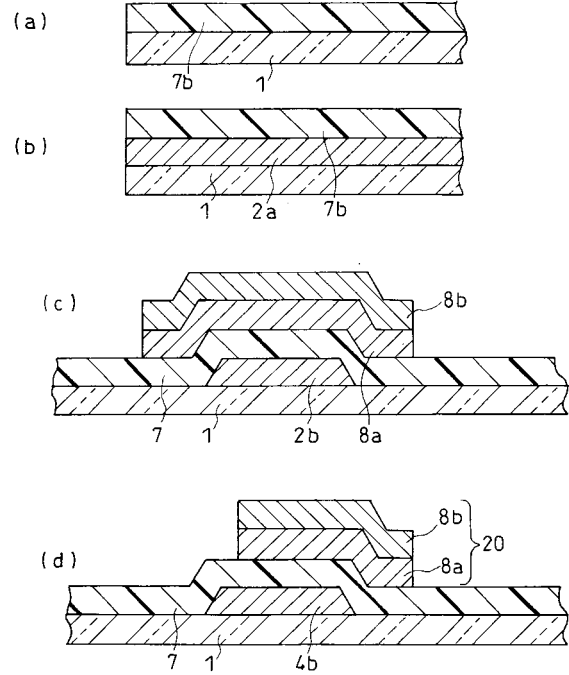
【図 2】



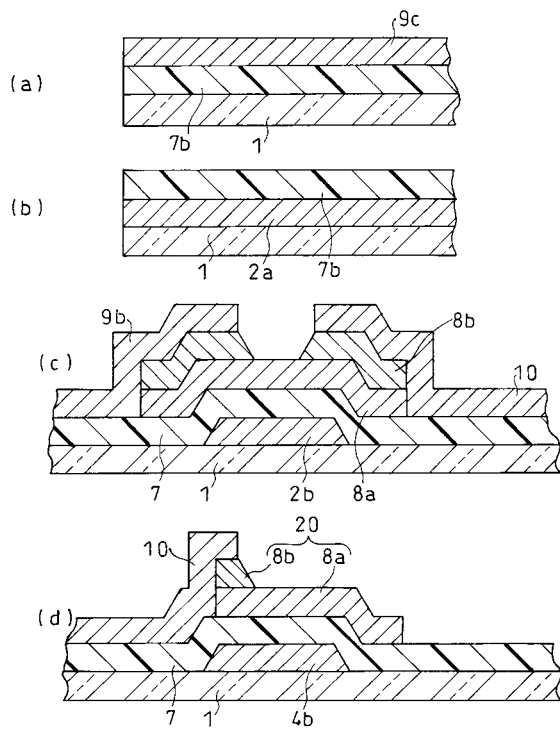
【図 3】



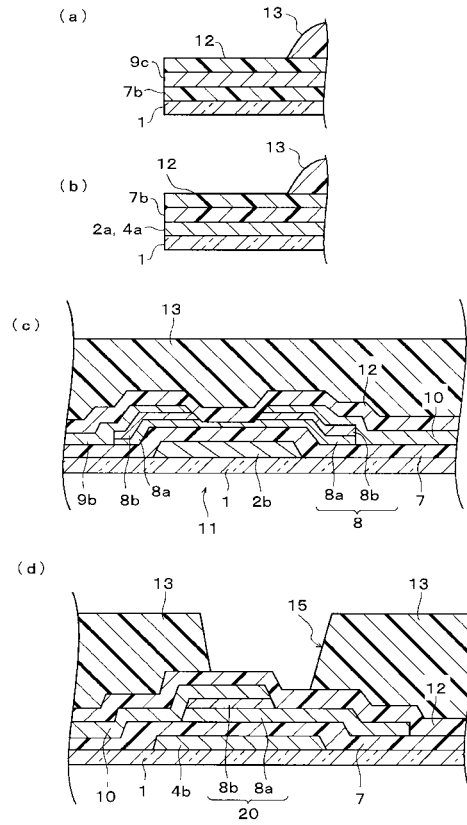
【図 4】



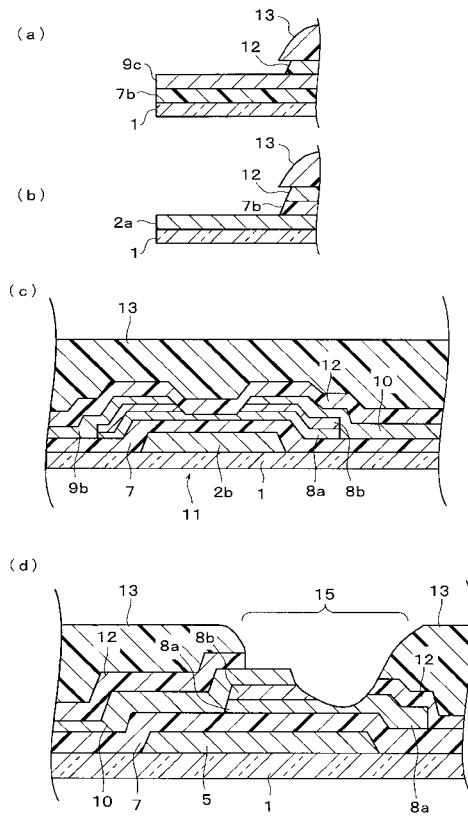
【図 5】



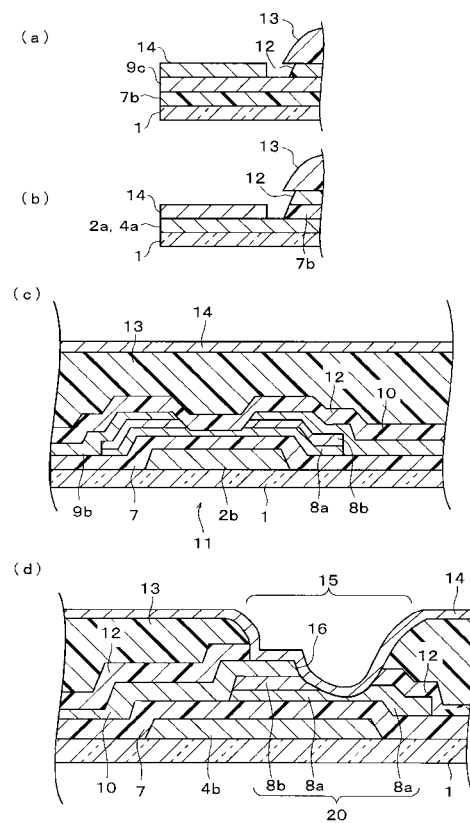
【図 6】



【図 7】

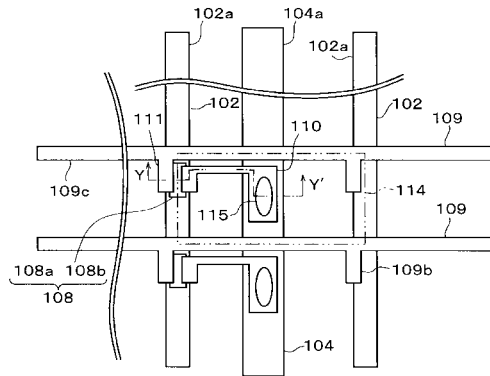


【図 8】

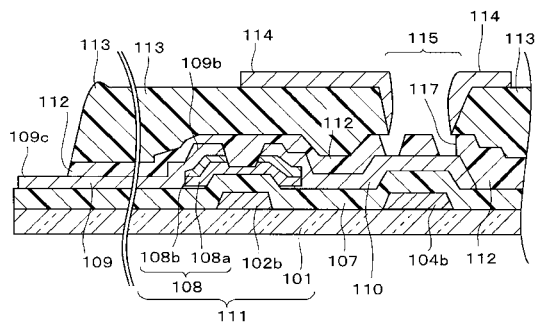


【図 9】

(a)



(b)



フロントページの続き

- (56)参考文献 特開平 1 1 - 1 0 9 4 0 6 (J P , A)
特開平 0 6 - 2 0 8 1 3 7 (J P , A)
特開平 0 4 - 2 5 7 2 2 9 (J P , A)
特開平 0 6 - 1 0 2 5 2 8 (J P , A)
特開平 1 0 - 0 6 8 9 7 1 (J P , A)

(58)調査した分野(Int.Cl.⁷, D B 名)

G02F 1/1368
G02F 1/1333
G02F 1/1343
G02F 1/1345
G02F 1/13 101
H01L 29/78

专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	JP3600112B2	公开(公告)日	2004-12-08
申请号	JP2000087408	申请日	2000-03-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	杉本修 今井元		
发明人	杉本 修 今井 元		
IPC分类号	G02F1/136 G02F1/1333 G02F1/1343 G02F1/1368 G09F9/00 G09F9/30 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 G02F1/1333.505 G02F1/1343 G02F1/136.500 G09F9/00.338 G09F9/30.338 H01L29/78.612.D H01L29/78.616.J H01L29/78.616.T		
F-TERM分类号	2H090/HA02 2H090/HA06 2H090/HC12 2H090/HD05 2H090/HD07 2H090/LA01 2H090/LA04 2H092/GA29 2H092/HA28 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JB69 2H092/KA05 2H092/KB15 2H092/LA06 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA17 2H092/NA15 2H092/NA27 2H190/HA02 2H190/HA06 2H190/HC12 2H190/HD05 2H190/HD07 2H190/LA01 2H190/LA04 2H192/AA24 2H192/BC33 2H192/BC35 2H192/CB05 2H192/CB42 2H192/CB44 2H192/CC04 2H192/CC42 2H192/DA12 2H192/DA43 2H192/DA44 2H192/EA74 2H192/FA65 2H192/GA43 2H192/HA36 2H192/HA47 5C094/AA32 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DA15 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EA10 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GB10 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE44 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG35 5F110/GG45 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HK33 5F110/HK35 5F110/HL02 5F110/HL03 5F110/HL07 5F110/HL14 5F110/HL23 5F110/HM04 5F110/HM18 5F110/NN02 5F110/NN03 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN36 5F110/NN73 5G435/AA17 5G435/BB12 5G435/CC09 5G435/HH12 5G435/HH13 5G435/HH14 5G435/KK05		
其他公开文献	JP2001272698A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置的制造方法，其能够避免由于像素显示电极中的断开而在像素显示电极中断开。形成包括源电极9b和漏电极10的TFT11，用于切换到像素。保护膜层12和树脂绝缘其上形成膜13被层叠，在树脂形成接触孔15的绝缘膜13，接触孔15的下保护层12通过蚀刻，在接触孔15去除之后用于向液晶施加电压的像素显示电极14与漏电极10接触，以形成液晶显示装置。形成切口部分16，使得下层在接触孔15的区域中面对漏电极10。在形成TFT部岛状半导体层8，以形成一TFT 11中，也在接触孔15的区域形成的孔部岛状半导体层20。

(a)

