

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3564347号
(P3564347)

(45) 発行日 平成16年9月8日(2004.9.8)

(24) 登録日 平成16年6月11日(2004.6.11)

(51) Int.CI.⁷

F 1

GO9G	3/36	GO9G	3/36
GO2F	1/133	GO2F	1/133 550
GO9G	3/20	GO9G	3/20 612E
HO3M	1/66	GO9G	3/20 623F

HO3M 1/66 E

請求項の数 29 (全 55 頁)

(21) 出願番号	特願2000-32318 (P2000-32318)
(22) 出願日	平成12年2月9日 (2000.2.9)
(65) 公開番号	特開2000-305535 (P2000-305535A)
(43) 公開日	平成12年11月2日 (2000.11.2)
審査請求日	平成14年2月20日 (2002.2.20)
(31) 優先権主張番号	特願平11-41325
(32) 優先日	平成11年2月19日 (1999.2.19)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000003078
	株式会社東芝
	東京都港区芝浦一丁目1番1号
(74) 代理人	100064285
	弁理士 佐藤 一雄
(74) 代理人	100088889
	弁理士 橋谷 英俊
(74) 代理人	100082991
	弁理士 佐藤 泰和
(74) 代理人	100108062
	弁理士 日向寺 雅彦
(72) 発明者	中村 和夫
	埼玉県深谷市幡羅町1-9-2 株式会社
	東芝 深谷工場内

最終頁に続く

(54) 【発明の名称】表示装置の駆動回路及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

デジタルデータを入力してアナログ映像信号を出力するデジタル・アナログ変換回路を備えた表示装置の駆動回路であつて、

前記デジタル・アナログ変換回路は、

時系列に入力される複数ビットデータの各ビット信号に応じて複数の基準電圧のうちのひとつを排他的に選択し出力する基準電圧選択回路と、

前記基準電圧選択回路に接続され、この基準電圧選択回路から出力される基準電圧を保持する複数個の容量素子からなる入力側容量素子群と、

前記入力側容量素子群の中の各容量素子に蓄積された電荷を増幅する増幅器と、

前記入力側容量素子群の中の各容量素子を順次選択的に前記増幅器に供給する接続回路と、を有し、

前記増幅器は、

前記入力側容量素子群の中の各容量素子から分配される電荷を保持する出力側容量素子と、

前記出力側容量素子に保持された電荷による電圧を増幅してアナログ映像信号として出力するバッファ部と、を有することを特徴とする表示装置の駆動回路。

【請求項2】

前記入力側容量素子群の中の各容量素子と、前記出力側容量素子とは、同一の容量値を有することを特徴とする請求項1記載の表示装置の駆動回路。

【請求項 3】

デジタルデータを入力してアナログ映像信号を出力するデジタル・アナログ変換回路を備えた表示装置の駆動回路であって、

前記デジタル・アナログ変換回路は、

時系列に入力される複数ビットデータの各ビット信号に応じて複数の基準電圧のうちのひとつを排他的に選択し出力する基準電圧選択回路と、

前記基準電圧選択回路に接続され、この基準電圧選択回路から出力される基準電圧を保持する入力側容量素子と、

前記入力側容量素子に蓄積された電荷を増幅する増幅器と、

前記入力側容量素子を順次選択的に前記増幅器に供給する接続回路と、を有し、

前記増幅器は、

前記入力側容量素子から分配される電荷を保持する複数個の容量素子からなる出力側容量素子群と、

前記出力側容量素子群の中の各容量素子に保持された電荷による電圧を増幅して選択的にアナログ映像信号として出力するバッファ部と、を有することを特徴とする表示装置の駆動回路。

【請求項 4】

前記入力側容量素子と、前記出力側容量素子群の中の各容量素子とは、同一の容量値を有することを特徴とする請求項 3 記載の表示装置の駆動回路。

【請求項 5】

デジタルデータを入力してアナログ映像信号を出力するデジタル・アナログ変換回路を備えた表示装置の駆動回路であって、

前記デジタル・アナログ変換回路は、

時系列に入力される複数ビットデータの各ビット信号に応じて複数の基準電圧のうちのひとつを排他のに選択し出力する基準電圧選択回路と、

前記基準電圧選択回路に接続され、この基準電圧選択回路から出力される基準電圧を保持する複数個の容量素子からなる入力側容量素子群と、

前記入力側容量素子群の中の各容量素子に蓄積された電荷を増幅する増幅器と、

前記入力側容量素子群の中の各容量素子を順次選択的に前記増幅器に供給する接続回路と、を有し、

前記増幅器は、

前記入力側容量素子群の中の各容量素子から分配される電荷を保持する複数個の容量素子からなる出力側容量素子群と、

前記出力側容量素子群の中の各容量素子に保持された電荷による電圧を増幅して選択的にアナログ映像信号として出力するバッファ部と、を有することを特徴とする表示装置の駆動回路。

【請求項 6】

前記入力側容量素子群の中の各容量素子と、前記出力側容量素子群の中の各容量素子とは、同一の容量値を有することを特徴とする請求項 5 記載の表示装置の駆動回路。

【請求項 7】

互いに直交配置された複数の信号線及び走査線と、前記信号線と前記走査線との交点にそれぞれ設けられた画素スイッチング素子と、を有し、m ビットデータ (m は複数) に基づいて 2 の m 乗の階調表示を行う表示装置の駆動回路であって、

前記 m ビットデータが供給されるデータ分配回路と、

前記 m ビットデータを順次格納し、所定のタイミングで出力するデータラッチ回路と、

前記データラッチ回路からの出力を格納し、所定のタイミングで出力するガンマ補正回路と、

前記ガンマ補正回路からの出力を格納し、前記ガンマ補正回路の出力を所定のタイミングで出力するデジタル・アナログ変換回路と、を備え、

前記デジタル・アナログ変換回路は、

10

20

30

40

50

時系列に入力される複数ビットデータの各ビット信号に応じて複数の基準電圧のうちのひとつを排他的に選択し出力する基準電圧選択回路と、

前記基準電圧選択回路に接続され、この基準電圧選択回路から出力される基準電圧を保持する複数個の容量素子からなる入力側容量素子群と、

前記入力側容量素子群の中の各容量素子に蓄積された電荷を増幅する増幅器と、

前記入力側容量素子群の中の各容量素子を順次選択的に前記増幅器に供給する接続回路と、を有し、

前記増幅器は、

前記入力側容量素子群の中の各容量素子から分配される電荷を保持する出力側容量素子と、

前記出力側容量素子に保持された電荷による電圧を増幅してアナログ映像信号として出力するバッファ部と、を有することを特徴とする表示装置の駆動回路。10

【請求項 8】

N信号線（Nは複数）ごとにm個の前記データラッチ回路を有することを特徴とする請求項7記載の表示装置の駆動回路。

【請求項 9】

N信号線（Nは複数）ごとに1個の前記ガンマ補正回路を有することを特徴とする請求項7記載の表示装置の駆動回路。

【請求項 10】

N信号線（Nは複数）ごとに1個の前記デジタル・アナログ変換回路を有することを特徴とする請求項7記載の表示装置の駆動回路。20

【請求項 11】

N信号線（Nは複数）ごとに1個の前記アンプ回路を有することを特徴とする請求項7記載の表示装置の駆動回路。

【請求項 12】

N信号線（Nは複数）ごとにm個の前記データラッチ回路、1個の前記ガンマ補正回路、1個の前記デジタル・アナログ変換回路及び1個の前記アンプ回路を有することを特徴とする請求項7記載の表示装置の駆動回路。

【請求項 13】

前記Nと前記mとは、N mなる関係を満足する請求項7または12に記載の表示装置の駆動回路。30

【請求項 14】

前記アンプ回路は、

前記信号線の電圧を一定割合で変化させる、電圧変更回路と、

前記電圧変更回路と前記信号線との間の導通を、前記信号線の電圧が前記アナログ映像信号の電圧と等しくなった時点でオフする、第1スイッチと、

少なくとも2段以上直列的に接続された反転増幅回路を有し、前段の反転増幅回路の入力電圧が所定のしきい値電圧になると後段の反転増幅回路の出力論理が反転して、前記第1スイッチのオン／オフを制御する、論理回路と、

前記前段の反転増幅回路のしきい値電圧と前記アナログ映像信号の電圧との差分電圧を保持する、差分電圧保持回路と、40

前記差分電圧保持回路が保持すべき前記差分電圧を前記差分電圧保持回路に設定する際に、前記差分電圧保持回路の一端を前記前段の反転増幅回路のしきい値電圧に設定する、しきい値電圧設定回路と、

前記差分電圧保持回路が保持すべき前記差分電圧を前記差分電圧保持回路に設定する際に、前記差分電圧保持回路の他端を前記アナログ映像信号の電圧に設定する、入力電圧設定回路と、

を有することを特徴とする請求項7記載の表示装置の駆動回路。

【請求項 15】

前記アンプ回路は、

第1端子が前記信号線に接続され、前記信号線の電圧が前記アナログ映像信号の電圧よりも低い場合には前記信号線の電圧を上昇させるように制御し、前記信号線の電圧が前記アナログ映像信号の電圧よりも高い場合には前記信号線の電圧を降下させるように制御する、信号線電圧制御回路であって、直列的に接続された奇数個のインバータを有し、前記信号線の電圧の制御を行う前に、前記各インバータの入力端子の電圧を前記各インバータのしきい値電圧に設定する、信号線電圧制御回路と、

第1端子が前記信号線電圧制御回路の第2端子に接続され、第2端子が前記アナログ映像信号が入力される際には前記アナログ映像信号の入力端子に接続され、前記信号線電圧制御回路が前記信号線の電圧の制御を行う際には前記信号線に接続される、第1差分電圧保持回路であって、前記信号線電圧制御回路が前記信号線の電圧を制御する際に、前記信号線電圧制御回路の前記各インバータのうち最も入力側に位置するインバータのしきい値電圧と、前記アナログ映像信号の電圧との差分電圧を保持する、第1差分電圧保持回路と、前記信号線電圧制御回路が前記信号線の電圧の制御を行う前に、前記第1差分電圧保持回路が保持すべき差分電圧を前記第1差分電圧保持回路に設定する、第1差分電圧設定回路と、

を有することを特徴とする請求項7記載の表示装置の駆動回路。

【請求項16】

前記アンプ回路の前記第1差分電圧保持回路は静電容量であることを特徴とする請求項15に記載の表示装置の駆動回路。

【請求項17】

前記アンプ回路の前記静電容量は、前記デジタル・アナログ変換回路の前記出力側容量素子と共に用されていることを特徴とする請求項16に記載の表示装置の駆動回路。

【請求項18】

前記アンプ回路の前記静電容量は、前記デジタル・アナログ変換回路の前記出力側容量素子群の中の少なくとも1個の容量素子と共に用されていることを特徴とする請求項16に記載の表示装置の駆動回路。

【請求項19】

コモン電極電位が所定期間毎に異なることを特徴とする請求項7～18のいずれか1つに記載の表示装置の駆動回路。

【請求項20】

前記アンプ回路は、請求項14～16のいずれか1つに記載のアンプ回路2個ずつを一組として設けられていることを特徴とする請求項7に記載の表示装置の駆動回路。

【請求項21】

前記2個ずつ設けられた前記アンプ回路の一方は前記デジタル・アナログ変換回路からの出力を参照するためのサンプリングバッファとして動作し、他方は前記信号線の電位を調節する書き込みバッファとして動作することを特徴とする請求項20に記載の表示装置の駆動回路。

【請求項22】

請求項1～21のいずれか1つに記載の表示装置の駆動回路と、

前記画素スイッチング素子により制御される液晶と、

を備え、

前記液晶の動作しきい値が2.5ボルトであることを特徴とする表示装置。

【請求項23】

請求項1～21のいずれか1つに記載の表示装置の駆動回路と、

前記画素スイッチング素子により制御される液晶と、

を備え、

前記液晶の動作しきい値が1.5ボルトであることを特徴とする表示装置。

【請求項24】

請求項1～21のいずれか1つに記載の表示装置の駆動回路と、

画像観察面からみて背面側に設けられた光源と、

10

20

30

40

50

を備えた、
透過型の表示装置。

【請求項 25】

請求項 1～21 のいずれか 1 つに記載の表示装置の駆動回路と、
画像観察面からみて背面側に設けられた反射体と、
を備え、

前記画像観察面側から入射する外光を前記反射体により反射させて画像を表示する反射型
の表示装置。

【請求項 26】

請求項 1～21 のいずれか 1 つに記載の表示装置の駆動回路と、
画像観察面からみて背面側に設けられた光源と、
画像観察面からみて背面側に設けられた反射体と、
を備え、

前記光源から放出した光を透過させ、または前記画像観察面側から入射する外光を前記反
射体により反射させて画像を表示する表示装置。

【請求項 27】

請求項 1～21 のいずれか 1 つに記載の表示装置の駆動回路と、
表示画素毎に設けられた画素スイッチング素子と、
を備え、

前記駆動回路と、前記画素スイッチング素子とは、同一基板上に設けられ、且つ前記基板
上に堆積された同層の半導体層を含むことを特徴とする表示装置。

【請求項 28】

請求項 1～21 のいずれかに 1 つに記載の表示装置の駆動回路と、
表示画素毎に設けられた画素スイッチング素子と、を備え、
前記駆動回路と、前記画素スイッチング素子とは、同一基板上に設けられ、且つ前記基板
上に堆積された同層の半導体層を含み、画素に書き込まれたアナログ電圧に応じて発光輝
度を変化させて表示を行うことを特徴とする表示装置。

【請求項 29】

書き込み電圧誤差拡散手段を備えることを特徴とする請求項 22～27 のいずれか 1 つに
記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置の駆動回路及び液晶表示装置に関する。さらに詳しくは、本発明は、
構成が簡単で良質な画像表示を提供し、且つ表示階調の変更も極めて容易な表示装置の駆
動回路及び液晶表示装置に関する。

【0002】

【従来の技術】

パーソナル・コンピュータや薄型テレビ受像器あるいは情報機器端末 (PDA) などに用
いられる平面型の表示装置のうちで、容量性負荷を有する複数の画素からなるものがある
。その一例としては、液晶表示装置を挙げることができる。

【0003】

例えば、表示画素ごとに薄膜トランジスタ (Thin Film Transistor : TFT) あるいは薄膜ダイオード (Thin Film diode : TFD) などの
画素スイッチング素子が設けられたいわゆる「アクティブマトリクス型液晶表示装置」は、
画質が鮮明で、CRT並みあるいはそれ以上の高密度の表示性能を備えている。特に、
画素スイッチング素子として TFT を利用した薄膜トランジスタ方式の液晶表示装置 (T
FT-LCD) の実用化が盛んに進められている。

【0004】

通常、TFT の半導体活性層 (チャネル、ソース及びドレインの各領域) には非晶質シリ
50

コンあるいは多結晶シリコンが用いられる。そして、近年では、走査線駆動回路や映像信号線駆動回路を画素TFTと同時に透明絶縁基板上に一体形成した「駆動回路内蔵型」のTFT-LCDの開発が盛んである。この構成によれば、液晶表示装置の透明絶縁基板の有効画面領域を広げ、かつ、製造コストの低減を図ることができる。

【0005】

【発明が解決しようとする課題】

ところで、このような駆動回路内蔵型のTFT-LCDにおいては、映像信号として外部から入力されるデジタル信号をアナログ信号に変換するためのデジタル・アナログ変換回路（以下、「DAC」と略す。）が画素基板上に設けられている。

【0006】

しかし、従来の駆動回路内蔵型のTFT-LCDにおいては、表示画像を高精細化するためにデジタル入力信号のビット数を増加すると、DACの規模が大きくなってしまい、画面の有効表示領域を狭めてしまうという問題があった。以下、この問題について図面を参照しつつ説明する。

【0007】

図53は、従来の液晶表示装置において用いられていた容量アレイ形のDACの構成を表す概念図である。同図に示したDACは、いわゆるパラレル入力型のものであり、スイッチ制御回路41、基準電圧源42、スイッチ・アレイ43、容量アレイ44、リセット・スイッチ45、及びバッファ・アンプ46からなる。

【0008】

同図に示した例においては、映像信号として、(B6、B5、…、B1)なる6ビットのデジタル・データがパラレルに入力される。

【0009】

容量アレイ44には、デジタル・データのビット数よりもひとつ多い数のコンデンサが設けられている。これらのコンデンサの容量値は、バイナリに対応して、C~C/32までの6種類に重みづけされている。また、これらのコンデンサの一端は共通に接続され、増幅器46を介して映像信号線に接続されている。さらに、各コンデンサの他端は、スイッチ・アレイ43の各MOSスイッチによって基準電圧Vsか接地電位かに選択接続される。

【0010】

スイッチ・アレイ43の各スイッチは、各コンデンサの容量の重みづけの順序に一致した入力のバイナリ・データにより直接制御される。

【0011】

図53に示した例においては、6ビットの変換が可能である。すなわち、(B6、B5、…、B1)なるパラレル・データが入力された場合には、出力電圧Voutは、以下の式により表される。

【0012】

【数1】

$$V_{out} = \sum_{i=1}^{6} B_i \cdot 2^{(i-7)} \cdot V_s \quad (1)$$

しかし、このDACでは、nビットのデジタル・データを変換するために(n+1)個の容量が必要とされる。従って、ビット数を増やして表示階調が高い高精細な画像表示を行なうためには、必然的に回路規模が増大するという問題が生ずる。駆動回路内蔵型の液晶表示装置においては、DACの回路規模が増大すると、有効画素面積の確保が困難となり、表示装置が大型化し、重量も重くなるという問題が生ずる。

【0013】

10

20

30

40

50

一方、図53のD A Cにおいては、容量アレイ44における各コンデンサの容量をバイナリに重み付けする必要があるため、ビット数の増大と共に容量値の精度をより精密に保証しなければならない。従って、設計・製造上のマージンが厳しく、歩留まりも低下しやすい。

【0014】

さらに、図53に表したような従来のD A Cは、変換することができるデジタル・データのビット数が固定されてしまうという問題も有する。すなわち、扱うことができる映像信号の階調が、D A Cの回路構成により一定値に固定され、事後的に変更することができない。すると、例えば、パーソナル・コンピュータにおいて、表示内容に応じて表示モードを切り替えるような操作が困難となるという問題が生ずる。

10

【0015】

このようなことから、例えば特開平7-72822号公報には、2個の容量素子から構成されるシリアルD A Cを用いることが記載されている。しかしながら、この構成では、デジタル・アナログ変換と、容量素子へのアナログ信号の入力或いは容量素子からのデジタル信号の出力を別の期間で行わなければならないため、データ処理の高速化という点では限界があった。

【0016】

本発明は、以上説明した課題の認識に基づいてなされたものである。すなわち、その目的は、回路規模が小さく、良質の画像を表示し、しかも、表示階調を自由に変更することができる表示装置の駆動回路及び液晶表示装置を提供することにある。

20

【0017】

【課題を解決するための手段】

上記目的を達成するため、時系列に入力される複数ビットシリアルデータの各ビット信号に応じて複数の基準電圧のうちのひとつを排他的に選択し出力する基準電圧選択回路と、前記基準電圧選択回路に接続され、この基準電圧選択回路から出力される基準電圧を保持する第1の容量素子と、前記第1の容量素子に接続回路を介して接続され、前記接続回路が前記基準電圧選択回路に各ビット信号が入力される前のタイミングで短絡することにより前記第1の容量素子より分配される電荷を保持する第2の容量素子と、前記第2の容量素子に保持された電圧を表示信号として出力する出力線と、を備えたことを基本構成とする。

30

【0018】

すなわち、本発明の表示装置の駆動回路は、デジタル・データを入力しアナログ映像信号に変換して出力する表示装置の駆動回路であって、第1の容量と、前記デジタル・データのいずれかのビットを入力し、前記ビットの値が「1」である場合には前記第1の容量の充電電圧を第1の電圧とし、前記ビットの値が「0」である場合には前記第1の容量の充電電圧を前記第1の電圧とは異なる第2の電圧とする選択回路と、第2の容量と、前記第1の容量と前記第2の容量とを接続して両者の充電電荷を再配分して両者の充電電圧を同電圧とする接続回路と、を備え、デジタル・データの最下位ビットから最上位ビットまでの各ビット毎に前記選択回路と前記接続回路とをこの順序で動作させることにより得られた前記第1の容量または第2の容量の充電電圧を前記アナログ映像信号として出力する。

40

【0019】

上記基本構成を前提としつつ、本発明の第1の表示装置の駆動回路は、デジタルデータを入力してアナログ映像信号を出力するデジタル・アナログ変換回路を備えた表示装置の駆動回路であって、前記デジタル・アナログ変換回路は、時系列に入力される複数ビットデータの各ビット信号に応じて複数の基準電圧のうちのひとつを排他のに選択し出力する基準電圧選択回路と、前記基準電圧選択回路に接続され、この基準電圧選択回路から出力される基準電圧を保持する複数個の容量素子からなる入力側容量素子群と、前記入力側容量素子群の各容量素子に接続回路を介して接続され、前記接続回路を所定のタイミングで短絡することにより、前記入力側容量素子群の中の各容量素子を順次選択的に接続して前記入力側容量素子群の中の各容量素子より分配される電荷を保持する出力側容量素子と、を

50

有する入力容量並列型の構成を有し、前記出力側容量素子に保持された電圧をアナログ映像信号として出力することを特徴とする。

【0020】

また、本発明の第2の表示装置の駆動回路は、デジタルデータを入力してアナログ映像信号を出力するデジタル・アナログ変換回路を備えた表示装置の駆動回路であって、前記デジタル・アナログ変換回路は、時系列に入力される複数ビットデータの各ビット信号に応じて複数の基準電圧のうちのひとつを排他的に選択し出力する基準電圧選択回路と、前記基準電圧選択回路に接続され、この基準電圧選択回路から出力される基準電圧を保持する入力側容量素子と、前記入力側容量素子に接続回路を介して接続され、前記接続回路を所定のタイミングで短絡することにより前記入力側容量素子を接続して前記入力側容量素子より分配される電荷を保持する複数個の容量素子からなる出力側容量素子群と、を有する出力容量並列型の構成を有し、前記出力側容量素子群の中の各容量素子に保持された電圧を選択的にアナログ映像信号として出力することを特徴とする。10

【0021】

また、本発明の第3の表示装置の駆動回路は、デジタルデータを入力してアナログ映像信号を出力するデジタル・アナログ変換回路を備えた表示装置の駆動回路であって、前記デジタル・アナログ変換回路は、時系列に入力される複数ビットデータの各ビット信号に応じて複数の基準電圧のうちのひとつを排他のに選択し出力する基準電圧選択回路と、前記基準電圧選択回路に接続され、この基準電圧選択回路から出力される基準電圧を保持する複数個の容量素子からなる入力側容量素子群と、前記入力側容量素子群の各容量素子に接続回路を介して接続され、前記接続回路を所定のタイミングで短絡することにより、前記入力側容量素子群の中の各容量素子を順次選択的に接続して前記入力側容量素子群の中の各容量素子を順次選択的に接続して前記入力側容量素子群の中の各容量素子より分配される電荷を保持する複数個の容量素子からなる出力側容量素子群と、を有する入出力容量並列型の構成を有し、前記出力側容量素子群の中の各容量素子に保持された電圧を選択的にアナログ映像信号として出力することを特徴とする。20

【0022】

前述した第1乃至第3の駆動回路において、前記基準電圧選択回路と前記入力側容量素子との間に接続された遮蔽回路をさらに備え、前記接続回路により前記入力側容量素子と前記出力側容量素子とが短絡される前に前記遮蔽回路により前記基準電圧選択回路と前記入力側容量素子とを遮断することにより前記入力側容量素子から前記基準電圧選択回路への電荷の逆流を阻止可能とすることができる。30

【0023】

また、前記入力側容量素子と、前記出力側容量素子とは、略同一の容量値を有するものとすれば、電荷の再配分を均等に行うことができる。

【0024】

一方、本発明の第4の表示装置の駆動回路は、互いに直交配置された複数の信号線及び走査線と、前記信号線と前記走査線との交点にそれぞれ設けられた画素スイッチング素子と、を有し、 m ビットデータ (m は複数) に基づいて 2 の m 乗の階調表示を行う表示装置の駆動回路であって、前記 m ビットデータが供給されるデータ分配回路と、前記 m ビットデータを順次格納し、所定のタイミングで出力するデータラッチ回路と、前記データラッチ回路からの出力を格納し、所定のタイミングで出力するガンマ補正回路と、前記ガンマ補正回路からの出力を格納し、所定のタイミングで出力する第1乃至第3の表示装置の駆動回路において用いるデジタル・アナログ変換回路と、前記デジタル・アナログ変換回路からの出力を增幅するアンプ回路と、を備えたことを特徴とする。40

【0025】

一方、本発明の液晶表示装置は、前述したいずれかの表示装置の駆動回路と、前記画素スイッチング素子により制御される液晶と、を備え、前記液晶の動作しきい値が約2.5ボルトであることを特徴とする。

【0026】

または、本発明の液晶表示装置は、前述したいずれかの表示装置の駆動回路と、前記画素スイッチング素子により制御される液晶と、を備え、前記液晶の動作しきい値が約1.5ボルトであることを特徴とする。

【0027】

または、本発明の液晶表示装置は、前述したいずれかの表示装置の駆動回路と、画像観察面からみて背面側に設けられた光源と、を備えた、透過型の液晶表示装置であることを特徴とする。

【0028】

または、本発明の液晶表示装置は、前述したいずれかの表示装置の駆動回路と、画像観察面からみて背面側に設けられた反射体と、を備え、前記画像観察面側から入射する外光を前記反射体により反射させて画像を表示する反射型の液晶表示装置であることを特徴とする。10

【0029】

または、本発明の液晶表示装置は、前述したいずれかの表示装置の駆動回路と、画像観察面からみて背面側に設けられた光源と、画像観察面からみて背面側に設けられた反射体と、を備え、前記光源から放出した光を透過させ、または前記画像観察面側から入射する外光を前記反射体により反射させて画像を表示することを特徴とする。

【0030】

または、本発明の液晶表示装置は、前述したいずれかの表示装置の駆動回路と、表示画素毎に設けられた画素スイッチング素子と、を備え、前記駆動回路と、前記画素スイッチング素子とは、同一基板上に設けられ、且つ前記基板上に堆積された同層の半導体層を含むことを特徴とする。20

【0031】

【発明の実施の形態】

本発明によれば、3個あるいはそれ以上の容量のうちの一部の容量をデジタル・データのビットの値に対応した電位に充電した後に残りの容量との間で充電電荷の再配分を行う操作を繰り返すことにより、デジタル・データに対応したアナログ電圧を形成することができる。

【0032】

以下、図面を参照しつつ本発明の実施の形態について説明する。

図1は、本発明に至る過程で試作した映像信号駆動回路において用いられるデジタル・アナログ変換回路(DAC)を表す概略図である。

【0033】

また、図2は、その動作波形を表すタイミング・チャートである。

【0034】

さらに、図3は、このようなDACを搭載した液晶表示装置の要部概略構成を例示する概念図である。

【0035】

まず、図3を参照しつつ、本発明の液晶表示装置の構成について説明する。同図に例示した液晶表示装置は、「線順次方式」と称される形式のものであり、全ての映像信号線に対して同時に映像信号を書き込むように動作する。すなわち、画像表示部20に隣接して、映像信号駆動回路VDと走査線駆動回路SDとが同一基板上に設けられている。また、これらを構成するスイッチング素子は、同一の堆積工程により形成されたポリシリコンなどの同層の半導体層からなる。

【0036】

画像表示部20には、複数本の映像信号線27とこれに直交する複数本の走査線28とが配線され、これらの交点に画素TFT29が設けられている。TFT29のドレイン電極には、液晶容量C1cと補助容量C5sとがそれぞれ接続され、表示画素を形成している。

【0037】

走査線駆動回路SDは、例えば、図示しないシフトレジスタと走査線駆動バッファとによ4050

り構成され、各々のバッファ出力が各走査線 28 に供給される。このようにして各走査線 28 に供給された走査線信号に基づいて、対応する画素の TFT 29 がオン・オフ制御される。

【0038】

映像信号駆動回路 VD は、シフトレジスタ 21 とサンプリング・スイッチ 24 と DAC 10 とバッファ・アンプ(アンプ回路) 50 により構成されている。シフト・レジスタ 21 には、クロック信号(CLK-A)とトリガ信号が入力される。そして、シフトレジスタ 21 からの出力と、シリアルデータのサンプリング用クロックとにより、サンプリング・スイッチ 24 が制御される。サンプリング・スイッチ 24 からは、サンプル信号(Sample)と、その反転信号(/Sample)と、コントロール信号(Control) 10 とが出力される。

【0039】

DAC 10 は、これらの信号に基づいて、シリアル入力されるデジタル映像信号をアナログ信号に変換して出力する。出力されたアナログの映像信号は、書き込み制御スイッチ AS と、バッファ・アンプ 50 を介して各映像信号線 27 に供給され、対応する画素 TFT 29 を介して液晶容量 C1c と補助容量 C2s とに蓄積され、所定の画像を表示する。

【0040】

次に、本発明に至る過程で試作したシリアルDACの構成について図1を参照しつつ説明する。

【0041】

まず、その入力段には、スイッチ選択回路 11 が設けられている。スイッチ選択回路 11 は、NOR1、NOR2、NOT1、NOT2 により構成される。

【0042】

スイッチ選択回路 11 の後段には、Nチャネルトランジスタ M1、Pチャネルトランジスタ M2、容量 C1、Nチャネルトランジスタ M4、Pチャネルトランジスタ M5、容量 C2、及び Nチャネルトランジスタ M3 が設けられている。

【0043】

スイッチ選択回路 11 は、入力されるデータ信号(Data)とコントロール信号(Control) 30 とに応じて、トランジスタ M1 とトランジスタ M2 のいずれかを選択する。さらに詳しく説明すると、コントロール信号が、"L"(ロウ)の場合には、トランジスタ M1 と M2 はデータ信号により排他的に選択可能となり、データ信号が "0" ではトランジスタ M1 が選択され、データ信号が "1" ではトランジスタ M2 が選択される。

【0044】

一方、コントロール信号が "H"(ハイ)では、トランジスタ M1, M2 はいずれも選択されない。

【0045】

トランジスタ M1 は接地電位に接続され、選択回路 11 からの信号に応じて容量 C1 の電荷を放電する。また、トランジスタ M2 は基準電圧 Vs に接続され、選択回路 11 からの信号に応じて容量 C1 を充電する。

【0046】

トランジスタ M4 とトランジスタ M5 は、サンプル信号(Sample, /Sample)を入力して、容量 C1 と容量 C2 の電気的接続状態を制御するトランスファ・ゲートを構成する。すなわち、サンプル信号(Sample)が "L" のときはトランスファ・ゲートは非導通となり、"H" のときに導通となる。一方、トランジスタ M3 は、リセット信号(Reset)により制御され、容量 C2 の電荷を放電する。

【0047】

次に、図1のDACの動作について図2を参照しつつ説明する。

ここでは、シリアル入力されるデジタル映像信号として、4ビットのデジタル・データである(1001)が入力される場合を一例として図示した。すなわち、データ信号(Data)として、「1」、「0」、「0」、「1」に対応するデジタル信号が順次入力され

20

30

40

50

る場合について説明する。また、ここでは、図1の容量C1とC2の容量値は等しいものと仮定する。

【0048】

まず、データ信号を入力する前の、時刻t0～t2においては、コントロール信号(Control)は”H”に設定され、トランジスタM1とM2は共に非導通状態とされる。同時に、サンプル信号(Sample)は”L”に設定され、トランスマッピングゲートを構成するトランジスタM4とM5は非導通状態とされる。これにより、容量C1の一端であるB点は開放状態となる。

【0049】

さらに、時刻t1～t2において、リセット信号(Reset)は”H”に設定され、トランジスタM3を導通状態にすることにより、容量C2の一端であるA点が接地され、A点の電位Vaは0(ボルト)とされる。10

【0050】

以上の動作が、シリアル映像信号を入力する前のリセット動作に対応する。

【0051】

次に、時刻t2からシリアル映像信号を順次入力してDA変換動作を開始する。

【0052】

まず、時刻t2～t4において、最下位ビット(LSB)である「1」が入力される。これに対応して、まず、時刻t2～t3において、コントロール信号が”L”とされてトランジスタM1とM2を選択可能とともに、サンプル信号が”L”とされてトランスマッピングゲートM4、M5を非導通として、A点とB点とが電気的に遮断される。ここで、入力したデータ信号は「1」であるので、トランジスタM1が非導通、M2が導通状態になり、B点の電位VbはVs(ボルト)に設定される。つまり、容量C1は、Vs(ボルト)の電圧まで充電される。この際、A点の電位Vaは、0(ボルト)のままに保持される。20

【0053】

次に、時刻t3～t4において、コントロール信号は”H”とされてトランジスタM1とM2を共に非導通状態とし、サンプル信号は”H”とされてトランスマッピングゲートM4、M5を導通状態にして、A点とB点とが電気的に接続され、且つB点の電位が入力データにより変動を受けないようにされる。すると、容量C1と容量C2との間で蓄積電荷の再配分が起こる。30

【0054】

すなわち、時刻t3においては、B点の電位VbはVs(ボルト)に、A点の電位Vaは0(ボルト)に設定されているので、容量C1とC2の容量値が等しいとすると、時刻t4においては、

$$Va = Vb = 1/2 \times "1" \times Vs = Vs/2 \quad (2)$$

となる。つまり、容量C1と容量C2の充電電圧は、いずれもVs/2(ボルト)となる。

【0055】

次に、時刻t4～t6において、映像信号の次のビットである「0」が入力される。これに対応して、まず、時刻t4～t5においては、時刻t2～t3と同じ状態の制御信号(コントロール信号とサンプル信号とリセット信号)が入力される。つまり、トランジスタM1とM2を選択可能とし、容量C1とC2とを電気的に遮断する。ここで、データ信号として、第2ビットの「0」が入力されているので、トランジスタM1が導通、トランジスタM2は非導通状態となり、B点の電位Vb=0(ボルト)に、A点の電位Vaは時刻t4での電位Vs/2(ボルト)に維持される。つまり、容量C1の充電電圧は0(ボルト)となり、容量C2の充電電圧はVs/2(ボルト)に維持される。40

【0056】

時刻t5～t6では、時刻t3～t4と同じ状態の制御信号が入力されることにより、容量C1と容量C2との間で、蓄積電荷の再配分が起こる。その結果として、時刻t6にお

10

20

30

40

50

いて、

$$V_a = V_b$$

$$= 1/2 \times ("0" \times V_s + 1/2 \times "1" \times V_s) = V_s / 4 \quad (3)$$

となる。

【0057】

以降、時刻 $t_6 \sim t_8$ において映像信号の第 3 ビットである「0」が入力され、時刻 $t_8 \sim t_{10}$ において最上位ビット (MSB) である「1」が入力される。そして、これらのビット・データの入力に対応して、上述した一連の動作が繰り返される。その結果として、時刻 t_{10} において、A 点の電位 V_a と B 点の電位 V_b は、

$$V_a = V_b$$

$$\begin{aligned} &= \{1/2 \times "1" + (1/2)^2 \times "0" + (1/2)^3 \times "0" + (1/2)^4 \times "1"\} \times V_s \\ &= (9/16) V_s \end{aligned} \quad (4)$$

となり、入力デジタルデータ (1001) に対応するアナログ電位が得られる。

【0058】

時刻 t_{10} 以降は、コントロール信号 (Control) は "H" に、サンプル信号 (Sample) とリセット信号 (Reset) は "L" に設定される。これによって、容量 C1 と C2 とが電気的に遮断され、また入力デジタルデータによってトランジスタ M1 と M2 が選択されないようにして、 V_a を保持することができる。このようにして入力デジタルデータに対応したアナログ電位 V_a が得られ、対応する映像信号線 27 に印加される。

【0059】

以上説明したように、図 1 に例示したシリアル DAC によれば、シリアル入力されるデジタル映像信号を確実且つ容易にアナログ信号に変換することができる。しかも、DAC の回路構成は極めて簡単であり、回路面積を従来よりも大幅に縮小することができる。つまり、同一の基板上に堆積した同層のポリシリコンなどの半導体層を用いて画素 TFT と駆動回路のスイッチング素子を形成する際に、駆動回路の面積を縮小することができる。

【0060】

このような回路規模の縮小効果は、デジタル・データのビット数に応じて高くなり、表示画像を高画質化する程、その効果をより顕著に得ることができる。例えば、図 53 に例示した従来の 6 ビットのパラレル入力型 DAC と比較すると、図 1 のシリアル DAC の回路規模は、約 1/6 程度と極めて小さくすることができる。つまり、回路が占める面積を従来の約 1/6 に縮小することができる。

【0061】

一般的な n ビットのパラレル入力型 DAC と比較すると、図 1 のシリアル DAC の回路規模は、およそ $1/n$ であり、ビット数が増加するほど、回路規模の縮小効果を得ることができる。これは、駆動回路をパネルに集積させたポリシリコン TFT の液晶表示装置においては、特に有利に作用する。表示画像の高画質化するためには、表示階調すなわち、映像信号のビット数を増加する必要があるが、図 1 のシリアル DAC によれば、回路規模を増大させず、パネルの小型化と高画質化とを両立することができる。

【0062】

さらに、図 1 のシリアル DAC によれば、回路を変更することなく、異なるビット数のデジタル・データをアナログ映像信号に変換することができるという効果も得られる。すなわち、シリアルに入力されるデジタル・データの各ビットについて、上述したような動作を繰り返すことにより、ビット数に依存せずにデジタル・データをアナログ変換することができる。

【0063】

10

20

30

40

50

図1のシリアルD A Cが奏するこれらの効果は、特にコンピュータの表示装置などに応用する際に有利となる。すなわち、コンピュータにおいては、その用途やソフトウェアなどに応じて画像表示モードを切り替える必要がある場合が多い。その際に、表示分解能とともに表示階調すなわち階調ビット数も切り替えるようにすることが望ましい。図1のシリアルD A Cによれば、このような場合においても、同一のD A Cを用いてアナログ変換することができる。

【0064】

例えば、入力するデジタル・データのビット数に応じて、図2に例示したようなD A変換を行う期間 $t_s \sim t_e$ をさらに細かく分割することにより、さらにビット数が大きいデジタル・データをアナログ電位に変換できる。 n ビットのデジタル・データ(B_n, B_{n-1}, \dots, B_1) (ここで、各ビット B_k は、0または1である。)を図1のD A Cで変換した時に得られるアナログ電位 V_a は、次式により表される。

【0065】

【数2】

$$V_a = \sum_{k=1}^n \left(\frac{1}{2}\right)^k \cdot B_{n-k+1} \cdot V_s \quad (5)$$

このように、図1のシリアルD A Cによれば、従来のD A Cに比較して少ない素子数でD A変換が可能である。また、回路を変更すること無く変換期間中の制御信号の周波数を変えるだけで任意長のデジタル・データをアナログ電位に変換できる。その結果として、高精細表示が可能で且つ素子数が少ない映像信号駆動回路を実現することができる。

【0066】

以上説明したシリアルD A Cを、さらに概念的に説明すると以下の如くである。

【0067】

図4は、図1に例示したシリアルD A Cの構成を概念的に表した構成図である。すなわち、図1に例示したシリアルD A Cは、2つの容量C1とC2を基本構成として有する。そして、データ信号(data, /data)及びコントロール信号(/control)に基づき、容量C1に対して、デジタル信号に対応する電圧をシリアル的に入力する。一方、これと平行してサンプル信号(sample)に基づいて容量C1とC2との間で電荷の再配分を実行することにより、デジタル信号をアナログ電圧に変換する。なお、図4に表した入力電圧 V_+ と V_- は、それぞれ図1における V_s と接地電位に対応する。

【0068】

本発明者は、このようなシリアルD A Cに対してさらに改良を加え、表示装置の駆動回路に搭載してさらに好適なシリアルD A Cを発明した。

【0069】

図5は、本発明にかかる第1のシリアルD A Cの基本構成を表す概念図である。

【0070】

また、図6は、図5のシリアルD A Cの動作を説明するタイミングチャートである。

【0071】

図5に表したシリアルD A C10Aは、1次側に1つの容量C1が設けられ、2次側には2つの容量C21及びC22が設けられた「出力容量並列型」のD A Cである。これら2つの容量C21、C22を交互に使い分けることにより、D A(デジタル・アナログ)変換処理と信号線への書き込みとを連続して実施することができる。

【0072】

図6のタイミングチャートを参照しつつその動作について説明すると以下の如くである。

【0073】

まず、リセット信号(RST)をオンすることにより、容量C21、C22を初期化する。

10

20

30

40

50

【0074】

次に、コントロール信号（/control）とサンプル信号（sample1）を交互にオンすることにより、容量C1にデジタル信号の各ビットに対応する電圧をシリアル的に印加し、同時に容量C21との間で電荷の再配分を実行する。この動作によって、デジタルデータに対応するアナログ電位が容量C21に充電される。

【0075】

次に、コントロール信号（/control）とサンプル信号（sample2）を交互にオンすることにより、容量C1にデジタル信号の各ビットに対応する電圧をシリアル的に印加し、同時に容量C22との間で電荷の再配分を実行する。この動作によって、デジタルデータに対応するアナログ電位が容量C22に充電される。 10

【0076】

この際に、容量C22を用いたDA変換処理と平行して容量C21から図示しない信号線に対してアナログ電位の書き込みを実行することができる。つまり、図5に表したシリアルDACによれば、容量C21とC22の一方の容量を用いてDA変換処理を実行しつつ、他方の容量から信号線への電位書き込みを平行して実施できるため、駆動回路の信号処理時間を大幅に短縮することができる。

【0077】

一般に、液晶表示装置をはじめとする各種の表示装置は、大容量化と高精細化の傾向にあり、信号線自身の寄生容量も増加する傾向にある。つまり、アナログ電位を信号線に正確に書き込むための時間も長くする必要がある。 20

【0078】

このような要求に対して、図5の構成によれば、DA変換処理と信号線への電位書き込み処理とを平行して実施できるので、信号処理時間を短縮しつつ、信号線に対して正確にアナログ電位を書き込むことができ、高精細で階調数が高い高品位な画像を迅速且つ正確に表示することができる。

【0079】

なお、図6のタイミングチャートにおいては、3ビットのデジタルデータをDA変換する場合を例示したが、本発明は、これに限定されず、任意のビット数のデジタルデータに対して同様の処理を行うことができる。

また、後に詳述するように、シリアルDACの2次側の容量C21及びC22のそれぞれは、必ずしも特定の信号線に固定される必要はなく、切換スイッチを介して、複数の信号線のいずれかに隨時切換接続可能とすることができます。本発明者の試作検討の結果によれば、例えば、容量C21とC22のそれぞれに対して、6本乃至30本程度の信号線を切換スイッチを介して適宜接続することが可能であることが判明している。このようにすれば、駆動回路に搭載するDACの数を大幅減らして、構成を小型化・簡略化することができる。 30

【0080】

次に、本発明にかかる第2のDACについて説明する。

【0081】

図7は、本発明にかかる第2のDACの基本構成を表す概念図である。 40

【0082】

また、図8は、図7のDACの動作を説明するタイミングチャートである。

【0083】

図7に表したDAC10Bは、1次側に3つの容量C11～C13が設けられ、2次側には1つの容量C2が設けられた「入力容量並列型」のDACである。このように1次側に複数の容量を設けることにより、デジタル信号をパラレル的に入力し、これをDAC内でシリアル的にアナログ変換することができる。

【0084】

図8のタイミングチャートを参照しつつその動作について説明すると以下の如くである。

【0085】

まず、リセット信号(R S T)をオンすることにより、容量 C 2 を初期化する。

【 0 0 8 6 】

次に、3つのコントロール信号(/ control 1 ~ / control 3)を同時にオンすることにより、容量 C 1 1 ~ C 1 3 にデジタル信号の各ビットに対応する電圧をパラレル的に印加する。入力されるデジタルデータが3ビットデータの場合には、例えば、容量 C 1 1 に3ビット目(最下位ビット)のデータ(data 1)、容量 C 1 2 に2ビット目のデータ(data 2)、容量 C 1 3 に1ビット目(最上位ビット)のデータ(data 3)に相当する電圧がそれぞれ印加される。

【 0 0 8 7 】

次に、サンプル信号(sample 1 ~ sample 3)を順次オンすることにより、容量 C 1 1 ~ C 1 3 にそれぞれ蓄積された電荷を容量 C 2 との間で再配分する。つまりシリアル的なアナログ変換を実行する。この動作によって、容量 C 1 1 ~ C 1 3 に入力されたデジタルデータに対応するアナログ電位が容量 C 2 に充電される。10

【 0 0 8 8 】

この後に、図示しないアナログスイッチや出力回路を介して容量 C 2 に充電されたアナログ電位を所定の信号線に書き込む。

【 0 0 8 9 】

以上説明したように、図 7 に表した D A C によれば、1 次側に複数の容量 C 1 1 ~ C 1 3 を設け、これらに対してデジタルデータをパラレル的に入力することができるので、デジタルデータを高速に入力できるという効果が得られる。20

【 0 0 9 0 】

なお、図 7 に例示した構成において、1 次側の容量の数は、必ずしも入力されるデジタルデータと同一である必要はない。例えば、図 7 に例示したように3つの容量 C 1 1 ~ C 1 3 を有する D A C を用いて、6 ビットのデジタルデータの D A 変換を実行することも可能である。具体的には、まず、1 サイクル目として6 ビット目(最下位ビット) ~ 4 ビット目までのデータをそれぞれ容量 C 1 1 ~ C 1 3 に入力してシリアル的なアナログ変換を実行する。次に、2 サイクル目として3 ビット目 ~ 1 ビット目(最上位ビット)までのデータをそれぞれ容量 C 1 1 ~ C 1 3 に入力してシリアル的なアナログ変換を実行すれば良い。

【 0 0 9 1 】

この具体例からも分かるように、1 次側の容量の数は、必ずしも入力デジタルデータのビット数と等しい必要はないが、1 次側の容量の数を入力ビット数の整数分の 1 とすると、効率が良い。30

【 0 0 9 2 】

一方、1 次側の容量の数よりも少ないビット数のデジタルデータも同様に扱うことができる。すなわち、このような場合には、ビット数に応じた数の容量を選択して用いれば良い。

【 0 0 9 3 】

一方、図 7 に表した D A C においても、2 次側の容量 C 2 は、特定の信号線に固定される必要はなく、切換スイッチを介して、複数の信号線のいずれかに隨時切換接続可能とすることができる。この点については、図 5 に関して前述した通りである。40

【 0 0 9 4 】

次に、本発明にかかる第 3 の D A C について説明する。

【 0 0 9 5 】

図 9 は、本発明にかかる第 3 の D A C の基本構成を表す概念図である。

【 0 0 9 6 】

また、図 1 0 は、図 9 の D A C の動作を説明するタイミングチャートである。

【 0 0 9 7 】

図 9 に表した D A C 1 0 C は、1 次側に3つの容量 C 1 1 ~ C 1 3 が設けられ、2 次側には2つの容量 C 2 1 、 C 2 2 が設けられている。つまり、1 次側と2 次側のいずれにも複

数の容量が設けられた「入出力容量並列型」のD A Cである。

【0098】

1次側に複数の容量C11～C13を設けることにより、図7に関して前述したようにデジタル信号をパラレル的に高速入力することができる。一方、2次側に複数の容量C21、C22を設けることにより、図5に関して前述したように、D A変換処理と信号線への書き込みを平行して処理することができる。

【0099】

図10のタイミングチャートを参照しつつその動作について説明すると以下の如くである。
。

【0100】

まず、リセット信号(R S T)をオンすることにより、容量C21、C22を初期化する。
。

【0101】

次に、3つのコントロール信号(/control11～/control13)を同時にオンにすることにより、容量C11～C13にデジタル信号の各ビットに対応する電圧をパラレル的に印加する。入力されるデジタルデータが3ビットデータの場合には、例えば、容量C11に3ビット目(最下位ビット)のデータ(data1)、容量C12に2ビット目のデータ(data2)、容量C13に1ビット目(最上位ビット)のデータ(data3)に相当する電圧がそれぞれ印加される。

【0102】

次に、サンプル信号(sample1)をオンすることにより2次側の容量C21を選択する。そして、サンプル信号(sample11～sample13)を順次オンすることにより、容量C11～C13にそれぞれ蓄積された電荷を容量C21との間で再配分する。つまりシリアル的なアナログ変換を実行する。この動作によって、容量C11～C13に入力されたデジタルデータに対応するアナログ電位が容量C21に充電される。

【0103】

次に、2次側の容量C22を選択して次のD A変換処理を実行する。

【0104】

すなわち、3つのコントロール信号(/control11～/control13)を同時にオンにすることにより、容量C11～C13にデジタル信号の各ビットデータ(data1～data3)に対応する電圧をパラレル的に印加する。

【0105】

次に、サンプル信号(sample2)をオンすることにより2次側の容量C22を選択する。そして、サンプル信号(sample11～sample13)を順次オンすることにより、容量C11～C13にそれぞれ蓄積された電荷を容量C22との間で再配分する。この動作によって、容量C11～C13に入力されたデジタルデータに対応するアナログ電位が容量C22に充電される。

【0106】

このD A変換処理の間に、図示しないアナログスイッチや出力回路を介して容量C21に充電されたアナログ電位を所定の信号線に書き込むことができる。

【0107】

以上説明したように、図9に表したD A Cによれば、1次側に複数の容量C11～C13を設け、これらに対してデジタルデータをパラレル的に入力することができるので、デジタルデータを高速に入力できるという効果が得られる。

【0108】

さらに、2次側の複数の容量C21、C22を設けることにより、D A変換処理と信号線への書き込みを同時に処理することができる。

【0109】

従って、図9に例示したD A Cによれば、図5乃至図8に関して前述した効果を同時に得ることができる。

10

20

30

40

50

【0110】

以上、本発明の駆動回路において用いるデジタル・アナログ変換回路（D A C）について具体例を参照しつつ説明したが、本発明のD A Cはこれらの具体例に限定されるものではない。例えば、図1乃至図9に関しては、1次側容量C1（あるいはC11など）と2次側容量C2（あるいはC21など）の容量値が同一の場合を例に挙げて説明したが、これらの容量は同一でなくても良い。1次側の容量値と2次側の容量値とが異なる場合には、所定の「ゲイン」が得られる。具体的には、例えば、1次側容量C1の容量値をC₁、2次側容量C2の容量値をC₂とした場合には、式(2)～式(5)において、右辺の係数「1/2」の代わりに、係数「C₁ / (C₁ + C₂)」を適用すれば良い。例えば、容量C2が容量C1の3倍の容量値を有する場合には、この係数は「1/4」となる。また、容量C1が容量C2の3倍の容量値を有する場合には、この係数は「3/4」となる。

10

【0111】

従って、容量C1と容量C2の容量値を適宜選択して、所定のゲインが得られるようすれば、基準電位V_sに対して、映像信号電圧の範囲を最適な範囲に調節することもできる。

【0112】

ところで、図1あるいは図5に表した具体例においては、D A Cに対してシリアル・データが入力される場合について説明した。しかし、本発明は、これに限定されるものではなく、パラレル入力されるデジタル・データを変換することも可能である。このためには、例えば、パラレル入力されるデジタル・データを蓄積し、その最下位ビットから順次各ビットのデータを取りだして供給する手段を別途設ければ良い。このようにして、パラレル入力されるデジタル・データについても、図2に関して前述したような動作を繰り返すことにより同様にアナログ変換することができる。この場合には、回路規模は、若干大きくなるものの、任意長のデジタル・データに対応することができるという本発明の効果は同様に得ることができる。

20

【0113】

また、容量C1、C2を放電させるための接地電位に変えて、第2の基準電位を設けても良い。この場合には、得られるアナログ映像信号の下限電圧が、第2の基準電位と同じ電圧となる。

【0114】

30

また、図1乃至図9に例示した具体例においては、第2の容量C2の充電電圧をアナログ映像信号として出力する構成を表したが、本発明は、これに限定されるものではない。すなわち、図1あるいは図5の構成においては、最上位ビットまでの一連の充電・電荷再配分の動作が終了した時点においては、第1の容量C1と第2の容量C2の充電電圧は同一の値であるので、第2の容量C2の代わりに第1の容量C1の充電電圧をアナログ映像信号として外部に出力するような選択回路を設けても良い。

【0115】

さらに、第1の容量C1と第2の容量C2とを短絡した状態で、いわば出力容量C₁ + C₂の充電電圧をアナログ映像信号として外部に出力しても良い。このようにすれば、外部回路の寄生容量によるD A C出力電圧の変動を半減できるという効果が得られる。

40

【0116】

次に、本発明の駆動回路において用いて好適なシリアル型D A Cの変型例について説明する。

【0117】

図11は、図1乃至図9に例示したシリアル型D A Cをさらに簡略化しつつ変型した概略回路図である。すなわち、シリアル型D A Cは、2つのレベルの電圧V_{r e f}とV_{c o m}とを相補的に切り替えるスイッチdata（図1のトランジスタM2に対応する）及び/ data（図1のトランジスタM1に対応する）と、遮断スイッチ/SW1と、容量C1及びC2と、これらの間に設けられた連結スイッチ16と、リセットスイッチ18とを有する。

50

【0118】

図11の変型例においては、遮断スイッチ/SW1を設けることにより、容量C1からの蓄積電荷の逆流を確実に防止することができる。

【0119】

さらに、図1乃至図11のD A C回路においては、リセットスイッチ18のオフ時リーク量が他のスイッチに比べて小さくなるように形成することが望ましい。これは、容量C2の蓄積電荷のリークを防止するためである。このためには、リセットスイッチ18を構成するトランジスタのゲート長Lを長く、ゲート幅Wを短く形成し、ダブルゲート構造とすることが有利である。

【0120】

また、同様に容量C1の蓄積電荷の変動を防止するためには、遮断スイッチ/SW1もオフ時のリーク量が小さいことが望ましい。このためには、やはり遮断スイッチ/SW1を構成するトランジスタのゲート長Lを長く、ゲート幅Wを短く形成し、ダブルゲート構造とすることが有利である。

【0121】

またこれと関連して、遮断スイッチ/SW1のオン期間を、連結スイッチ16のオン期間よりも長く設定することが望ましい。これは、遮断スイッチ/SW1をリーク量の小さいトランジスタにより構成した場合には、電圧書き込み時間を長くする必要があるからである。

【0122】

一方、図3に例示したような表示装置において画素のスイッチング素子を構成するTFT29は、-2ボルト及び12ボルト電源を用いる場合が多い。従って、図1乃至図11に例示したD A Cの各スイッチも、-2ボルト及び12ボルト電源を用いてオフ条件を画素TFTと同等とすると、電源構成を簡略化することができる。

【0123】

図12は、本発明の駆動回路に用いて好適なD A Cの第2の変型例を表す概略回路図である。すなわち、同図の回路においては、遮断スイッチ/SW1と直列にスイッチSAが設けられている。スイッチSAは、遮断スイッチ/SW1と連結スイッチ16とのNAND論理に基づいて動作させる。つまり、遮断スイッチ/SW1と連結スイッチ16が共に半開きのような状態においては、スイッチSAがオフするように動作させる。このようなスイッチSAを設けることにより、スイッチ/SW1とスイッチ16の動作タイミングの「ずれ」による容量C1への誤った電圧書き込みを確実に防止し、D A Cの変換動作を高精度化できる。

【0124】

図13は、本発明の駆動回路に用いて好適なD A Cの第3の変型例を表す概略回路図である。すなわち、同図の回路においては、2次側の容量として容量C2Aと容量C2Bの2つの容量が並列に設けられている。これら2つの容量のそれぞれは、連結スイッチ16A、16Bを介して1次側容量C1と相補的に接続される。つまり、ひとつのD A変換処理を容量C1と容量C2Aとの間で行い、次のD A変換処理は、容量C1と容量C2Bとの間で行うようにする。なお、図13においては省略したが、2次側容量C2AとC2Bには、それぞれリセットスイッチを設けることが望ましい。

【0125】

このように、2次側の容量として容量C2AとC2Bの2つを設け、D A変換処理毎に切り替えて用いることによって、2次側容量の一方から信号出力回路50にアナログデータを出力する間にも、2次側容量のもう一方を用いて次のD A変換処理を開示でき、データ処理を高速化できる。

【0126】

もうひとつのメリットとして、隣接するD A C間で1次側容量と2次側容量の容量比C2/C1に「ばらつき」があるような場合に、「誤差拡散」の効果が得られる。

【0127】

10

20

30

40

50

図14は、「誤差拡散」の効果を説明するための概念図である。すなわち、同図(a)に表した例においては、信号線Nに対応するD A Cは2次側容量C2を有し、隣接する信号線(N+1)に対応するD A Cは2次側容量C2'を有する。さらにこれらのD A Cは、ふたつめの2次側容量として容量C2Bを共有している。そして、同図の右側に表したように、信号線NのD A Cは第1、3、4フレームにおいて容量C2を用い、第2フレームにおいては容量C2Bを用いる。一方、信号線(N+1)のD A Cは、第1、2、4フレームにおいては容量C2'を用い、第3フレームにおいては容量C2Bを用いる。

【0128】

このようにすれば、容量C2とC2'との間に容量の「誤差」がある場合にも、容量C2Bを共用することによって、この「誤差」を時間的に拡散させて目立ちにくくすることができる。10

【0129】

さらに、本発明においては、図14(b)に例示したように、2次側容量を新たに追加せずに、隣接したD A C間で利用しあうことも可能である。すなわち、同図に表した具体例においては、信号線Nに対応するD A Cは2次側容量C2を有し、隣接する信号線(N+1)に対応するD A Cは2次側容量C2'を有する。そして、それぞれのD A Cは、フレーム毎に、2次側容量を交換しあってD A変換処理を実行する。このようにしても、容量C2とC2'との間の容量の「誤差」を時間的に拡散させ、目立ちにくくすることができる。

【0130】

以上、本発明の駆動回路に用いて好適なシリアル型D A Cについて詳細に説明した。20

【0131】

次に、本発明の駆動回路においてD A Cから出力された映像信号を映像信号線に出力する信号出力回路(アンプ回路)について詳細に説明する。

【0132】

図3に関して前述したように、本発明による映像信号線駆動回路は、映像信号線27毎にD A C10A～10C、アナログスイッチAS、映像信号出力回路50が直列に接続された構成を有する。

【0133】

図15は、本発明の1実施形態にかかる映像信号線駆動回路の要部を表す概略図である。30 すなわち、同図は、映像信号線27の1本について、D A CとアナログスイッチASと映像信号出力回路50Aとが接続された状態を表す回路図であり、図1乃至図14に関して前述したものと同等の要素には同一の符号を付して詳細な説明は省略する。

【0134】

信号出力回路50Aは、スイッチS1～S4と、容量C3と、NOT3、NOT4及びNOT4とトランジスタM4及びM5とに構成される。トランジスタM4とM5は、NOT3～5とにより選択的に選択される。このような出力回路50を用いることにより、スイッチング動作を制御する反転増幅器動作点電圧を検出してTFT特性のバラツキの影響を軽減でき、良好な画像を提供できる。

【0135】

図16は、図15の回路における動作波形を表すタイミングチャートである。図16を参考しつつ、信号出力回路50Aの動作について説明すると以下の如くである。40

【0136】

まず、時間t1～t10までの期間は、D A C10A～10Cによるシリアル的なデジタル・アナログ(D A)変換が実行される。この変換動作については、図1乃至図10に関して詳細に前述した通りであるので詳細な説明は省略する。そして、t10においてD A変換が終了すると、信号線出力回路の動作が開始する。

【0137】

まず、時間t11において、制御信号ENABLEが”H”になることにより、アナログスイッチASがオンする。すると、A点とC点が電気的に接続される。ここで、時間t150

1 - t₁₂においては、制御信号 C L K は "L" なので、スイッチ S₂とスイッチ S₃が導通状態になり、スイッチ S₁と S₄は非導通状態となる。その結果として、静電容量 C₃の一端 D 点の電位 V_d は映像信号線電位 V_{sig} となり、もう一端 E 点の電位 V_e は S₃ によりインバータ NOT₃ の入出力が短絡されるので、NOT₃ の動作点電位 V_{op} となる。ここで、NOT₃ の動作点電圧は、回路を構成する TFT 特性により異なるので、映像信号線駆動回路に応じて異なる。

【0138】

次に時間 t₁₂ ~ t₁₃において C L K が "H" になると、スイッチ S₁と S₄が導通状態となり、スイッチ S₂と S₃は非導通状態となる。このため、D 点の電位 V_d = V_c = V_a となり、DAC10A ~ 10C の出力電位と等しくなる。一方、E 点の電位 V_e は、
10 C L K が "L" 状態の電位を C₃ が保持するため、V_e = (V_a - V_{sig}) + V_{op} となる。よって、F 点の電圧 V_f は、

(1) V_a > V_{sig} の場合は、V_f = 0

(2) V_a < V_{sig} の場合は、V_f = V_{DD}

となる。

【0139】

本具体例の場合は、時間 t₁₁において V_a > V_{sig} であるので、F 点の電位 V_f はゼロとなる。その結果として、P チャネルトランジスタ M₅ が導通状態になり、電流 I_p が映像信号線 27 に供給される。この時、期間 T の間ににおける映像信号線 27 の電圧上昇分 V_p は、信号線容量を C_{sig} とすると、
20 V_p = I_p × T / C_{sig} と表される。

【0140】

上記動作が複数回行われて時間 t₂₆になると、V_a < V_{sig} となるので N チャネルトランジスタ M₄ が導通状態となり、電流 I_n が映像信号線 27 から GND に流れる。この時、期間 T の間に変化する電位 V_n は、
V_n = I_n × T / C_{sig} と表される。

【0141】

時刻 t₂₆ 以降は、映像出力期間中で V_{sig} は、V_a 近傍において V_p と V_n の幅で変化し続ける。そして、最終的に形成される映像信号線電位 V_{sig} の誤差電圧 V_{err} は、
30 V_{err} = | V_p - V_n | / T となる。ここで、V_p はトランジスタ M₅ の特性に依存し、V_n はトランジスタ M₄ の特性に依存するが、C L K の周波数を十分高く設定することにより、V_{err} を無視しうるレベルまで小さくできる。

【0142】

以上説明したように、本発明の映像信号線駆動回路の信号出力部は、DAC10A ~ 10C の出力電圧と映像信号線 27 の電圧との比較に用いるインバータの動作点電圧バラツキを静電容量 C₃ によりキャンセルできる。さらに、制御信号 C L K の周波数を十分高く設定することにより、映像信号線 27 に電流を直接供給する TFT の特性のバラツキをも低減できる。その結果として、表示ムラの少ない均一で良好な画像を提供できる。

【0143】

なお、図 16においては、DA 変換動作における時間ステップ t₁ ~ t₁₀ と、信号出力動作における時間ステップ t₁₁ ~ t₂₇ が略同一の場合を例示したが、本発明はこれに
40 限定されるものではなく、DA 変換動作における時間ステップと、信号出力動作における時間ステップとは、互いに異なるものであっても良い。

【0144】

次に、本発明の映像信号駆動回路に用いてさらに好適な映像信号出力回路 50 について説明する。

【0145】

図 17 は、本発明において用いて好適な映像信号出力回路 50B の概念構成を表す回路図である。

【0146】

本変型例の出力回路（アンプ回路）50B によっても、TFT 特性のばらつきに影響され
50

にくく小規模で高精度な出力アンプを提供することができる。

【0147】

すなわち、出力回路50Bは、トランジスタM6～M10により構成される入力比較回路IDと、容量C3、NOT3、スイッチS6～S8、トランジスタM11及びM12から構成される反転増幅出力回路IOとを有する。DAC10A～10Cからの出力は、アナログスイッチを介してVinに入力される。また、出力回路50Bからの出力は、出力端Voutをから信号線27に出力される。

【0148】

この出力回路50Bにおいては、スイッチS5を介してDAC10A～10Cを信号線27に接続し、信号線27の電位とDACからサンプリングされたアナログ映像電位を入力比較回路IDにより比較し、両電位が一致したら前記スイッチS6がオフにされる。
10

【0149】

図18は、出力回路50Bの動作を説明するためのタイミングチャートである。

【0150】

同チャートにおいてT1の期間は、スイッチS5、S6、S8がオンで、スイッチS7がオフとなる。この状態において、nd点には、入力比較回路IDに対する2入力すなわちIN-とIN+とが等しい状態での電位Vevenが保持される。一方、n1点には反転増幅回路の回路閾値Vinvが保持される。

【0151】

一方、T2の期間には、スイッチS7がオンで、スイッチS5、S6、S8がオフとなる。この状態においては、2入力すなわちIN-とIN+との間に電位差が生ずる。その結果として、nd点の電位は(Veven + V)まで上昇する。また、n1点の電位も(Vinv + V)に上昇する。その結果として、n2点がL出力となり、映像信号線がVddによって充電されて電位が上昇する。
20

【0152】

すると、IN+が上昇し、IN+ = IN- (= Vin)となると再びnd点はVevenとなる。これと共に、n1点の電位はVinに戻り、n2点はHレベルに上昇し、映像信号線27の充電が終了する。

【0153】

以上の説明からも分かるように、一連の動作については、回路を構成するTFTの閾値ばらつきに起因する制約は殆ど無い。例えば、T1の期間において入力比較回路IDの2入力(IN-とIN+)が等しいとき、nd点の電位は閾値ばらつき程度の異なった値をとりうるが、回路動作上は問題とはならない。
30

【0154】

さらに、本変型例においては、DAC10A～10Cからの入力IN-は、入力比較回路IDのTFTのゲートに入力される。TFTのゲートの容量は、一般にフェムトファラッド(fF)のオーダであり、一方DAC10A～10Cの蓄積容量C2は一般にピコファラッド(pF)のオーダである。

【0155】

一般には、出力回路の入力容量がDACの出力容量の10%程度以下であれば、製造プロセスの変動などによって出力回路の入力容量が例えば10%程度ばらついたとしても、そのばらつきは、DACの出力容量に対して $10\% \times 0.1 = 1\%$ 程度となり、事実上許容しうるレベルとなる。
40

【0156】

これに対して、本変型例によれば、DAC10A～10Cの出力容量に対して出力回路50の入力ゲート容量は、3桁近く小さいので、出力回路50を接続したことによるDACの蓄積容量の再配分を防止し、アナログ出力の「ずれ」を解消することができる。

【0157】

また、本変型例における容量C3の容量は0.2pF程度であり、出力回路50B全体の面積は、デザインルールを5μmとした場合でも $70 \times 300 \mu m^2$ 程度と十分に小型化
50

することができる。

【0158】

また、出力の電流源は、アンプの動作範囲によっては、 V_{dd} のみまたは V_{ss} のみとすることができ、構成を簡略化することができる。

【0159】

また、電流源を定電流源とすると、入力電圧に対する出力ばらつきをほぼ一定の小さいレベル（＝ディレイ時間 × 定電流 / C_{sig} ）に抑制できる。

【0160】

さらに、図17に例示した回路において、NOT3の出力n2の反転信号を生成してn3とし、n3と V_{out} との間に抵抗と容量を直列に挿入すれば発振を防止できる。

10

【0161】

また、入力比較回路の2入力（IN-とIN+）の微小なずれに対して、容量C3の入力（図17においてはnd）が大きく振れるようすれば、出力回路50Bをさらに高精度に高出力化することができる。このために、ndとC3との間に図示しない増幅回路をさらに設けてもよい。

【0162】

また、図17において、IN-とIN+を入れ替えて、容量C3をneに接続してもよい。

【0163】

ところで、図17に例示した出力回路50Bのひとつの特徴は、

20

(1) 入力比較回路IDにおいて入力信号（IN-とIN+）をTFTのゲートに入力する点と、

(2) 入力比較回路IDからの出力信号が入力信号に対して一義的な関係を有する、すなわち、ある入力信号に対応してひとつの出力信号のみが存在する、点にある。

【0164】

これらの特徴を有する入力比較回路IDは、図17に例示したものには限定されない。

【0165】

図19は、出力回路50Bの変型例を表す概略回路図である。同図についても、図1乃至図18に関して前述した部分と同等の要素には同一の符号を付して詳細な説明は省略する。

30

【0166】

図19の出力回路（アンプ回路）50Cにおいては、入力比較回路IDは図17に例示したものと同様であり、いわゆる「エミッタ（ソース）結合型」の増幅器の構成を有する。但し、信号入力が異なる。そして、その動作に際しては、符号/で総称したスイッチ群と、符号/で総称したスイッチ群とが交互にオン・オフする。

【0167】

まず、符号/で総称したスイッチ群がオンの状態において、図示しないDACからの信号 V_{in} がIN-に入力され、同時にNOT3を構成するインバータの動作しきい値の電位が容量C3の両端に保持される。

【0168】

次に、符号/で総称したスイッチ群がオフとなる。この時に、仮に $V_{out} < V_{in}$ とすると、ndは低下する。そして、ノードSはLレベルとなり、信号線27すなわち等価容量 C_{sig} に電流書き込みが実行される。そして、信号線容量 C_{sig} の電位が $V_{out} = V_{in}$ に達し、またはそれ以上となると、ノードSはHレベルとなり、 C_{sig} の電位の上昇は停止する。

40

【0169】

図19に例示した出力回路50Cにおいても、入力信号を入力比較回路IDのTFTのゲートに入力するので、図17に関して前述したように、DACの2次側容量の再配分を防ぐことができる。

【0170】

50

また、出力回路 50C の入力比較回路 ID は、入力電位 IN - に対して、出力 nd が一義的な関係を有する。

【0171】

図 20 は、入力比較回路 ID の入力電位 IN - と出力 nd との関係を表すグラフ図である。同図に表したように、入力と出力とが一義的な関係を有するので、NOT3 や Vbi を適宜設定することによって、出力回路 50C の出力特性を確実且つ容易に制御することが可能となる。

【0172】

図 21 は、出力回路 50B の第 2 の変型例を表す概略回路図である。同図についても、図 1 乃至図 20 に関して前述した部分と同等の要素には同一の符号を付して詳細な説明は省略する。

10

【0173】

図 21 の出力回路（アンプ回路）50Dにおいては、入力比較回路 ID がいわゆる「相補型」の増幅回路の構成を有する。すなわち、相補トランジスタとしての n チャネルトランジスタ M20 と p チャネルトランジスタ M22 のゲートが共通接続されて入力端とされている。従って、図 17 に関して前述したように、DAC の 2 次側容量の再配分を防ぐことができる。

【0174】

また、この出力回路 50D においても、符号 で表したスイッチと符号 / で表したスイッチとを交互にオンさせることにより、信号線 27 に DAC からの映像電位を書き込むことができる。

20

【0175】

図 22 は、出力回路 50D の入力比較回路 ID の入力と出力との関係を表すグラフ図である。同図に表したように、「相補型」の増幅器としての入力比較回路 ID においても、入力に対して出力が一義的な関係を有する。

【0176】

従って、Vdd や Vss、あるいは n チャネルトランジスタ M20 や p チャネルトランジスタ M22 のサイズすなわちゲート幅やゲート長などを調節することにより、出力回路 50D の出力特性を精密に制御することが可能となる。

30

【0177】

図 23 は、出力回路 50B の第 3 の変型例を表す概略回路図である。同図についても、図 1 乃至図 21 に関して前述した部分と同等の要素には同一の符号を付して詳細な説明は省略する。

【0178】

図 23 に表した出力回路（アンプ回路）50E ~ 50Gにおいては、入力比較回路 ID として、負荷と駆動用トランジスタとを直列に接続した一般的な増幅回路の構成を有する。すなわち、ゲートに電圧 Vbi あるいは nd が入力されたトランジスタ（図 23(a)においては、符号 M24 を付した）が負荷として作用し、ゲートに Vin または Vout が入力されるトランジスタが駆動用トランジスタとして作用する。

40

【0179】

これらの回路においても、トランジスタの低容量なゲートに信号が入力されるので、図 17 に関して前述したように、DAC の 2 次側容量の再配分を防ぐことができる。また、符号 で表したスイッチと符号 / で表したスイッチとを交互にオンさせることにより、信号線 27 に DAC からの映像電位を書き込むことができる。

【0180】

図 24 は、出力回路 50E ~ 50G の入力比較回路 ID の入力と出力との関係を表すグラフ図である。同図に表したように、これらの入力比較回路 ID においても、入力に対して出力が一義的な関係を有するので、Vbi やトランジスタのサイズなどを調節することにより、出力回路 50E ~ 50G の出力特性を精密に制御することが可能となる。

【0181】

50

図25は、出力回路50Bの第4の変型例を表す概略回路図である。同図についても、図1乃至図23に関して前述した部分と同等の要素には同一の符号を付して詳細な説明は省略する。

【0182】

図25の出力回路(アンプ回路)50Hにおいては、入力比較回路IDは、図17や図19と同様の「エミッタ(ソース)結合型」の増幅器の構成を有する。但し、本変型例においては、反転増幅回路が2系統設けられている。

【0183】

出力回路50Hの動作について説明すると、以下の如くである。

【0184】

まず、サンプリング期間においては、符号 \ominus で総称したスイッチ群がオンとなり、他のスイッチはオフとなる。この状態において、ndには、入力比較回路IDの入力が、それぞれ、IN- = Vcom、IN+ = Vin(すなわちDACの出力)となっている時の電位Vinintが保持される。また、n1Aとn1Bには、それぞれ反転増幅回路を構成するインバータNOT3A、NOT3Bの回路しきい値Vinvが保持される。

【0185】

次に、信号線に対する書き込み期間においては、符号/で総称したスイッチ群がオンとなり、他のスイッチはオフとされる。この状態においてVout < Vinの場合について説明すると、まず、IN+ = Vout (=信号線電位)となっているためにndは(Vinint + V)となり、n1も(Vinv + V)となる。すると、n2Aは低下し、n3AはLレベルとなり、トランジスタMPがオンする。これにより、信号線27は、Vddによって充電され、Csig電位(すなわちVout)はVddに近づき、Vは次第にゼロになる。

【0186】

V = 0となると、n1AはVinvに復帰し、n3AはHレベルとなり、トランジスタMPはオフとなって信号線電位は保持される。

【0187】

一方、Vout > Vinの場合には、C1B、n1B、n3Bが同様の動作をすることにより、Vssに向かってVsigが放電されて所望の電位に達した後、信号線電位が保持される。

【0188】

本変型例においては、出力回路50HがDAC出力を参照するのはサンプリング期間のみである。信号線書き込み期間には、DACは次の行の信号電位のDA変換を平行して行うことができる。また、本変型例においても、出力回路の入力容量が小さく、TFTの特性に影響されない安定したサンプリング出力が可能となる。

【0189】

図26は、出力回路50Bの第5の変型例を表す概略回路図である。同図についても、図1乃至図25に関して前述した部分と同等の要素には同一の符号を付して詳細な説明は省略する。

【0190】

図26の出力回路(アンプ回路)50Iにおいても、入力比較回路IDは、図17や図19あるいは図25と同様の「エミッタ(ソース)結合型」の増幅器の構成を有する。但し、本変型例においては、反転増幅回路が1系統であり、出力トランジスタMPにスイッチ/1が接続され、出力トランジスタMNにはスイッチ/2が接続されている。

【0191】

出力回路50Iの動作について説明すると、以下の如くである。

【0192】

まず、サンプリング期間においては、符号 \ominus で総称したスイッチ群がオンとなり、他のスイッチはオフとなる。この状態において、ndには、入力比較回路IDの入力が、それぞれ、IN- = Vcom、IN+ = Vin(すなわちDACの出力)となっている時の電位

10

20

30

40

50

V_{init} が保持される。また、 n_1 は、反転増幅回路を構成するインバータ NOT 3 の回路しきい値 V_{inv} が保持される。

【0193】

次に、第 1 の信号線に対する書き込み期間においては、符号 / で総称したスイッチ群とスイッチ / 1 がオンとなり、スイッチ / 2 はオフとされる。この状態において $V_{out} < V_{in}$ の場合についてのみ信号線容量 C sig が V ss によって $V_{out} = V_{in}$ となるところまで充電される。 $V_{out} > V_{in}$ の場合は、充電は行われない。

【0194】

また、第 2 の信号線に対する書き込み期間においては、符号 / で総称したスイッチ群とスイッチ / 2 がオンとなり、スイッチ / 1 はオフとされる。この状態において $V_{out} > V_{in}$ の場合についてのみ信号線容量 C sig が V ss によって $V_{out} = V_{in}$ となるところまで充電される。 $V_{out} < V_{in}$ の場合は、充電は行われない。

【0195】

本変型例においても、出力回路 50I が DAC 出力を参照するのはサンプリング期間のみである。信号線書き込み期間には、DAC は次の行の信号電位の DA 変換を平行して行うことができる。また、本変型例においても、出力回路の入力容量が小さく、TFT の特性に影響されない安定したサンプリング出力が可能となる。つまり、サンプリングラッチやデジタルラッチの数が少なく、且つ DAC 出力を高精度に増幅して信号線に書き込む信号線駆動回路を実現することができる。

【0196】

なお、図 25 及び図 26 に例示した具体例においては、いわゆる N-TOP 型差動増幅段を採用しているが、出力電圧レンジに応じて P-TOP 型差動増幅段を用いても良い。

【0197】

以上、説明した出力回路 50A ~ 50I は、信号線の電位と DAC の電位とをサンプリング比較し、信号線に充電を行うものであった。

【0198】

しかし、本発明の駆動回路は、このような出力回路には限定されず、アナログ的に信号線の充電を行う出力回路も用いることができる。

【0199】

図 27 は、本発明において用いることができる負極性用の出力回路 50J を表す回路図である。出力回路（アンプ回路）50J は、スイッチ SW1 ~ SW8、インバータ INV1、INV2、トランジスタ Q1 を有する。また、容量 C2 は、後に詳述するように、DAC の 2 次側容量と共用することが可能である。

【0200】

スイッチ SW6 の一端は容量 C2 の他端に接続され、スイッチ SW6 の他端は電圧 Vdd (例えば、10V) に接続されている。スイッチ SW5 の一端は前端インバータ INV1 の入力端子に接続され、スイッチ SW5 の他端は前段インバータ INV1 の出力端子に接続されている。スイッチ SW7 の一端は前段インバータ INV1 の出力端子に接続され、スイッチ SW7 の他端は後段インバータ INV2 の入力端子に接続されている。スイッチ SW8 の一端は後段インバータ INV2 の入力端子に接続され、スイッチ SW8 の他端は電圧 Vss (例えば、0V) に接続されている。

【0201】

そして、容量 C2 は差分電圧保持回路を構成し、電圧 VDD の電圧源と定電流回路 I1 とが信号線 27 の電圧を一定割合で変化させる電圧変更回路を構成し、スイッチ SW3 が入力電圧設定回路を構成し、スイッチ SW5 の帰還ループがしきい値電圧設定回路を構成している。

【0202】

図 28 は、図 27 の出力回路 50J の各部のタイミング図である。以下、このタイミング図を用いて出力回路 50J の動作を説明する。

【0203】

10

20

30

40

50

まず、時刻 T 2 1 ~ T 2 2 の期間（リセット期間）内に、スイッチ SW 4、SW 6、SW 8 をオンにし、スイッチ SW 1 ~ SW 3、SW 5、SW 7 をオフにする。これにより、信号線 2 7 の電圧（図 2 6 の d 点）は、電圧 VSS と同じ電圧（例えば、0 V）になる。また、前段インバータ INV 1 の入力端子の電圧は、電圧 VDD と同じ電圧（例えば、10 V）になり、後段インバータ INV 2 の入力端子の電圧は、電圧 VSS と同じ電圧（例えば、0 V）になる。ここで、前段インバータ INV 1 の入力端子の電圧を電圧 VDD にし、後段インバータ INV 2 の入力端子の電圧を電圧 VSS にすることは、前段インバータや後段インバータを構成する CMOS トランジスタに貫通電流が流れないようにするためにある。すなわち、CMOS トランジスタを構成する p 型 MOS トランジスタと n 型 MOS トランジスタのうちの一方の MOS トランジスタを十分なオフ状態にすることにより、貫通電流が流れないようにしている。これにより、この出力回路 50J における電力消費の低減を図れる。したがって、前段インバータ INV 1 の入力端子と後段インバータ INV 2 の入力端子に印加する電圧は、電圧 VDD（例えば、10 V）と電圧 VSS（例えば、0 V）のいずれでもよい。

【0204】

次に、時刻 T 2 2 ~ T 2 3 の期間（2 次側容量 C 2 への書き込み期間）内に、スイッチ SW 3、SW 5 をオンにして、スイッチ SW 1、SW 2、SW 4、SW 6 ~ SW 8 をオフにする。これにより、a 点の電圧は DAC からの入力映像信号 Vin の電圧に略等しくなる。図 2 7 では、入力映像信号 Vin の電圧が 3 V である例を示している。但し、スイッチ SW 1 がオフであるので、信号線 2 7 の電圧は 0 V を維持する。

【0205】

また、スイッチ SW 5 がオンであるため、b 点の電圧は前段インバータ INV 1 のしきい値電圧（ここでは、5 V とする）に略等しい電圧に設定される。すなわち、前段インバータ INV 1 の出力を入力にフィードバックすることにより、前段インバータ INV 1 の入力端子及び出力端子の電圧は、前段インバータ INV 1 のしきい値電圧に略等しい電圧に設定される。したがって、容量 C 2 には、入力映像信号 Vin の電圧（例えば、3 V）と前段インバータ INV 1 のしきい値電圧（例えば、5 V）の差分電圧（例えば、2 V）が保持される。

【0206】

次に、時刻 T 2 3 以降（書き込み期間、安定期間）は、スイッチ SW 1、SW 2、SW 7 をオンして、スイッチ SW 3 ~ SW 6、SW 8 をオフにする。時刻 T 3 の時点では、a 点は 3 V であるのに対し、d 点は 0 V である。このため、スイッチ SW 1 がオンすると、a 点の電圧が d 点に引きづられて低下する。容量 C 2 は上述した差分電圧（2 V）を維持しているので、この容量 C 2 の他端側である b 点の電圧も a 点の電圧に追随して低下し、論理回路 LC の出力が反転してローレベル（例えば、0 V）になる。これにより、トランジスタ Q 1 がオンし、一定の電流が定電流回路 I 1 からトランジスタ Q 1 とスイッチ SW 2 を介して信号線 2 7 に供給される。このため、信号線 2 7（d 点）の電圧は一定の傾き dt で上昇する。

【0207】

信号線 2 7 の電圧が一定の傾き dt で上昇すると、それに応じて a 点、b 点の電圧も一定の傾き dt で上昇する。やがて、時刻 T 4 になると、信号線 2 7 の電圧が入力映像信号 Vin の電圧である 3 V に等しくなり、a 点の電圧も 3 V に等しくなる。容量 C 2 は上述した差分電圧（2 V）を保持しているので、図 2 6 の b 点の電圧は前段インバータ INV 1 のしきい値電圧である 5 V になる。このため、論理回路 LC の出力が再び反転してハイレベル（例えば、10 V）になる。これにより、トランジスタ Q 1 がオフとなり、定電流回路 I 1 から信号線 2 7 への電流供給、つまり電圧の供給は遮断される。このような動作により、信号線 2 7 は入力映像信号 Vin の電圧に略等しい 3 V に設定される。

【0208】

次に、出力回路 50J を正極性用に変型した具体例について説明する。

【0209】

10

20

40

50

図29は、正極性用の出力回路50Kの詳細構成を示す回路図である。同図に表したように、正極性用の出力回路（アンプ回路）50Kは、トランジスタQ1がn型である点と、定電流回路I1が電圧VSSに接続されている点とが、図27の負極性用の出力回路50Jと異なる。これら以外の点は、上述した負極性用の出力回路50Jと同様であるので、その詳しい説明は省略する。

【0210】

以上のように、図27乃至図29に関して説明した出力回路50J、50Kによっても、信号線27を入力映像信号Vinの電圧に略等しく設定することができる。

【0211】

また、前段インバータINV1のしきい値電圧と入力映像信号Vinの電圧の差分電圧を容量C2に保持させた後に、信号線27に入力映像信号Vinを供給するので、前段インバータINV1のしきい値電圧にばらつきがあっても、信号線27の電圧はその影響を受けないようにすることができる。

【0212】

さらに、出力回路50J、50Kによれば、信号線27に電圧VDDを供給する際に定電流回路I1を介して供給するようにしたので、入力映像信号Vinの電圧や信号線27の電圧にかかわらず、一定の傾きdtで信号線Sの電圧を引き上げることができる。このため、出力回路50J、50Kのリニアリティーを確保することができ、いわゆる書き込みエラーを生じないようにすることができる。

【0213】

また、出力回路50J、50Kによれば、容量C2が保持すべき差分電圧を容量C2に設定する際に、前段インバータINV1のしきい値電圧と入力映像信号Vinの電圧とを、同一サイクルでサンプリングすることとしたので、これら2つの電圧の設定を別々のサイクルで行う場合と比べて、正確な差分電圧の設定をすることができる。

【0214】

なお、上記具体例に示す各種スイッチは、トランスファーゲートやアナログスイッチを用いて構成することができる。また、上記具体例では、入力された信号を反転増幅するインバータを2段直列的に接続して論理回路LCを構成する例を説明したが、トランジスタを組み合わせて構成されるものであれば、論理回路LCの内部構成に特に制限はない。

【0215】

次に、本発明の駆動回路において用いることができるさらに別の出力回路について説明する。

【0216】

図30は、出力回路50Lの回路図である。出力回路（アンプ回路）50Lは、信号線の電圧を制御する反転増幅回路の各インバータの入力端子の電圧を、各インバータのしきい値電圧に略等しく設定しておくことにより、各インバータのしきい値電圧にばらつきが生じっていても、信号線の電圧を所望の電圧に制御することができるようとしたものである。

【0217】

すなわち、出力回路50Lのそれぞれは、図30に示すように、スイッチSW1～SW3と、前段インバータINV1と中段インバータINV2と後段インバータINV3とからなる反転増幅回路IAと、容量C2とを、備えている。この出力回路50Lにより駆動される信号線27には、画素表示用のTFT、液晶容量および補助容量等が接続されており、同図では簡略化のため、信号線27の負荷を等価的に抵抗RとキャパシタCsigとで表している。

【0218】

スイッチSW1の一端は信号線27に接続され、スイッチSW1の他端はスイッチSW3の一端と容量C2の一端に接続されている。スイッチSW3の他端はDACから出力される入力映像信号Vinの入力端子に接続されている。容量C2の他端は、反転増幅回路IAの入力端子に接続されている。反転増幅回路IAの出力端子は、スイッチSW2の一端に接続されている。スイッチSW2の他端は、上述した信号線27に接続されている。

10

20

30

40

50

【0219】

反転増幅回路IAは、前段インバータINV1と中段インバータINV2と後段インバータINV3とを、直列的に接続することにより構成されている。スイッチSW1～SW3は、図示しないスイッチ切換制御回路により切換制御される。

【0220】

なお、反転増幅回路IAが信号線電圧制御回路を構成し、容量C2が第1差分電圧保持回路を構成し、スイッチSW3が第1差分電圧設定回路を構成する。

【0221】

図31は、出力回路50L内の各部のタイミング図である。以下、このタイミング図を用いて出力回路50Lの動作を説明する。

10

【0222】

まず、時刻T11～T12の期間（サンプリング期間）内に、スイッチSW3をオンにして、それ以外のスイッチであるスイッチSW1、SW2をオフにする。これにより、a点の電圧は、入力映像信号Vinの電圧に略等しくなる。図31では、入力映像信号Vinの電圧が3Vである例を示している。但し、スイッチSW1がオフであるので、信号線27（d点）の電圧は、時刻T11以前に供給された電圧を維持する。図31の例では、7Vを維持する。

【0223】

ここで、上述したように、前段インバータINV1のしきい値電圧が5.5Vであり、中段インバータINV2のしきい値電圧が4.5Vであり、後段インバータINV3のしきい値電圧が5Vであると仮定すると、何らかの手段により、この前段インバータINV1の入力端子の電圧を5.5Vに設定し、中段インバータINV2の入力端子の電圧を4.5Vに設定し、後段インバータINV3の入力端子の電圧を5Vに設定する。つまり、インバータINV1～INV3の入力端子の電圧を、インバータINV1～INV3のそれぞれのしきい値電圧に略等しく設定する。このようにインバータINV1～INV3の入力端子の電圧を、しきい値電圧に設定する手法については、後述する。

20

【0224】

このようにインバータINV1～INV3の入力端子をそれぞれのしきい値電圧に略等しく設定することにより、反転増幅回路IAの増幅度を最大値近傍にすることができる。反転増幅回路IAの増幅度とは、反転増幅回路IAの入力電圧の変化量に対する出力電圧の変化量の比をいう。つまり、この設定により、反転増幅回路IAの入力端子の電圧が僅かに変化しただけでも、反転増幅回路IAの出力端子の電圧は、反転して大きく変化することになる。

30

【0225】

また、上述したように、図30のa点の電圧は入力映像信号Vinの電圧である3Vになっており、b点の電圧は上述したe点の電圧と同様に5.5Vになっている。このため、時刻T11～時刻T12の期間（サンプリング期間）では、容量C2には、この容量C2が後述する時刻T12以降で保持すべき、入力映像信号Vinの電圧（例えば、3V）と前段インバータINV1のしきい値電圧（例えば、5.5V）の差分電圧（例えば、2.5V）が設定される。

40

【0226】

次に、時刻T12以降の期間（書き込み期間、安定期間）では、スイッチSW1、SW2をオンにして、これ以外のスイッチであるスイッチSW3をオフにする。時刻T12の時点では、図29のa点は3Vであるのに対し、d点は7Vである。このため、スイッチSW1がオンすると、a点の電圧がd点に引きづられて上昇する。容量C2は上述した差分電圧（2.5V）を保持しているので、この容量C2の他端側であるb点の電圧もa点の電圧に追随して上昇する。

【0227】

b点の電圧が上昇すると、前段インバータINV1の論理出力がローレベル（例えば、0V）になろうとし、中段インバータINV2の論理出力がハイレベル（例えば、10V）

50

になろうとし、後段インバータIN V 3の論理出力がローレベル（例えば、0V）になろうとする。つまり、b点の電圧が上昇すると、反転增幅回路IAの論理出力が反転してローレベル（例えば、0V）になろうとする。これにより、信号線27の電圧も下降する。信号線の電圧が下降すると、それに応じて、a点、b点の電圧も下降する。

【0228】

そのまま信号線27（d点）の電圧が下降すると、やがて、信号線の電圧が入力映像信号Vinの電圧である3Vに等しくなり、a点の電圧も3Vに等しくなる。容量C2は上述した差分電圧（2.5V）を保持しているので、b点の電圧は前段インバータIN V 1のしきい値電圧である5.5Vになる。このため、前段インバータIN V 1の論理出力が反転してハイレベル（例えば、10V）になろうとし、中段インバータIN V 2の論理出力が反転してローレベル（例えば、0V）になろうとし、後段インバータIN V 3の論理出力が反転しハイレベル（例えば、10V）になろうとする。つまり、b点の電圧が3Vを下回ると、反転增幅回路IAの論理出力が反転してハイレベル（例えば、10V）になろうとする。これにより、信号線27の電圧も上昇する。信号線の電圧が上昇すると、それに応じて、図30のa点、b点の電圧も上昇する。このような現象を繰り返して、時刻T13以降においては、信号線27の電圧は、入力映像信号Vinの電圧である3Vに略等しく収束し、安定する。

【0229】

但し、実際には、a点とd点とf点の電圧は、完全な3Vに安定するのではなく、オフセット電圧Va1だけずれて、3V+Va1になる。また、b点の電圧も、オフセット電圧Va1だけずれて、5.5V+Va1になる。このため、e点の電圧は、オフセット電圧Vb1だけずれて、5.5V-Vb1になる。また、c点の電圧は、オフセット電圧Vc1だけずれて、4.5V+Vc1になる。

【0230】

しかし、上述したように時刻T11～時刻T12の期間でインバータIN V 1～IN V 3の入力端子の電圧をそれぞれのしきい値電圧に略等しく設定しているので、反転增幅回路IAの増幅度は極めて大きくなっている。このため、オフセット電圧Va1を極めて小さくすることが可能になる。つまり、オフセット電圧Va1は、実質的にほぼ0Vを考えることができ、d点とa点とf点の電圧は、実質的に3Vに略等しくなると言える。

【0231】

以上のように、出力回路50Lによれば、反転增幅回路IAを構成する前段インバータIN V 1と中段インバータIN V 2と後段インバータIN V 3の入力端子の電圧を、それぞれのしきい値電圧に略等しく設定し、且つ、入力映像信号Vinの電圧と前段インバータIN V 1のしきい値電圧との差分電圧をキャパシタC1に保持した状態で、スイッチSW1、SW2と、反転增幅回路IAとで帰還ループを構成することとしたので、信号線27の電圧を入力映像信号Vinの電圧に略等しく設定することができる。

【0232】

図32は、図30に表した出力回路50Lの変型例を表す概略回路図である。図32に表したように、出力回路50Mにおいては、インバータIN V 1～IN V 3のそれぞれがスイッチSW4～6により短絡接続され、且つ、これらの間に容量C3、C4が設けられている。

【0233】

最も入力側に位置するしきい値電圧設定機能付インバータ回路7には、キャパシタC2は設けられておらず、前段インバータIN V 1の入力端子は、直接的にキャパシタC2の他端に接続されている。したがって、キャパシタC2には、入力映像信号Vinの電圧と前段インバータIN V 1のしきい値電圧との差分電圧が保持される。

【0234】

そして、反転增幅回路IAが本実施形態における信号線電圧制御回路を構成し、容量C2が第1差分電圧保持回路を構成し、スイッチSW3、SW4が第1差分電圧設定回路を構成し、容量C3、C4のそれぞれが第2差分電圧保持回路を構成し、スイッチSW5、S

10

20

30

40

50

W 6 のそれぞれが第 2 差分電圧設定回路を構成を構成する。

【 0 2 3 5 】

本変型例に係る出力回路 5 0 M の動作は、上述した出力回路 5 0 L と同様であるので、その詳しい説明は省略する。

【 0 2 3 6 】

以上、図 2 7 ~ 図 3 2 を参照しつつ、本発明の映像信号線駆動回路において用いることができる出力回路 5 0 J ~ 5 0 M について詳細に説明した。

【 0 2 3 7 】

次に、これら出力回路 5 0 J ~ 5 0 M と、前述したシリアル型 D A C 1 0 A ~ 1 0 C とを接続するに好適なインターフェイスについて説明する。 10

【 0 2 3 8 】

図 3 3 は、図 1 ~ 図 1 4 に関して前述したシリアル型 D A C と、図 2 7 ~ 図 3 2 に関して前述した出力回路 5 0 J ~ 5 0 M との接続部分を表す概略回路図である。

【 0 2 3 9 】

すなわち、同図においては、D A C 1 0 A ~ 1 0 C の概略構成と、出力回路 5 0 J ~ 5 0 M の入力部のみと、が表されている。同図から明らかなように、D A C の 2 次側の容量 C 2 は、そのまま出力回路 5 0 J ~ 5 0 M の入力容量 C 2 として共用されている。なお、同図において、容量 C 1 と C 2 のサイズはそれぞれ約 1 p F 程度であり、また階調電圧値は、例えば、正極性の場合には、V r e f = 9 ボルト、V c o m = 6 ボルトであり、負極性の場合には、V r e f = 1 ボルト、V c o m = 4 ボルトとすることができる。 20

【 0 2 4 0 】

図 3 4 は、図 3 3 における各部の動作を表すタイミングチャートである。1 水平期間の前半は、スイッチ S W 1 をオンにした状態でスイッチ S 1 をオン・オフさせることにより、容量 C 1 と容量 C 2 との間で電荷の再配分を行って、シリアル D A 変換を実行する。つまり、D A 変換と出力回路へのサンプリングを同時に実行する。

【 0 2 4 1 】

次に、1 水平期間の後半において、スイッチ S W 1 をオフにした状態でスイッチ S W 2 をオンにして容量 C 2 に蓄積されたアナログ信号としての映像信号電荷を出力回路 5 0 J ~ 5 0 M によって信号線 2 7 に書き込む。

【 0 2 4 2 】

このように D A C と出力回路との間で容量 C 2 を共用することにより、回路を簡略化して回路面積を小型化することができる。但し、図 3 4 のタイミングチャートから分かるように、出力回路へのサンプリングとシリアル D A 変換とを並列に処理するのでバッファ出力期間が短い。 30

【 0 2 4 3 】

図 3 5 は、シリアル型 D A C と出力回路 5 0 J ~ 5 0 M との接続部分のもうひとつの具体例を表す概略回路図である。すなわち、同図においては、図 1 ~ 図 1 4 に関して前述した D A C 1 0 A ~ 1 0 C の概略構成と、図 2 7 ~ 図 3 2 に関して前述した出力回路 5 0 J ~ 5 0 M の入力部のみと、が表されている。同図から明らかなように、本具体例においては、D A C の 2 次側の容量 C 2 と、出力回路の入力容量 C 3 とが別々に設けられている。なお、同図において、容量 C 1 、 C 2 及び C 3 のサイズはそれぞれ約 1 p F 程度であり、また階調電圧値は、例えば、正極性の場合には、V r e f = 9 ボルト、V c o m = 1 ボルトであり、負極性の場合には、V r e f = 1 ボルト、V c o m = 9 ボルトとすることができる。また、図中のノード N における電位は、正極性の場合には 5 ~ 9 ボルト程度で、負極性の場合には 1 ~ 5 ボルト程度とすることができる。 40

【 0 2 4 4 】

図 3 6 は、図 3 5 における各部の動作を表すタイミングチャートである。

【 0 2 4 5 】

1 水平期間の前半は、スイッチ S W 0 をオフにして出力回路を切り離した状態でスイッチ S 1 をオン・オフさせることにより、容量 C 1 と容量 C 2 との間で電荷の再配分を行って

、シリアル D A 変換を実行する。つまり、出力回路へのサンプリングは行わずにシリアル D A 変換処理のみを実行する。

【0246】

次に、スイッチ SW0 を所定の期間だけオンして出力回路へのサンプリングを実行する。しかる後にスイッチ SW2 をオンして主力回路から信号線への書き込みを実行する。この書き込み期間は、次の 1 水平期間の前半まで続き、D A C の D A 変換処理と重複して実行される。

【0247】

また、信号線への書き込みが終わると、その次のサンプリングの前に、スイッチ SW3 が一旦オンとなって容量 C3 を放電するリセット期間が設けられる。

10

【0248】

本具体例によれば、出力回路から信号線へのデータ書き込み D 処理とシリアル D A 変換処理とを同時に動作させることができる。

【0249】

なお、本具体例において、D A 変換の基準電圧である Vref と Vcom とを 9 ボルト～1 ボルトの範囲で設定する理由は、D A C の容量 C2 と出力回路の容量 C3 とを接続させると、蓄積電荷が半減するからである。つまり、最初に D A C において容量 C2 に倍の量の電荷を蓄積しておけば、出力回路の容量 C3 と電荷を分配した後に、所定の充電量が得られるからである。

【0250】

20

以上、本発明の映像信号線駆動回路におけるシリアル型 D A C 、映像信号出力回路、及びこれらの接続インターフェイスについて詳細に説明した。

【0251】

次に、これらの各要素を包含した映像信号駆動回路の全体的な構成について概説する。

【0252】

図 37 は、本発明の実施の形態にかかる多階調表示装置の回路ブロック図である。本具体例は、例えば 6 ビット（64 階調）対角 10 インチの XGA 表示装置として実現することができる。

【0253】

また、図 38 は、図 37 に表した多階調表示装置の映像信号駆動回路を表す回路ブロック図である。

30

【0254】

さらに、図 39 は、図 38 の映像信号駆動回路の動作を表すタイミングチャートである。

【0255】

図 37 の回路においては、画像表示部 20 には、複数本の映像信号線 27 と、これに直交する複数本の走査線 28 とが配線され、これらの交点に画素 TFT29 が設けられている。TFT29 のドレイン電極には、液晶容量 Clc と補助容量 Cs とがそれぞれ接続されて表示画素を形成している。

【0256】

走査線駆動回路は、例えば、シフトレジスタと走査線駆動バッファとにより構成され、各々のバッファ出力が各走査線 28 に供給される。各走査線 28 に供給された走査線信号に基づいて、対応する行の TFT29 がオン・オフ制御される。

40

【0257】

図 38 に例示した映像信号線駆動回路は、デジタル映像データ線（デジタルバス）DB と、シフトレジスタ 21 と、サンプリングラッチ 24 と、ロードラッチ 23 と、D A C 10 A～10 C と、出力回路 50 とにより構成されている。そして前述したように、D A C 10 A～10 C は 1 水平期間中にアナログ電位を一回出力し、出力回路 50 を介して 1 本の信号線 27 に映像信号が書き込まれる。

【0258】

デジタルバス DB には、外部に設けられたゲートアレイ GA から出力されるデジタル映像

50

信号が順次書き込まれる。ここで、本発明の映像信号線駆動回路SDは、図1～図14に関して詳述したようにシリアル型のDAC10A～10Cを備える。このために、ゲートアレイGAに格納されているデジタル映像データの出力に際して、データ出力の順番を工夫する必要がある。

【0259】

図40は、ゲートアレイGAからのデジタル映像データの出力順序を説明するための概念図である。図53に表したような従来のパラレル型DACに対してデジタル映像データを出力する際には、図40(a)に表したように、ゲートアレイGAに格納されている最下位ビット(LSB)から最上位ビット(MSB)までの6ビットのデータの倍数をそのままパラレルに出力すれば良い。

10

【0260】

これに対して、本発明のシリアルDACに対してデータ出力する際には、図40(b)に表したように、表示装置の信号線27の本数に応じて、この本数の公約数ずつ、下位ビットから順にデータを出力する必要がある。このためには、ゲートアレイGAの内部または、ゲートアレイGAの外部に、データの並び替えを行う手段を設けると良い。

【0261】

一方、図37に例示した具体例をポリシリコン TFTにより実現するとTFT特性のばらつきが比較的大きくなる場合があるので、映像信号線駆動回路に入力する信号のゲートアレイ出力は、5ボルト以上の振幅とすることが望ましい。

【0262】

例えば、図37に例示したように、3.3ボルト電源のゲートアレイGAにレベルシフト回路LSを接続し、3.3ボルト振幅のデジタルデータ、クロック及び制御信号をすべて5ボルト振幅にレベルシフトしてから映像信号線駆動回路SDに供給すると良い。

20

【0263】

もし映像信号線駆動回路SDに供給する前にレベルシフトを行わない場合には、(1)ゲートアレイ自体の電源電圧を5ボルトとするか、(2)映像信号線駆動回路と同一基板上にポリシリコンTFTなどを用いてレベルシフト回路を作り込む必要がある。但し、(1)の場合には消費電力が高くなり、(2)の場合にはレベルシフト回路のディレイばらつきが大きい場合に所期のデジタル映像データを所望のタイミングでシフトレジスタに供給することができず、「データずれ」を生ずる恐れがある。

30

【0264】

シフトレジスタ21には、クロック信号(CLK、/CLK)とトリガ信号(XST)とが入力される。そして、シフトレジスタ21からの出力によって、サンプリングラッチ24が制御され、デジタル映像データがサンプリングラッチ24に順次格納される。

【0265】

次に、データロード用の制御信号(LR、/LR)によりサンプリングラッチ24に格納されたデジタルデータが同時にロードラッチ23にラッチされ、次いで、DAC10A～10Cに出力される。ここで、図示したように、必要に応じてロードラッチ23とDAC10A～10Cとの間にレベルシフト回路LSを設けても良い。

【0266】

DACが各信号線27毎に設けられている場合には、上述したサンプリング、ロード、DACへの出力は、6ビット分すなわち6回繰り返される。この一連の動作については、図1～図14に関して詳述した通りであり、また、図39のタイミングチャートに表した通りである。1回毎に、デジタルデータは電圧変換されてDAC内の容量に保持される。

40

【0267】

出力回路50は、サンプリング期間中にDACからの出力を受け、次いで書き込み期間中に信号線27に電圧を書き込む。この詳細については、図15～図36に関して前述した通りである。DACと出力回路50とは、書き込み期間中は接続されない。

【0268】

次に、本発明による映像信号線駆動回路の変型例について説明する。

50

【0269】

図41及び図42は、本発明による映像信号線駆動回路の変型例を説明するための概念図である。ここで、図41(a)は、図38に表した基本形に対応し、図41(b)及び図42(a)及び(b)は、それぞれ変型例に対応する。

【0270】

これらの変型例においては、選択スイッチSSWまたはアナログスイッチASWを設けて複数の信号線のいずれかを選択可能とすることにより、ラッチ24A、24B、レベルシフタLS、DAC10A～10C及び出力回路50の一部を共用して回路を簡略化することができる。

【0271】

以下の説明においては、便宜上、2本の信号線27のいずれかを選択可能とした場合について説明する。そして、全ての信号線を奇数本目(2N-1)と偶数本目(2N)とに分けて説明する。但し、本発明において選択本数や選択の方法は、その他種々に変型可能であることはいうまでもない。

【0272】

まず、図41(b)に例示した変型例においては、選択スイッチSSWを設けることにより、ラッチ24A及び24Bを2本の信号線の間で切り替えて使用可能としている。この構成によれば、ラッチの数を半減できる。具体的な動作の方法としては、1水平期間を1/2分割し、奇数本目の信号線用DACと偶数本目の信号線用DACとを1/2回切り替えて接続する。出力回路(AMP)による信号線への書き込みは、すべてのDACのアナログ出力が確定してから一斉に行うことが可能である。信号線への書き込みをほぼ1水平期間をかけて行うことができるので、平均電流量が少ないという利点がある。

10

【0273】

次に、図42(a)に例示した変型例においては、アナログスイッチASWを設けることにより、2本の信号線の間でラッチ24A、24BとDACを共用可能としている。つまり、ラッチとDACの数を半減することができる。

【0274】

その動作の方法としては、1水平期間を2分割し、前半の期間では奇数本目の信号線をDACを接続し、後半の期間では偶数本目の信号線をそれぞれDAC10に接続する。出力回路50による信号線への書き込みは、奇数本目のDAC出力が確定してから直ちに行う。書き込み時間はほぼ1水平期間の1/2である。ついで偶数本目のDAC出力が確定してから残りの信号線への書き込みを行う。本変型例の場合には、図41(b)に例示したものと比較してDACの占有面積を半減することができる。

20

【0275】

なお、本変型例においては、1個のDACが複数本の信号線に順次アナログ電位を出力することになるが、その際の信号線の選択順序は、1水平期間毎または1フレーム毎に異なるようにするのが良い。先に電圧書き込みされた信号線と、後から電圧書き込みされた信号線との間のわずかに生じうる誤差電圧を時間的に平均化できるからである。

30

【0276】

次に、図42(b)に例示した変型例においては、ラッチ、DAC及び出力回路の数を半減できる。すなわち、本変型例においては、出力回路50と信号線27との間にアナログスイッチASWを設けて、1水平期間の1/2程度の期間に書き込みを行うようとする。但し、このためには、アナログスイッチASWを比較的大きく形成して電流容量を確保することが望ましい。

40

【0277】

以上説明した具体例においては、1本の信号線に対して1個のDACを用いるが、これとは別の発想として、1本の信号線に対して2個の出力回路50を並列し、その一方をサンプリング用、他方を信号線書き込み用として用いる「アナログバッファ方式」も実現可能である。この構成を上述した図42(a)の変型例に適用すると、信号線の書き込みを1水平期間の間継続することが可能となる。従って、平均電流量を半減することができる

50

いう利点がある。

【0278】

また、以上説明した構成においては、「コモン反転駆動方式」を用いることが特に有利である。すなわち、1水平期間毎にコモン電位を2.5ボルト±2.5ボルトの範囲で変動させる。これに対応して信号線電位を2.5ボルト±2.5ボルトで出力する。このようにすれば、D A C及び出力回路50の電圧出力可能レンジをせいぜい5ボルト程度まで小さくすることができる。ポリシリコンTFTのように結晶シリコンTFTよりも特性のばらつきが大きいTFTにより構成される回路においては、例えばしきい値ばらつきの幅が出力回路50の出力レンジを狭める。画面対角サイズが13インチ以上の大型表示装置においては、コモン電位を1水平期間毎に変動させるのは現実的ではないので、コモン電位を例えば5ボルト程度に固定し、信号線電位を1~9ボルトの範囲で制御することが得策である。図25や図26に例示した出力回路の場合には、Vdd、Vss及びVbiを調節することによりこれを実現することができる。10

【0279】

以上説明した具体例においては、シフトレジスタ21を高速動作させる必要がある。デジタルバスDBの本数は、10.4インチXGAの場合に画面を4分割し8相×3色(RGB)=24本程度となる。この場合に、1個のビットデータは60ナノ秒程度(すなわち、約16MHz)の間にラッチしなければならない。シフトレジスタが16MHzのクロックに追随できれば問題ないが、TFT特性が大きくなついた場合には、シフトレジスタの16MHz動作が不確実になる恐れもある。このような問題を解決するために、8MHzクロックでシフトレジスタ21を16MHz相当の動作させる方法がある。20

【0280】

図43及び図44は、このような倍速動作シフトレジスタの構成を表す概念図である。すなわち、同図(a)はそのブロック構成を表し、同図(b)はその概略回路を表す。図43の構成においては、CLKと/CLKのそれぞれに応じて動作するハーフクロック型のシフトレジスタ21が設けられ、クロックCLKの倍の周期でサンプリングラッチ24に制御信号が供給される。

【0281】

また、図44の構成においては、2つの1クロックシフト型シフトレジスタ21A、21Bを設け、それぞれに、クロックとその反転信号を供給することにより、倍周期でデータをサンプリングし、ロードラッチ23に供給する。30

【0282】

また、図示した具体例とは別に、単にシフトレジスタを2個並列に設けて、一方を他方に対して半クロック分だけシフトさせて動作させるだけでも良い。

【0283】

図1~図14に関して前述したようなシリアル型D A Cを採用すると、従来のパラレル型D A Cを用いる場合よりも回路占有面積を大幅に縮小することができるので、図43や図44に例示したようなやや複雑なシフトレジスタを形成することも容易となる。

【0284】

本発明を液晶表示装置に適用する場合について説明すると、液晶材料のしきい値電圧が2.5ボルト程度の場合には、4ボルト型の液晶の場合と比べてD A C10A~10C及び出力回路50の出力レンジを小さくできるという利点がある。さらに、液晶のしきい値電圧を1.5ボルト程度とすると、垂直ライン(Vライン)反転駆動あるいは水平/垂直(H/V)反転駆動を行う場合(特に、対角サイズが13インチ以上の大画面液晶表示装置の場合に多い)にも、D A C10A~10C及び出力回路50の出力レンジを10ボルトとする必要がなくなり、電源を削減できる点で有利となる。40

【0285】

本発明による映像信号線駆動回路をガラス基板上に、画素駆動用TFTと同時形成してなる。透過型表示装置、反射型表示装置、半透過型表示装置、発光型表示装置は、モジュール強度が大きく、額縁部を小さくできる点で、携帯端末用表示装置として極めて有利であ50

る。

【0286】

最後に、本発明の実施例としての10.4インチXGA液晶表示装置について説明する。

【0287】

図45は、本発明による映像信号線駆動回路の実施例を表すブロック図である。

【0288】

すなわち、同図に表した具体例は、対角10.4インチのXGA液晶表示装置に対応する。同図については、図1乃至図43に関して前述した要素と同等の要素には同一の符号を付して詳細な説明は省略する。

【0289】

また、図46は、本実施例の表示装置の動作の具体例を表すタイミングチャートである。本実施例においては、映像信号は、8相4分割で供給される。すなわち、ゲートアレイGAからは、8相×3(RGB)×4(分割)=96のデジタル画像データが出力される。また、クロックCLKと制御信号CTRLLとしては15種類の信号が供給され、これらは、駆動回路が形成されているガラス基板に5ボルトレベルで入力される。

【0290】

一方、電源は、12、5、-2及び0ボルトの4種類であり、従来必要とされていた10ボルト電源が不要となる点で有利となる。さらに、YGVddとXVddが共通化されている。

【0291】

信号線27は、768本設けられ、それぞれに、シフトレジスタ21、サンプリングラッチ24、レベルシフタLS、DAC及び出力回路50が接続されている。各要素に対する電源は、図44に表した如くである。

【0292】

シフトレジスタ21は、ゲートアレイGAから制御信号及びクロック信号を受け取り、倍速で動作する半クロックシフト出力のシフトレジスタである。この具体的な構成は、例えば、図42に例示した如くである。

【0293】

本実施例によれば、シリアル型DACを設けることにより、従来よりもはるかに小さい回路面積で、小型軽量の表示装置を形成することができる。さらに、出力回路50の構成を工夫したことにより、ポリシリコン TFT の特性ばらつきに対しても、安定な動作を確保し、製造歩留まりを顕著に改善するのみならず、表示装置の初期特性及び信頼性も改善することができる。

【0294】

図47は、上述した具体例において採用することができるシフトレジスタ21の変型例を表す概念図である。

【0295】

また、図48は、その動作を説明するタイミングチャートである。

【0296】

通常は、シフトレジスタはクロック信号の立ち上がりを基準にして次段にパルスを送るが、本変型例のシフトレジスタは、半クロックシフトレジスタに似た動作を行う。

【0297】

すなわち、まずシフトレジスタS/R IIの出力a*によってサンプリングラッチの出力Aにはデータ(Data)1が出力される。シフトレジスタS/R IIIも同様に動作するが、半クロック動作に類似した動作を行うため、その出力Bにはデータ2ではなく、まず始めにデータ1がラッチされ、次に、データ2がラッチされる。シフトレジスタS/R IIIも同様に、まずひとつ前のデータ2をラッチするが、最終的には所望のデータ3をラッチする。

【0298】

本変型例の特徴は、デジタルデータを扱っており、さらにサンプリングラッチ段の後に口

10

20

30

40

50

ードラッチを経て D A C ヘデータを転送する構成であるので、所望のデータが得られる前の動作には依存しないという点にある。半クロックシフトレジスタのような構成においては、前段と自段の論理演算によって、シフトレジスタ出力が重ならないようにすることは可能であるが、パルス幅が半分になるため、高速動作が容易でないことがある。また、論理演算のための素子の増加やさらにそれに伴う遅延などの影響で、パルス幅の「細り」などが生じ、サンプリングラッチが動作しないことがある。

【 0 2 9 9 】

これに対して、本変型例によれば、一度は前段のデータをラッチした後に所望のデータをラッチする方式であるが、パルス幅を確実に確保することができるため、半クロックシフトレジスタに比べて動作マージンが広く、素子数も少なくて済むという利点がある。 10

【 0 3 0 0 】

次に、本発明の駆動回路の具体例として、ガンマ補正回路を付加した構成について説明する。

【 0 3 0 1 】

図 4 9 は、ガンマ補正回路を付加した液晶表示装置の駆動回路を説明するための概略図である。すなわち、同図 (a) は 6 信号線選択構成の駆動回路に信号を供給するゲートアレイのタイミングチャート、同図 (b) は 6 信号線選択構成の駆動回路の概念図、同図 (c) は 8 信号線選択構成の駆動回路に信号を供給するゲートアレイのタイミングチャート、同図 (d) は 8 信号線選択構成の駆動回路の概念図である。 20

【 0 3 0 2 】

まず、図 4 9 (a) 及び (b) を参照しつつ 6 信号線選択構成の場合について説明すると、6 本の信号線に対して、駆動回路は、6 個のラッチ 2 4 、1 個のガンマ () 補正回路 8 0 、D A C 1 0 C 、及び 6 個の出力回路 (アンプ回路) 5 0 を備える。つまり、D A C 1 0 C は、6 本の信号線のいずれかを順次選択してアナログ電位を書き込む。ここで、D A C 1 0 C は図 9 に例示した構成のものを用いる。また、ガンマ補正回路 8 0 は、液晶の光学的な応答特性を補正して人間の肉眼の視感度特性に合わせた画像を表示する役割を有する。

【 0 3 0 3 】

図 4 9 (a) に表したように、1 水平期間 2 2 . 7 5 マイクロ秒を 2 マイクロ秒ずつ区切り、最初の 2 マイクロ秒では (6 N + 1) 番目 (ここで N は自然数とする) の信号線のビットデータ (d 1 ~ d 6) がラッチ 2 4 によりラッチされる。データのラッチが完了すると、ガンマ補正回路 8 0 が上位 3 ビット (d 1 ~ d 3) のラッチデータを参照して基準電位 V + 及び V - を選択する。一方、D A C 1 0 C は、下位 3 ビット (d 4 ~ d 6) のデータを参照し、D A C 内に設けられた入力容量 C 1 1 , C 1 2 及び C 1 3 に、基準電位 V + 、V - をそれぞれ同時に充電する。 30

【 0 3 0 4 】

1 次側の容量に対して充電が完了すると、下位ビットから順に対応する充電電位を 2 次側容量すなわち出力容量 C 2 1 との間で再分配を繰り返し行い、所望のアナログ電位 V i を得る。このようにして形成されたアナログ電位 V i は、出力回路 5 0 により参照され、信号線 2 7 に書き込まれる。 40

【 0 3 0 5 】

次の 2 マイクロ秒以降では、(6 N + 2) 番目 . . . (6 N + 6) 番目の信号線まで同様の動作が繰り返されて、全ての信号線にアナログ電位が書き込まれる。そして、1 水平期間の後半には、1 0 . 1 2 5 マイクロ秒のブランク期間が設けられる。

【 0 3 0 6 】

ここで各信号線に対する信号処理に際しては、図 9 に関して前述したように、D A C 1 0 C は、2 次側容量 C 2 1 と C 2 2 とを交互に使い分け、次の信号線のための D A 変換を行う間に平行にして前の信号線に対するアナログ電位の書き込みを実行することができる。従って、高速動作を維持しつつ、電位の書き込みを十分に行うことができ、高品位の画像を表示させることができる。 50

【0307】

また、本具体例においては、ガンマ補正回路80が電源選択型であるので、上位3ビット分の電圧変換は極めて高速に実行され、殆ど時間を要しない。また、DAC10Cの動作も下位3ビット分のみのDA変換で済むため、高速に動作させることができる。

【0308】

図49(c)及び(d)に表した8信号線選択構成の場合も、基本的には同様の動作をさせることができる。すなわち、図49(c)に表したように、1水平期間22.75マイクロ秒を2マイクロ秒ずつ区切り、最初の2マイクロ秒では($8N + 1$)番目(ここでNは自然数とする)の信号線のビットデータをラッチし、ガンマ補正、DA変換、出力する。以降、0.125マイクロ秒毎のブランクを介して($8N + 8$)番目の信号線まで、上述した場合と同様の動作をさせることができる。1水平期間の後半には、5.875マイクロ秒のブランク期間が設けられる。

10

【0309】

図50は、6信号線選択構成の駆動回路のさらに詳細な具体例を表す構成図である。

【0310】

すなわち、ロードラッチ24のそれぞれには、各ビットのデータ(d1~d6)が入力され、ラッチされる。これらのうちの上位3ビットのデータ(d1~d3)は、ガンマ補正回路80に入力され、そのデータに基づいて複数の基準電位のうちのいずれかが選択され、V+、V-としてDAC10Cに供給される。

20

【0311】

ガンマ補正回路80は、例えば図示したようにインバータ80Aとアンドゲート80Bとオアゲート80Cとスイッチ80Dとを組み合わせて構成される。さらに、図示した具体例においては、基準電位としてV1~V9の9種類の電位が用意されている。

【0312】

論理ゲート80A~80Cは、ラッチ24から入力される上位3ビットのデータに基づく論理演算を実行し、その結果に応じてスイッチ80Dのいずれかをオンすることにより、基準電位V1~V9のいずれかを選択してV+、V-として出力する。

【0313】

基準電位V1~V9は、例えば液晶への実効電圧が4~5ボルトとなるような4~5ボルトレンジの電源電圧範囲を8分割して得られる合計9レベルの電圧ノードとすることができる。但し、視感度特性に応じて補正するために、電源電位を非等間隔に分割することによってV1~V9を形成する。そして、基準電位V1~V9のうち連続するいずれか2つの電位ViとV(i+1)とを選択して、DAC側にV+とV-として渡すことにより、上位3ビットのデジタルデータが実質的にアナログ変換されることになる。次いで、DACにより、ViとV(i+1)との間をさらに細かく刻んで高次の階調電位を以下の説明の如く形成する。

30

【0314】

一方、ロードラッチ24にラッチされた下位3ビットのデータ(d4~d6)は、そのままDAC10Cに送られる。

【0315】

図示した具体例において、DAC10Cは、3個の1次側容量C11~C13と6個の2次側容量C21~C26を有する。DAC10Cは、入力データ(d4~d6)に基づき、ガンマ補正回路80により選択された基準電位V+、V-を用いて、それぞれ1次側の容量C11~C13を充電する。そして、1次側容量C11~C13は、2次側の容量C21~C26のいずれかとの間で電荷の再配分を行うことによりアナログ変換が完了する。

40

【0316】

電荷の再配分を受けた2次側容量は、対応する出力回路(アンプ回路)50Mを介して、対応する信号線27にアナログ電位を書き込む。そして、この書き込み動作と平行して、次の信号線のためのDA変換を実行することができる。

50

【0317】

以上説明したように、図50に表した駆動回路は、入力されたデジタル信号をガンマ補正し、D/A変換を実行し、形成したアナログ電位を信号線27に書き込む。この際に、次の信号線のためのガンマ補正やD/A変換処理と、前の信号線に対する書き込み処理とを平行して実行させることができ、高速で確実なアナログ信号の供給を実現することができる。

【0318】

図51は、本発明の変形例を表す概念図である。すなわち、同図に例示したものは、「ブロック順次走査型」のサンプル・ホールド型（以下、S/H型と略す）液晶表示装置である。この方式の液晶表示装置においては、所定の数の映像信号線からなるブロック毎に、映像信号が書き込まれる。

10

【0319】

すなわち、シフトレジスタ等で構成されるタイミング回路によりサンプリング・スイッチを制御し、ビデオ信号線を介して供給される映像信号を映像信号線容量に保持した後に画素容量に書き込むという方式のものである。

【0320】

本変形例においても、画像表示部20に隣接して、映像信号駆動回路VDと走査線駆動回路SDとが設けられている。

【0321】

画像表示部20には、複数本の映像信号線27とこれに直交する複数本の走査線28とが配線され、これらの交点に画素TFT29が設けられている。TFT29のドレイン電極には、液晶容量C1cと補助容量Csとがそれぞれ接続され、表示画素を形成している。

20

【0322】

走査線駆動回路SDは、シフトレジスタ25と走査線駆動バッファ26とにより構成され、各々のバッファ出力が各走査線に供給される。これらの入力としては、基本クロックCLK2とトリガ信号IN2が必要とされる。

【0323】

映像信号駆動回路VDは、DAC10A～10Cとシフトレジスタ31とビデオ信号線32とサンプリング・スイッチ制御線33とサンプリング・スイッチ34とにより構成されている。DAC10A～10Cの構成は、図1乃至図14に関して前述したものと同様にすることができる。また、DACの前段には、図3に例示したような図示しないシフト・レジスタ21やサンプリング・スイッチ24が設けられていても良い。

30

【0324】

本変形例においても、外部からDACにシリアル入力されたデジタル映像信号は、図1乃至図14に関して前述したようなプロセスを経てアナログ信号に変換され、それぞれのビデオ信号線32に供給される。

【0325】

そして、シフトレジスタ31によりサンプリング・スイッチ34を制御することによってアナログ映像信号が映像信号線に書き込まれる。同図に例示した構成では、水平方向に隣接するm個の表示画素ごとにブロック化され、このブロック毎に映像信号が供給される。

【0326】

図52は、映像信号駆動回路VDの動作原理を説明するためのタイミングチャートである。図51も併せて参照しつつ、その動作について説明すると、まず、基本クロックCLK1と、それに同期したm相のビデオ信号（Video1～Video m）がビデオ信号線32に入力される。

40

【0327】

ここで、第nブロックの画素に正極性の映像信号を書き込む場合には、nブロック目に相当するタイミングで、図51中のb点でのサンプリング・スイッチ34の制御信号がオフ(OFF)状態からオン(ON)状態に遷移する。すると、サンプリング・スイッチ34が非導通状態から導通状態となり、a点に入力された映像信号がビデオ信号線32を介して映像信号線27に供給される。この時、映像信号線27の電位は初期電位Vmから所定

50

の電位 V_s に向かって上昇を始める。また、画素 T F T 2 9 をオン状態にしておくと、図 5 1 の c 点における電位も映像信号線 2 7 の電位に追従する。

【0328】

続いて、サンプリング期間 T_w 後にサンプリング・スイッチ 3 4 がオフ状態になると、映像信号線 2 7 と画素容量 C 1 c および補助容量 C s に映像信号がホールドされ、1 水平期間の間、画素電位は V_s に保持される。

【0329】

この動作を基本クロック C L K 1 に同期しながら m 画素毎に水平方向に走査を行うことにより、1 フレーム期間内に全画素に映像信号を書き込み、画像を表示する。

【0330】

本変形例においても、図 1 ~ 図 1 4 に関して前述したものと同様に、極めて簡略な D A C を用いることによって、回路規模を縮小し、さらに、異なるビット数のデジタル・データを処理することが出来るという効果を得ることができる。

【0331】

なお、図 5 2 において、「 V_w 」で表した電圧は、「書き込み不足電圧」と呼ばれ、ビデオ信号線 3 2 の終端側における映像信号線 2 7 の電位が所望の電位に達する前に電位が書き込まれることに起因して生ずる。この原因は、保持され液晶表示装置の大画面化に伴うビデオ信号線や映像信号線の抵抗及び容量の増大や、映像信号伝送系の遅延の増大、また、高精細化に伴う映像信号周波数の増加によりサンプリング時間が短縮されることなどによる。このような、「書き込み不足電圧」は、表示コントラストの低下等の画質の劣化を招くことがある。

【0332】

本変形例の S / H 型駆動回路は「書き込み不足電圧」が生じやすい点で前述した線順次方式よりも劣るが、一方で、m 個の画素ブロック毎の順次走査を行うため、線順次走査型の駆動回路と比較すると回路規模が小さく、また、動作に必要な信号が基本クロック C L K 1 とトリガ信号 I N 1 と m 相の映像信号だけで良いという利点を有する。

【0333】

以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本発明はこれらの具体例に限定されるものではない。

【0334】

例えば、図 5 乃至図 9 に例示した D A C において、1 次側または 2 次側に設ける容量の数は、入力データのビット数や信号線の本数などに応じて適宜変更することができる。また、本発明の駆動回路の用途は液晶表示装置の場合に限定されるものではなく、エレクトロルミネッセンス表示装置や蛍光発光型表示装置などの各種の表示装置についても同様に適用が可能である。すなわち、画素をマトリクス状に配置してそれぞれにアナログ映像信号電圧を順次供給する方式の全ての表示装置について、本発明を同様に適用して同様の効果を得ることができる。

【0335】

【発明の効果】

本発明は、以上説明した形態で実施され、以下に説明する効果を奏する。

【0336】

まず、本発明によれば、シリアル入力されるデジタル映像信号を確実且つ容易にアナログ信号に変換することができる。しかも、本発明によれば、D A C の回路構成は極めて簡単であり、回路面積を従来よりも大幅に縮小することができる。このような回路規模の縮小効果は、デジタル・データのビット数に応じて高くなり、表示画像を高画質化する程、その効果をより顕著に得ることができる。

【0337】

すなわち、一般的な n ビットのパラレル入力型 D A C と比較すると、本発明の D A C の回路規模は、およそ $1/n$ であり、ビット数が増加するほど、回路規模の縮小効果を得ることができる。これは、駆動回路をパネルに集積させたポリシリコン T F T の液晶表示装置

10

20

30

40

50

においては、特に有利に作用する。表示画像の高画質化するためには、表示階調すなわち、映像信号のビット数を増加する必要があるが、本発明によれば、回路規模を増大させず、パネルの小型化と高画質化とを両立することができる。

【0338】

さらに、本発明によれば、回路を変更することなく、異なるビット数のデジタル・データをアナログ映像信号に変換することができるという効果も得られる。すなわち、本発明によれば、シリアルに入力されるデジタル・データの各ビットについて、上述したような動作を繰り返すことにより、ビット数に依存せずにデジタル・データをアナログ変換することができる。

【0339】

本発明のこの効果は、特にコンピュータの表示装置などに応用する際に有利となる。すなわち、コンピュータにおいては、その用途やソフトウェアなどに応じて画像表示モードを切り替える必要がある場合が多い。その際に、表示分解能とともに表示階調すなわち階調ビット数も切り替えるようにすることが望ましい。本発明によれば、このような場合においても、同一のD A Cを用いてアナログ変換することができる。

【0340】

さらに、本発明によれば、D A Cの1次側容量を複数設けることにより、デジタルデータをパラレル的に高速に入力することができる。また、D A Cの2次側容量を複数設けることにより、次の信号線のためのD A変換と前の信号線に対するアナログ電位の書き込みとを平行して実行させることができる。その結果として、高速動作が可能となり、また、高精細表示装置などにおいて信号線の寄生容量が大きい場合にも、所定のアナログ電位を確実に書き込むことができる。

【0341】

さらに、本発明によれば、D A Cからのアナログ電位を信号線に書き込むための出力回路（アンプ回路）として、TFTのゲートに入力する構成を採用することにより、入力容量が小さく、TFTの特性に影響されない安定したサンプリング出力を確保することができる。

【0342】

また、本発明によれば、出力回路として、入力信号の電圧に比べて信号線の電圧が低い場合には信号線の電圧を上昇させるように制御し、入力信号の電圧に比べて信号線の電圧が高い場合には信号線の電圧を降下させるように制御することとしたので、信号線の電圧を入力信号の電圧に等しくすることができる。

【0343】

さらに、このような出力回路において、信号線の電圧の制御を行う前に、出力回路を構成する各インバータの入力端子の電圧をそれぞれのしきい値電圧に設定することにより、これらのインバータのしきい値電圧にばらつきがあっても、その影響を信号線の電圧に及ぼさないようにすることができる。

【0344】

以上詳述したように、本発明によれば、従来よりも大幅に簡略な回路構成で、異なるビット数のデジタル・データをアナログ映像信号に変換して信号線に確実に書き込むことができ、産業上のメリットは多大である。

【図面の簡単な説明】

【図1】図1は、本発明に至る過程で試作した映像信号駆動回路において用いられるデジタル・アナログ変換回路（D A C）を表す概念図である。

本発明の実施の形態にかかる映像信号駆動回路において用いられるデジタル・アナログ変換回路（D A C）を表す概念図である。

【図2】図1のD A Cの動作波形を表すタイミング・チャートである。

【図3】D A Cを搭載した液晶表示装置の要部概略構成を例示する概念図である。

【図4】図1に例示したシリアルD A Cの構成を概念的に表した構成図である。

【図5】本発明にかかる第1のシリアルD A Cの基本構成を表す概念図である。

10

20

30

40

50

【図 6】図 5 のシリアル D A C の動作を説明するタイミングチャートである。

【図 7】本発明にかかる第 2 の D A C の基本構成を表す概念図である。

【図 8】図 7 の D A C の動作を説明するタイミングチャートである。

【図 9】本発明にかかる第 2 の D A C の基本構成を表す概念図である。

【図 10】図 9 の D A C の動作を説明するタイミングチャートである。

【図 11】図 1 乃至図 9 に例示したシリアル型 D A C をさらに簡略化しつつ変型した概略回路図である。

【図 12】本発明の駆動回路に用いて好適な D A C の第 2 の変型例を表す概略回路図である。

【図 13】本発明の駆動回路に用いて好適な D A C の第 3 の変型例を表す概略回路図である。 10

【図 14】「誤差拡散」の効果を説明するための概念図である。

【図 15】本発明の 1 実施形態にかかる映像信号線駆動回路の要部を表す概略図である。

【図 16】図 15 の回路における動作波形を表すタイミングチャートである。

【図 17】本発明において用いて好適な映像信号出力回路 50B の概念構成を表す回路図である。

【図 18】出力回路 50B の動作を説明するためのタイミングチャートである。

【図 19】出力回路 50B の変型例を表す概略回路図である。

【図 20】入力比較回路 ID の入力電位 IN - と出力 n d との関係を表すグラフ図である。 20

【図 21】出力回路 50B の第 2 の変型例を表す概略回路図である。

【図 22】出力回路 50D の入力比較回路 ID の入力と出力との関係を表すグラフ図である。

【図 23】出力回路 50B の第 3 の変型例を表す概略回路図である。

【図 24】出力回路 50E ~ 50G の入力比較回路 ID の入力と出力との関係を表すグラフ図である。

【図 25】出力回路 50B の第 4 の変型例を表す概略回路図である。

【図 26】出力回路 50B の第 5 の変型例を表す概略回路図である。

【図 27】本発明において用いることができる負極性用の出力回路 50J を表す回路図である。 30

【図 28】図 27 の出力回路 50J の各部のタイミング図である。

【図 29】正極性用の出力回路 50K の詳細構成を示す回路図である。

【図 30】出力回路 50L の回路図である。

【図 31】出力回路 50L 内の各部のタイミング図である。

【図 32】図 30 に表した出力回路 50L の変型例を表す概略回路図である。

【図 33】図 1 ~ 図 14 に関する前述したシリアル型 D A C と、図 27 ~ 図 32 に関する前述した出力回路 50J ~ 50M との接続部分を表す概略回路図である。

【図 34】図 33 における各部の動作を表すタイミングチャートである。

【図 35】シリアル型 D A C と出力回路 50J ~ 50M との接続部分のもうひとつの具体例を表す概略回路図である。 40

【図 36】図 35 における各部の動作を表すタイミングチャートである。

【図 37】本発明の実施の形態にかかる多階調表示装置の回路ブロック図である。

【図 38】図 37 に表した多階調表示装置の映像信号駆動回路を表す回路ブロック図である。

【図 39】図 38 の映像信号駆動回路の動作を表すタイミングチャートである。

【図 40】ゲートアレイ GA からのデジタル映像データの出力順序を説明するための概念図である。

【図 41】本発明による映像信号線駆動回路の変型例を説明するための概念図であり、図 41 (a) は、図 38 に表した基本形に対応し、図 41 (b) は変型例に対応する。

【図 42】本発明による映像信号線駆動回路の変型例に対応する概念図である。 50

【図43】同図(a)は、倍速動作シフトレジスタのブロック構成を表し、同図(b)はその概略回路を表す。

【図44】同図(a)は、倍速動作シフトレジスタのブロック構成を表し、同図(b)はその概略回路を表す。

【図45】本発明による映像信号線駆動回路の実施例を表すブロック図である。

【図46】本実施例の表示装置の動作の具体例を表すタイミングチャートである。

【図47】シフトレジスタ21の変型例を表す概念図である。

【図48】図47に表したシフトレジスタの動作を説明するタイミングチャートである。

【図49】ガンマ補正回路を付加した液晶表示装置の駆動回路を説明するための概略図であり、同図(a)は6信号線選択構成の駆動回路に信号を供給するゲートアレイのタイミングチャート、同図(b)は6信号線選択構成の駆動回路の概念図、同図(c)は8信号線選択構成の駆動回路に信号を供給するゲートアレイのタイミングチャート、同図(d)は8信号線選択構成の駆動回路の概念図である。

10

【図50】6信号線選択構成の駆動回路のさらに詳細な具体例を表す構成図である。

【図51】「ブロック順次走査型」のサンプル・ホールド型(以下、S/H型と略す)液晶表示装置の駆動回路を表す概略図である。

【図52】図51の映像信号駆動回路VDの動作原理を説明するためのタイミングチャートである。

【図53】従来の液晶表示装置において用いられていた容量アレイ形のDACの構成を表す概念図である。

20

【符号の説明】

10、10A~10C DAC

11 スイッチ選択回路

19 バッファ・アンプ

20 画像表示部

21、31 シフトレジスタ

24、34 サンプリング・スイッチ

27 映像信号線

28 走査線

29 画素 TFT

30

32 ビデオ信号線

33 サンプリング・スイッチ制御線

50A~50M 出力回路(アンプ回路)

80 ガンマ補正回路

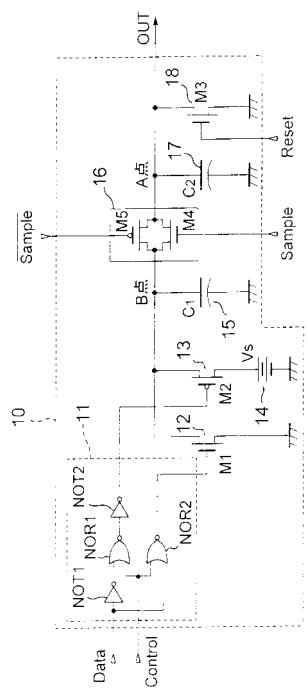
VD 映像信号駆動回路

SD 走査線駆動回路

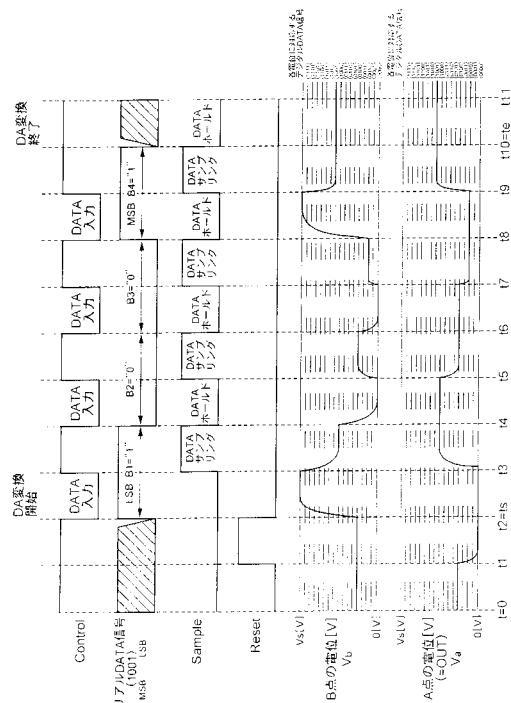
C1c 液晶容量

Cs 補助容量

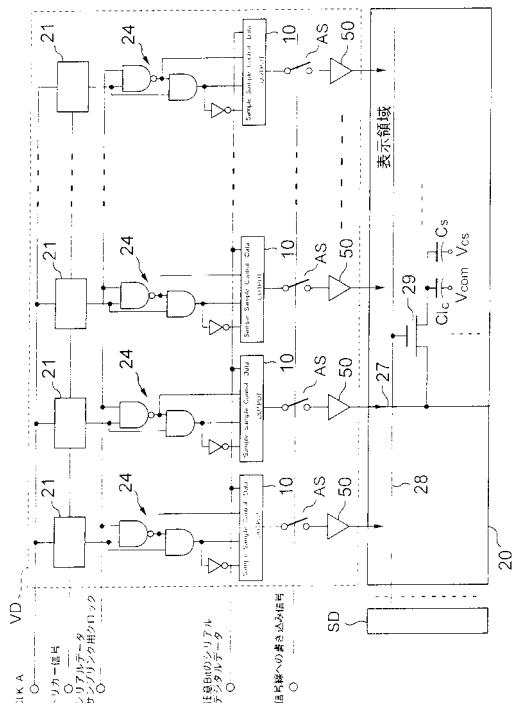
【図1】



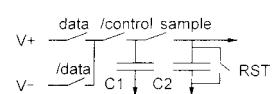
【図2】



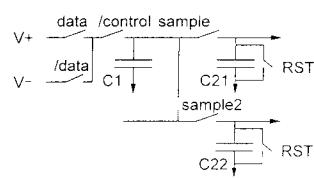
【図3】



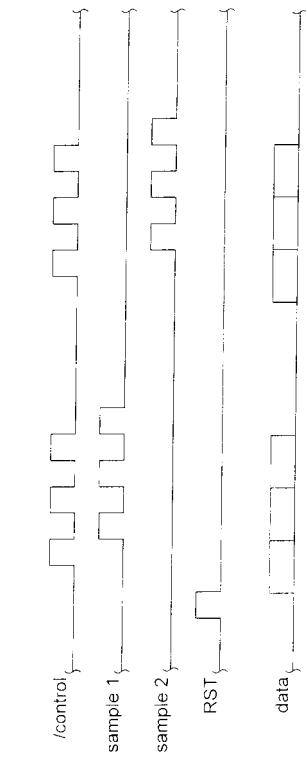
【図4】



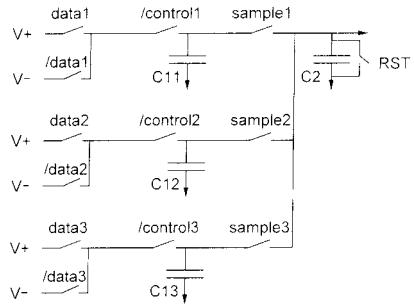
【図5】



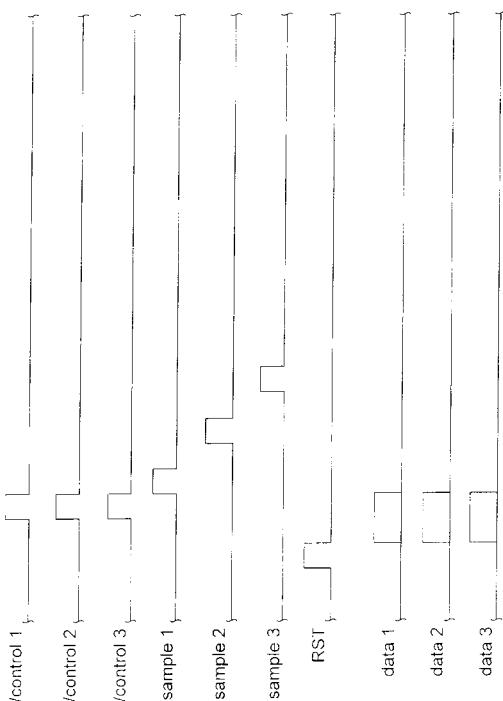
【図6】



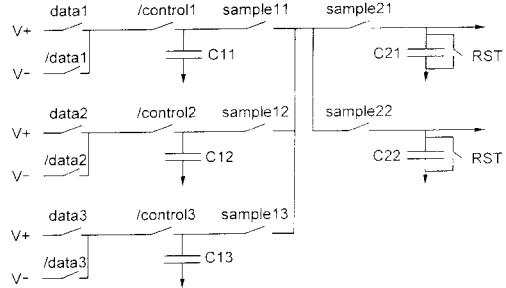
【図7】



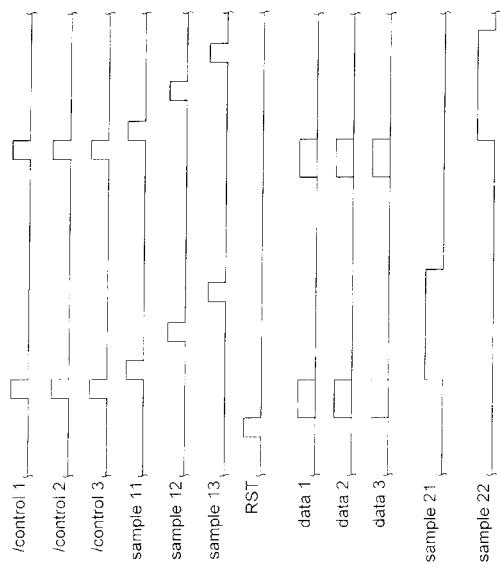
【図8】



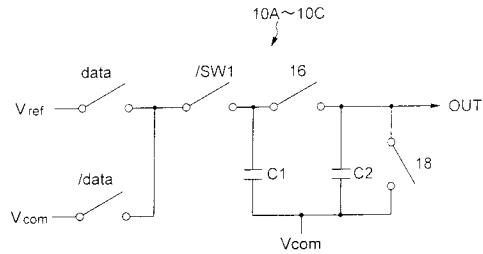
【図9】



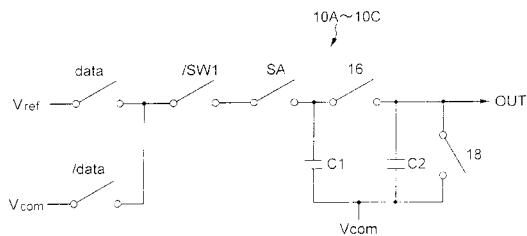
【図10】



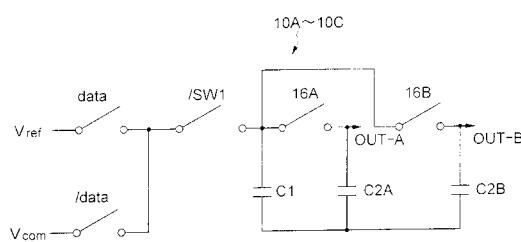
【図11】



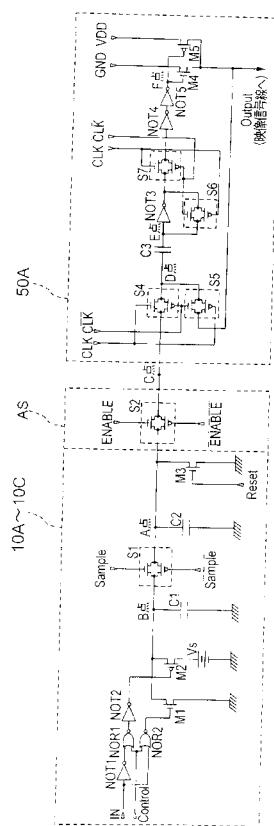
【図12】



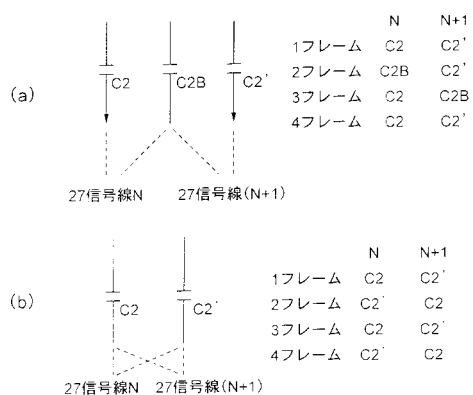
【図13】



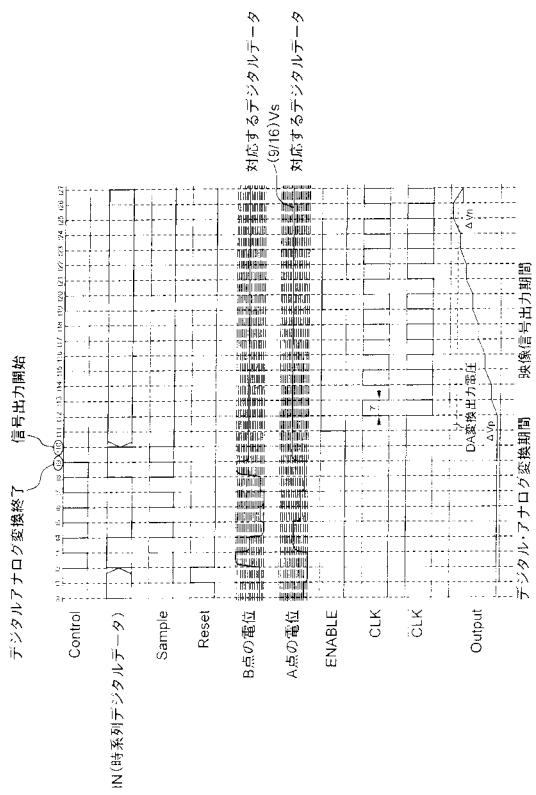
【図15】



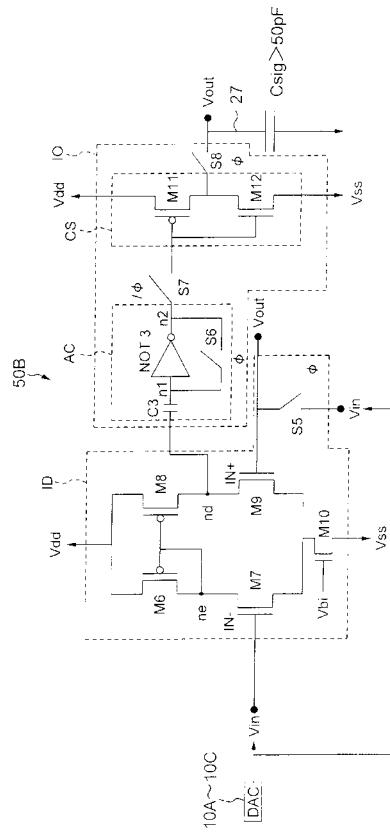
【図14】



【図 16】

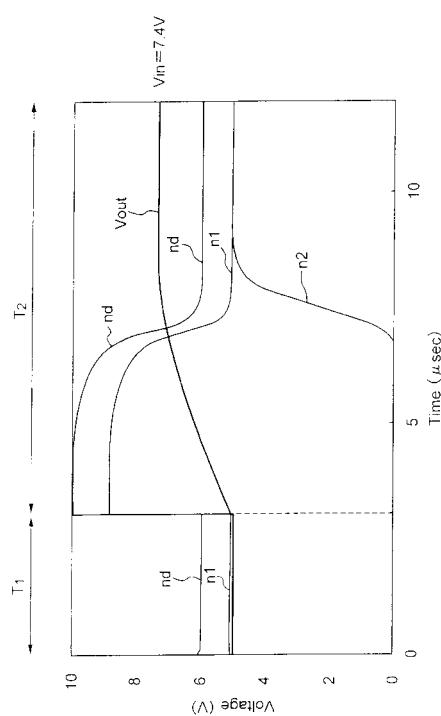


【図 17】

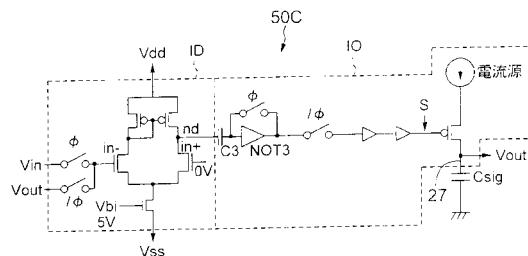


$\phi = 1: IN+ - IN-$ 時の nd を保持、 V_{in} を $n1$ に保持
 $\phi = 0: IN- = V_{in}$ とする、 $IN+ = IN- (= V_{in})$ となるまで、 C_{sig} 電位が上昇して書き込み完了

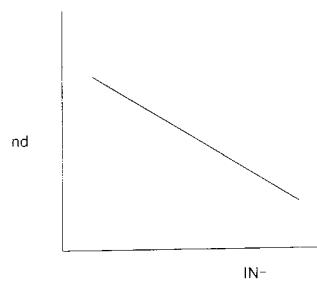
【図 18】



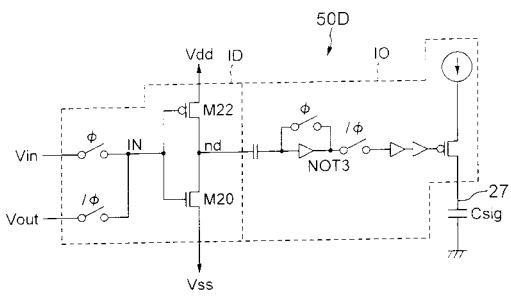
【図 19】



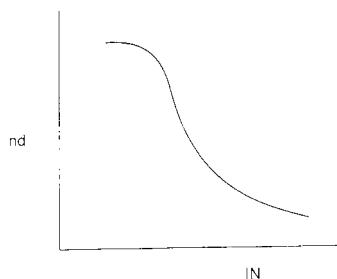
【図 20】



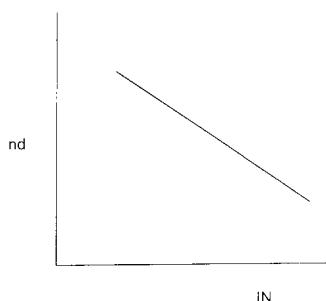
【 図 2 1 】



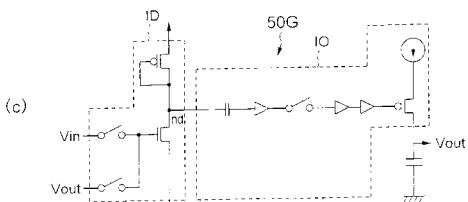
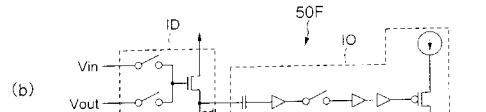
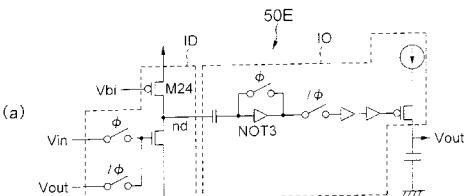
【 図 2 2 】



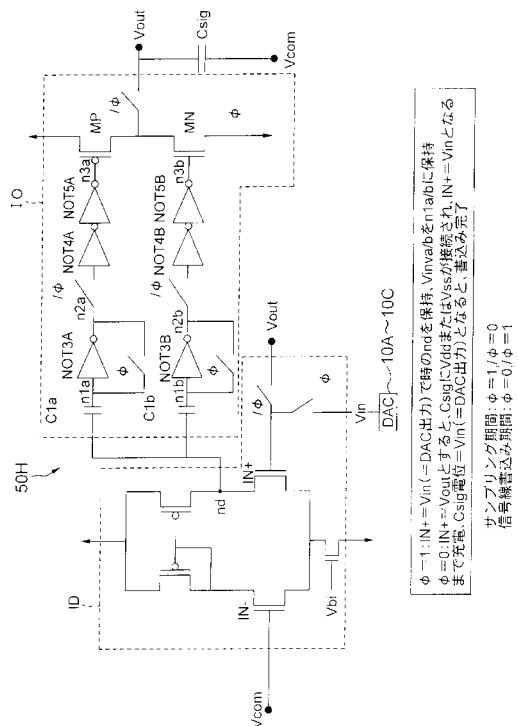
【図24】



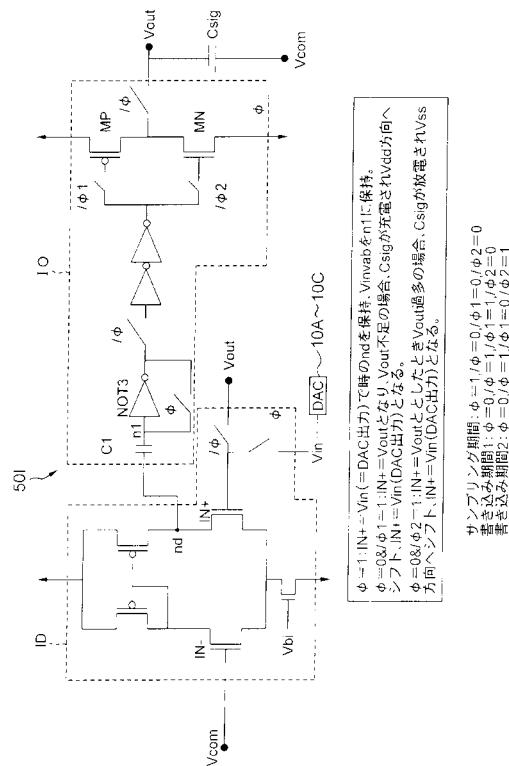
【 図 2 3 】



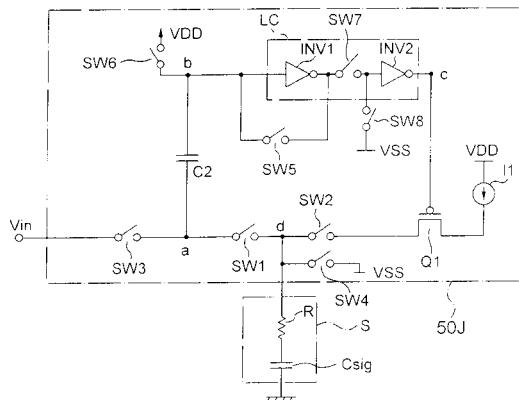
【 図 2 5 】



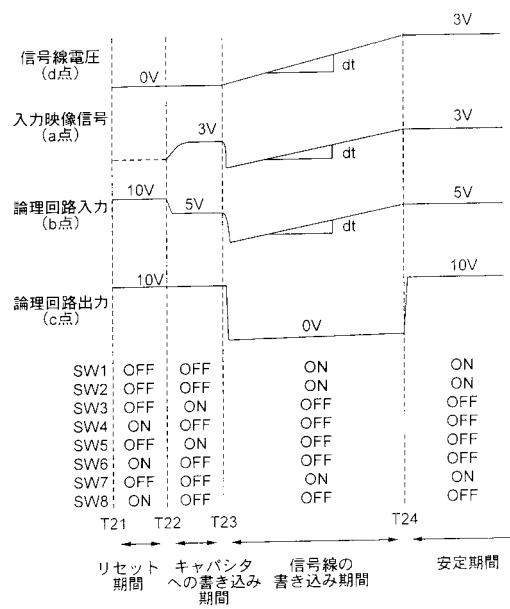
【図26】



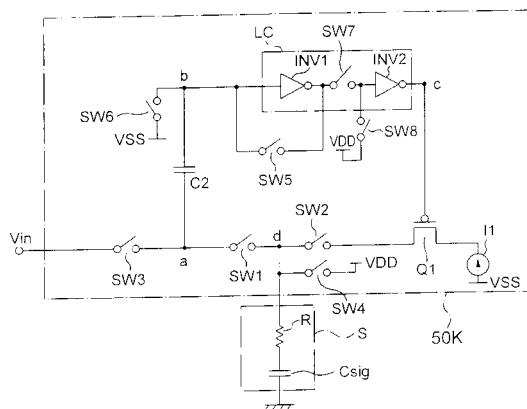
【図27】



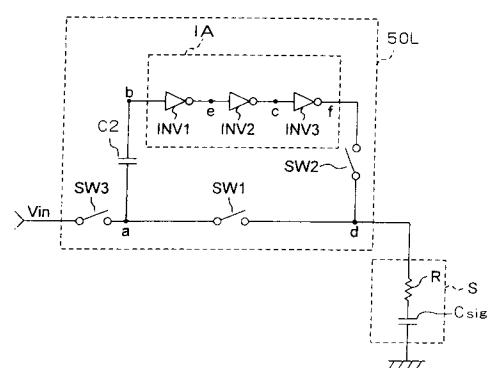
【図28】



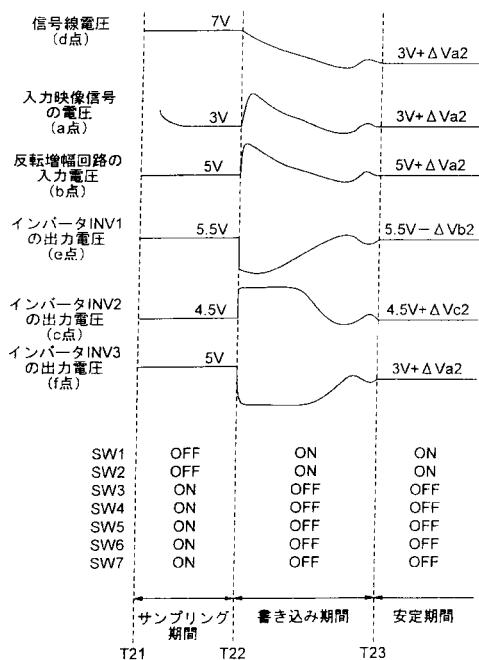
【図29】



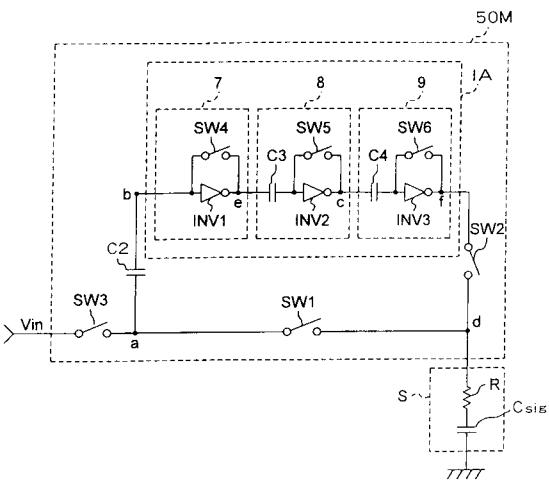
【図30】



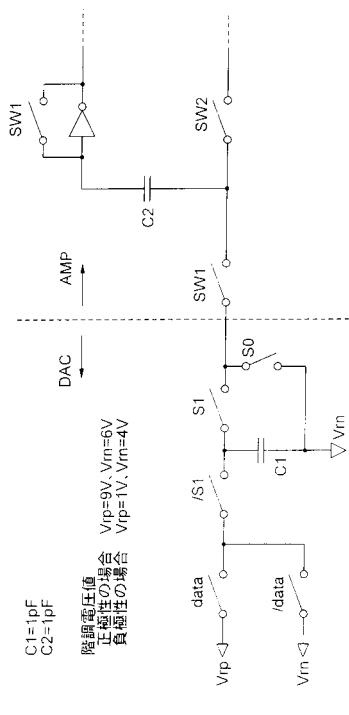
【図31】



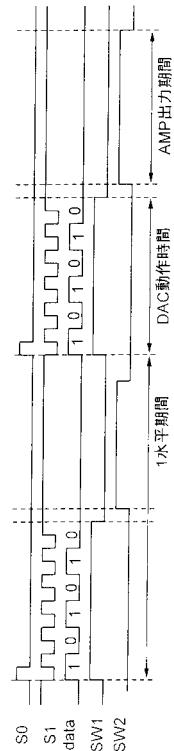
【図32】



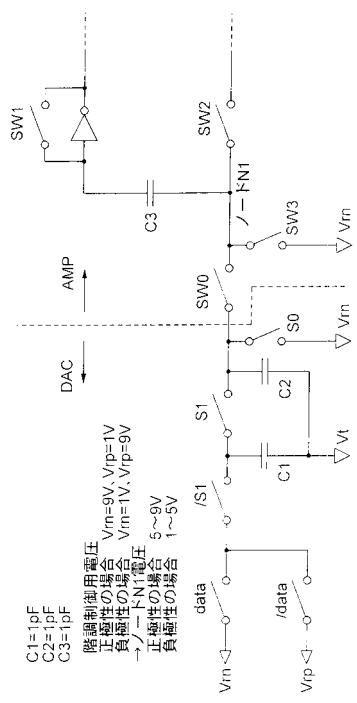
【図33】



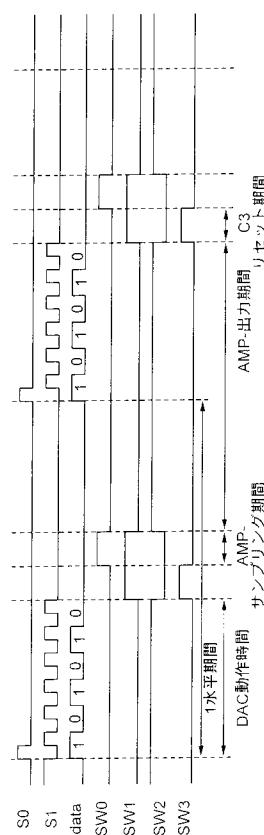
【図34】



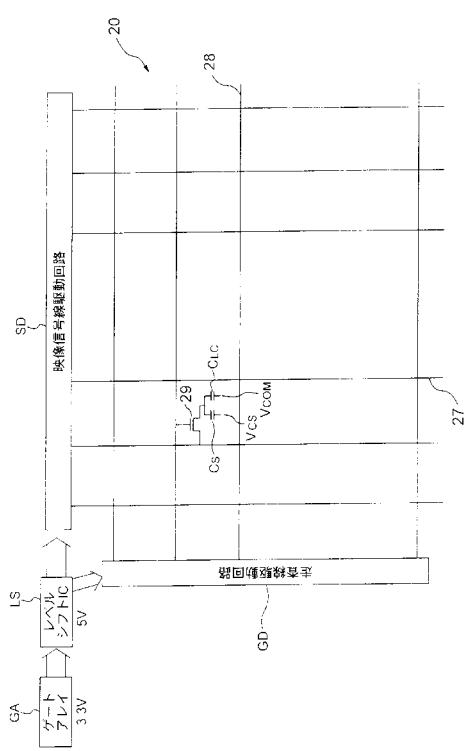
【図35】



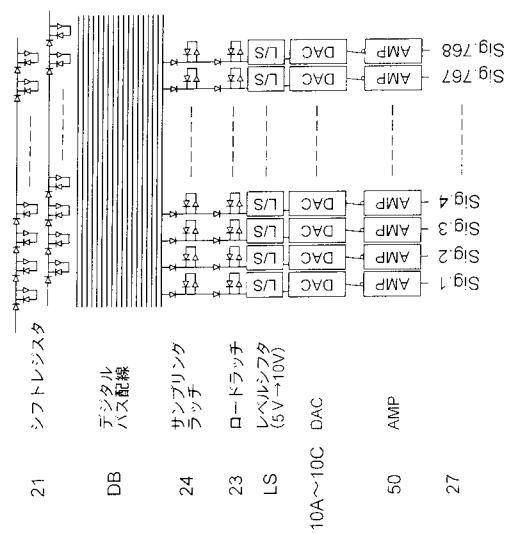
【図36】



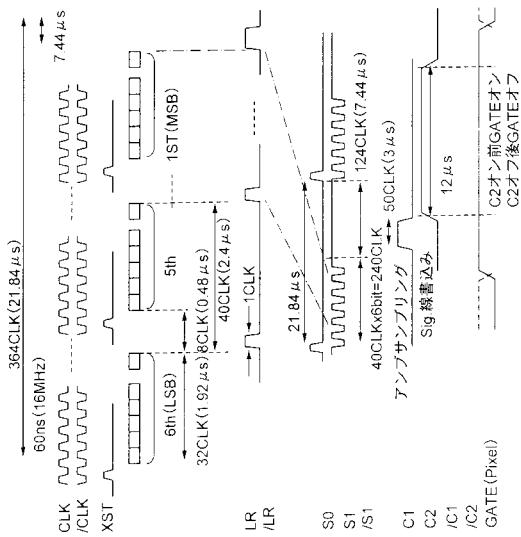
【図37】



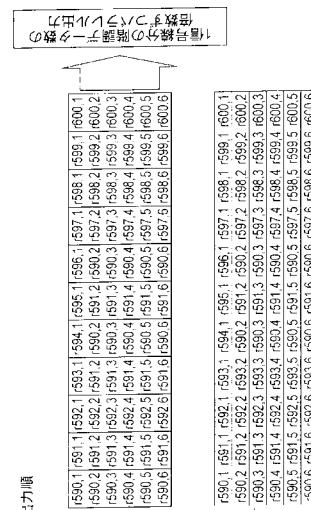
【図38】



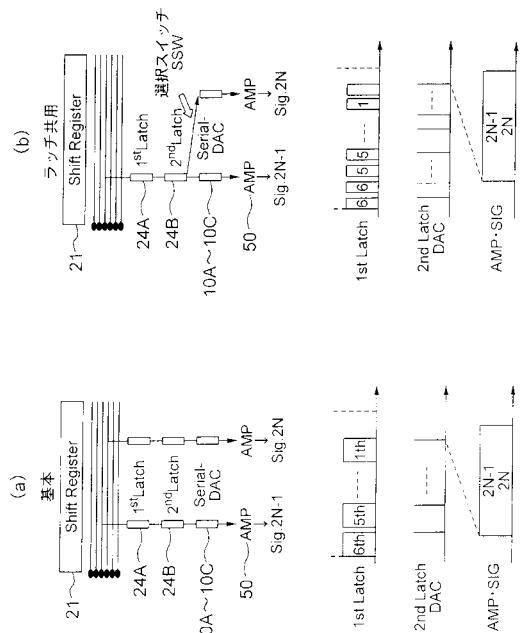
【図39】



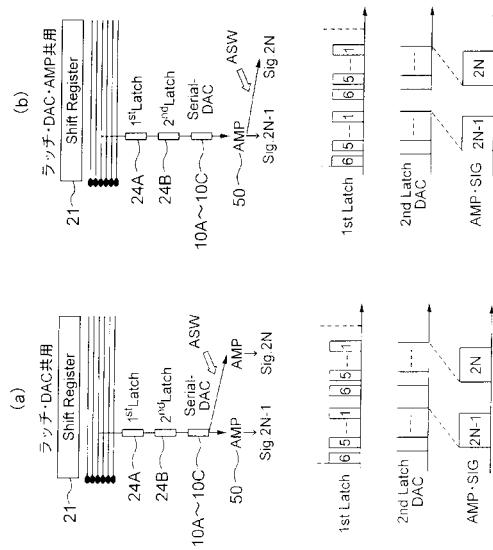
【図40】



【図41】



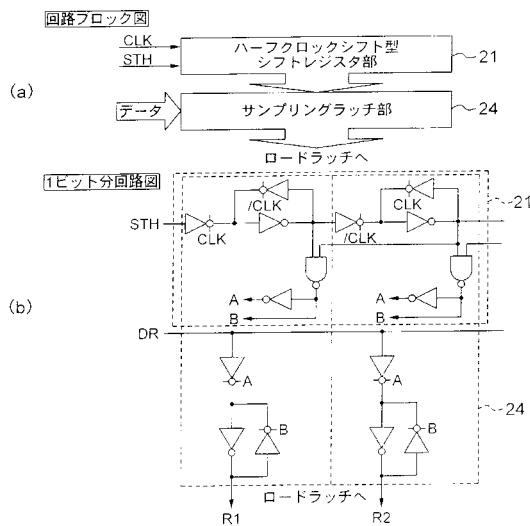
【図42】



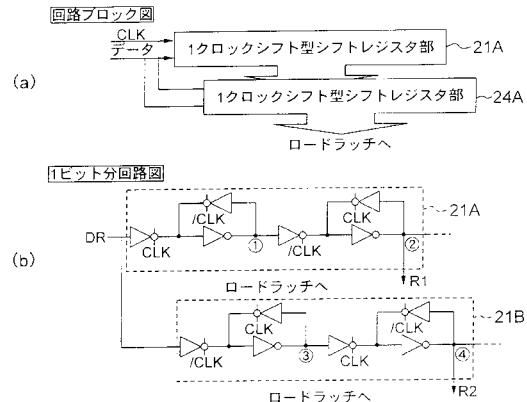
ゲートアレイからのデジタル画像データ出力値	
従来(パラレルD/A)	
MSB	[1][2][3][4][5][6][7]
(a)	[12][22][32][42][52][62][72]
	[13][23][33][43][53][63][73]
LSB	[14][24][34][44][54][64][74]
	[15][25][35][45][55][65][75]
シリアルD/A	[16][26][36][46][56][66][76]
MSB	[1][2][3][4][5][6][7]
(b)	[12][22][32][42][52][62][72]
	[13][23][33][43][53][63][73]
1st Latch	[14][24][34][44][54][64][74]
	[15][25][35][45][55][65][75]
2nd Latch	[16][26][36][46][56][66][76]

総信号数の半分ずつ
パラレル出力

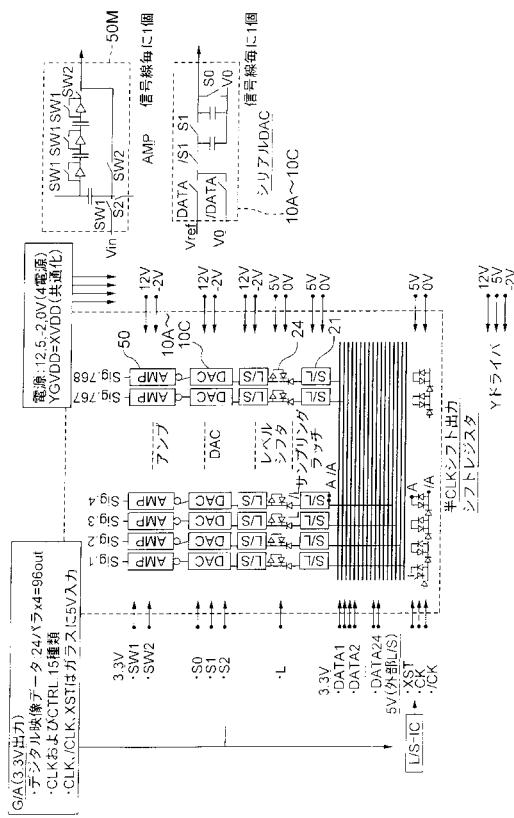
【 図 4 3 】



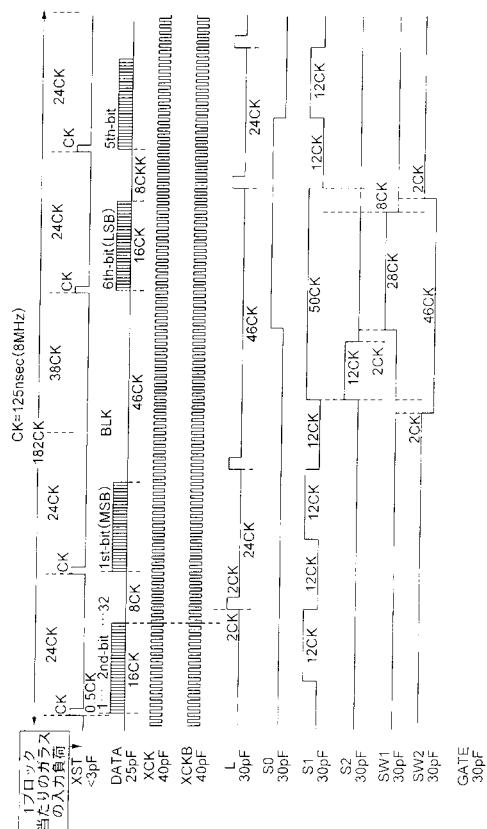
【 図 4 4 】



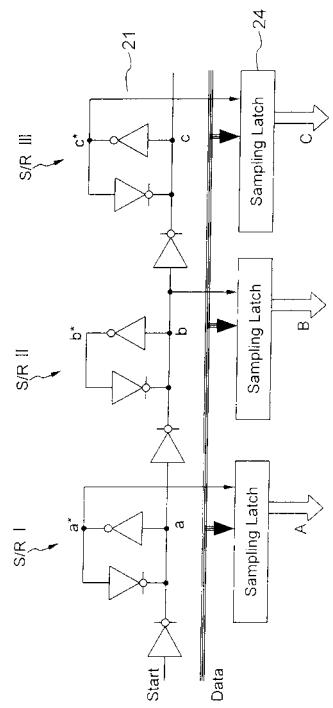
【 図 4 5 】



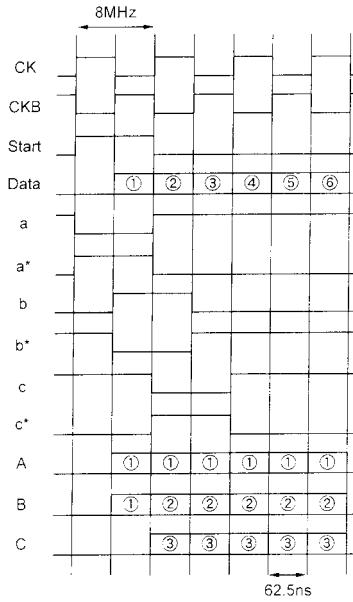
【 図 4 6 】



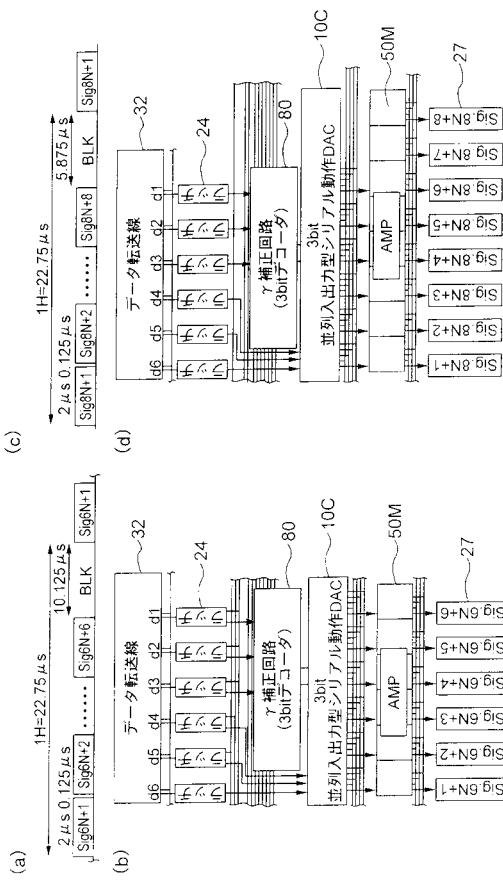
【図47】



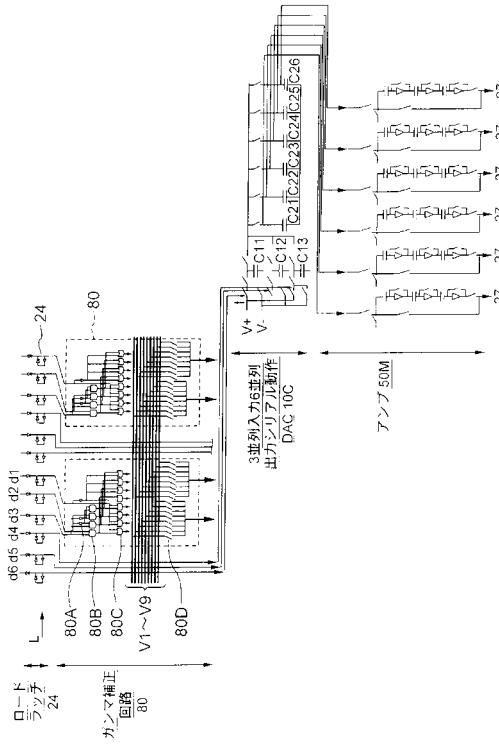
【図48】



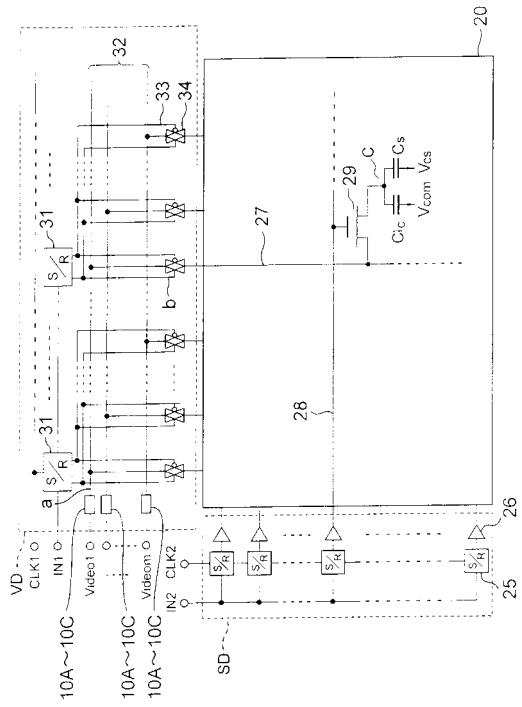
【図49】



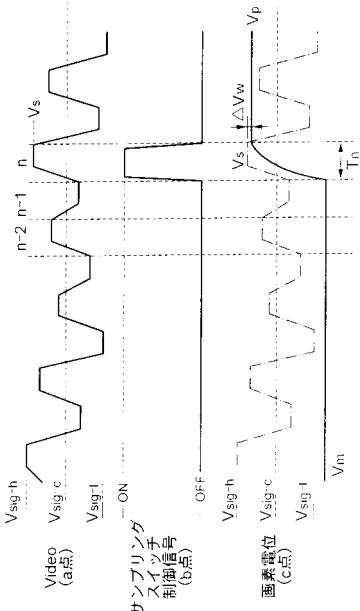
【図50】



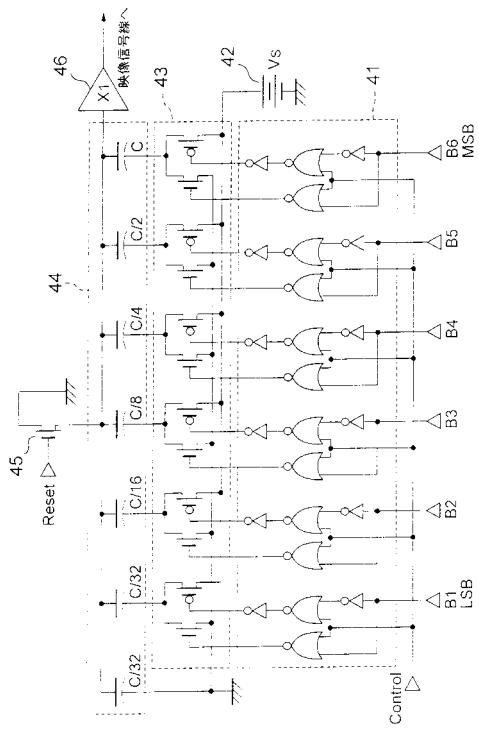
【図 5 1】



【図 5 2】



【図 5 3】



フロントページの続き

(72)発明者 中 村 阪
埼玉県深谷市幡羅町1-9-2 株式会社東芝 深谷工場内

(72)発明者 紗 部 正 男
埼玉県深谷市幡羅町1-9-2 株式会社東芝 深谷工場内

(72)発明者 林 宏 宜
埼玉県深谷市幡羅町1-9-2 株式会社東芝 深谷工場内

(72)発明者 もたい 友 信
埼玉県深谷市幡羅町1-9-2 株式会社東芝 深谷工場内

審査官 濱本 祐広

(56)参考文献 特表平05-503175(JP,A)
特開平11-296143(JP,A)
特開昭56-164626(JP,A)
特開平03-073616(JP,A)
特開平11-296147(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G09G3/00-3/38

G02F1/133

H03M1/00-1/88

专利名称(译)	显示装置的驱动电路和液晶显示装置		
公开(公告)号	JP3564347B2	公开(公告)日	2004-09-08
申请号	JP2000032318	申请日	2000-02-09
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
当前申请(专利权)人(译)	东芝公司		
[标]发明人	中村和夫 中村卓 苅部正男 林宏宜 もたい友信		
发明人	中村和夫 中村卓 苅部正男 林宏宜 ▲もたい▼友信		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G11C27/02 H03M1/66		
CPC分类号	G09G3/2011 G09G3/3611 G09G3/3688 G09G2310/027 G09G2320/0276 G09G2352/00 G11C27/024 H03M1/667		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.E G09G3/20.623.F H03M1/66.E		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NA59 2H093/NC03 2H093/NC13 2H093/NC14 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC34 2H093/NC35 2H093/ND06 2H093/ND49 2H093/NE06 2H093/NH12 2H193/ZA04 2H193/ZD23 2H193/ZD30 2H193/ZF03 5C006/AA01 5C006/AA16 5C006/AF46 5C006/AF51 5C006/AF82 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF43 5C006/BF46 5C006/FA41 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD22 5C080/EE17 5C080/EE29 5C080/FF11 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5J022/AB07 5J022/BA06 5J022/BA09 5J022/CA07 5J022/CB01 5J022/CF02 5J022/CF07 5J022/CF09 5J022/CG01		
代理人(译)	佐藤和夫 Hyugatera正彦		
优先权	1999041325 1999-02-19 JP		
其他公开文献	JP2000305535A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置的驱动电路和液晶显示装置，其能够以小的电路规模显示高质量的图像，并且可以自由地改变显示灰度。解决方案：通过在初级和次级容量之间重新分配电荷来执行数字模拟转换，并且在初级侧和次级侧中的至少一个上提供多个电容。通过提供向信号线提供高速转换和可靠的电位输出。此外，在输出电路中，也可以增加输入电容并实现不受TFT和逆变器的特性变化影响的信号电位的输出。

$$V_{out} = \sum_{i=1}^6 B_i \cdot 2^{(i-1)} \cdot V_s$$