

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-304888

(P2008-304888A)

(43) 公開日 平成20年12月18日(2008.12.18)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO9F 9/30 (2006.01)	GO9F 9/30 330Z	5C094

審査請求 未請求 請求項の数 22 O L (全 13 頁)

(21) 出願番号 特願2007-302698 (P2007-302698) (22) 出願日 平成19年11月22日 (2007.11.22) (31) 優先権主張番号 10-2007-0056883 (32) 優先日 平成19年6月11日 (2007.6.11) (33) 優先権主張国 韓国 (KR)	(71) 出願人 390019839 三星電子株式会社 SAMSUNG ELECTRONICS CO., LTD. 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 442-742 (KR) (74) 代理人 100094145 弁理士 小野 由己男 (74) 代理人 100106367 弁理士 稲積 朋子
---	--

最終頁に続く

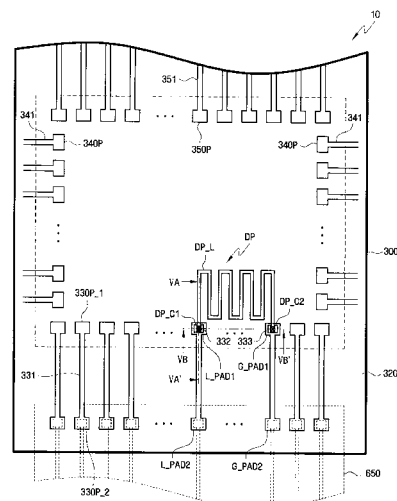
(54) 【発明の名称】 表示基板およびこれを含む液晶表示装置

(57) 【要約】 (修正有)

【課題】残像現象を改善できる表示基板およびこれを含む液晶表示装置を提供する。

【解決手段】表示基板は、基板と、基板上に形成された低電圧パッドと、基板上に形成されグラウンド電圧が印加されるグラウンドパッドと、基板上に形成され低電圧パッドとグラウンドパッドとを連結している放電パターンと、前記低電圧パッドと接続されている第1放電コンタクトと、前記グラウンドパッドと接続されている第2放電コンタクトとを連結している放電ラインと、を含む。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

基板と、
前記基板上に形成された低電圧パッドと、
前記基板上に形成され、グラウンド電圧が印加されるグラウンドパッドと、
前記基板上に形成され、前記低電圧パッドと前記グラウンドパッドとを連結している放電パターン (discharge pattern) と、
を含む表示基板。

【請求項 2】

前記放電パターンは、
前記低電圧パッドと接続されている第 1 放電コンタクト (discharge contact) と、
前記グラウンドパッドと接続されている第 2 放電コンタクトと、
前記第 1 放電コンタクトと前記第 2 放電コンタクトとを連結している放電ライン (discharge line) と、
を有する請求項 1 に記載の表示基板。

10

【請求項 3】

前記第 1 放電コンタクトは前記低電圧パッド上に形成されていて、前記第 2 放電コンタクトは前記グラウンドパッド上に形成されている、請求項 2 に記載の表示基板。

【請求項 4】

前記放電パターンは、クロム (Cr) および ITO (Indium Tin Oxide) のうち少なくとも一つを含む請求項 1 に記載の表示基板。

20

【請求項 5】

前記放電パターンは 80 ないし 120 k Ω の抵抗値を有する請求項 1 に記載の表示基板。

【請求項 6】

前記基板上に形成されている多数のゲートラインと、
前記基板上に形成されている多数のデータラインと、
前記多数のゲートラインと前記データラインとが交差する領域ごとに形成されている多数の画素電極と、
をさらに含む請求項 1 に記載の表示基板。

30

【請求項 7】

前記低電圧パッドには、負の電圧レベルを有するゲートオフ電圧が印加される請求項 1 に記載の表示基板。

【請求項 8】

表示部と非表示部とに区分され、前記表示部は、
多数のゲートラインと、多数のデータラインと、前記多数のゲートラインと前記多数のデータラインとが交差する領域ごとに形成された多数の画素とを有する液晶パネルと、
前記非表示部に形成された放電パターンと、
を有する液晶表示装置。

40

【請求項 9】

前記放電パターンは、前記多数のゲートラインに印加されるゲートオフ電圧をグラウンド電圧として放電させる請求項 8 に記載の液晶表示装置。

【請求項 10】

前記放電パターンは、ゲートオフ電圧が印加されている第 1 放電コンタクトと、グラウンド電圧が印加されている第 2 放電コンタクトと、前記第 1 放電コンタクトと前記第 2 放電コンタクトとを連結している放電ラインと、を有する請求項 9 に記載の液晶表示装置。

【請求項 11】

前記非表示部は、ゲートオフ電圧が印加される第 1 低電圧パッドと、グラウンド電圧が印加される第 1 グラウンドパッドとを有し、

50

前記第 1 低電圧パッドと前記第 1 グラウンドパッドとに接続され、前記各ゲートラインに前記ゲートオフ電圧を順次に提供し前記各データラインにデータ電圧を提供している駆動チップをさらに含む請求項 8 に記載の液晶表示装置。

【請求項 1 2】

前記放電パターンは、前記第 1 低電圧パッドと前記第 1 グラウンドパッドとを連結している請求項 1 1 に記載の液晶表示装置。

【請求項 1 3】

前記放電パターンは、前記第 1 低電圧パッド上に形成されている第 1 放電コンタクトと、前記第 1 グラウンドパッド上に形成されている前記第 2 放電コンタクトと、前記第 1 放電コンタクトと前記第 2 放電コンタクトとを連結している放電ラインとを有する請求項 1 2 に記載の液晶表示装置。

10

【請求項 1 4】

前記非表示部は、前記第 1 低電圧パッドと連結されている第 2 低電圧パッドと、前記第 1 グラウンドパッドと連結されている第 2 グラウンドパッドとをさらに有し、

前記第 2 低電圧パッドと前記第 2 グラウンドパッドとに接続され、前記ゲートオフ電圧と前記グラウンド電圧とを提供している回路基板をさらに含む請求項 1 1 に記載の液晶表示装置。

【請求項 1 5】

前記放電パターンは、前記第 2 低電圧パッドと前記第 2 グラウンドパッドとを連結している請求項 1 4 に記載の液晶表示装置。

20

【請求項 1 6】

前記放電パターンは、前記第 2 低電圧パッド上に形成されている第 1 放電コンタクトと、前記第 2 グラウンドパッド上に形成されている前記第 2 放電コンタクトと、前記第 1 放電コンタクトと前記第 2 放電コンタクトとを連結している放電ラインと、を有する請求項 1 5 に記載の液晶表示装置。

【請求項 1 7】

前記放電パターンは、クロム(Cr)およびITO(Indium Tin Oxide)のうち少なくとも一つを含む請求項 8 に記載の液晶表示装置。

【請求項 1 8】

前記放電パターンは 80 ないし 120 k Ω の抵抗値を有する請求項 8 に記載の液晶表示装置。

30

【請求項 1 9】

表示部と非表示部に区分されている液晶パネルであって、前記表示部は、多数のゲートラインと、多数のデータラインと、前記多数のゲートラインと前記多数のデータラインとが交差する領域ごとに形成された多数の画素と、を有し、前記非表示部は、低電圧パッドと、グラウンド電圧が印加されるグラウンドパッドと、前記低電圧パッドと前記グラウンドパッドを連結する放電抵抗と、を有する液晶パネルと、

前記低電圧パッドと前記グラウンドパッドとに接続され、前記各ゲートラインに前記ゲートオフ電圧を順次に提供し前記各データラインにデータ電圧を提供している駆動チップと、

40

を含む液晶表示装置。

【請求項 2 0】

前記低電圧パッドには負の電圧レベルを有するゲートオフ電圧が印加されている請求項 1 9 に記載の液晶表示装置。

【請求項 2 1】

前記放電抵抗はクロム(Cr)およびITO(Indium Tin Oxide)のうち少なくとも一つを含む請求項 1 9 に記載の液晶表示装置。

【請求項 2 2】

前記放電パターンは 80 ないし 120 k Ω の抵抗値を有する請求項 1 9 に記載の液晶表示装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は残像現象を改善できる表示基板およびこれを含む液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、多数のゲートラインと多数のデータラインとが具備される液晶パネルと、多数のゲートラインにゲートオン/オフ電圧を順次に提供し、多数のデータラインにデータ電圧を提供する駆動チップとを含む。液晶パネルは、ゲートオン/オフ電圧によってオン/オフされるスイッチング素子と、データ電圧が充電される画素電極とを含む。

10

一般的に1フレームの間に各ゲートラインにはゲートオン電圧が一度印加され、それ以外はゲートオフ電圧が印加される。ゲートオフ電圧によって、スイッチング素子はターンオフされ、画素電極に充電されたデータ電圧が1フレームの間維持される。

【0003】

このように液晶表示装置に供給される電源電圧を遮断する時、ゲートオフ電圧を素早くグラウンド電圧に放電できなければ、大部分のスイッチング素子がターンオフ状態を維持するようになる。したがって画素電極に充電されていたデータ電圧を放電することができない。したがって電源を遮断した後も残像現象が発生する。

【特許文献1】日本特開2006-189714号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする技術的課題は、残像現象を改善できる表示基板を提供することである。

本発明が解決しようとする他の技術的課題は、残像現象を改善できる液晶表示装置を提供することである。

本発明の技術的課題は以上で言及した技術的課題に制限されず、言及されていないまた他の技術的課題は次の記載から当業者に明確に理解できるであろう。

【課題を解決するための手段】

【0005】

30

前記技術的課題を達成するために、本発明1は、下記の構成要件を含む表示基板を提供する。

- ・基板と、
- ・前記基板上に形成された低電圧パッドと、
- ・前記基板上に形成され、グラウンド電圧が印加されるグラウンドパッドと、
- ・前記基板上に形成され、前記低電圧パッドと前記グラウンドパッドとを連結している放電パターン(dischARGE pattern)。

【0006】

発明2は、前記発明1において、前記放電パターンは、前記低電圧パッドと接続されている第1放電コンタクト(dischARGE contact)と、前記グラウンドパッドと接続されている第2放電コンタクトと、前記第1放電コンタクトと前記第2放電コンタクトとを連結している放電ラインと、

40

を有する表示装置を提供する。

【0007】

発明3は、発明2において、前記第1放電コンタクトは前記低電圧パッド上に形成されていて、前記第2放電コンタクトは前記グラウンドパッド上に形成されている表示基板を提供する。

発明4は、発明1において、前記放電パターンは、クロム(Cr)およびITO(Indium Tin Oxide)のうち少なくとも一つを含む表示基板を提供する。

【0008】

50

発明 5 は、発明 1 において、前記放電パターンは、80 ないし 120 k Ω の抵抗値を有する表示基板を提供する。

発明 6 は、発明 1 において、前記基板上に形成されている多数のゲートラインと、前記基板上に形成されている多数のデータラインと、前記多数のゲートラインと前記データラインとが交差する領域ごとに形成されている多数の画素電極と、をさらに含む表示基板を提供する。

【0009】

発明 7 は、発明 1 において、前記低電圧パッドには、負の電圧レベルを有するゲートオフ電圧が印加される表示基板を提供する。

発明 8 は、表示部と非表示部とに区分され、前記表示部は、
・多数のゲートラインと、多数のデータラインと、前記多数のゲートラインと前記多数のデータラインとが交差する領域ごとに形成された多数の画素とを有する液晶パネルと、
・前記非表示部に形成された放電パターンと、
を有する液晶表示装置を提供する。

【0010】

発明 9 は、発明 8 において、前記放電パターンは、前記多数のゲートラインに印加されるゲートオフ電圧をグラウンド電圧として放電させる液晶表示装置を提供する。

発明 10 は、発明 9 において、前記放電パターンは、ゲートオフ電圧が印加されている第 1 放電コンタクトと、グラウンド電圧が印加されている第 2 放電コンタクトと、前記第 1 放電コンタクトと前記第 2 放電コンタクトとを連結している放電ラインと、を有する液晶表示装置を提供する。

【0011】

発明 11 は、発明 8 において、前記非表示部は、ゲートオフ電圧が印加される第 1 低電圧パッドと、グラウンド電圧が印加される第 1 グラウンドパッドとを有し、

前記第 1 低電圧パッドと前記第 1 グラウンドパッドとに接続され、前記各ゲートラインに前記ゲートオフ電圧を順次に提供し前記各データラインにデータ電圧を提供している駆動チップをさらに含む液晶表示装置を提供する。

【0012】

発明 12 は、発明 11 において、前記放電パターンは、前記第 1 低電圧パッドと前記第 1 グラウンドパッドとを連結している液晶表示装置を提供する。

発明 13 は、発明 12 において、前記放電パターンは、前記第 1 低電圧パッド上に形成されている第 1 放電コンタクトと、前記第 1 グラウンドパッド上に形成されている前記第 2 放電コンタクトと、前記第 1 放電コンタクトと前記第 2 放電コンタクトとを連結している放電ラインとを有する液晶表示装置を提供する。

【0013】

発明 14 は、発明 11 において、前記非表示部は、前記第 1 低電圧パッドと連結されている第 2 低電圧パッドと、前記第 1 グラウンドパッドと連結されている第 2 グラウンドパッドとをさらに有し、前記第 2 低電圧パッドと前記第 2 グラウンドパッドとに接続され、前記ゲートオフ電圧と前記グラウンド電圧とを提供している回路基板をさらに含む液晶表示装置を提供する。

【0014】

発明 15 は、発明 14 において、前記放電パターンは、前記第 2 低電圧パッドと前記第 2 グラウンドパッドとを連結している液晶表示装置を提供する。

発明 16 は、発明 15 において、前記放電パターンは、前記第 2 低電圧パッド上に形成されている第 1 放電コンタクトと、前記第 2 グラウンドパッド上に形成されている前記第 2 放電コンタクトと、前記第 1 放電コンタクトと前記第 2 放電コンタクトとを連結している放電ラインと、を有する液晶表示装置を提供する。

【0015】

発明 17 は、発明 8 において、前記放電パターンは、クロム(Cr)およびITO(Indium Tin Oxide)のうち少なくとも一つを含む液晶表示装置を提供する。

10

20

30

40

50

発明 18 は、発明 8 において、前記放電パターンは 80 ないし 120 k Ω の抵抗値を有する液晶表示装置を提供する。

発明 19 は、以下の構成要件を含む液晶表示装置を提供する。

- ・表示部と非表示部に区分されている液晶パネルであって、前記表示部は、多数のゲートラインと、多数のデータラインと、前記多数のゲートラインと前記多数のデータラインとが交差する領域ごとに形成された多数の画素と、を有し、前記非表示部は、低電圧パッドと、グラウンド電圧が印加されるグラウンドパッドと、前記低電圧パッドと前記グラウンドパッドを連結する放電抵抗と、を有する液晶パネルと、
- ・前記低電圧パッドと前記グラウンドパッドとに接続され、前記各ゲートラインに前記ゲートオフ電圧を順次に提供し前記各データラインにデータ電圧を提供している駆動チップ

10

【0016】

発明 20 は、発明 19 において、前記低電圧パッドには負の電圧レベルを有するゲートオフ電圧が印加されている液晶表示装置を提供する。

発明 21 は、発明 19 において、前記放電抵抗はクロム(Cr)およびITO(Indium Tin Oxide)のうち少なくとも一つを含む液晶表示装置を提供する。

発明 22 は、発明 19 において、前記放電パターンは 80 ないし 120 k Ω の抵抗値を有する液晶表示装置を提供する。

【0017】

その他実施形態の具体的な事項は詳細な説明および図に含まれている。

20

【発明の効果】

【0018】

前述したような本発明の実施形態による表示基板およびこれを含む液晶表示装置によれば、電源電圧遮断後の残像現象を改善することができる。

【発明を実施するための最良の形態】

【0019】

本発明の利点および特徴、そしてそれらを達成する方法は、添付される図と共に詳細に後述されている実施形態を参照すれば明確になるであろう。しかし本発明は以下で開示される実施形態に限定されるものではなく、互いに異なる多様な形態で具現され得るものであり、単に本実施形態は本発明の開示を完全にし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らせるために提供されているもので、本発明は請求項の範囲によってのみ定義される。

30

【0020】

したがって、いくつかの実施形態において、よく知られた工程段階、よく知られた素子構造およびよく知られた技術は、本発明が曖昧に解釈されることを避けるために具体的に説明されない。明細書全体にわたって、同一参照符号は同一構成要素を指し示す。

素子(elements)または層が異なる素子または層「上(on)」、「接続された(connected to)」または「カップリングされた(coupled to)」と指称されるものは、他の素子の真上に、他の素子と直接連結またはカップリングされた場合または中間に他の層または他の素子を介在した場合をすべて含む。一方、素子が「直接上(directly on)」、「直接接続された(directly connected to)」または「直接カップリングされた(directly coupled to)」と記載されるものは中間に他の素子または層を介在しないことを表す。明細書全体にかけて、同一参照符号は同一構成要素を指し示す。「および/または」と言及されたアイテムの各々および一つ以上のすべての組合を含む。

40

【0021】

たとえ第 1、第 2 等が多様な素子、構成要素、領域、配線、層および/またはセクションを叙述するために使用されても、これら素子、構成要素、領域、配線、層および/またはセクションはこれら用語によって制限されないことはもちろんである。これら用語は単に一つの素子、構成要素、領域、配線、層またはセクションを他の素子、構成要素、領域、配線、層またはセクションと区別するために使用するものである。したがって、以下で

50

言及される第 1 素子、第 1 構成要素、第 1 領域、第 1 配線、第 1 階または第 1 セクションは、本発明の技術的思想内で第 2 素子、第 2 構成要素、第 2 領域、第 2 配線、第 2 階または第 2 セクションであり得ることはもちろんである。

【0022】

空間的に相対的な用語の「下(below)」、「下(beneath)」、「下部(lower)」、「上(above)」、「上部(upper)」等は図面に図示されているように一つの素子または構成要素と異なる素子または構成要素との相関関係を容易に記述するために使用され得る。空間的に相対的な用語は、図面に図示されている方向に加えて、使用時または動作時、素子の互いに異なる方向を含む用語として理解しなければならない。例えば、図面に図示されている素子をひっくり返した場合、他の素子の「下(below)」または「下(beneath)」と記述された素子は他の素子の「上(above)」に置かれられ得る。したがって、例示的な用語である「下」という下と上の方向をすべて含み得る。素子は他の方向にも配向され、これに伴い空間的に相対的な用語は配向によって解釈され得る。

10

【0023】

本明細書で使用される用語は実施形態を説明するためであり、本発明を制限しようとするものではない。本明細書で、単数型は文言で特別に言及しない限り複数型も含む。明細書で使用される「含む(comprises)」および/または「含む(comprising)」は言及された構成要素、段階、動作および/または素子は一つ以上の他の構成要素、段階、動作および/または素子の存在または追加を排除しない。

【0024】

20

他の定義がなければ、本明細書で使用されるすべての用語(技術および科学的用語を含む)は、本発明が属する技術分野で通常の知識を有する者に共通に理解され得る意味として使用されるものである。また一般的に使用される事前に定義されている用語は、明白に特別に定義されていない限り、理想的にまたは過度に解釈されない。

本明細書で記述する実施形態は、本発明の理想的な概略図である断面図を参考にして説明されるだろう。したがって、製造技術および/または許容誤差などによって、例示図の形態が変形され得る。したがって、本発明の実施形態は図示された特定形態に制限されるものではなく、製造工程によって生成される形態の変化も含むものである。例えば、直角として図示されたエッチング領域はラウンドであり、所定曲率を有する形態であり得る。したがって、図面で例示された領域は概略的な属性を有し、図面で例示された領域の形は素子の領域の特定形態を例示するためのものであり、発明の範疇を制限するためのものではない。

30

【0025】

図 1 ないし図 5 b を参照し、本発明の一実施形態による表示基板およびこれを含む液晶表示装置を説明する。図 1 は、本発明の一実施形態による表示基板およびこれを含む液晶表示装置の概略図である。図 2 は、本発明の一実施形態による液晶表示装置のブロック図である。図 3 は、図 2 の一画素の等価回路図である。図 4 は、図 1 の A 領域を拡大した平面図である。図 5 A は、図 4 の V A - V A ' 線に沿って切断した断面図である。図 5 B は、図 4 の V B - V B ' 線に沿って切断した断面図である。

【0026】

40

本発明の一実施形態による液晶表示装置 10 は、液晶パネル 300 と、液晶パネル 300 に実装された駆動チップ 700 と、液晶パネル 300 と連結されたフレキシブル回路基板(flexible printed circuit film) 650 とを含む。

液晶パネル 300 は、表示部 310 と非表示部 320 とに区分される。表示部 310 には、図 2 に図示されたように多数のゲートライン(G1-Gn)と多数のデータライン(D1-Dm)と、これらが交差する領域ごとに形成された多数の画素(PX)とを含む。非表示部 320 には、駆動チップ 700 が実装される。非表示部 320 は、フレキシブル回路基板 650 と連結される。駆動チップ 700 は、信号ライン(SL1)を通じてゲートライン(G1-Gn)にゲートオン電圧(Von)およびゲートオフ電圧(Voff)を提供し、データライン(D1-Dm)にデータ電圧を提供する。このような駆動チップ 700 は、フレキシブル回路基板 650 に信号ライン

50

(SL2)を通じて接続されている。

【 0 0 2 7 】

まず表示部 3 1 0 について、図 2 および図 3 を参照してさらに具体的に説明する。表示部 3 1 0 は、図 3 に図示されたように互いに向かい合う第 1 表示基板 1 0 0、第 2 表示基板 2 0 0 および二つの間に封入されている液晶 1 5 0 を含む。表示部 3 1 0 は、等価回路でみると、多数のゲートライン(G1-Gn)およびデータライン(D1-Dm)と連結されており、行列の形態で配列された多数の画素(PX)を含む。ゲートライン(G1-Gn)は、おおむね行方向に延長され互いがほとんど平行に形成されている。データライン(D1-Dm)は、おおむね列方向に延長され互いがほとんど平行に形成されている。

【 0 0 2 8 】

10

例えば i 番目(i=1、2、...、n)ゲートライン(Gi)と j 番目(j=1、2、...、m)データライン(Dj)に連結された画素(PX)は、信号ライン(Gi、Dj)に連結されたスイッチング素子(Q)とこれに連結された液晶キャパシタ(liquid crystal capacitor) (Clc)および維持キャパシタ(storage capacitor) (Cst)を含む。液晶キャパシタ(Clc)は、第 1 表示基板 1 0 0 上に形成された画素電極(PE)と、これと対向するように第 2 表示基板 2 0 0 に形成された共通電極(CE)と、その間に介在された液晶とを含み、第 2 表示基板 2 0 0 の一部領域に色フィルタ(CF)が形成され得る。維持キャパシタ(Cst)は必要により省略され得る。

【 0 0 2 9 】

非表示部 3 2 0 は、第 1 表示基板 1 0 0 が第 2 表示基板 2 0 0 よりさらに広く形成され具現され得る。このような非表示部 3 2 0 には駆動チップ 7 0 0 が実装され、放電パターン(d i s c h a r g e p a t t e r n) (DP)が形成される。

20

駆動チップ 7 0 0 は、機能的にゲート駆動部 4 0 0、データ駆動部 5 0 0 および信号提供部 6 0 0 に区分することができる。すなわち、図 2 に図示されたゲート駆動部 4 0 0、データ駆動部 5 0 0 および信号提供部 6 0 0 は、駆動チップ 7 0 0 内に実装され得る。

【 0 0 3 0 】

ゲート駆動部 4 0 0 は、信号制御部 6 0 0 からのゲート制御信号(CONT1)によってゲートオフおよびオン電圧(Voff、Von)を各ゲートライン(G1-Gn)に順次に印加する。ここでゲート制御信号(CONT1)は、ゲート駆動部 4 0 0 の動作を制御するための信号であって、ゲート駆動部 4 0 0 の動作を開始する垂直開始信号、ゲートオン電圧(Von)の出力時期を決定するゲートクロック信号およびゲートオン電圧(Von)のパルス幅を決定する出力イネイブル信号などを含み得る。ここで負の電圧レベルを有するゲートオフ電圧(Voff)は、非表示部 3 2 0 に形成された第 1 低電圧パッド(L_PAD1)を通じてゲート駆動部 4 0 0 に提供され、ゲートオン電圧(Von)は非表示部 3 2 0 に形成された高電圧パッド(H_PAD1)を通じてゲート駆動部 4 0 0 に提供され得る。

30

【 0 0 3 1 】

データ駆動部 5 0 0 は、表示部 3 1 0 のデータライン(D1-Dm)に連結され、データ制御信号(CONT2)の提供を受け、映像信号に該当する階調電圧を選択し、選択された階調電圧をデータ電圧としてデータラインに印加する。ここでデータ制御信号(CONT2)はデータ駆動部 5 0 0 の動作を制御する信号であって、データ駆動部 5 0 0 の動作を開始する水平開示信号、データ電圧の出力を指示する出力指示信号等を含み得る。

40

【 0 0 3 2 】

信号制御部 6 0 0 は、フレキシブル回路基板 6 5 0 から入力映像信号(R、G、B)およびこれの表示を制御する入力制御信号を受信する。入力制御信号の例としては、垂直動機信号(Vsync)、水平動機信号(Hsync)、メインクロック(MCLK)、データイネイブル信号(DE)等がある。

信号制御部 6 0 0 は、入力映像信号(R、G、B)と入力制御信号に基づいてゲート制御信号(CONT1)とデータ制御信号(CONT2)を生成し、ゲート制御信号(CONT1)をゲート駆動部 4 0 0 に、データ制御信号(CONT2)と映像信号(DAT)をデータ駆動部 5 0 0 に送る。

【 0 0 3 3 】

一方、フレキシブル回路基板 6 5 0 は、入力部 6 6 0 から入力された多数の信号を信号

50

ライン(SL2)を通じて駆動チップ700に提供する。例えば、映像信号、ゲートオン電圧(Von)およびゲートオフ電圧(Voff)を提供することができる。このようなフレキシブル回路基板650は、異方性導電フィルム(anisotropic conductive film)を介して液晶パネル300の非表示部320に付着され得る。

【0034】

また、非表示部320には、ゲートオフ電圧(Voff)が印加される第1低電圧パッド(L_PAD1)と、ゲートオン電圧(Von)が印加される高電圧パッド(H_PAD1)、グラウンド電圧が印加されるグラウンドパッド(G_PAD)および第1低電圧パッド(L_PAD1)とグラウンドパッド(G_PAD)とを連結する放電パターン(DP)が形成されている。放電パターン(DP)は、等価回路でみると、第1低電圧パッド(L_PAD1)とグラウンドパッド(G_PAD)との間に連結された抵抗であって、液晶表示装置10の電源電圧遮断時にゲートオフ電圧(Voff)をグラウンド電圧として放電させる。このような放電パターン(DP)は80kΩないし120kΩの抵抗値を有し得る。ただしこれに限定されるものではない。

10

【0035】

図4を参照して、非表示部320に形成された多数のパッドと放電パターン(DP)をさらに具体的に説明する。

図4を参照すると、まず液晶パネル300の非表示部320において点線で図示された領域は駆動チップ700が装着される部分を表す。駆動チップ700は、多数の第1入力パッド(330P_1)と、ゲートオン/オフ電圧を出力する多数のゲート出力パッド(340P)と、データ電圧を出力する多数のデータ出力パッド(350P)とに接続される。

20

【0036】

また、非表示部320には、フレキシブル回路基板650と接続される多数の第2入力パッド(330P_2)と、第1入力パッド(330P_1)と第2入力パッド(330P_2)を連結する入力ライン(331と)がさらに形成されている。ゲート出力パッド(340P)は、信号ライン341を通じて各ゲートライン(G1-Gn)と連結されており、多数のデータ出力パッド(350P)は信号ライン(351)を通じて各データライン(D1-Dm)と接続されている。

【0037】

すなわち、駆動チップ700は、第1入力パッド(330P1)と第2入力パッド(330P2)を通して、ゲートオン/オフ電圧および映像信号の提供を受け、信号処理した後、多数のゲート出力パッド(340P)および多数のデータ出力パッド(350P)を通じて、表示部310にゲートオン/オフ電圧およびデータ電圧を提供する。

30

ここで多数の第1入力パッド(330P_1)中少なくとも一つはゲートオフ電圧(Voff)が印加される第1低電圧パッド(L_PAD1)であり、多数の第1入力パッド(330P1)中少なくとも一つはグラウンド電圧が印加される第1グラウンドパッド(G_PAD)である。また、多数の第2入力パッド(330P_2)中少なくとも一つはフレキシブル回路基板650と接続されゲートオフ電圧(Voff)が印加される第2低電圧パッド(L_PAD2)であり、多数の第2入力パッド(330P_2)中少なくとも一つはフレキシブル回路基板650と接続されグラウンド電圧が印加される第2グラウンドパッド(G_PAD)である。第1低電圧パッド(L_PAD1)と第1グラウンドパッド(G_PAD)は放電パターン(DP)に連結される。放電パターン(DP)は、電源電圧が遮断された後、ゲートオフ電圧をグラウンド電圧として放電し残像現象を改善させる。

40

【0038】

すなわち、駆動チップ700は、第1低電圧パッド(L_PAD1)と接続され、駆動チップ700内部のゲート駆動部400が第1低電圧パッド(L_PAD1)からゲートオフ電圧(Voff)の供給を受け、多数のゲートライン(G1-Gn)に順次にゲートオフ電圧(Voff)を提供するようになる。ここで放電パターン(DP)が第1低電圧パッド(L_PAD1)とグラウンドパッド(G_PAD)を電氣的に連結しているため、電源電圧が遮断された後には、ゲートオフ電圧(Voff)をグラウンド電圧として放電させる。したがって駆動チップ700を通じて第1低電圧パッド(L_PAD1)と電氣的に接続されているゲートライン(G1-Gn)は、グラウンド電圧として放電され、残像現象が改善され得る。

【0039】

50

このような放電パターン(DP)について、図4ないし図5bを通じてさらに具体的に説明する。

放電パターン(DP)は、第1低電圧パッド(L_PAD1)と接続される第1放電コンタクト(dischARGE cOntAct)(DP_C1)と、第1グラウンドパッド(G_PAD)と接続される第2放電コンタクト(DP_C2)、第1放電コンタクト(DP_C1)および第2放電コンタクト(DP_C2)を連結する放電ライン(dischARGE lIne)(DP_L)を含む。

【0040】

図5Aおよび図5Bに図示されたように、まず絶縁基板110上に第1低電圧パッド(L_PAD1)と第1グラウンドパッド(G_PAD)が形成される。第1低電圧パッド(L_PAD1)および第1グラウンドパッド(G_PAD)上には保護膜334が形成され、保護膜334には第1低電圧パッド(L_PAD1)および第1グラウンドパッド(G_PAD)の一部を表わす接続穴332が形成されている。保護膜334の上には接続穴332を通して第1低電圧パッド(L_PAD1)および第1グラウンドパッド(G_PAD)と接続される第1放電コンタクト(DP_C1)と第2放電コンタクト(DP_C2)が各々形成され、第1放電コンタクト(DP_C1)と第2放電コンタクト(DP_C2)は放電ライン(DP_L)に連結される。一方、絶縁基板110の表示部310にはゲートライン(G1-Gn)とデータライン(D1-Dm)が形成される。

【0041】

放電ライン(DP_L)は、蛇行(meander)形態状に形成されることができ、ただしその形状が図4に図示されたものに限定されるものではない。第1低電圧パッド(L_PAD1)、第1グラウンドパッド(G_PAD)および放電パターン(DP)は、すべて導電性物質、例えば、アルミニウム(Al)とアルミニウム合金などアルミニウム系列の金属、銀(Ag)と銀合金など銀系列の金属、銅(Cu)と銅合金など銅系列の金属、モリブデン(Mo)とモリブデン合金などモリブデン系列の金属、クロム(Cr)、チタニウム(Ti)、タンタル(Ta)などからなされ得る。特に、放電パターン(DP)は面抵抗が高いITO(Indium Tin Oxide)であり得る。放電パターン(DP)がITO(Indium Tin Oxide)の場合、表示部310の画素電極(PE)を形成時に放電パターン(DP)が同時に形成され得る。

【0042】

図6を参照して、本発明の他の実施形態による表示基板およびこれを含む液晶表示装置に対して説明する。図6は、本発明の他の実施形態による表示基板およびこれを含む液晶表示装置について説明するための平面図である。図4に図示された構成要素と同一の機能を有する構成要素に対しては同一な図面符号を使用し、説明の便宜上、該当構成要素に対する詳細な説明は省略する。

【0043】

図6を参照すれば、上記の実施形態とは異なり、放電パターン(DP)はフレキシブル回路基板650と液晶パネル300が付着する部分に形成される。すなわち、放電パターン(DP)は液晶パネル上300の第2低電圧パッド(L_PAD2)と第2グラウンドパッド(G_PAD)を電氣的に連結する。放電パターン(DP)は電源電圧が遮断された後、ゲートオフ電圧をグラウンド電圧として放電し残像現象を改善させる。

【0044】

以上添付された図面を参照し、本発明の実施形態を説明したが、本発明が属する技術分野で通常の知識を有する者は、本発明の技術的思想や必須の特徴を変更せずとも他の具体的な形態で実施され得るということを理解し得るものである。そのため以上で記述した実施形態はすべての面で例示的なものであり、限定的ではないものと理解しなければならない。

【産業上の利用可能性】

【0045】

本発明は表示基板およびこれを含む液晶表示装置に利用され得る。

【図面の簡単な説明】

【0046】

【図1】本発明の一実施形態による表示基板およびこれを含む液晶表示装置の概略図であ

る。

【図 2】本発明の一実施形態による液晶表示装置のブロック図である。

【図 3】図 5 のある画素の等価回路図である。

【図 4】図 1 の A 領域を拡大した平面図である。

【図 5 A】図 4 の V A - V A ' 線に沿って切断した断面図である。

【図 5 B】図 4 の V B - V B ' 線に沿って切断した断面図である。

【図 6】本発明の他の実施形態による表示基板およびこれを含む液晶表示装置に対して説明するための平面図である。

【符号の説明】

【 0 0 4 7 】

10

10、11 液晶表示装置

300 液晶パネル

310 表示部

320 非表示部

400 ゲート駆動部

500 データ駆動部

600 信号制御部

700 駆動チップ

L_PAD1 第1低電圧パッド

L_PAD2 第2低電圧パッド

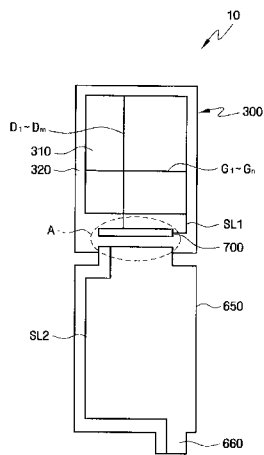
G_PAD1 第1グラウンドパッド

G_PAD2 第2グラウンドパッド

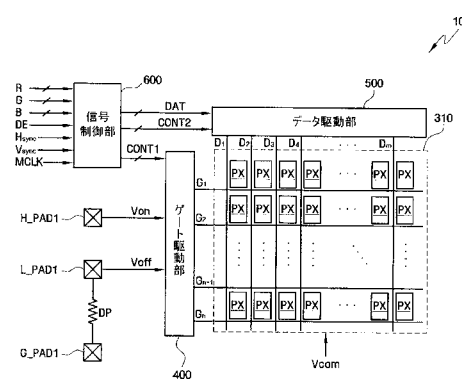
DP 放電パターン

20

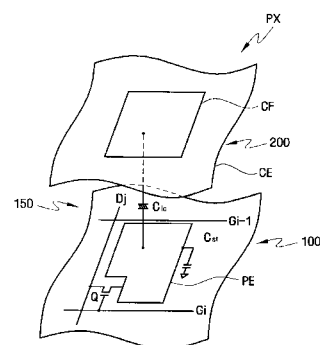
【図 1】



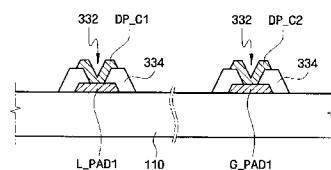
【図 2】



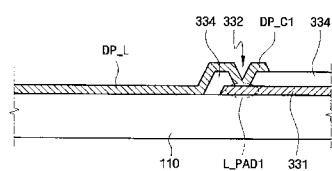
【図 3】



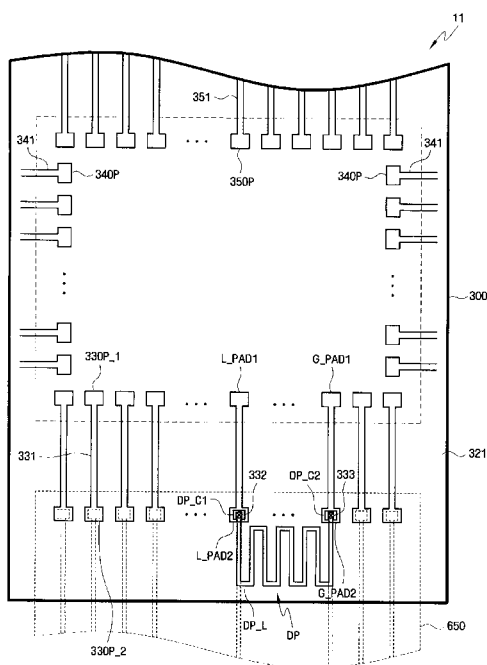
【 図 5 B 】



【 図 5 A 】



【 図 6 】



フロントページの続き

(72)発明者 李 光 世

大韓民国ソウル特別市江南區大峙洞 9 3 3 - 5 番地曉星ヴィラ 1 0 2 號

(72)発明者 郭 珍 午

大韓民国京畿道水原市靈通區網浦洞東水原エルジーヴィレッジ 1 0 1 棟 1 4 0 4 號

(72)発明者 閔 炳 讀

大韓民国京畿道龍仁市豊徳川洞新亭マウル常緑アパート 6 1 5 棟 3 0 2 號

F ターム(参考) 2H092 GA64 JA24 JB79 NA01 NA14

5C094 AA01 BA43 DB02 EA10 FB12

专利名称(译)	显示基板和包括其的液晶显示装置		
公开(公告)号	JP2008304888A	公开(公告)日	2008-12-18
申请号	JP2007302698	申请日	2007-11-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李光世 郭珍午 閔炳讚		
发明人	李 光 世 郭 珍 午 閔 炳 讚		
IPC分类号	G02F1/1343 G09F9/30		
CPC分类号	G09G3/3648 G02F2001/133397 G09G2300/0426 G09G2310/0245 G09G2320/0257 G09G2330/02 G09G2330/027		
FI分类号	G02F1/1343 G09F9/30.330.Z G09F9/30.330		
F-TERM分类号	2H092/GA64 2H092/JA24 2H092/JB79 2H092/NA01 2H092/NA14 5C094/AA01 5C094/BA43 5C094/DB02 5C094/EA10 5C094/FB12		
优先权	1020070056883 2007-06-11 KR		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够改善余像现象的显示基板以及包括该显示基板的液晶显示装置。显示基板包括：基板；形成在基板上的低压垫；形成在基板上的施加有接地电压的接地垫；形成在基板上的低压垫；以及接地垫。连接放电图案的放电电极，连接到低压焊盘的第一放电触点和连接到接地焊盘的第二放电触点。 [选择图]图4

